Sedra|Smith

Microeletrônica

5ª EDIÇÃO

PEARSON

Companion Website

SEDRA
SMITH

Microeletrônica

QUARTA EDIÇÃO

Microeletrônica

QUARTA EDIÇÃO

Sedra/Smith

MICROELETRÔNICA

Adel S. Sedra
Kenneth C. Smith

Tradução e Revisão Técnica:
Prof. Dr. Antonio Carlos Seabra
Prof. Dr. Márcio Lobo Netto
Prof. Dr. Sebastião Gomes dos Santos Filho
Prof. Dr. Wilhelmus Adrianus Maria Van Noije
Professores do Departamento de Engenharia de Sistemas Eletrônicos da
Escola Politécnica da Universidade de São Paulo

São Paulo

Brasil Argentina Colômbia Costa Rica Chile Espanha
Guatemala México Porto Rico Venezuela

© 2000 Pearson Education do Brasil Ltda.
Título original: Microeletronic Circuits – Fourth Edition
© 1998, 1991, 1987, 1982, by Oxford University Press, Inc.
Todos os direitos reservados. Nenhuma parte desta publicação poderá ser reproduzida ou transmitida de qualquer modo ou por qualquer outro meio, eletrônico ou mecânico, incluindo fotocópia, gravação ou qualquer outro tipo de sistema de armazenamento e transmissão de informação, sem prévia autorização, por escrito, da Pearson Education do Brasil.

Gerente de Produção: Silas Camargo
Editoração e Fotolitos em Alta Resolução: RiMa Artes e Textos
Impressão: São Paulo – SP

Dados de Catalogação na Publicação

Sedra, Adel S.; Smith, Kenneth, C.
Microeletrônica
São Paulo : Pearson Education do Brasil, 2000.

Título original: Microeletronic Circuits – Fourth Edition

ISBN 85.346.1044-4

Direitos exclusivos para a língua portuguesa cedidos à
Pearson Education do Brasil Ltda.,
uma empresa do grupo Pearson Education
Rua Emílio Goeldi, 747 – Lapa
CEP: 05065-110, São Paulo – SP, Brasil
Tel: (11)3613-1222 – Fax: (11)3611-0851
e-mail: vendas@pearsoned.com.br

SUMÁRIO

MAKRON
Books

PREFÁCIO XIII

Capítulo 1 INTRODUÇÃO À ELETRÔNICA 1

Introdução 1
1.1 Sinais 2
1.2 Espectro de Freqüências dos Sinais 3
1.3 Sinais Digitais e Analógicos 6
1.4 Amplificadores 9
1.5 Modelos de Circuitos para Amplificadores 19
1.6 Resposta em Freqüência dos Amplificadores 28
1.7 O Inversor Lógico Digital 39
Resumo 47
Bibliografia 48
Problemas 48

PARTE I DISPOSITIVOS E CIRCUITOS BÁSICOS 54
Introdução 55

Capítulo 2 AMPLIFICADORES OPERACIONAIS 56

2.1 Encapsulamento do Amp Op 57
2.2 O Amp Op Ideal 58
2.3 Análise de Circuitos com Amp Ops Ideais – A Configuração Inversora 60
2.4 Outras Aplicações da Configuração Inversora 67
2.4.1 A Configuração Inversora com Impedâncias Generalizadas Z_1 e Z_2 67
2.4.2 O Circuito Integrador Inversor 70
2.4.3 O Circuito Diferenciador Inversor 74
2.4.4 O Circuito Somador 76
2.5 A Configuração Não-inversora 77
2.6 Exemplos de Circuitos com Amp Op 81
2.7 Efeito do Ganho Finito em Malha Aberta e da Faixa de Passagem no Desempenho do Circuito 88
2.8 Operação dos Amp Ops para Grandes Sinais 93
2.9 Imperfeições *cc* 97

Resumo 104
Bibliografia 105
Problemas 106

Capítulo 3 Diodos 115

Introdução 115
3.1 O Diodo Ideal 116
3.2 Características Elétricas dos Diodos de Junção 124
3.3 Operação Física dos Diodos 130
3.3.1 Conceitos Básicos de Semicondutores 131
3.3.2 A Junção *pn* na Condição de Circuito Aberto 136
3.3.3 A Junção *pn* na Condição de Polarização Reversa 139
3.3.4 A Junção *pn* na Região de Ruptura 142
3.3.5 A Junção *pn* na Condição de Polarização Direta 144
3.3.6 Resumo 148
3.4 Análise de Circuitos com Diodos 148
3.5 O Modelo para Pequenos Sinais e Suas Aplicações 156
3.6 Operação na Região de Ruptura Reversa – Os Diodos Zener 165
3.7 Circuitos Retificadores 172
3.8 Circuitos Limitadores e Grampeadores 184
3.9 Tipos Especiais de Diodos 189
3.10 O Modelo do SPICE para Diodos e Exemplos de Simulação 192
Resumo 199
Bibliografia 199
Problemas 200

Capítulo 4 Transistores Bipolares de Junção (TBJ) 207

Introdução 207
4.1 Estrutura Física e Modos de Operação 208
4.2 Operação do Transistor *npn* no Modo Ativo 209
4.3 O Transistor *pnp* 218
4.4 Símbolos para Circuitos e Convenções 220
4.5 Representação Gráfica das Características do Transistor 224
4.6 Análise *cc* de Circuitos com Transistores 227
4.7 O Transistor como Amplificador 239
4.8 Modelos Equivalentes para Pequenos Sinais 245
4.9 Análise Gráfica 258
4.10 Polarização do TBJ para Projetos de Circuitos Discretos 262
4.11 Configurações Básicas de Amplificadores de Estágio Simples com TBJ 268
4.12 O Transistor como Chave – O Corte e a Saturação 281
4.13 Um Modelo Genérico do TBJ para Grandes Sinais: O Modelo de Ebers–Moll (EM) 289
4.14 O Inversor Lógico Básico Empregando TBJ 296

4.15 Características Estáticas Completas, Capacitâncias Internas e Efeitos de Segunda Ordem 301
4.16 O Modelo do SPICE para o TBJ e Exemplos de Simulação 312
Resumo 317
Bibliografia 318
Problemas 319

Capítulo 5 Transistores de Efeito de Campo (FETs) 328

Introdução 328
5.1 Estrutura e Operação Física do MOSFET Tipo Enriquecimento 329
5.2 As Características de Corrente–Tensão do MOSFET Tipo Enriquecimento 341
5.3 O Mosfet Tipo Depleção 351
5.4 Circuitos com Mosfet em *cc* 355
5.5 O Mosfet como Amplificador 364
5.6 Polarização de Circuitos Amplificadores MOS 375
5.6.1 Polarização de Amplificadores Discretos com MOSFET 375
5.6.2 Polarização de Amplificadores MOS em Circuitos Integrados 377
5.7 Configurações Básicas de Amplificadores MOS em Circuitos Integrados 383
5.7.1 Amplificador CMOS com Fonte Comum 384
5.7.2 Amplificador CMOS com Porta Comum 388
5.7.3 Configuração Dreno Comum ou Seguidora de Fonte 391
5.7.4 Estágios Amplificadores NMOS 394
5.7.5 Uma Consideração Final 400
5.8 O Inversor Lógico Digital CMOS 400
5.9 O MOSFET como Chave Analógica 411
5.10 As Capacitâncias Internas do MOSFET e o Modelo para Altas Freqüências 416
5.11 O Transistor de Efeito de Campo de Junção (JFET) 422
5.12 Dispositivos em Arseneto de Gálio (GaAs) – O MESFET 427
5.13 O Modelo SPICE do Transistor MOSFET e Exemplos de Simulação 433
Resumo 439
Bibliografia 439
Problemas 441

PARTE II* *CIRCUITOS ANALÓGICOS 448
Introdução 449

Capítulo 6 Amplificadores Diferenciais e de Múltiplos Estágios 451

Introdução 451
6.1 O Par Diferencial com TBJ 451
6.2 Operação com Pequenos Sinais do Amplificador Diferencial com TBJ 456
6.3 Outras Características Não-ideais do Amplificador Diferencial 468
6.4 Polarização em Circuitos Integrados com TBJ 472
6.5 O Amplificador Diferencial com TBJ e Carga Ativa 486

6.6 Amplificadores Diferenciais MOS 491
6.7 Amplificadores BiCMOS 501
6.8 Amplificadores em GaAs 506
6.9 Amplificadores de Múltiplos Estágios 515
6.10 Exemplo de Simulação com o SPICE 522
Resumo 527
Bibliografia 528
Problemas 529

Capítulo 7 Resposta em Freqüência 536

Introdução 536
7.1 Análise no Domínio *s*: Pólos, Zeros e Curvas de Bode 537
7.2 A Função de Transferência do Amplificador 543
7.3 Resposta em Baixas Freqüências dos Amplificadores Fonte Comum e Emissor Comum 555
7.4 Resposta em Altas Freqüências dos Amplificadores Fonte Comum e Emissor Comum 563
7.5 As Configurações Base Comum, Porta Comum e Cascode 572
7.6 Resposta em Freqüência do Seguidor de Emissor e do Seguidor de Fonte 579
7.7 A Cascata Coletor Comum–Emissor Comum 583
7.8 A Resposta em Freqüência do Amplificador Diferencial 588
7.9 Exemplos de Simulação com o SPICE 598
Resumo 602
Bibliografia 603
Problemas 603

Capítulo 8 Realimentação 608

Introdução 608
8.1 A Estrutura Geral da Realimentação 609
8.2 Algumas Propriedades da Realimentação Negativa 611
8.3 As Quatro Topologias Básicas da Realimentação 616
8.4 O Amplificador com Realimentação Série–Paralelo 620
8.5 O Amplificador com Realimentação Série–Série 629
8.6 Amplificadores com Realimentação Paralelo–Paralelo e Paralelo–Série 637
8.7 Determinação do Ganho de Malha 649
8.8 O Problema da Estabilidade 654
8.9 O Efeito da Realimentação Sobre os Pólos do Amplificador 656
8.10 Estudo da Estabilidade Usando as Curvas de Bode 666
8.11 A Compensação de Freqüência 670
8.12 Exemplos de Simulação com o SPICE 676
Resumo 681
Bibliografia 681
Problemas 682

Capítulo 9 Estágios de Saída e Amplificadores de Potência 687

Introdução 687
9.1 Classificação dos Estágios de Saída 688
9.2 O Estágio de Saída Classe A 689
9.3 O Estágio de Saída Classe B 694
9.4 O Estágio de Saída Classe AB 700
9.5 A Polarização do Circuito Classe AB 703
9.6 Os TBJs de Potência 709
9.7 As Variações na Configuração Classe AB 716
9.8 Os Amplificadores de Potência Integrados em CIs 721
9.9 Os Transistores de Potência MOS 728
9.10 Exemplo de Simulação com o SPICE 733
Resumo 738
Bibliografia 738
Problemas 739

Capítulo 10 Circuitos Integrados Analógicos 742

Introdução 742
10.1 O Circuito do Amp Op 741 743
10.2 Análise *cc* do 741 747
10.3 Análise do Estágio de Entrada do 741 para Pequenos Sinais 754
10.4 Análise do Segundo Estágio do 741 para Pequenos Sinais 760
10.5 Análise do Estágio de Saída do 741 762
10.6 O Ganho e a Resposta em Freqüência do 741 767
10.7 Amp Ops CMOS 772
10.8 Configurações Alternativas para os Amp Ops CMOS e BiCMOS 782
10.9 Conversores de Dados – Uma Introdução 788
10.10 Circuitos Conversores D/A 792
10.11 Circuitos Conversores A/D 796
10.12 Exemplos de Simulação com o SPICE 802
Resumo 806
Bibliografia 807
Problemas 808

Capítulo 11 Filtros e Amplificadores Sintonizados 812

Introdução 812
11.1 Transmissão de Filtros, Tipos e Especificações 813
11.2 A Função de Transferência do Filtro 817
11.3 Filtros Butterworth e Chebyshev 820
11.4 Funções dos Filtros de Primeira e de Segunda Ordens 828
11.5 O Ressonador LCR de Segunda Ordem 837

11.6 Filtros Ativos de Segunda Ordem Baseados na Substituição do Indutor 843
11.7 Filtros Ativos de Segunda Ordem Baseados na Topologia da Malha de Dois Integradores 851
11.8 Filtros Ativos Biquadráticos com Amplificadores Simples 858
11.9 Sensibilidade 866
11.10 Filtros com Capacitores Chaveados 869
11.11 Amplificadores Sintonizados 874
11.12 Exemplos de Simulação com o SPICE 887
Resumo 893
Bibliografia 894
Problemas 895

Capítulo 12 Geradores de Sinais e Circuitos Formadores de Onda 898

Introdução 898
12.1 Princípios Básicos dos Osciladores Senoidais 899
12.2 Circuitos Osciladores RC com Amp Op 905
12.3 Osciladores LC e com Cristal 913
12.4 Multivibradores Biestáveis 919
12.5 Geração de Ondas Quadradas e Triangulares Usando Multivibradores Astáveis 927
12.6 Geração de um Pulso Padrão – O Multivibrador Monoestável 932
12.7 Circuitos Integrados Temporizadores 934
12.8 Circuitos Não-lineares Formadores de Onda 939
12.9 Circuitos Retificadores de Precisão 943
12.10 Exemplos de Simulação com o SPICE 951
Resumo 955
Bibliografia 955
Problemas 956

PARTE III CIRCUITOS DIGITAIS 962
Introdução 963

Capítulo 13 Circuitos Digitais MOS 964

Introdução 964
13.1 Circuitos Lógicos Digitais: Alguns Conceitos Básicos 965
13.1.1 Tecnologias de CIs Digitais e Famílias de Circuitos Lógicos 965
13.1.2 Caracterização de Circuitos Lógicos 967
13.1.3 Estilos de Projeto para Sistemas Digitais 970
13.1.4 Níveis de Abstração em um Projeto e o Auxílio do Computador 970
13.2 Projeto e Análise do Desempenho do Inversor CMOS 971
13.3 Circuitos com Portas CMOS 980
13.4 Circuitos Lógicos Pseudo-NMOS 992
13.5 Circuitos Lógicos com Transistores de Passagem 1002
13.6 Circuitos com Lógica Dinâmica 1012

13.7 Os *Flip-flops* e os *Latches* (Travas) 1019
13.8 Os Circuitos Multivibradores 1028
13.9 Memórias Semicondutoras: Tipos e Arquiteturas 1035
13.10 Células de Memória de Acesso Aleatório (RAM) 1038
13.11 Amplificadores Sensores e Decodificadores de Endereço 1047
13.11.1 O Amplificador Sensor 1047
13.11.2 O Decodificador de Endereços de Linha 1053
13.11.3 O Decodificador de Endereços de Coluna 1055
13.12 Memória Apenas de Leitura (ROM) 1056
13.13 Exemplo de Simulação com o SPICE 1062
Resumo 1066
Bibliografia 1068
Problemas 1068

Capítulo 14 Circuitos Digitais Bipolares e Tecnologias Avançadas 1074

Introdução 1074
14.1 Operação dinâmica do TBJ como Chave 1075
14.2 As Primeiras Formas de Circuitos Digitais com TBJ 1079
14.3 A Lógica Transistor-transistor (TTL ou T^2L) 1083
14.4 Características da TTL Padrão 1096
14.5 As Famílias TTL com Desempenho Melhorado 1103
14.6 A Lógica Acoplada pelo Emissor (ECL) 1111
14.7 Os Circuitos Digitais BiCMOS 1127
14.8 Os Circuitos Digitais em GaAs 1132
14.9 Exemplo de Simulação com o SPICE 1140
Resumo 1146
Bibliografia 1147
Problemas 1148

APÊNDICES

A Tecnologia de Fabricação de Circuitos Integrados 1151
B Parâmetros de Quadripolos 1166
C Uma Introdução ao SPICE 1173
D Listagens dos Arquivos de Entrada SPICE para os Exemplos de Simulação 1180
E Os Teoremas de Redes Mais Usados 1198
F Circuitos com Constante de Tempo Simples 1204
G Determinando os Valores dos Parâmetros do Modelo π-Híbrido para o TBJ 1223
H Valores-padrão de Resistores e Prefixos de Unidades 1228
I Respostas aos Problemas 1231

Índice Analítico 1245

PREFÁCIO

MAKRON
Books

A quarta edição americana de *Microeletrônica* tem a intenção de servir de livro-texto para os cursos que tratam de circuitos eletrônicos no núcleo básico para alunos de engenharia elétrica e de computação. Vem a ser muito útil também para engenheiros ou qualquer outro profissional que pretenda atualizar seus conhecimentos em um estudo individual.

Como no caso das três primeiras edições, o objetivo deste livro é desenvolver no leitor a capacidade de analisar e projetar circuitos eletrônicos analógicos e digitais tanto na forma discreta como integrada. Embora tratemos das aplicações de circuitos integrados, damos ênfase ao projeto de circuitos transistorizados. Isso foi feito porque acreditamos que, embora a maioria daqueles que estudarem este livro não tenha a intenção de se tornar projetista de CIs, o conhecimento daquilo que está dentro do encapsulamento de um CI permite aplicações inteligentes e inovadoras de tais componentes. Além disso, com o avanço na tecnologia VLSI (integração em escala muito ampla) e na metodologia de projetos, o projeto de CIs tem se tornado acessível para um número cada vez maior de engenheiros.

PRÉ-REQUISITOS

O pré-requisito para estudar o conteúdo deste livro é um curso básico de análise de circuitos. Para uma revisão, estão incluídas nos apêndices algumas informações sobre circuitos lineares: especificamente, no Apêndice B, parâmetros de redes de dois acessos (quadripolos); no Apêndice E, alguns teoremas úteis de redes; e no Apêndice F, respostas transientes de circuitos com constante de tempo simples. Não é necessário conhecimento prévio de eletrônica. Toda física de dispositivos está incluída e o Apêndice A fornece uma breve descrição dos processos de fabricação de CIs.

ORGANIZAÇÃO

Embora tenhamos mantido a filosofia e a linha pedagógica das três primeiras edições, várias modificações foram feitas na organização e na abrangência. A mudança mais significativa na organização foi a inclusão de material sobre eletrônica digital nos capítulos iniciais do livro. Isso foi feito em reconhecimento à tremenda expansão da área de eletrônica digital nos últimos anos. Em nossa opinião, atualmente é imperativo que estudantes de engenharia elétrica e, certamente, estudantes de engenharia de computação devam ser expostos aos conceitos introdutórios de circuitos eletrônicos digitais em seu primeiro curso de eletrônica. A reorganização dos capítulos iniciais tornou isso possível. No entanto, a organização é suficientemente flexível para permitir que o material sobre circuitos digitais seja visto posteriormente no curso ou em um segundo curso, de forma a se adequar a uma estrutura curricular específica.

Outra mudança organizacional significativa foi a inclusão de material mais formal a respeito de modelamento de dispositivos nos capítulos iniciais: por exemplo, o Capítulo 4, a respeito de transistores bipolares, inclui agora o modelo Ebers-Moll e o Capítulo 5, a respeito de transistores de efeito de campo, inclui agora uma discussão das capacitâncias internas do MOSFET. Isso foi feito a fim de facilitar a compreensão dos modelos SPICE para aqueles que desejam incluir o uso do SPICE no primeiro curso de eletrônica. Novamente, a organização é suficientemente flexível, permitindo o adiamento do estudo dos modelos mais rigorosos para uma etapa posterior. Essa flexibilidade se manifesta também pela organização de cada capítulo, de tal forma que o conteúdo mais avançado, que usualmente pode ser pulado ou adiado para um momento posterior do

curso, é colocado no final de cada capítulo. Naturalmente, aqueles que preferem uma cobertura mais completa de um tópico em particular (por exemplo, o TBJ ou o MOSFET) podem simplesmente seguir a seqüência apresentada no capítulo.

À parte essas mudanças, a seqüência adotada na terceira edição foi mantida. Isso deve minimizar problemas de descontinuidade em currículos já elaborados e na seqüência de apresentação das disciplinas. Após um capítulo introdutório, que apresenta alguns conceitos básicos de eletrônica e estabelece notações e convenções, a obra está dividida em três partes. A Parte I, Dispositivos e Circuitos Básicos, é composta pelos Capítulos 2 a 5 e trata do amp op, do diodo, do transistor bipolar de junção (TBJ) e do transistor de efeito de campo (FET). Isso constitui o programa de um primeiro curso de eletrônica e quase toda a matéria é considerada como pré-requisito para o estudo de outros tópicos de circuitos eletrônicos.[1]

A Parte II (Capítulos 6 a 12) trata de circuitos analógicos e a Parte III (Capítulos 13 e 14) trata de circuitos digitais. Com exceção da necessidade do conhecimento do par diferencial, no Capítulo 6, para compreender a lógica acoplada pelo emissor do Capítulo 14, a ordem das Partes II e III pode ser invertida. Portanto, é possível estudar os tópicos de eletrônica digital da Parte III imediatamente após o estudo dos dispositivos e circuitos básicos da Parte I. Um programa com essa ordem pode ser escolhido para os estudantes de engenharia de computação.

Embora reconheçamos que certamente uma economia pode ser obtida se o TBJ e o MOSFET forem ensinados juntos desde o início, como um caso especial de dispositivos de três terminais em geral, optamos por introduzi-los separadamente na Parte I para depois combiná-los tanto quanto possível na Parte II. Segundo nossa experiência, os dois dispositivos são suficientemente diferentes para que a apresentação separada de cada dispositivo – estruturas e operações físicas, características e aplicações básicas – seja mais apropriada em um primeiro contato. Especificamente, no primeiro curso, o estudante precisa conviver com cada um dos dispositivos básicos durante algum tempo a fim de se sentir seguro. Subseqüentemente, contudo, um tratamento combinado é possível e realmente desejável.

Embora, na seqüência, o TBJ (Capítulo 4) preceda o MOSFET (Capítulo 5), a ordem desses dois tópicos pode ser facilmente invertida. Essa flexibilidade é obtida à custa de uma ligeira repetição. Contudo, a repetição pode ser usada para reforçar a aprendizagem ou pode ser minimizada por uma informação mais rápida sobre qualquer um dos dispositivos estudados em segundo lugar.

PRINCIPAIS MODIFICAÇÕES NO CONTEÚDO

Além da reorganização descrita anteriormente e de outras reestruturações menos aparentes, mas significativas (por exemplo, Capítulo 7), foram feitas importantes modificações no conteúdo da quarta edição. As principais mudanças são: maior conteúdo sobre física de dispositivos (Capítulos 3, 4 e 5); inclusão dos modelos SPICE para os dispositivos (Capítulos 3, 4 e 5); exemplos SPICE (Capítulos 3 a 14); revisão completa do conteúdo sobre circuitos digitais (na maior parte do Capítulo 13, em algumas partes do Capítulo 14 e, naturalmente, as adições mencionadas anteriormente, nos Capítulos 1, 4 e 5); e uma revisão completa do conteúdo sobre MOSFET (Capítulo 5 e mudanças ao longo de todo o livro, especialmente no Capítulo 13). A seguir, apresentamos informações adicionais para cada uma dessas modificações:.

1. Uma possível exceção é o Capítulo 2, sobre amp ops, cujo estudo pode ser adiado total ou parcialmente para uma próxima etapa. Também, como mencionado anteriormente, o conteúdo mais avançado dos Capítulos 4 e 5 pode ser adiado para um curso subseqüente. (Veja a seção sobre organização de cursos mais adiante neste Prefácio.)

Física de Dispositivos

O conteúdo sobre operação física dos dispositivos foi ampliado nesta edição. Há três razões para essa modificação: (1) As pressões constantes sobre o currículo resultaram na supressão do tradicional curso de dispositivos do núcleo comum de disciplinas do programa de engenharia elétrica em muitas universidades. (2) Para usar a simulação SPICE de forma mais eficiente, o estudante deve possuir um conhecimento básico dos modelos empregados pelo SPICE, que, por sua vez, necessitam de um maior conhecimento da operação física dos dispositivos (em relação àquela apresentada na terceira edição). (3) Uma parcela muito maior do projeto de circuitos e sua aplicação está voltada para circuitos integrados e o projeto de CIs requer uma compreensão mais profunda da física de dispositivos do que o projeto com componentes discretos.

Em vez de colocar a física de dispositivos em um capítulo separado, optamos por apresentar esse material onde ele é necessário (Capítulos 3, 4 e 5). Assim, o material pode e é imediatamente aplicado ao modelamento de dispositivos e no uso de dispositivos para o projeto de circuitos, que na verdade é o maior objetivo deste livro. Finalmente, deve-se observar que o novo material sobre física de dispositivos pode ser rapidamente abordado ou mesmo pulado por aqueles estudantes que já tiveram um curso sobre física de dispositivos.

SPICE

Professores de cursos introdutórios sobre circuitos eletrônicos tradicionalmente enfrentam um dilema: devem usar simulações SPICE em seus cursos e correr o risco de desviar a atenção dos estudantes dos princípios básicos de análise e projeto de circuitos ou devem ignorar o SPICE e privar os estudantes do contato com aquela que é talvez a mais importante ferramenta no auxílio ao projeto de circuitos? O mesmo dilema está presente em livros-texto sobre circuitos eletrônicos, incluindo as edições anteriores deste livro. Nesta edição, acreditamos ter dado um passo significativo para a resolução satisfatória desse dilema. Incluímos dois aspectos do SPICE: os modelos que ele utiliza para os dispositivos eletrônicos e exemplos que ilustram os benefícios que podem ser obtidos de um uso *adequado* do SPICE. Tão importante quanto o *que* é abordado do SPICE é *onde* ele é apresentado. A fim de evitar confusões no corpo de cada capítulo com programas e resultados SPICE, colocamos o conteúdo sobre SPICE na última seção de cada capítulo (excetuando-se os Capítulos 1 e 2). Dessa forma, os exemplos SPICE servem para juntar uma série de conceitos apresentados no capítulo, além de checar a validade das várias aproximações e suposições simplificadoras utilizadas. Igualmente importante, a última seção de um capítulo pode ser facilmente pulada pelo professor que, por uma razão ou outra, não deseja incluir o SPICE no curso.

Exceto por um breve apêndice (Apêndice C), nossa abordagem do SPICE não se preocupa com como escrever programas para o SPICE. Para isso, sugerimos ao leitor consultar os livros disponíveis sobre o SPICE, incluindo o livro *SPICE*, segunda edição, de Gordon Roberts e Adel Sedra, Oxford University Press, 1997. Este último livro também inclui vários exemplos que seguem a ordem de tópicos apresentada neste livro. Os arquivos de entrada de nossos exemplos de SPICE estão listados no Apêndice D e no site Internet do livro.

MOSFETs

Não há dúvidas de que o MOSFET é, no momento, o dispositivo eletrônico mais importante e essa importância perdurará por mais algum tempo. Também, durante os últimos seis anos, ocorreram

parte dos projetos de CIs modernos, tanto analógicos quanto digitais, é baseada em MOSFETs. Para refletir esse perfil, reescrevemos completamente o Capítulo 5.

Eletrônica Digital

O material sobre eletrônica digital foi atualizado e ampliado e, como mencionado anteriormente, reorganizado. A abordagem inicia-se no Capítulo 1 com uma introdução do elemento básico de circuitos digitais, o inversor lógico. Ele é introduzido ao mesmo tempo que o elemento básico de eletrônica analógica, o amplificador. A seguir, o Capítulo 4 apresenta uma seção sobre o inversor básico com TBJ e o Capítulo 5 estuda o inversor CMOS. A Parte III, referente a circuitos digitais, foi reorganizada e seu capítulo principal (13) foi totalmente reescrito. Ele inclui agora uma seleção cuidadosa de tópicos em circuitos digitais MOS, que é relevante tanto pedagogicamente quanto na prática. O Capítulo 14 completa, então, o estudo de circuitos digitais com uma apresentação de circuitos bipolares (TTL e ECL), BiCMOS e GaAs. Acreditamos que o material sobre circuitos digitais, incluído nesta edição, é de abrangência e profundidade suficientes para possibilitar um curso de circuitos digitais em seqüência aos cursos de circuitos eletrônicos.

O SITE INTERNET

Um site Internet para o livro foi criado (`http://www.sedrasmith.org/`). Ele inclui especificações e modelos SPICE de componentes selecionados, arquivos de entrada para exemplos SPICE, problemas adicionais, circuitos de domínio público para uso com o Electronics Workbench, conexões a sites acadêmicos e industriais de interesse etc. Para informações sobre como obter cópias gratuitas funcionais (versões estudantis) do SPICE, faça uma busca na Internet do termo "spice&dowload".

ÊNFASE EM PROJETOS

Nossa filosofia tem sido a de que a sistemática de projeto de circuitos é melhor assimilada quando se mostram os diferentes resultados obtidos em função das suposições adotadas e condições de contorno existentes, sejam na seleção da configuração de um circuito ou na seleção de valores dos componentes para uma dada configuração. Aumentamos a ênfase em projetos nesta edição, incluindo mais exemplos, exercícios e problemas de final de capítulo. Os exercícios e problemas de final de capítulo que são considerados "projetos orientados" são indicados com uma letra P. Também, a ferramenta de projeto mais importante, o SPICE, é utilizada ao longo do livro, como mencionado.

EXERCÍCIOS, PROBLEMAS DE FINAL DE CAPÍTULO E PROBLEMAS RESOLVIDOS ADICIONAIS

Mais de 400 exercícios foram integrados no transcorrer do texto. A resposta de cada exercício está abaixo do próprio exercício, para que o estudante possa checar sua compreensão sobre o conteúdo. A resolução desses exercícios deve permitir ao estudante medir sua compreensão sobre o conteúdo apresentado. Há vários problemas de fim de capítulo, dos quais um terço é totalmente novo nesta edição.[2] Os problemas são separados por seções individuais e o grau de dificuldade está indicado por um sistema de avaliação: problemas difíceis são marcados com um asterisco (*), problemas mais difíceis, com dois asteriscos (**) e problemas muito difíceis (ou cujo tempo de resolução é longo), com três asteriscos (***). Devemos admitir, contudo, que essa classificação não é exata. Nossa avaliação, não há dúvida, dependeu, em certo grau, de nossa avaliação (e bom humor!) no momento particular em que o problema foi criado. Respostas de aproximadamente metade dos problemas estão no Apêndice I. Soluções completas para todos os exercícios e problemas estão incluídas no Manual do Instrutor.[3]

Como nas três edições anteriores, muitos exemplos foram incluídos. Os exemplos e, na verdade, quase todos os problemas e exercícios foram baseados em circuitos reais e antecipam as aplicações encontradas ao projetar circuitos na vida real. Esta edição continua a utilizar as soluções por passos numerados nas figuras para vários exemplos, em uma tentativa de recriar o dinamismo da sala de aula.

Os estudantes que usaram as edições anteriores deste livro fizeram reiterados pedidos quanto aos problemas resolvidos. Para satisfazer esse pedido, um livro de problemas adicionais com soluções está disponível com esta edição (veja a lista de material de apoio mais adiante neste Prefácio).[4]

UM RESUMO PARA O LEITOR

O livro começa com uma introdução aos conceitos básicos de eletrônica no Capítulo 1. São apresentados sinais, seus espectros de freqüências e suas formas analógicas e digitais. Amplificadores são apresentados como componentes de circuito e seus vários tipos e modelos são estudados. O elemento básico de eletrônica digital, o inversor lógico digital, é definido em termos de sua característica de transferência de tensão e suas várias implementações usando chaves de tensão e corrente são discutidas.

Os próximos quatro capítulos são dedicados ao estudo dos dispositivos eletrônicos e circuitos básicos e constituem o texto da Parte I. O Capítulo 2 é dedicado aos amplificadores operacionais, suas características terminais, suas aplicações mais simples e suas limitações. Decidimos tratar do amp op como um componente de um circuito desde o início simplesmente porque é um componente fácil de discutir e porque o estudante pode experimentar com circuitos empregando amp op que executam operações não-triviais com relativa facilidade e ter uma boa percepção dos resultados. Descobrimos que essa proposição é altamente motivadora para o estudante. Devemos realçar, entretanto, que parte do capítulo ou todo ele pode ser eliminado ou adiado e estudado em um próximo estágio (junto com os Capítulos 6 ou 8), sem comprometer a continuidade.

O Capítulo 3 é dedicado ao estudo do principal dispositivo eletrônico, o diodo de junção *pn*. São apresentadas as características terminais e a seqüência de modelos dos diodos. Para entender a física do diodo e, na verdade, também a do TBJ e do MOSFET, uma introdução concisa, porém substancial, a respeito de semicondutores e da junção *pn* é apresentada. Retornamos a seguir aos circuitos com diodos e estudamos algumas das aplicações fundamentais de diodos, especialmente aquelas relacionadas ao projeto de fontes de alimentação.

O Capítulo 4 introduz o transistor bipolar de junção (TBJ): sua estrutura, operação física, modelo para pequenos e grandes sinais, seu funcionamento como amplificador e como chave, suas configurações básicas de amplificador a TBJ de estágio simples e o inversor lógico com TBJ.

2. N.T.: A edição em português deste livro reduziu o número de exercícios de fim de capítulo para tornar possível a edição do livro em um único volume.

3. N.T.: Disponível apenas em inglês.

4. N.T.: Disponível apenas em inglês.

A família dos dispositivos chamados de transistores de efeito de campo (FET) está apresentada no Capítulo 5, na qual a ênfase, porém, é para os transistores MOS. Utilizamos aqui a mesma abordagem, apresentando a estrutura, operação física, características terminais, modelos e aplicações básicas típicas (analógicas e digitais) dos vários tipos de FET. Conforme mencionado anteriormente, esse capítulo pode ser estudado, se desejado, antes do capítulo que trata do TBJ. O que pretendemos com cada um desses capítulos é que o leitor se torne intimamente familiarizado com cada um dos dispositivos apresentados.

Ao final do Capítulo 5, o leitor terá aprendido sobre os componentes básicos dos circuitos eletrônicos e estará preparado para aprender os tópicos mais avançados da Parte II (circuitos analógicos) e da Parte III (circuitos digitais). Conforme mencionado anteriormente, a ordem de estudo das Partes II e III pode ser invertida.

O Capítulo 6 é o primeiro da seqüência de cinco capítulos que tratam dos tópicos avançados de projetos de amplificadores. O principal tópico do Capítulo 6 são os amplificadores diferenciais, em ambas as formas, com TBJ e FET.

No Capítulo 7, estudaremos a resposta em freqüência dos amplificadores. Aqui, a ênfase é dada sobre a escolha da configuração adequada para obter a operação na faixa de passagem desejada.

O Capítulo 8 trata do importante tópico de realimentação. São apresentados circuitos empregando realimentação negativa para aplicações práticas. Discutimos também o problema da estabilidade nos amplificadores realimentados e tratamos detalhadamente da compensação em freqüência.

O Capítulo 9 trata dos vários tipos de estágios de saída dos amplificadores. Estudaremos o projeto térmico de circuitos e apresentaremos exemplos de amplificadores de potência em CI.

O Capítulo 10 apresenta uma introdução aos circuitos integrados analógicos. Discutiremos amp ops bipolares, CMOS e BiCMOS. Estudaremos também circuitos básicos para projetos de conversores de dados. Esse capítulo utiliza e vincula muitos dos métodos e idéias apresentados nos capítulos anteriores.

Os dois últimos capítulos da Parte II, Capítulos 11 e 12, são orientados a aplicações e sistemas. O Capítulo 11 é dedicado ao estudo de projetos de filtros analógicos e amplificadores sintonizados. O Capítulo 12 apresenta o estudo dos osciladores senoidais, geradores de formas de onda e outros circuitos de processamento de sinais não-lineares.

Os dois últimos capítulos deste livro, Capítulos 13 e 14, constituem a Parte III, circuitos digitais. Eles apresentam um tratamento moderno e conciso de eletrônica digital e servem de base para um estudo mais detalhado de circuitos e sistemas digitais e/ou projetos de circuitos em VLSI.

Os nove apêndices contêm materiais complementares muito úteis. Chamamos a atenção do leitor especialmente para o Apêndice A, que fornece uma introdução concisa ao importante tópico de processo de fabricação de circuitos integrados, incluindo o *layout* da pastilha (*chip*).

ORGANIZAÇÃO DO CURSO

O conteúdo deste livro é suficiente para uma seqüência de duas disciplinas simples de dois semestres (cada uma com cerca de 40 a 50 horas/aula). A organização do livro proporciona considerável flexibilidade no planejamento do curso.

Três possibilidades para a primeira disciplina são:

a. Do Capítulo 1 ao Capítulo 5. Se o tempo for limitado, as Seções 2.8, 2.9, 3.9, 4.13-4.15 e 5.8-5.12 podem ser adiadas para a segunda disciplina.

b. Os Capítulos 1, 3, 4, 5 e alguns tópicos selecionados dos Capítulos 6 e 7 (por exemplo, Seções 6.1, 6.2, 6.6 e 7.1-7.6). Se o tempo for limitado, as Seções 3.9, 4.12-4.14, 5.8, 5.9, 5.11 e 5.12 podem ser eliminadas.

c. Os Capítulos 1, 3, 4, 5 e alguns tópicos selecionados dos Capítulos 13 e 14, conforme o tempo disponível. Algumas seções dos Capítulos 3 a 5 podem ser eliminadas em um curso com ênfase em circuitos digitais.

Duas possibilidades para a segunda disciplina são:

a. Do Capítulo 6 ao 12. Se o tempo for limitado, algumas seções dos Capítulos 9, 10, 11 e 12 podem ser adiadas para uma terceira disciplina que trate de circuitos analógicos.

b. Os Capítulos 6, 7, 8, 13 e 14.

AGRADECIMENTOS

Muitas alterações foram feitas na quarta edição baseando-se nas respostas de alguns professores que adotaram a terceira edição. Somos muito gratos a todos aqueles que reservaram um tempo para nos escrever. Em adição, os revisores a seguir fizeram comentários detalhados a respeito da terceira edição e sugeriram muitas das mudanças que incorporamos nesta revisão. A todos eles agradecemos sinceramente: Michael Bartz, Universidade de Memphis; Roy H. Cornely, Instituto de Tecnologia de New Jersey; Dale L. Critchlow, Universidade de Vermont; Artice M. Davis, Universidade Estadual de San José; Steven de Haas, Universidade do Estado da Califórnia, Sacramento; Eby G. Friedman, Universidade de Rochester; Rhett T. George, Jr., Universidade Duke; Ward J. Helms, Universidade de Washington; Richard Hornsey, Universidade de Waterloo; Jacob B. Khurgin, Universidade Johns Hopkins; Joy Laskar, Instituto de Tecnologia da Geórgia; David Luke, Universidade de New Brunswick; Bahram Nabet, Universidade Drexel; Dipankar Nagchoudhuri, Instituto de Tecnologia da Índia, Nova Délhi, Índia; Joseph H. Nevin, Universidade de Cincinnati; Wai-Tung Ng, Universidade de Toronto; Rabin Raut, Universidade Concórdia; Dipankar Sengupta, Instituto de Tecnologia Real de Melbourne; Michael L. Simpson, Universidade do Tennessee; Karl A. Spuhl, Universidade de Washington; Daniel van der Weide, Universidade de Delaware.

Também somos gratos aos seguintes colegas e amigos que forneceram muitas sugestões proveitosas: Robert Irvine, Universidade do Estado da Califórnia, Pomora; David Johns, Universidade de Toronto; John Khoury, Universidade Colúmbia; Ken Martin, Universidade de Toronto; David Nairn, Universidade Queen's; Gordon Roberts, Universidade McGill; Richard Schreier, Universidade do Estado do Oregon.

Continuamos gratos aos revisores das três edições anteriores: Ali Akansu, do Instituto de Tecnologia de New Jersey; Frank Barnes, da Universidade do Colorado; Douglas Brumm, da Universidade Técnica de Michigan; Eugene Chenette, da Universidade da Flórida; J. Alvin Connelly, do Instituto de Tecnologia da Geórgia; Artice M. Davis, da Universidade do Estado de San José; Arnold W. Dipert, da Universidade de Illinois, Urbana-Champaign; Randall L. Geiger, da Universidade do Estado de Iowa; Glen C. Gerhard, da Universidade de New Hampshire; Doug Hamilton, da Universidade do Arizona; Richard Jaeger, da Universidade de Auburn; Alfred Johnson, da Universidade de Widener; W. Marshall Leach, do Instituto de Tecnologia da Geórgia; Bryen E. Lorenz, da Universidade de Widener; Alan B. MacNee, da Universidade de Michigan; N. R. Malik, da Universidade de Iowa; Paul McGrath, do Colégio Técnico de Clarkson; John

Oristian, da Academia Militar de West Point dos EUA.; Jamie Ramirez-Augulo, da Universidade do Estado do Novo México; William Sayle, III, do Instituto de Tecnologia da Geórgia; Rolf Schaumann, da Universidade do Estado de Portland; Bernard M. Schmidt, da Universidade de Dayton; Edwyn Smith, da Universidade de Toledo; Yuh Sun, da Universidade do Estado da Califórnia; Darrel Vines, da Universidade Técnica do Texas; Sidney Wielin, da Universidade da Califórnia do Sul.

Algumas pessoas deram contribuições substanciais a esta edição. Nosso colega Wai-Tung Ng, da Universidade de Toronto, reescreveu completamente o Apêndice A. Gordon Roberts, da Universidade McGill, deu-nos permissão para usar alguns dos exemplos do livro *SPICE,* de Roberts e Sedra. Steve Jantzi, da Universidade de Toronto, auxiliou-nos de diversas formas e especificamente com os exemplos de SPICE. Karen Kozma, da Universidade de Toronto, fez um excelente trabalho na verificação dos novos problemas. Jennifer Rodrigues digitou todas as revisões com habilidade e bom humor. Laura Fujino auxiliou na preparação do índice e, provavelmente, mais importante, manteve um de nós (KCS) atento. Diane Dlutek manteve o andamento do trabalho na direção certa e auxiliou-nos de várias outras formas. A todos esses amigos e colegas dizemos obrigado.

Um número considerável de pessoas auxiliou-nos na preparação desta edição e dos materiais de apoio. Gostaríamos de mencionar especialmente: da Editora da Universidade de Oxford, Barbara Wasserman, Krysia Bebick, Marcy Levine, David Walker, Leigh Ann Florek, Tom McElwee, Jasmine Urmeneta, Ned Escobar, Jim Brooks, Liza Murphy e Kerry Cahill; da Oberon Interactive Inc., Luda Tovey e Patrick Lee; da Interactive Image Technologies Ltd., Joe Koenig e Mark Franklin; da revista EDN, Steve Paul; e da Analog Devices, Pamela Maloney e Richard Payne.

Duas pessoas executaram a tarefa fundamental de encaminhar o manuscrito para impressão: Elyse Dubin, da Editora da Universidade de Oxford, e Kirsten Kauffman, da York Production Services.

Ao longo de todo o projeto e, na verdade, muito antes de ele começar, nosso editor e amigo, Bill Zobrist, ofereceu sugestões, estímulo e apoio, além de muitas idéias inovadoras. Fomos afortunados em ter Bill como nosso editor. Por último, mas igualmente importante, desejamos agradecer a nossas famílias pelo apoio e incentivo.

Adel S. Sedra
Kenneth C. Smith

CAPÍTULO 1

MAKRON Books

Introdução à Eletrônica

Introdução
1.1 Sinais
1.2 Espectro de Freqüências dos Sinais
1.3 Sinais Digitais e Analógicos
1.4 Amplificadores
1.5 Modelos de Circuitos para Amplificadores
1.6 Resposta em Freqüência dos Amplificadores
1.7 O Inversor Lógico Digital
Resumo
Bibliografia
Problemas

INTRODUÇÃO

O assunto deste livro é a eletrônica moderna, um campo que passou a ser conhecido como **microeletrônica**. **Microeletrônica** refere-se à tecnologia de circuitos integrados (CI), que no momento da escrita deste livro era capaz de produzir circuitos que contêm milhões de componentes em um pequeno pedaço de silício (conhecido como **pastilha de silício – silicon chip**) com área da ordem de 100 mm^2. Por exemplo, um circuito desses pode ser um computador digital completo, que neste caso é chamado de **microcomputador** ou, mais genericamente, **microprocessador**.

Neste livro estudaremos dispositivos eletrônicos que podem ser usados isoladamente (no projeto de **circuitos discretos**) ou como componentes de uma pastilha de **circuito integrado (CI)**. Estudaremos o projeto e análise de grupos desses dispositivos, que dão origem aos circuitos discretos e aos circuitos integrados com diferentes graus de complexidade e funcionalidade. Tomaremos contato também com os tipos de CIs disponíveis e sua utilização no projeto de sistemas eletrônicos.

O propósito deste primeiro capítulo é introduzir alguns conceitos básicos e a terminologia associada. Em particular, aprenderemos o que são sinais e o que é amplificação linear, uma das mais importantes funções executadas pelos circuitos eletrônicos. A seguir analisaremos os modelos para amplificadores lineares. Esses modelos serão empregados em capítulos posteriores no projeto e análise de circuitos amplificadores reais.

Da mesma forma que o amplificador é o elemento básico dos circuitos analógicos, o inversor lógico é o elemento básico dos circuitos digitais. Portanto, faremos neste capítulo uma introdução ao inversor lógico, sua função e algumas de suas características mais importantes.

Além de estimular o estudo da eletrônica, este capítulo serve como uma ponte entre o estudo de circuitos elétricos e o objetivo deste livro, que é o projeto e análise de circuitos eletrônicos.

1.1 SINAIS

Sinais contêm informações sobre uma variedade de coisas e atividades em nosso mundo físico. Podemos citar vários exemplos: informações sobre o tempo estão contidas em sinais que representam a temperatura do ar, pressão, velocidade do vento etc. A voz de um locutor no rádio anuncia as notícias por meio de um microfone que gera um sinal elétrico correspondente às informações sonoras. Para monitorar as condições em um reator nuclear, são usados instrumentos para medir uma grande quantidade de parâmetros importantes, cada instrumento gerando um sinal.

Para extrair as informações necessárias de um conjunto de sinais, o observador (seja humano ou máquina) necessita invariavelmente **processar** esses sinais de uma maneira predeterminada. Esse **processamento de sinais** é normalmente executado por sistemas eletrônicos. Para isso ser possível, contudo, o sinal deve primeiro ser convertido em um sinal elétrico, isto é, em um sinal de tensão ou corrente. Esse processo é realizado por dispositivos conhecidos como **transdutores**. Há uma variedade de transdutores, cada um apropriado a uma das várias formas de sinais físicos. Por exemplo, uma onda sonora produzida pelo homem pode ser convertida em sinal elétrico usando um microfone, que é, em efeito, um transdutor de pressão. Não é nosso objetivo estudar transdutores neste momento; preferivelmente, assumiremos que os sinais de interesse já existem no domínio elétrico e os representaremos por uma das duas formas equivalentes mostradas na Figura 1.1. Na Figura 1.1(a), o sinal é representado por uma fonte de tensão $v_s(t)$, tendo uma resistência de fonte R_s. Na representação alternativa mostrada na Figura 1.1(b), o sinal é representado por uma fonte de corrente $i_s(t)$, tendo uma resistência de fonte R_s. Embora as duas representações sejam equivalentes, a da Figura 1.1(a) (conhecida como forma de Thévenin) é preferida quando R_s tem baixo valor. A representação da Figura 1.1(b) (conhecida como equivalente de Norton) é preferida quando R_s tem alto valor.

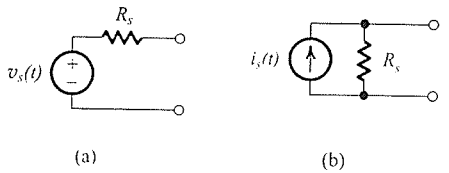


Figura 1.1 Duas formas alternativas de representação de uma fonte de sinal: **(a)** forma de Thévenin e **(b)** forma de Norton.

Pelo que foi exposto anteriormente, fica claro que um sinal é uma grandeza variável no tempo que pode ser representada por um gráfico, como mostrado na Figura 1.2. O conteúdo da informação é representado pelas variações na amplitude com o passar do tempo, isto é, a informação está contida nas "ondulações" da forma de onda do sinal. Geralmente, essas formas de onda são difíceis de ser caracterizadas matematicamente. Em outras palavras, não é fácil descrever sucintamente uma forma de onda com uma aparência arbitrária como a da Figura 1.2. É claro que tal descrição é de grande importância para o projeto dos circuitos de processamento de sinais que realizarão determinadas funções nos sinais recebidos.

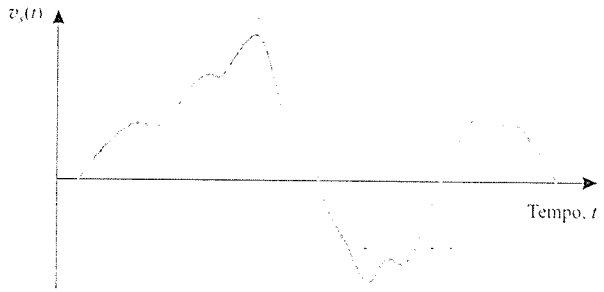


Figura 1.2 Um sinal de tensão arbitrário $v_s(t)$.

1.2 ESPECTRO DE FREQÜÊNCIAS DOS SINAIS

Uma característica extremamente importante de um sinal (ou de qualquer função arbitrária no tempo) é seu **espectro de freqüências**. Tal descrição de um sinal é obtida utilizando-se as ferramentas matemáticas chamadas de **série de Fourier** e **transformada de Fourier.**[1] Não estamos interessados neste momento nos detalhes dessas transformações; é suficiente dizer que elas oferecem um meio para representar um sinal de tensão $v_s(t)$ ou um sinal de corrente $i_s(t)$ como uma soma de sinais senoidais de diferentes freqüências e amplitudes. Isto faz da senóide um sinal muito importante na análise, projeto e teste de circuitos eletrônicos. Portanto, faremos uma breve revisão das propriedades da senóide.

A Figura 1.3 mostra um sinal de tensão senoidal $v_a(t)$.

$$v_a(t) = V_a \operatorname{sen} \omega t \tag{1.1}$$

em que V_a indica o valor de pico ou a amplitude máxima em volts e ω indica a freqüência angular em radianos por segundo; isto é, $\omega = 2\pi f$ rad/s, em que f é a freqüência em hertz, $f = 1/T$ Hz, e T é o período em segundos.

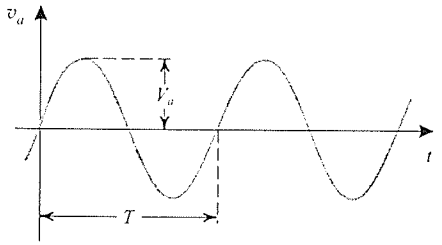


Figura 1.3 Sinal senoidal de tensão com amplitude V_a e freqüência $f = 1/T$ Hz. A freqüência angular é $\omega = 2\pi f$ rad/s.

1. O leitor que ainda não estudou esses assuntos não deve se preocupar. Nenhuma aplicação detalhada será feita até o Capítulo 7. Contudo, um conhecimento geral da Seção 1.2 pode ser muito útil no estudo das primeiras partes deste livro.

O sinal senoidal é totalmente caracterizado por seu valor de pico V_a, sua freqüência ω e sua fase em relação a uma referência arbitrária no tempo. Neste caso, a origem do tempo é escolhida de modo que o ângulo de fase seja zero. Deve ser mencionado que é comum expressar a amplitude do sinal senoidal em termos de seu valor eficaz (root-mean-square – rms), o qual é igual ao valor de pico dividido por $\sqrt{2}$. Logo, o valor rms da senóide $v_a(t)$ da Figura 1.3 é $V_a/\sqrt{2}$. Por exemplo, quando falamos sobre o valor da tensão na tomada de alimentação de nossa casa como sendo de 110 V, estamos querendo dizer que ela é uma tensão senoidal de $110\sqrt{2}$ volts de pico.

Voltando agora à representação dos sinais como a soma de sinais senoidais, notamos que a série de Fourier realiza essa operação para o caso especial em que o sinal é uma função periódica no tempo. Por outro lado, a transformada de Fourier é mais genérica e pode ser usada para obter o espectro de freqüências de um sinal cuja forma de onda é uma função arbitrária no tempo.

A série de Fourier permite-nos expressar uma dada função periódica no tempo como a soma de um número infinito de senóides cujas freqüências são harmonicamente relacionadas. Por exemplo, o sinal com forma de onda quadrada simétrica na Figura 1.4 pode ser expresso como

$$v(t) = \frac{4V}{\pi}(\text{sen } \omega_0 t + \tfrac{1}{3}\text{ sen } 3\omega_0 t + \tfrac{1}{5}\text{ sen } 5\omega_0 t + \cdots) \qquad (1.2)$$

em que V é a amplitude da onda quadrada e $\omega_0 = 2\pi/T$ (T é o período da onda quadrada) é a chamada **freqüência fundamental**. Observe que, pelo fato de as amplitudes das harmônicas diminuírem progressivamente, a série infinita pode ser truncada, com a série truncada levando a uma aproximação da onda quadrada.

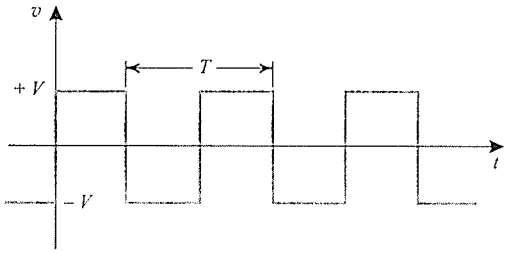


Figura 1.4 Um sinal de onda quadrada simétrica de amplitude V.

As componentes senoidais na série da Equação 1.2 constituem o espectro de freqüências do sinal onda quadrada. Esse espectro pode ser representado graficamente conforme mostra a Figura 1.5, na qual o eixo horizontal representa a freqüência angular ω em radianos por segundo.

A transformada de Fourier pode ser aplicada a uma função não-periódica no tempo, como aquela representada na Figura 1.2, gerando um espectro de freqüências que é uma função contínua da freqüência, como indicado na Figura 1.6. Ao contrário do caso dos sinais periódicos, nos quais o espectro consiste em freqüências discretas (em ω_0 e suas harmônicas), o espectro de sinais não-periódicos contém em geral todas as freqüências possíveis. Todavia, as partes essenciais do espectro de sinais práticos são usualmente confinadas a segmentos relativamente curtos do eixo de freqüências (ω) – fato muito usado no processamento de tais sinais. Por exemplo, o espectro do som audível, tal como uma conversa ou música, vai de 20 Hz a 20 kHz aproximadamente – faixa de freqüência conhecida como **faixa de áudio**. Devemos notar que, embora alguns tons musicais tenham freqüências acima de 20 kHz, o ouvido humano é incapaz de ouvir freqüências muito maiores do que essa.

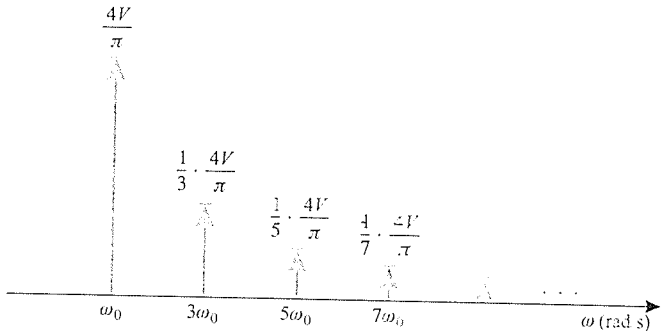


Figura 1.5 Espectro de freqüências (conhecido também como raia espectral) da forma de onda quadrada periódica da Figura 1.4.

Concluímos esta seção observando que um sinal pode ser representado de duas maneiras, por meio de sua forma de onda variando com o tempo, como para o sinal de tensão $v_a(t)$ mostrado na Figura 1.2, ou por meio de seu espectro de freqüências, como na Figura 1.6. A primeira representação é conhecida como representação no domínio do tempo e a segunda, como representação no domínio da freqüência. A representação no domínio da freqüência de $v_a(t)$ será indicada pelo símbolo $V_a(\omega)$.

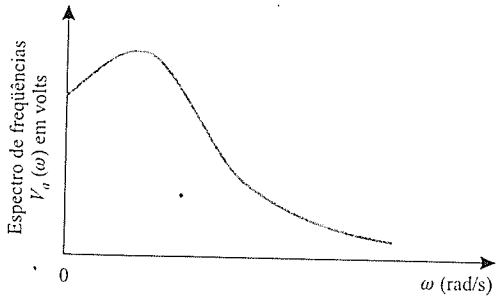


Figura 1.6 Espectro de freqüências de uma forma de onda arbitrária como aquela mostrada na Figura 1.2.

Exercícios

1.1 Determine as freqüências f e ω de um sinal senoidal com um período de 1 ms.

Resposta $f = 1000$ Hz; $\omega = 2\pi \times 10^3$ rad/s

1.2 Qual é o período T das formas de onda senoidais caracterizadas pelas freqüências (a) f = 60 Hz? (b) $f = 10^{-3}$ Hz? (c) f = 1 MHz?

Resposta 16,7 ms; 1000 s; 1 μs

1.3 Quando o sinal do tipo onda quadrada da Figura 1.4, cuja série de Fourier é dada pela Equação 1.2, é aplicado em um resistor, a potência total dissipada pode ser calculada diretamente pela relação

$$P = 1/T \int_0^T (v^2/R)\, dt$$

ou pela somatória das componentes harmônicas, $P = P_1 + P_3 + P_5 + \ldots$, que pode ser diretamente determinada a partir de seus valores eficazes. Observe que as duas proposições são equivalentes. Que fração de energia uma onda quadrada tem em sua fundamental? E nas cinco primeiras harmônicas? E nas sete primeiras? E nas nove primeiras? Em que número de harmônicas está contida 90% da energia? (Observe que na contagem das harmônicas a fundamental em ω_0 é a primeira, a que está em $2\omega_0$ é a segunda etc.)

Resposta 0,81; 0,93; 0,95; 0,96; 3

1.3 SINAIS DIGITAIS E ANALÓGICOS

O sinal de tensão representado na Figura 1.2 é chamado de **sinal analógico**. O nome deriva do fato de tal sinal ser análogo ao sinal físico que representa. A amplitude de um sinal analógico pode ter qualquer valor; isto é, a amplitude de um sinal analógico exibe uma variação contínua sobre sua faixa de atuação. A grande maioria dos sinais no mundo é analógica. Circuitos eletrônicos que processam tais sinais são conhecidos como circuitos analógicos. Neste livro serão estudados vários tipos de **circuitos analógicos**.

Uma forma alternativa de representação de sinais é por meio de uma seqüência de números discretizados, cada número representando um valor de sinal em cada instante do tempo. O sinal resultante é chamado de **sinal digital**. Para ver como um sinal pode ser representado nessa forma – isto é, como os sinais podem ser convertidos da forma analógica para a forma digital –, observe a Figura 1.7(a). Nela a curva representa um sinal de tensão, idêntico ao da Figura 1.2. Em intervalos iguais no eixo do tempo marcamos os instantes t_0, t_1, t_2 e assim por diante. Em cada um desses instantes é medida a amplitude do sinal, em um processo conhecido como **amostragem**. A Figura 1.7(b) mostra a representação do sinal da Figura 1.7(a) em termos de amostragem. O sinal da Figura 1.7(b) é definido apenas nos instantes de amostragem; ele já não é mais uma função contínua no tempo, em vez disso é um **sinal discreto no tempo**. Contudo, visto que a amplitude de cada amostra pode ser tomada como valores em uma faixa contínua, o sinal na Figura 1.7(b) é ainda um sinal analógico.

Agora, se representarmos a amplitude de cada amostra do sinal na Figura 1.7(b) por um número com dígitos finitos, então a amplitude do sinal não será mais contínua; ao contrário, ela será considerada **quantizada, discretizada** ou **digitalizada**. Então o sinal digital resultante será simplesmente uma seqüência de números que representa as amplitudes das sucessivas amostras do sinal.

A escolha do sistema numérico que representa as amostras dos sinais afeta o tipo de sinal digital produzido e tem um impacto significativo na complexidade dos circuitos digitais necessários ao processamento de tais sinais. Verifica-se que o sistema numérico **binário** resulta em sinais digitais e circuitos de processamento mais simples. No sistema binário, cada dígito do número pode assumir um de dois valores possíveis, denominados de 0 e 1. Por decorrência, os sinais digitais em sistemas binários necessitam apenas de dois níveis de tensão, denominados de alto e baixo. Por exemplo, em alguns dos circuitos digitais estudados neste livro, os níveis são 0 V e + 5 V. A Figura 1.8 mostra a variação no tempo de um sinal digital desse tipo. Observe que a forma de onda resultante é um trem de pulsos com 0 V representando um sinal 0, ou nível lógico 0, e +5 V representando o nível lógico 1.

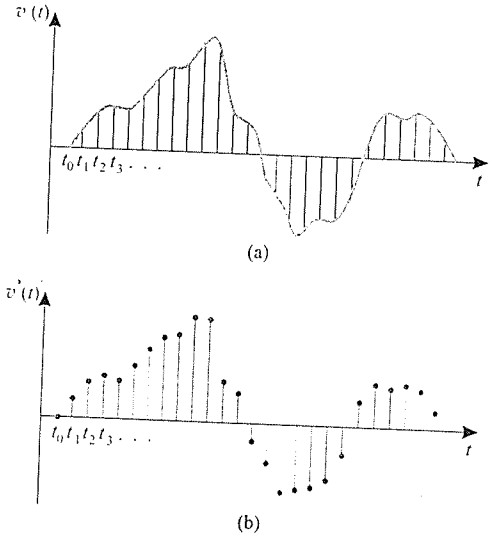


Figura 1.7 A amostragem do sinal analógico contínuo no tempo em (a) resulta no sinal discreto no tempo em (b).

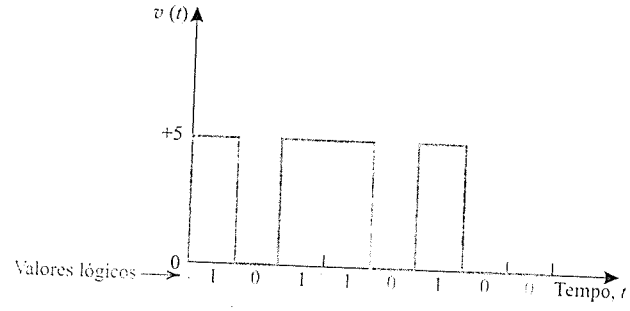


Figura 1.8 Variação no tempo de um sinal digital binário particular.

Se utilizarmos N dígitos binários (*binary digits*) (bits) para representar cada amostra do sinal analógico, então o valor da amostra digitalizada pode ser expresso como

$$D = b_0 2^0 + b_1 2^1 + b_2 2^2 + \cdots + b_{N-1} 2^{N-1} \tag{1.3}$$

em que b_0, b_1, ... , b_{N-1} representam os N bits e possuem valores 0 ou 1. Aqui, o bit b_0 é o **bit menos significativo** (least significant bit – LSB) e o bit b_{N-1} é o **bit mais significativo** (most significant bit – MSB). Por convenção, o número binário é escrito na ordem $b_{N-1}b_{N-2} \ldots b_0$. Observe que tal representação discretiza a amostra analógica em um de 2^N níveis possíveis. Obviamente, quanto maior o número de bits (isto é, quanto maior N), mais o valor da palavra digital quantizada D se aproxima do valor da amostra analógica. Ou seja, aumentar o número de bits reduz o *erro de quantização* e aumenta a resolução da conversão analógico-digital. Esta melhoria, no entanto, usualmente é obtida à custa de maior complexidade e, portanto, de circuitos mais caros. Não é nosso propósito nos aprofundarmos mais nesse tópico; queremos apenas que o leitor aprecie a natureza dos sinais analógicos e dos sinais digitais. Apesar disso, este é o momento adequado para apresentar um circuito considerado como bloco construtivo básico de sistemas eletrônicos modernos: o **conversor analógico-digital** (A/D), mostrado como diagrama de blocos na Figura 1.9. O A/D aceita em sua entrada as amostras de um sinal analógico e fornece para cada amostra de entrada sua representação digital binária de N-bits (de acordo com a Equação 1.3) em seus terminais de saída. Assim, embora a tensão na entrada possa ser, digamos, de 6,51 V, em cada um de seus N terminais de saída (digamos, no i-ésimo terminal), a tensão será baixa (0 V) ou alta (5 V) se b_i for 0 ou 1, respectivamente. Estudaremos o A/D e seu circuito dual, o **conversor digital-analógico** (D/A), no Capítulo 10.

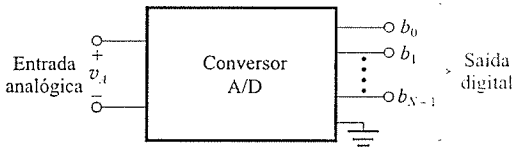


Figura 1.9 Representação em diagrama de blocos de um conversor análógico-digital (A/D).

Uma vez estando na forma digital, sinais podem ser processados usando circuitos digitais. Obviamente, circuitos digitais podem também lidar com sinais digitais que não têm uma origem analógica, como os sinais que representam as várias instruções de um computador digital.

Uma vez que circuitos digitais trabalham exclusivamente com sinais binários, seu projeto é mais simples que o de circuitos analógicos. Além disso, sistemas digitais podem ser projetados usando um conjunto relativamente pequeno de diferentes blocos de circuitos digitais. Por outro lado, um número elevado (centenas, milhares ou até mesmo milhões) de cada um desses blocos é usualmente necessário. Assim, o projeto de circuitos digitais impõe seu próprio conjunto de desafios ao projetista, mas fornece implementações confiáveis e econômicas de diversos tipos de funções de processamento de sinais, algumas das quais não são possíveis com circuitos analógicos. Hoje em dia, mais e mais funções de processamento de sinais são implementadas digitalmente. Há vários exemplos a nosso redor: do relógio digital e da calculadora a sistemas de áudio digitais e, brevemente, televisão digital. Além disso, alguns sistemas analógicos de longa data como

sistemas de comunicação telefônica são agora quase totalmente digitais. E não devemos nos esquecer do mais importante de todos os sistemas digitais, o computador digital.

Os blocos construtivos básicos de sistemas digitais são os circuitos lógicos e os circuitos de memória. Estudaremos ambos neste livro, iniciando na Seção 1.7 com o mais fundamental dos circuitos digitais, o inversor lógico digital.

Uma observação final: embora o processamento digital de sinais seja muito empregado, muitas funções de processamento de sinais são melhor implementadas por circuitos analógicos. De fato, muitos sistemas eletrônicos incluem tanto circuitos analógicos quanto digitais. Logo, um bom engenheiro eletrônico deve dominar tanto o projeto de circuitos analógicos quanto digitais. Este é o propósito deste livro.

Exercício

1.4 Considere uma palavra de quatro dígitos, $D = b_3b_2b_1b_0$ (veja a Equação 1.3), usada para representar um sinal analógico v_A que varia entre 0 V e +15 V.

(a) Determine D correspondente a v_A = 0 V, 1 V, 2 V e 15 V.

(b) Que variação em v_A corresponde a uma variação de 0 para 1 em: (i) b_0, (ii) b_1, (iii) b_2 e (iv) b_3?

(c) Se v_A = 5,2 V, qual o valor esperado para D? Qual o erro resultante em sua representação?

Resposta (a) 0000, 0001, 0010, 11111; (b) +1 V, +2 V, +4 V, +8 V; (c) 0101, –4%

1.4 AMPLIFICADORES

Nesta seção introduziremos uma função de processamento de sinais fundamental, que é empregada de alguma forma em quase todos os sistemas eletrônicos, denominada amplificação de sinal.

Amplificação de Sinal

De um ponto de vista conceitual, a mais simples das tarefas no processamento de sinal é a **amplificação de sinal**. A necessidade de amplificação existe porque os transdutores fornecem sinais que chamamos de "fracos", isto é, na faixa de microvolt (μV) ou milivolt (mV), e que possuem baixa energia. Esses sinais são muito pequenos para um processamento confiável, que se tornaria muito mais fácil se a amplitude do sinal fosse maior. O bloco funcional que realiza essa operação é o **amplificador de sinal**.

É conveniente discutir neste momento a necessidade da **linearidade** nos amplificadores. Ao amplificar um sinal, deve-se ter cuidado para não modificar a informação contida no sinal e não introduzir nenhuma informação nova. Portanto, ao alimentar um amplificador com um sinal como o da Figura 1.2, queremos que o sinal de saída do amplificador seja uma réplica exata do sinal de entrada, exceto, é claro, quanto a sua amplitude, que deve ser maior. Em outras palavras, as "ondulações" da forma de onda de saída devem ser idênticas às da forma de onda de entrada. Qualquer modificação na forma de onda de saída é considerada como uma **distorção** e é obviamente indesejável.

Um amplificador que preserva os detalhes da forma de onda de um sinal é caracterizado pela relação

$$v_o(t) = Av_i(t) \tag{1.4}$$

em que v_i e v_o são sinais de entrada e de saída, respectivamente, e A é uma constante que representa o fator de amplificação, conhecido como **ganho do amplificador**. A Equação 1.4 é uma relação linear; portanto, o amplificador que ela descreve é um **amplificador linear**. Observe que, se na relação entre v_o e v_i houver potências de v_i diferentes de um, então a forma de onda de v_o não se manterá idêntica à de v_i. O amplificador exibe então o que chamamos de **distorção não-linear**.

Os amplificadores discutidos até agora são destinados em primeiro lugar a operar com sinais de entrada muito pequenos. O propósito desses amplificadores é fazer com que a amplitude do sinal aumente e por isso são considerados **amplificadores de tensão**. O **pré-amplificador** de um sistema de som residencial é um exemplo de amplificador de tensão. Contudo, em geral, ele faz mais do que apenas amplificar um sinal; especificamente, ele altera a forma do espectro de freqüências do sinal de entrada. Esse tópico, entretanto, está além de nossa necessidade neste momento.

Por hora desejamos mencionar outro tipo de amplificador, denominado amplificador de potência. Este tipo de amplificador pode proporcionar um valor modesto no ganho de tensão, mas um substancial ganho de corrente. Assim, enquanto absorve uma pequena potência do sinal de entrada a que está conectado, geralmente um pré-amplificador, ele libera um valor maior de potência para sua carga. Um exemplo é encontrado no amplificador de potência do sistema de som residencial, cujo objetivo é proporcionar potência suficiente para acionar o alto-falante. Vale observar que o alto-falante é o transdutor de saída do sistema de som. Ele converte o sinal elétrico de saída do sistema em um sinal sonoro. Uma observação adicional sobre a necessidade da linearidade pode ser obtida pela reflexão sobre o desempenho do amplificador de potência. Um amplificador de potência linear reproduz as passagens altas e baixas da música com as mesmas características, sem distorção.

Símbolo de Circuito do Amplificador

O amplificador de sinal é obviamente um quadripolo. Sua função é convenientemente representada pelo símbolo de circuito da Figura 1.10(a). Este símbolo distingue claramente os pontos de entrada e de saída e indica a direção do fluxo de sinal. Portanto, nos diagramas subseqüentes, não será mais necessário denominar os dois pontos de aplicação de "entrada" e "saída". Para generalizar, mostramos o amplificador com dois terminais de entrada que são distintos dos terminais de saída. A situação normal, conforme ilustrada na Figura 1.10(b), é aquela em que há um terminal comum entre a entrada e a saída do amplificador. O terminal comum é usado como um ponto de referência e é chamado de **terra do circuito**.

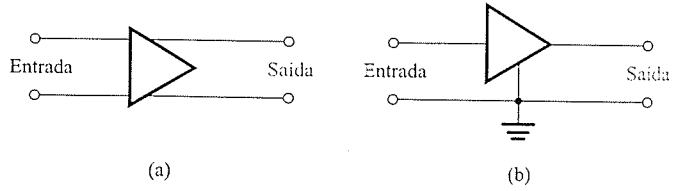


Figura 1.10 **(a)** Símbolo de circuito do amplificador. **(b)** Um amplificador com terminal comum (terra) entre os pontos de entrada e saída.

Ganho de Tensão

Um amplificador linear admite um sinal de entrada $v_I(t)$ e fornece na saída, na resistência de carga R_L (veja Figura 1.11(a)), um sinal de saída $v_O(t)$ que é uma réplica aumentada de $v_I(t)$. O ganho de tensão do amplificador é definido por

$$\text{Ganho de tensão } (A_v) \equiv \frac{v_O}{v_I} \tag{1.5}$$

A Figura 1.11(b) mostra a **característica de transferência** de um amplificador linear. Se aplicarmos em sua entrada uma tensão senoidal de amplitude $\hat{V}$, obteremos na saída uma tensão senoidal de amplitude $A_v\hat{V}$.

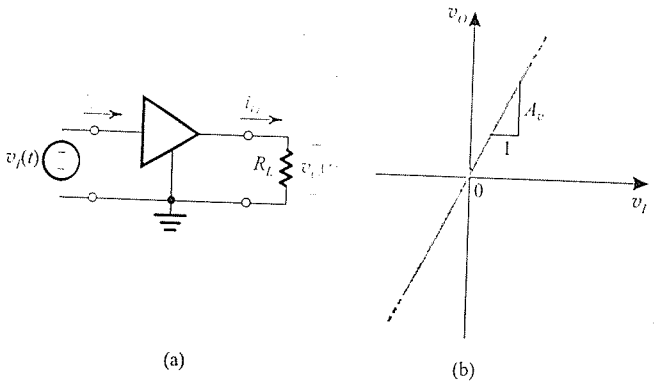


Figura 1.11 **(a)** Um amplificador de tensão com um sinal $v_I(t)$ aplicado na entrada e conectado a uma carga R_L. **(b)** Característica de transferência de um amplificador de tensão linear com ganho de tensão A_v.

Ganho de Potência e Ganho de Corrente

Um amplificador aumenta a potência do sinal, uma característica importante que distingue um amplificador de um transformador. No caso de um transformador, embora a tensão entregue à carga possa ser maior do que a tensão de alimentação no lado da entrada (primário), a potência entregue à carga é menor ou no máximo igual à potência fornecida pela fonte de sinal. Por outro lado, um amplificador fornece à carga uma potência maior do que a obtida da fonte de sinal. Isto é, o amplificador tem ganho de potência. O ganho de potência do amplificador na Figura 1.11(a) é definido como

$$\text{Ganho de potência } (A_p) \equiv \frac{\text{Potência na carga } (P_L)}{\text{Potência na entrada } (P_I)} \tag{1.6}$$

$$= \frac{v_O i_O}{v_I i_I} \tag{1.7}$$

em que i_O é a corrente que o amplificador entrega para a carga (R_L), $i_O = v_O/R_L$, e i_I é a corrente que o amplificador drena da fonte de sinal. O ganho de corrente do amplificador é definido como

$$\text{Ganho de corrente } (A_i) \equiv \frac{i_O}{i_I} \tag{1.8}$$

Pelas Equações 1.5 até 1.8 notamos que

$$A_p = A_v A_i \tag{1.9}$$

O Ganho Expresso em Decibéis

Os ganhos do amplificador definidos anteriormente são razões de grandezas com dimensões similares. Portanto, elas serão expressas cada uma como números adimensionais ou, para enfatizar, como V/V para o ganho de tensão, A/A para o ganho de corrente e W/W para o ganho de potência. Alternativamente, por várias razões, algumas até históricas, os engenheiros eletrônicos expressam o ganho do amplificador com uma medida logarítmica. Especificamente, o ganho de tensão A_v pode ser expresso por

$$\text{Ganho de tensão em decibéis} = 20\log|A_v| \quad \text{dB}$$

e o ganho de corrente A_i pode ser expresso por

$$\text{Ganho de corrente em decibéis} = 20\log|A_i| \quad \text{dB}$$

Uma vez que a potência pode ser expressa como uma relação quadrática da tensão (ou da corrente), o ganho de potência A_p pode ser expresso em decibéis como segue:

$$\text{Ganho de potência em decibéis} = 10\log A_p \quad \text{dB}$$

Os valores absolutos para os ganhos de tensão e de corrente são usados porque, em alguns casos, A_v ou A_i podem assumir valores negativos. Um valor A_v negativo significa simplesmente que há uma diferença de fase de 180° entre os sinais de entrada e de saída; isso não implica que o amplificador está **atenuando** o sinal. Por outro lado, um amplificador cujo ganho de tensão é de –20 dB está realmente atenuando o sinal de entrada por um fator de 10 (isto é, $A_v = 0{,}1$ V/V).

As Fontes de Alimentação do Amplificador

Como a potência entregue à carga é maior que a potência obtida da fonte de sinal, surge uma questão sobre a origem dessa potência adicional. A resposta é obtida pela observação de que amplificadores necessitam de fontes de alimentação *cc* para sua operação. Essas fontes *cc* fornecem a potência adicional entregue à carga bem como a potência que precisa ser dissipada no circuito interno do amplificador (que é convertida em calor). Na Figura 1.11(a) não mostramos explicitamente essas fontes *cc*.

A Figura 1.12(a) mostra um amplificador que requer duas fontes *cc*: uma fonte positiva de valor V_1 e outra negativa de valor V_2. O amplificador tem dois terminais, denominados V^+ e V^-, para serem conectados às fontes de alimentação. Para o amplificador operar, o terminal denominado V^+ deve ser conectado ao terminal positivo da fonte *cc*, cuja tensão é V_1, e o terminal negativo da fonte *cc* deve ser conectado ao terra do circuito. Do mesmo modo, o terminal denominado V^- deve ser conectado ao terminal negativo da fonte *cc*, cuja tensão é V_2, e o terminal positivo dessa fonte *cc* deve ser conectado ao terra do circuito. Agora, se a corrente drenada da fonte positiva for denominada de I_1 e a corrente drenada da fonte negativa, de I_2 (veja Figura 1.12(a)), então a potência *cc* entregue ao amplificador será:

$$P_{cc} = V_1 I_1 + V_2 I_2$$

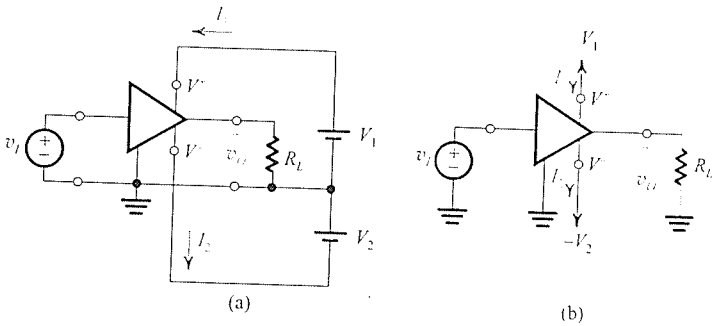


Figura 1.12 Um amplificador que necessita de duas fontes *cc* para operar (mostradas como baterias).

Se a potência dissipada no circuito amplificador for denominada de $P_{\text{dissipada}}$, a equação do balanço de potência para o amplificador pode ser escrita como

$$P_{cc} + P_I = P_L + P_{\text{dissipada}}$$

em que P_I é a potência drenada da fonte de sinal e P_L é a potência fornecida à carga. Uma vez que a potência drenada da fonte de sinal é normalmente pequena, a **eficiência** do amplificador é definida como

$$\eta \equiv \frac{P_L}{P_{cc}} \times 100 \tag{1.10}$$

A eficiência de transferência de potência é um parâmetro de funcionamento importante para os amplificadores que operam com valores altos de potência. Tais amplificadores, chamados de amplificadores de potência, são usados, por exemplo, como amplificadores de saída nos sistemas de som.

A fim de simplificar os diagramas dos circuitos, adotaremos a convenção ilustrada na Figura 1.12(b), na qual o terminal V^+ é mostrado conectado a uma seta apontada para cima e o terminal V^- é mostrado conectado a uma seta apontada para baixo. A tensão correspondente é indicada próxima de cada seta. Note que em muitos casos não mostraremos explicitamente as conexões do amplificador na fonte de alimentação. Finalmente, note que alguns amplificadores requerem apenas uma fonte de alimentação simples.

EXEMPLO 1.1

Considere um amplificador operando a partir de fontes de alimentação de ±10 V. Uma tensão senoidal com 1 V de pico está acoplada na entrada e uma tensão senoidal de 9 V de pico fornecida na saída, a uma carga de 1 kΩ. O amplificador drena uma corrente de 9,5 mA

de cada uma das fontes de alimentação. A corrente de entrada do amplificador é senoidal, tendo 0,1 mA de pico. Calcule o ganho de tensão, o ganho de corrente, o ganho de potência, a potência drenada da fonte *cc*, a potência dissipada no amplificador e a eficiência.

SOLUÇÃO

$$A_v = \frac{9}{1} = 9\text{V/V}$$

ou

$$A_v = 20 \log 9 = 19{,}1 \text{ dB}$$

$$\hat{I}_o = \frac{9 \text{ V}}{1 \text{ k}\Omega} = 9 \text{ mA}$$

$$A_i = \frac{\hat{I}_o}{\hat{I}_i} = \frac{9}{0{,}1} = 90 \text{ A/A}$$

ou

$$A_i = 20 \log 90 = 39{,}1 \text{ dB}$$

$$P_L = V_{o_{\text{rms}}} I_{o_{\text{rms}}} = \frac{9}{\sqrt{2}} \frac{9}{\sqrt{2}} = 40{,}5 \text{ mW}$$

$$P_I = V_{i_{\text{rms}}} I_{i_{\text{rms}}} = \frac{1}{\sqrt{2}} \frac{0{,}1}{\sqrt{2}} = 0{,}05 \text{ mW}$$

$$A_p = \frac{P_L}{P_I} = \frac{40{,}5}{0{,}05} = 810 \text{ W/W}$$

ou

$$A_p = 10 \log 810 = 29{,}1 \text{ dB}$$

$$P_{cc} = 10 \times 9{,}5 + 10 \times 9{,}5 = 190 \text{ mW}$$

$$P_{\text{dissipada}} = P_{cc} + P_I - P_L$$

$$= 190 + 0{,}05 - 40{,}5 = 149{,}6 \text{ mW}$$

$$\eta = \frac{P_L}{P_{cc}} \times 100 = 21{,}3\%$$

Pelo exemplo anterior observamos que o amplificador converte parte da potência *cc* que ele drena das fontes de alimentação em potência fornecida ao sinal que é entregue à carga.

A Saturação do Amplificador

Na prática, a característica de transferência do amplificador permanece linear apenas em uma faixa limitada de tensões de entrada e saída. Quando um amplificador opera com duas fontes de alimentação, a tensão de saída não pode exceder um determinado limite positivo e não pode ser menor que um determinado limite negativo. A característica de transferência resultante está mostrada na Figura 1.13, com os níveis de saturação positivo e negativo indicados por L_+ e L_-, respectivamente. Cada um dos níveis de saturação usualmente encontra-se dentro da faixa de 1 V a 2 V do valor de tensão da fonte de alimentação correspondente.

Obviamente, a fim de evitar distorções na forma de onda da tensão de saída, o sinal de entrada deve se manter dentro da faixa linear de operação.

$$\frac{L_-}{A_v} \le v_I \le \frac{L_+}{A_v}$$

A Figura 1.13 mostra duas formas de onda de entrada e suas correspondentes formas de onda de saída. Podemos observar que os picos da forma de onda maior foram ceifados por causa da saturação do amplificador.

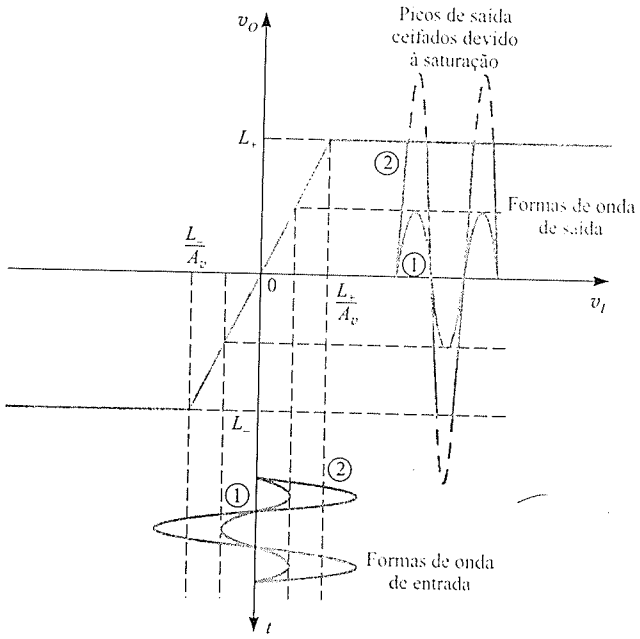


Figura 1.13 Característica de transferência de um amplificador que é linear exceto onde ocorre a saturação na saída.

Características de Transferência Não-linear e Polarização

Excetuando-se o efeito de saturação da saída, considerou-se a característica de transferência do amplificador perfeitamente linear. Na prática, as características de transferência dos amplificadores podem exibir não-linearidades de diferentes proporções, dependendo de quão sofisticado é o circuito amplificador e do esforço dedicado ao projeto do amplificador para garantir a linearidade em sua operação. Considere como exemplo a característica de transferência representada na Figura 1.14. Esta característica é típica dos amplificadores que operam com fontes de alimentação simples (po-

registro do sistema, 120

sitiva). A característica de transferência é obviamente não-linear e, devido à operação com fonte de alimentação simples, ela não passa pela origem. Felizmente, há uma técnica simples para obter uma amplificação linear de um amplificador com tal curva característica não-linear.

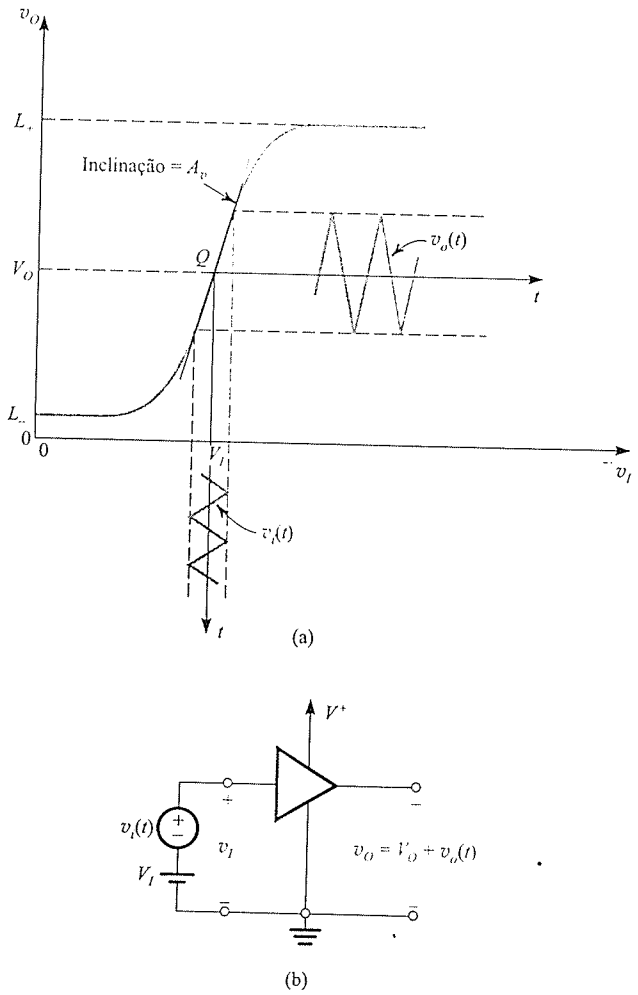


Figura 1.14 **(a)** Característica de transferência de um amplificador que exibe uma considerável não-linearidade. **(b)** Para obter uma operação linear, o amplificador é polarizado conforme mostrado e a amplitude do sinal é mantida pequena.

A técnica consiste em primeiro **polarizar** o circuito para operar próximo do ponto médio da característica de transferência. Isso é obtido acrescentando uma fonte cc V_I, como indicado na Figura 1.14, em que o ponto de operação é denominado de Q e a tensão cc correspondente na saída é V_O. O ponto Q é conhecido como **ponto quiescente**, **ponto de polarização** ou simplesmente **ponto de operação**. O sinal dependente do tempo, $v_i(t)$, é então sobreposto à tensão de polarização *cc* V_I, conforme mostra a Figura 1.14. Agora, como a tensão de entrada instântanea total,

$$v_I(t) = V_I + v_i(t)$$

varia em torno de V_I, o ponto de operação se movimenta para cima e para baixo da curva de transferência em torno do ponto de operação Q. Dessa forma é possível determinar a forma de onda da tensão de saída instantânea total $v_O(t)$. Note que se mantendo a amplitude de $v_i(t)$ suficientemente pequena, o ponto de operação fica confinado a um segmento quase linear da curva de transferência centralizada próximo do ponto Q. Isto por sua vez, implica que a porção da saída variável no tempo $v_O(t)$ é proporcional a $v_i(t)$; isto é,

$$v_O(t) = V_O + v_o(t)$$

com

$$v_o(t) = A_v v_i(t)$$

em que Av é a inclinação do segmento quase linear da curva de transferência; isto é,

$$A_v = \left.\frac{dv_O}{dv_I}\right|_{\text{em } Q}$$

Desse modo obtém-se uma amplificação linear. É claro que há uma limitação: o sinal de entrada deve ser mantido suficientemente pequeno. Aumentando-se a amplitude do sinal de entrada, pode-se fazer com que a operação não se restrinja ao segmento quase linear da curva de transferência. Isso por sua vez resulta em uma forma de onda distorcida no sinal de saída. Essa distorção não-linear é indesejável: o sinal de saída contém informações espúrias (falsas) que não pertencem ao sinal de entrada. Usaremos freqüentemente esta técnica de polarização associada com a aproximação para pequenos sinais no projeto de amplificadores a transistor.

EXEMPLO 1.2

Um amplificador transistorizado tem a seguinte característica de transferência

$$v_O = 10 - 10^{-11} e^{40v_I} \tag{1.11}$$

válida para $v_I \geq 0$ V e $v_O \geq 0{,}3$ V. Encontre os limites L_- e L_+ e os valores correspondentes de v_I. Encontre também o valor da tensão *cc* de polarização V_I que resulta em $V_O = 5$ V e o ganho de tensão correspondente a este ponto de operação.

SOLUÇÃO

O limite L_- é obviamente 0,3 V. O valor correspondente de v_I é obtido substituindo-se $v_O = 0{,}3$ V na Equação 1.11; isto é,

$$v_I = 0{,}690\ \text{V}$$

O limite L_+ é determinado por $v_I = 0$ e é portanto dado por

$$L_+ = 10 - 10^{-11} \simeq 10\ \text{V}$$

Para polarizar o dispositivo de modo que $V_O = 5$ V necessitamos de uma tensão de entrada V_I cujo valor é obtido substituindo-se $v_O = 5$ V na Equação 1.11 para obter:

$$V_I = 0{,}673\ \text{V}$$

O ganho no ponto de operação é obtido determinando-se a derivada dv_O/dv_I para $v_I = 0{,}673$ V. O resultado é

$$A_v = -200\ \text{V/V}$$

o qual indica que este amplificador é do tipo inversor, isto é, a saída é defasada de 180° em relação à entrada. Um esboço da característica de transferência do amplificador (fora de escala) está representado na Figura 1.15, na qual podemos apreciar a natureza inversora do amplificador.

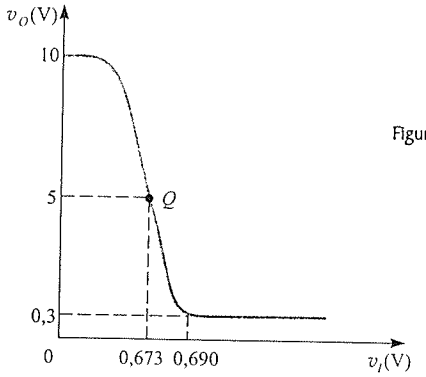


Figura 1.15 Esboço da característica de transferência do amplificador do Exemplo 1.2. Note que este amplificador é do tipo inversor (isto é, tem um ganho negativo).

Uma vez devidamente polarizado e com sinal de entrada mantido suficientemente pequeno, a operação do amplificador é considerada linear. Podemos então empregar as técnicas de análise de circuitos lineares para estudar o circuito amplificador. As duas seções seguintes fazem uma revisão dessas técnicas de análise e sua aplicação.

Convenção de Notação

Chamamos a atenção do leitor para a terminologia usada anteriormente, que será empregada em todo este livro. Grandezas instantâneas totais são indicadas por símbolos minúsculos com índices maiúsculos, como, por exemplo, $i_A(t)$, $v_C(t)$. Grandezas de corrente contínua (*cc*) são indicadas por símbolos maiúsculos com índices maiúsculos, como, por exemplo, I_A, V_C. Finalmente, grandezas de sinais incrementais são indicadas por símbolos minúsculos com índices minúsculos, como, por exemplo, $i_a(t)$, $v_c(t)$. Esta notação está ilustrada na Figura 1.16.

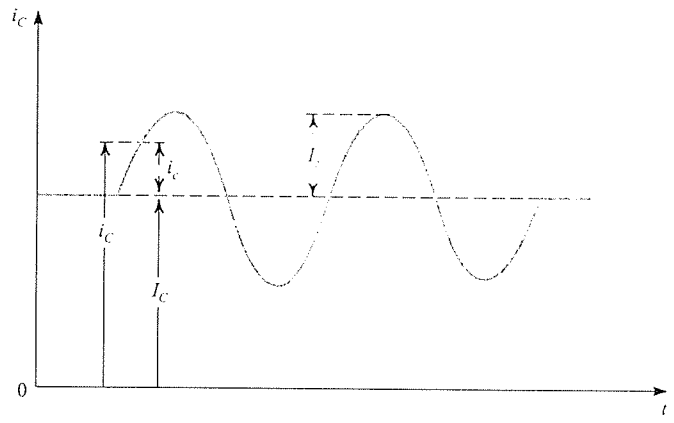


Figura 1.16 Convenção de notação empregada neste livro.

Exercícios

1.5 Um amplificador tem um ganho de tensão de 100 V/V e um ganho de corrente de 1000 A/A. Expresse os ganhos de tensão e de corrente em decibéis e calcule o ganho de potência.

Resposta 40 dB; 60 dB; 50 dB

1.6 Um amplificador operando com fonte de alimentação simples de 15 V entrega para uma carga de 1 kΩ um sinal senoidal com 12 V, pico a pico, e drena da fonte de sinal de entrada uma corrente desprezível. A corrente drenada da fonte de alimentação de 15 V é de 8 mA. Qual a potência dissipada no amplificador e qual a eficiência do amplificador?

Resposta 102 mW; 15%

1.7 A finalidade deste exercício é estudar a limitação da aproximação para pequenos sinais. Considere o amplificador do Exemplo 1.2 com um sinal positivo de entrada de 1 mV sobreposto a uma tensão de polarização *cc* V_I. Determine o correspondente sinal na saída para duas situações: (a) Suponha que o amplificador seja linear na vizinhança do ponto de operação; isto é, use o ganho determinado no Exemplo 1.2. (b) Use a característica de transferência do amplificador. Refaça o exercício para sinais de entrada de 5 mV e 10 mV.

Resposta −0,2 V, −0,204 V; −1 V, −1,107 V; −2 V, −2,459 V

1.5 MODELOS DE CIRCUITOS PARA AMPLIFICADORES

Uma boa parte deste livro é dedicada ao projeto de circuitos amplificadores usando transistores de vários tipos. Estes circuitos terão complexidades variadas, desde aqueles empregando um simples transistor até 20 ou mais componentes. Para poder usar o circuito amplificador resultante como um bloco construtivo de um sistema maior, é necessário caracterizar, ou **modelar**, o comportamento de seus terminais. Nesta seção, estudaremos modelos simples, porém eficazes, de amplificadores. Estes modelos podem ser aplicados independentemente da complexidade do cir-

cuito interno do amplificador. Os valores dos parâmetros dos modelos podem ser obtidos por análise do circuito amplificador ou executando-se medições nos terminais do amplificador.

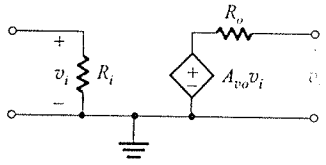
Amplificadores de Tensão

A Figura 1.17(a) mostra um modelo de circuito para o amplificador de tensão. O modelo consiste em uma fonte de tensão controlada por tensão tendo um fator de ganho de A_{vo}, uma resistência de entrada R_i, que representa o fato de o amplificador drenar uma corrente de entrada da fonte de sinal, e uma resistência de saída R_o, que representa a variação da tensão de saída quando o amplificador precisa fornecer corrente à carga. Para sermos específicos, mostramos na Figura 1.17(b) o modelo do amplificador alimentado na entrada por uma fonte de sinal de tensão v_s tendo uma resistência R_s e conectado na saída a uma resistência R_L. A resistência de saída R_o, diferente de zero, faz com que apareça na saída apenas uma fração de $A_{vo}v_i$. Usando a regra do divisor de tensão, obtemos

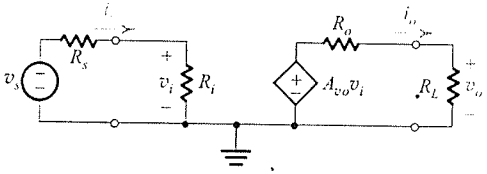
$$v_o = A_{vo} v_i \frac{R_L}{R_L + R_o}$$

Portanto, o ganho de tensão é dado por

$$A_v \equiv \frac{v_o}{v_i} = A_{vo} \frac{R_L}{R_L + R_o} \tag{1.12}$$



(a)



(b)

Figura 1.17 (a) Modelo de circuito para o amplificador de tensão. (b) O amplificador de tensão com fonte de sinal de entrada e carga.

Então, a fim de evitar perda de ganho ao acoplar a saída do amplificador à carga, a resistência de saída R_o deve ser muito menor do que a resistência de carga R_L. Em outras palavras, para um dado valor de R_L é preciso projetar o amplificador de modo que R_o seja muito menor do

que R_L. Um amplificador de tensão ideal é aquele que tem $R_o = 0$. A Equação 1.12 indica também que, para $R_L = \infty$, $A_v = A_{vo}$. Logo, A_{vo} é o ganho de tensão do amplificador sem carga, ou **ganho de tensão do amplificador em circuito aberto**. Deve ficar claro também que, na especificação do ganho de tensão de um amplificador, é preciso especificar igualmente o valor da resistência de carga na qual o ganho é medido ou calculado. Se a resistência de carga não for especificada, é normalmente suposto que o ganho de tensão dado é o de circuito aberto, A_{vo}.

A resistência de entrada finita R_i introduz outro divisor de tensão na entrada, resultando em que apenas uma fração da fonte de sinal v_s realmente alcance os terminais de entrada do amplificador: isto é,

$$v_i = v_s \frac{R_i}{R_i + R_s} \tag{1.13}$$

Então, para evitar uma perda considerável do sinal de entrada ao acoplar a fonte de sinal na entrada do amplificador, ele deve ser projetado de modo que a resistência de entrada R_i seja muito maior do que a resistência da fonte de sinal, $R_i >> R_s$. Um amplificador de tensão ideal é aquele que tem $R_i = \infty$. Neste caso ideal temos que os ganhos de corrente e de potência se tornam infinitos.

O ganho de tensão global (v_o/v_s) pode ser determinado combinando-se as Equações 1.12 e 1.13:

$$\frac{v_o}{v_s} = A_{vo} \frac{R_i}{R_i + R_s} \frac{R_L}{R_L + R_o}$$

Em algumas situações, não há interesse no ganho de tensão, mas sim no ganho de potência. Por exemplo, uma fonte de sinal pode ter um valor elevado de tensão, mas sua resistência pode ser muito maior do que a resistência da carga. Conectar essa fonte diretamente na carga resultaria em uma atenuação significativa do sinal. Nesse caso, exige-se um amplificador com uma alta resistência de entrada (muito maior do que a resistência da fonte) e uma baixa resistência de saída (muito menor do que a resistência da carga), mas com um valor modesto de ganho de tensão (ou mesmo ganho unitário). Tal amplificador é chamado de **amplificador isolador** (buffer). Encontraremos vários amplificadores isoladores no transcorrer deste livro.

EXEMPLO 1.3

A Figura 1.18 representa um amplificador composto de três estágios em cascata. O amplificador é alimentado por uma fonte de sinal com uma resistência de entrada de 100 kΩ e libera em sua saída uma resistência de carga de 100 Ω. O primeiro estágio tem uma resistência de entrada relativamente alta e um fator de ganho modesto, 10. O segundo estágio tem um alto fator de ganho, mas sua resistência de entrada é mais baixa. Finalmente, o último estágio, ou estágio de saída, tem ganho unitário, mas uma baixa resistência de saída. Desejamos determinar o ganho de tensão total, isto é, v_L/v_s, o ganho de corrente e o ganho de potência.

SOLUÇÃO

A fração de sinal de entrada que aparece nos terminais de entrada do amplificador é obtida usando a regra do divisor de tensão na entrada, como segue:

$$\frac{v_{i1}}{v_s} = \frac{1\,\text{M}\Omega}{1\,\text{M}\Omega + 100\,\text{k}\Omega} = 0{,}909$$

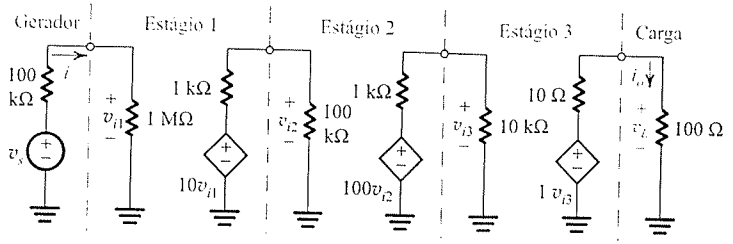


Figura 1.18 Amplificador de três estágios para o Exemplo 1.3.

O ganho de tensão do primeiro estágio é obtido considerando que a resistência de entrada do segundo estágio seja a carga do primeiro estágio; isto é,

$$A_{v1} \equiv \frac{v_{i2}}{v_{i1}} = 10\frac{100\text{ k}\Omega}{100\text{ k}\Omega + 1\text{ k}\Omega} = 9{,}9\text{ V/V}$$

De modo similar, o ganho de tensão do segundo estágio é obtido considerando que a resistência de entrada do terceiro estágio seja a carga do segundo estágio,

$$A_{v2} \equiv \frac{v_{i3}}{v_{i2}} = 100\frac{10\text{ k}\Omega}{10\text{ k}\Omega + 1\text{ k}\Omega} = 90{,}9\text{ V/V}$$

Finalmente, o ganho de tensão do estágio de saída é obtido como segue:

$$A_{v3} \equiv \frac{v_L}{v_{i3}} = 1\frac{100\ \Omega}{100\ \Omega + 10\ \Omega} = 0{,}909\text{ V/V}$$

O ganho total dos três estágios em cascata pode ser agora calculado por

$$A_v \equiv \frac{v_L}{v_{i1}} = A_{v1}\,A_{v2}\,A_{v3} = 818\text{ V/V}$$

ou 58,3 dB.

Para obter o ganho de tensão da fonte até a carga multiplicamos A_v pelo fator que representa a perda de ganho na entrada; isto é,

$$\frac{v_L}{v_s} = \frac{v_L}{v_{i1}}\frac{v_{i1}}{v_s} = A_v\frac{v_{i1}}{v_s}$$
$$= 818 \times 0{,}909 = 743{,}6\text{ V/V}$$

ou 57,4 dB.

O ganho de corrente é determinado como segue:

$$A_i \equiv \frac{i_o}{i_i} = \frac{v_L/100\ \Omega}{v_{i1}/1\text{ M}\Omega}$$
$$= 10^4 \times A_v = 8{,}18 \times 10^6\text{ A/A}$$

ou 138,3 dB.

O ganho de potência é determinado por

$$A_p \equiv \frac{P_L}{P_I} = \frac{v_L\,i_o}{v_{i1}\,i_i}$$
$$= A_v A_i = 818 \times 8{,}18 \times 10^6 = 66{,}9 \times 10^8\text{ W/W}$$

ou 98,3 dB. Observe que

$$A_p(\text{dB}) = \tfrac{1}{2}\left[A_v(\text{dB}) + A_i(\text{dB})\right]$$

Exercícios

1.8 Um transdutor com 1 V rms de tensão e resistência de 1 MΩ é utilizado para acionar uma carga de 10 Ω. Se conectado diretamente, que tensão e que nível de potência serão fornecidos à carga? Se um amplificador isolador (buffer) de ganho unitário (isto é, $A_{vo} = 1$) com resistência de entrada de 1 MΩ e resistência de saída de 10 Ω for inserido entre a fonte e a carga, quais serão os novos níveis de tensão e de potência na saída? Com o novo circuito, calcule o ganho de tensão da fonte até a carga e o ganho de potência (expresse ambos em decibéis).

Resposta 10 μV rms; 10^{-11} W; 0,25 V; 6,25 mW; −12 dB; 44 dB

1.9 Um amplificador de tensão apresenta uma queda de 20% em sua tensão de saída quando é conectada uma carga de 1 kΩ. Qual é o valor da resistência de saída do amplificador?

Resposta 250 Ω

1.10 Um amplificador com um ganho de tensão de +40 dB, uma resistência de entrada de 10 kΩ e uma resistência de saída de 1 kΩ é usado para alimentar uma carga de 1 kΩ. Qual é o valor de A_{vo}? Calcule o valor do ganho de potência em dB.

Resposta 100 V/V; 44 dB

Outros Tipos de Amplificador

No projeto de um sistema eletrônico, o sinal de interesse – seja na entrada, no estágio intermediário ou na saída do sistema – pode ser tanto de tensão quanto de corrente. Por exemplo, alguns transdutores têm resistência de saída muito alta e podem ser apropriadamente modelados como fontes de corrente.

De modo similar, há aplicações em que a grandeza de interesse é a corrente de saída e não a tensão. Assim, o amplificador de tensão considerado anteriormente é apenas um de quatro tipos possíveis de amplificadores, embora seja o mais popular. Os outros três tipos são o amplificador de corrente, o amplificador de transcondutância e o amplificador de transresistência. A Tabela 1.1 mostra os quatro tipos de amplificadores, seus modelos de circuito, a definição de seus parâmetros de ganho e os valores ideais de suas resistências de entrada e de saída.

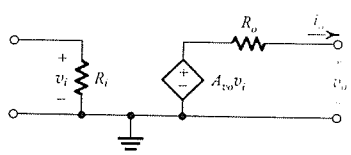
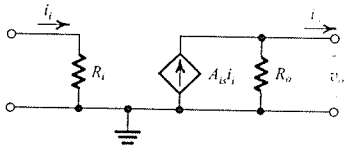
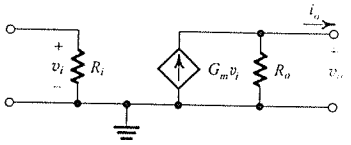
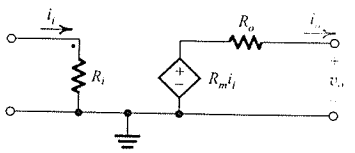
As Relações Entre os Quatro Modelos de Amplificadores

Embora para um certo amplificador em uma certa aplicação opte-se preferencialmente por um dos quatro modelos apresentados na Tabela 1.1, *qualquer um dos quatro pode ser usado para modelar o amplificador*. Na verdade, relações simples podem ser deduzidas para relacionar os parâmetros dos vários modelos.

Por exemplo, o ganho em malha aberta A_{vo} pode ser relacionado ao ganho de corrente de curto-circuito A_{is} como segue: a tensão de saída em circuito aberto dada pelo modelo de amplificador de tensão da Tabela 1.1 é $A_{vo}v_i$. O modelo de amplificador de corrente da mesma tabela fornece uma tensão de saída em circuito aberto de $A_{is}i_iR_o$. Igualando estes dois valores e observando que $i_i = v_i/R_i$ tem-se

$$A_{vo} = A_{is}\left(\frac{R_o}{R_i}\right) \tag{1.14}$$

Tabela 1.1 Os quatro tipos de amplificadores.

Tipo	Modelo de circuito	Parâmetro de ganho	Características ideais
Amplificador de tensão		Ganho de tensão em circuito aberto $A_{vo} \equiv \left.\frac{v_o}{v_i}\right\|_{i_o=0}$ (V/V)	$R_i = \infty$ $R_o = 0$
Amplificador de corrente		Ganho de corrente em curto-circuito $A_{is} \equiv \left.\frac{i_o}{i_i}\right\|_{v_o=0}$ (A/A)	$R_i = 0$ $R_o = \infty$
Amplificador de transcondutância		Transcondutância em curto-circuito $G_m \equiv \left.\frac{i_o}{v_i}\right\|_{v_o=0}$ (A/V)	$R_i = \infty$ $R_o = \infty$
Amplificador de transresistência		Transresistência em circuito aberto $R_m \equiv \left.\frac{v_o}{i_i}\right\|_{i_o=0}$ (V/A)	$R_i = 0$ $R_o = 0$

Da mesma forma, pode ser mostrado que

$$A_{vo} = G_mR_o \tag{1.15}$$

e

$$A_{vo} = \frac{R_m}{R_i} \tag{1.16}$$

As expressões nas Equações 1.14 até 1.16 podem ser usadas para relacionar qualquer um dos parâmetros de ganho A_{vo}, A_{is}, G_m e R_m.

Pelos modelos de circuitos amplificadores dados na Tabela 1.1, observamos que a resistência de entrada R_i do amplificador pode ser determinada aplicando-se um sinal de entrada v_i e medindo-se (ou calculando-se) a corrente de entrada i_i; isto é, $R_i = v_i/i_i$. A resistência de saída é determinada como a razão da tensão de saída em circuito aberto pela corrente de saída em curto-circuito. Alternativamente, a resistência de saída pode ser encontrada eliminando-se a fonte de sinal de entrada (então i_i e v_i serão ambos iguais a zero) e aplicando-se um sinal de tensão v_x na saída do amplificador. Se denominarmos a corrente drenada a partir de v_x pelos terminais de saída como i_x (note que i_x se opõe a i_o), logo $R_o = v_x/i_x$. Embora essas técnicas sejam conceitualmente corretas, na prática, outros métodos são empregados na medição de R_i e R_o.

Os modelos de amplificadores considerados anteriormente são **unilaterais**; isto é, o sinal é unidirecional, só circula da entrada para a saída. Muitos amplificadores reais mostram uma transmissão inversa, o que é usualmente indesejável, porém deve ser modelada. Não continuaremos com esse ponto neste momento, vamos apenas mencionar que modelos mais completos de redes lineares de dois acessos são dados no Apêndice B.

EXEMPLO 1.4

O **transistor bipolar de junção** (TBJ) é um dispositivo de três terminais cujo símbolo é mostrado na Figura 1.19(a) com os terminais denominados **emissor** (E), **base** (B) e **coletor** (C). O dispositivo é basicamente não-linear; logo, as relações entre valores instantâneos totais de correntes e tensões são geralmente não-lineares. Contudo, a técnica de linearização discutida na Seção 1.4 pode ser usada supondo-se uma operação linear para pequenos sinais – isto é, para variações incrementais em correntes e tensões em torno do ponto quiescente ou ponto de polarização. Assim, as grandezas instantâneas totais podem ser expressas como a soma das grandezas *cc* ou de polarização e as grandezas do sinal variável como

$$v_{BE} = V_{BE} + v_{be} \qquad i_B = I_B + i_b$$
$$v_{CE} = V_{CE} + v_{ce} \qquad i_C = I_C + i_c$$
$$i_E = I_E + i_e$$

Veremos no Capítulo 4 que, considerando-se a aproximação para pequenos sinais, as relações entre as grandezas do sinal variável são lineares e que o transistor de três terminais pode ser representado por um dos modelos de circuito equivalentes das Figuras 1.19(b), (c) e (d). Se considerarmos esses modelos equivalentes, encontre expressões para os parâmetros dos modelos nas Figuras 1.19(c) e (d) em termos dos parâmetros do modelo na Figura 1.19(b).

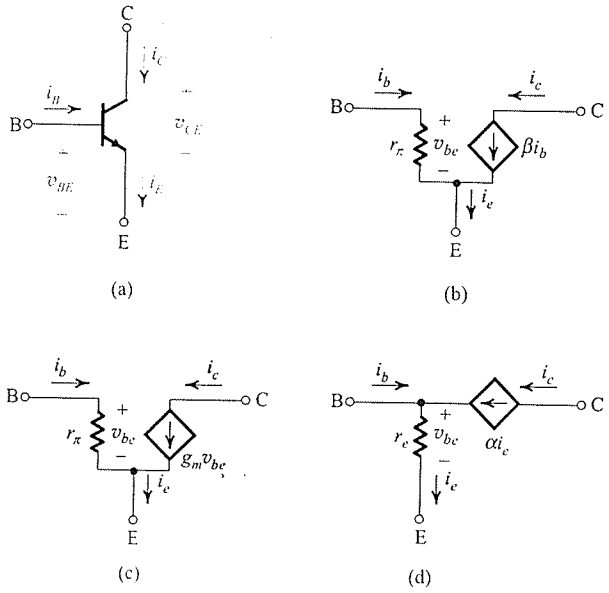


Figura 1.19 (a) Símbolo de circuito para o transistor bipolar de junção (TBJ), ilustrando a definição dos valores instantâneos totais para as grandezas nos terminais. (**b, c, d**). Modelos lineares equivalentes para operação linear com pequenos sinais do TBJ.

SOLUÇÃO

Para o modelo na Figura 1.19(b) temos

$$i_b = \frac{v_{be}}{r_\pi} \tag{1.17}$$

$$i_c = \beta i_b \tag{1.18}$$

$$i_e = (\beta + 1) i_b \tag{1.19}$$

Para o modelo na Figura 1.19(c) temos

$$i_c = g_m v_{be} \tag{1.20}$$

Usando as Equações 1.17, 1.18 e 1.20 obtemos

$$g_m = \frac{\beta}{r_\pi}$$

Para o modelo na Figura 1.19(d) temos

$$i_b = (1 - \alpha) i_e \tag{1.21}$$

$$i_c = \alpha i_e \tag{1.22}$$

$$i_e = \frac{v_{be}}{r_e} \tag{1.23}$$

Usando as Equações 1.18 e 1.19 obtemos

$$\frac{i_c}{i_e} = \frac{\beta}{\beta + 1}$$

Comparando esse resultado com a Equação 1.22, obtemos

$$\alpha = \frac{\beta}{\beta + 1}$$

As Equações 1.17 e 1.19 podem ser combinadas para produzir

$$i_e = \frac{\beta + 1}{r_\pi} v_{be}$$

Comparando esse resultado com a Equação 1.23, obtemos

$$r_e = \frac{r_\pi}{\beta + 1}$$

Obtivemos, portanto, expressões para os parâmetros dos modelos nas Figuras 1.19(c) e (d) em termos dos parâmetros do modelo na Figura 1.19(b).

Exercícios

1.11 Considere um amplificador de corrente possuindo o modelo mostrado na segunda linha da Tabela 1.1. Se ele for alimentado por uma fonte de corrente i_s que possui uma resistência R_s e sua saída estiver conectada a uma carga R_L, mostre que o ganho de corrente global é dado por

$$\frac{i_o}{i_s} = A_{is} \frac{R_s}{R_s + R_i} \frac{R_o}{R_o + R_L}$$

1.12 Considere um amplificador de transcondutância possuindo o modelo mostrado na terceira linha da Tabela 1.1. Se ele for alimentado por uma fonte de tensão v_s que possui uma resistência R_s e sua saída estiver conectada a uma carga R_L, mostre que o ganho de corrente global é dado por

$$\frac{v_o}{v_s} = G_m \frac{R_i}{R_i + R_s} (R_o \| R_L)$$

1.13 Considere um transistor modelado conforme mostra a Figura 1.19(b) com E conectado ao terra. Se uma fonte de tensão com resistência de fonte de 1 kΩ for conectada entre B e o terra e uma re-

sistência de carga de 1 kΩ for conectada entre C e o terra, calcule o ganho de tensão (v_o/v_s) e o ganho de corrente (i_o/i_b). Determine também o ganho de potência em decibéis. Assuma que $r_\pi = 2$ kΩ e $\beta = 90$.

Resposta −30 V/V; 90 A/A; 36,1 dB

1.14 Calcule a resistência de entrada entre os terminais B e G no circuito mostrado na Figura E1.14. A tensão v_x é uma tensão de teste com uma resistência de entrada $R_{in} \equiv v_x/i_x$.

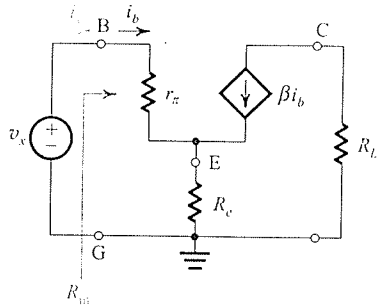


Figura E1.14

Resposta $R_{in} = r_\pi + (\beta + 1)R_e$

1.6 RESPOSTA EM FREQÜÊNCIA DOS AMPLIFICADORES

Vimos na Seção 1.2 que o sinal de entrada de um amplificador pode ser expresso como a soma de sinais senoidais. Isto implica que a determinação da resposta de um amplificador a entradas senoidais de diferentes freqüências é uma caracterização importante. Tal caracterização do desempenho do amplificador é conhecida como resposta em freqüência do amplificador.

Medindo a Resposta em Freqüência do Amplificador

Faremos a introdução ao tópico da resposta em freqüência do amplificador mostrando como ela pode ser medida. A Figura 1.20 apresenta um amplificador linear de tensão alimentado em sua entrada por uma onda senoidal de amplitude V_i e freqüência ω. Conforme indicado, o sinal medido na saída do amplificador também é senoidal com exatamente a mesma freqüência ω. Este é um ponto importante: se um sinal senoidal é aplicado a um circuito linear, a saída resultante é senoidal com a mesma freqüência da entrada. Na realidade, a senóide é a única onda que não muda de forma quando passa por um circuito linear real. Observe, contudo, que o sinal de saída senoidal terá em geral uma amplitude diferente e um deslocamento de fase (defasagem) em relação ao sinal de entrada. A razão da amplitude da senóide de saída (V_o) pela amplitude da senóide de entrada (V_i) é o módulo do ganho na freqüência de teste ω. Note também que o ângulo ϕ é a fase de transmissão do amplificador na freqüência de teste ω. Se representarmos a **transmissão do amplificador**, ou **função de transferência** como é normalmente conhecida, por $T(\omega)$, então

$$|T(\omega)| = \frac{V_o}{V_i}$$

$$\angle T(\omega) = \phi$$

A resposta em freqüência do amplificador a uma senóide de freqüência ω é totalmente descrita por $|T(\omega)|$ e $\angle T(\omega)$. Agora, para obter a resposta em freqüência completa do amplificador, simplesmente mudamos a freqüência do sinal de entrada senoidal e medimos os novos valores de $|T|$ e $\angle T$. O resultado final será uma tabela e/ou gráfico do módulo do ganho [$|T(\omega)|$] *versus* freqüência e uma tabela e/ou gráfico do ângulo da fase [$\angle T(\omega)$] *versus* freqüência. Esses dois gráficos juntos constituem a resposta em freqüência do amplificador: o primeiro é conhecido como resposta em módulo e o segundo, resposta em fase.

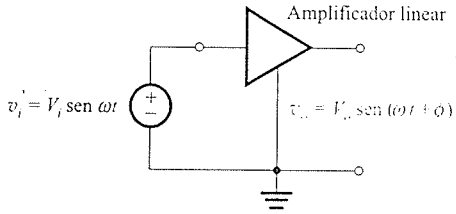


Figura 1.20 Medindo a resposta em freqüência de um amplificador linear. Na freqüência de teste ω, o ganho do amplificador é caracterizado pelos valores do módulo de (V_o/V_i) e sua fase ϕ.

Faixa de Passagem do Amplificador

A Figura 1.21 mostra a resposta em módulo de um amplificador. Ela indica que o ganho é praticamente constante para uma ampla faixa de freqüências, aproximadamente entre ω_1 e ω_2. Sinais cujas freqüências estão abaixo de ω_1 ou acima de ω_2 apresentarão um ganho menor, sendo que o ganho vai diminuindo à medida que nos afastamos de ω_1 e ω_2. A faixa de freqüências na qual o ganho do amplificador é praticamente constante, dentro de alguns decibéis (usualmente 3 dB), é chamada de **faixa de passagem do amplificador (bandwidth)**. Normalmente, o amplificador é projetado de modo que a faixa de passagem coincida com o espectro dos sinais que ele deve amplificar. Se este não fosse o caso, o amplificador *distorceria* o espectro de freqüências do sinal de entrada, com diferentes componentes do sinal de entrada sendo amplificadas por valores diferentes.

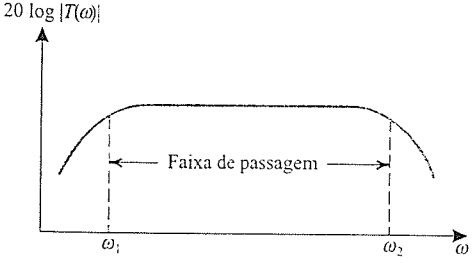


Figura 1.21 Comportamento típico da resposta em módulo de um amplificador. A função de transferência do amplificador é $T(\omega)$ – isto é, a razão da saída $V_o(\omega)$ pela entrada $V_i(\omega)$.

Avaliando a Resposta em Freqüência do Amplificador

Descrevemos anteriormente o método usado para medir a resposta em freqüência de um amplificador. Veremos agora brevemente um método para obter uma expressão analítica para a resposta em freqüência. O que descreveremos é apenas uma antecipação deste assunto importante, cujo estudo detalhado se inicia no Capítulo 7.

Para determinar a resposta em freqüência de um amplificador devemos analisar o modelo de circuito equivalente do amplificador, levando em consideração todos os componentes reativos.[2] A análise de circuito é feita de modo usual, mas com as indutâncias e capacitâncias representadas por suas reatâncias. Uma indutância L tem uma reatância ou impedância $j\omega L$ e uma capacitância C tem uma reatância ou impedância $1/j\omega C$ ou, de forma equivalente, uma susceptância ou admitância $j\omega C$. Portanto, em uma análise no *domínio da freqüência* usamos impedâncias e/ou admitâncias. O resultado da análise é a função de transferência do amplificador $T(\omega)$,

$$T(\omega) = \frac{V_o(\omega)}{V_i(\omega)}$$

em que $V_i(\omega)$ e $V_o(\omega)$ representam os sinais de entrada e de saída, respectivamente. $T(\omega)$ é geralmente uma função complexa cujo módulo $|T(\omega)|$ corresponde ao valor da transmissão ou ao valor da resposta em módulo do amplificador.

Ao analisar um circuito para determinar sua resposta em freqüência, as manipulações algébricas podem ser simplificadas consideravelmente se usarmos a **variável complexa** s. Em termos de s, a impedância de uma indutância L é sL e de uma capacitância C é $1/sC$. Substituindo os elementos reativos por suas impedâncias e executando a análise tradicional de circuitos, obtemos a função de transferência $T(s)$ como

$$T(s) \equiv \frac{V_o(s)}{V_i(s)}$$

Feito isso, substituímos s por $j\omega$ para determinar a função de transferência de rede em **regime permanente senoidal**, $T(j\omega)$. Observe que $T(j\omega)$ é a mesma função que chamamos anteriormente de $T(\omega)$;[3] o j adicional só foi incluído a fim de enfatizar que $T(j\omega)$ é obtido de $T(s)$ substituindo-se s por $j\omega$.

Redes com Constante de Tempo Simples

Ao analisar circuitos amplificadores para determinar sua resposta em freqüência, o trabalho fica facilitado se conhecermos as características da resposta em freqüência das redes com constante de tempo simples (CTS). Uma rede CTS é composta de, ou pode ser reduzida a, um componente reativo (indutância ou capacitância) e uma resistência.

2. Observe que, nos modelos considerados nas seções anteriores, não foram incluídos componentes reativos. Eles eram modelos simplificados e não podem ser usados para prever a resposta em freqüência do amplificador.

3. Nesta análise estamos usando a letra s simplesmente como um taquigrama de $j\omega$. Não exigiremos um conhecimento detalhado sobre conceitos no domínio s até o Capítulo 7.

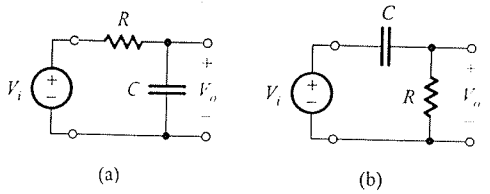


Figura 1.22 Dois exemplos de redes CTS: **(a)** uma rede passa-baixas; **(b)** uma rede passa-altas.

A Figura 1.22 mostra exemplos de redes CTS formadas por uma capacitância C e uma resistência R, tendo uma constante de tempo dada por $\tau = CR$. A constante de tempo τ de uma rede CTS composta por uma indutância L e uma resistência R é dada por $\tau = L/R$.

O Apêndice F apresenta um estudo das redes CTS e suas respostas para entradas senoidal, degrau e pulso. O conhecimento desse assunto será necessário em vários pontos deste livro, e o leitor é encorajado a ler esse apêndice. Neste momento necessitamos particularmente dos resultados para a resposta em freqüência; agora discutiremos brevemente este tópico de importância fundamental.

Quase todas as redes CTS podem ser classificadas em duas categorias:[4] **passa-baixas (PB)** e **passa-altas (PA)**, cada uma delas apresentando respostas distintas ao sinal de entrada. Como exemplo, a rede CTS mostrada na Figura 1.22(a) é do tipo *passa-baixas* e a da Figura 1.22(b) é do tipo *passa-altas*. Para entender a razão dessa classificação, observe que a função de transferência de cada um desses circuitos pode ser escrita como a razão do divisor de tensão, sendo o divisor composto de um resistor e um capacitor.

Agora, recordando que a impedância do capacitor varia com a freqüência ($Z = 1/j\omega C$), fica fácil notar que a transmissão do circuito na Figura 1.22(a) diminuirá com a freqüência e se aproximará de zero à medida que ω se aproximar de ∞. Portanto, o circuito da Figura 1.22(a) funciona como um **filtro passa-baixas;**[5] ele deixa passar sinais de entrada senoidais de baixas freqüências com pouca ou nenhuma atenuação (para $\omega = 0$, a transmissão é unitária) e atenua entradas senoidais de altas freqüências.

O circuito da Figura 1.22(b) faz o oposto; sua transmissão é unitária em $\omega = \infty$ e diminui à medida que ω se reduz, atingindo zero para $\omega = 0$. Esse último circuito, portanto, funciona como um **filtro passa-altas**.

Os gráficos do módulo e da fase das respostas são mostrados nas Figuras 1.23 e 1.24. Esses gráficos das respostas em freqüência são conhecidos como **curvas de Bode** e a freqüência (ω_0) que corresponde à atenuação de 3 dB é conhecida como **freqüência de corte** (ou **freqüência de 3 dB**). A Tabela 1.2 apresenta um resumo das respostas em freqüência das redes CTS de ambos os tipos. Aconselhamos o leitor a se familiarizar com essas informações e a consultar o Apêndice F se forem necessários outros esclarecimentos sobre o assunto.

4. Uma exceção importante é a rede CTS *passa-todas* estudada no Capítulo 11.

5. Um filtro é um circuito que deixa passar sinais em uma faixa de freqüências específica (a faixa de passagem do filtro) e bloqueia ou atenua significativamente (filtra) sinais com freqüências que não pertençam a essa faixa (a faixa de bloqueio do filtro). Filtros serão estudados no Capítulo 11.

Tabela 1.2 Respostas em freqüência das redes CTS.

	Passa-baixas (PB)	Passa-altas (PA)
Função de transferência $T(s)$	$\frac{K}{1+(s/\omega_0)}$	$\frac{Ks}{s+\omega_0}$
Função de transferência (em regime permanente senoidal) $T(j\omega)$	$\frac{K}{1+j(\omega/\omega_0)}$	$\frac{K}{1-j(\omega_0/\omega)}$
Resposta em módulo $\lvert T(j\omega)\rvert$	$\frac{\lvert K\rvert}{\sqrt{1+(\omega/\omega_0)^2}}$	$\frac{\lvert K\rvert}{\sqrt{1+(\omega_0/\omega)^2}}$
Resposta em fase $T(\omega)$	$-\tan^{-1}(\omega/\omega_0)$	$\tan^{-1}(\omega_0/\omega)$
Transmissão para $\omega = 0$ (cc)	K	0
Transmissão para $\omega = \infty$	0	K
Freqüência de 3 dB	$\omega_0 = 1/\tau$; $\tau \equiv$ constante de tempo $\tau = CR$ ou L/R	
Curvas de Bode	Figura 1.23	Figura 1.24

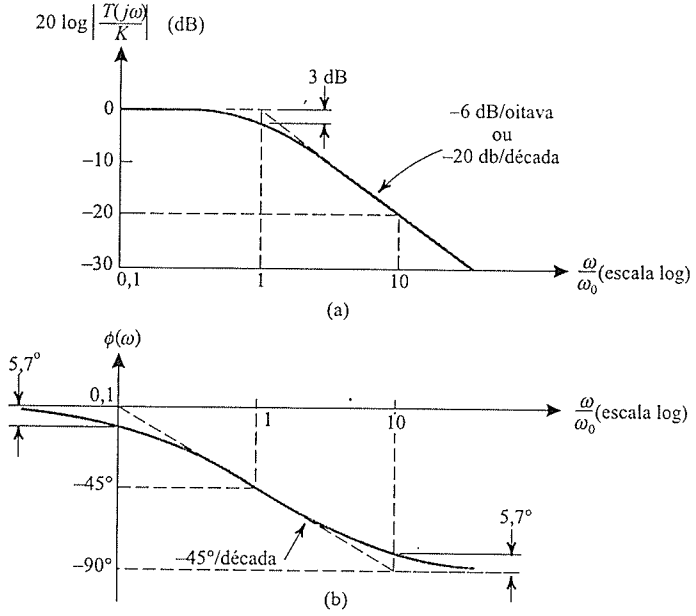


Figura 1.23 Resposta de redes CTS do tipo passa-baixas: (a) para o módulo e (b) para a fase.

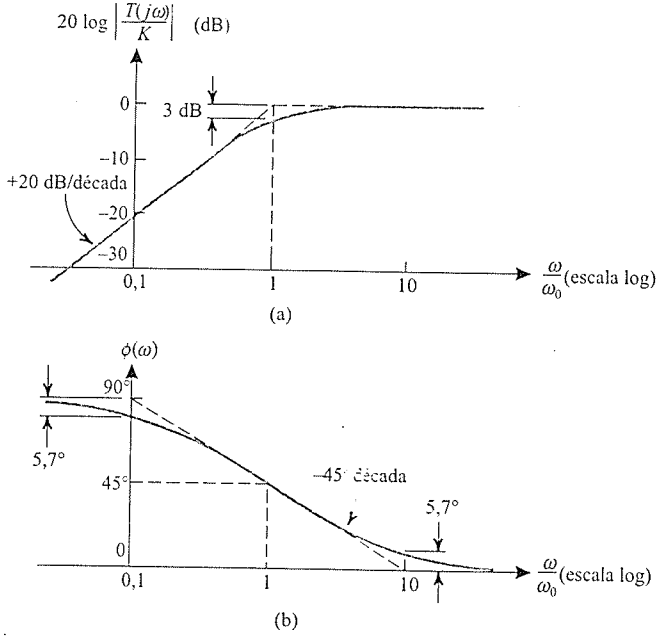


Figura 1.24 Resposta de redes CTS do tipo passa-altas: (a) para o módulo e (b) para a fase.

EXEMPLO 1.5

A Figura 1.25 mostra um amplificador de tensão com uma resistência de entrada R_i, uma capacitância C_i, um fator de ganho μ e uma resistência de saída R_o. O amplificador é alimentado por uma fonte de sinal V_s com resistência de fonte R_s e uma resistência de carga R_L é conectada na saída.

(a) Determine uma expressão para o ganho de tensão V_o/V_s em função da freqüência. A partir dessa expressão determine o ganho cc e a freqüência de 3 dB.

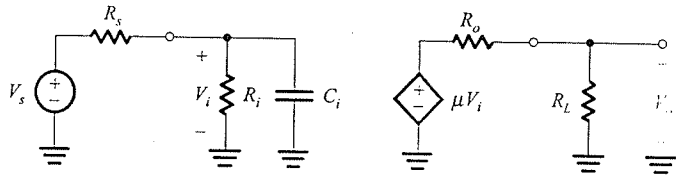


Figura 1.25 Circuito para o Exemplo 1.5.

(b) Calcule os valores do ganho *cc*, da freqüência de 3 dB e da freqüência em que o ganho se torna 0 dB (isto é, unitário) para o caso em que $R_s = 20\ \text{k}\Omega$, $R_i = 100\ \text{k}\Omega$, $C_i = 60$ pF, $\mu = 144$ V/V, $R_o = 200\ \Omega$ e $R_L = 1\ \text{k}\Omega$.

(c) Determine o valor de $v_o(t)$ para cada uma das seguintes entradas:
(i) $v_o = 0{,}1 \operatorname{sen} 10^2 t$, V
(ii) $v_o = 0{,}1 \operatorname{sen} 10^5 t$, V
(iii) $v_o = 0{,}1 \operatorname{sen} 10^6 t$, V
(iv) $v_o = 0{,}1 \operatorname{sen} 10^8 t$, V

SOLUÇÃO

(a) Utilizando a regra do divisor de tensão, podemos expressar V_i em termos de V_s como segue

$$V_i = V_s \frac{Z_i}{Z_i + R_s}$$

em que Z_i é a impedância de entrada do amplificador. Como Z_i é composta de dois elementos em paralelo, é obviamente mais fácil se trabalharmos em termos de $Y_i = 1/Z_i$.

$$V_i = V_s \frac{1}{1 + R_s Y_i}$$

$$= V_s \frac{1}{1 + R_s[(1/R_i) + sC_i]}$$

Portanto,

$$\frac{V_i}{V_s} = \frac{1}{1 + (R_s/R_i) + sC_iR_s}$$

Essa expressão pode ser escrita na forma normalizada para uma rede CTS passa-baixas (veja a primeira linha da Tabela 1.2) extraindo-se $[1 + (R_s/R_i)]$ do denominador; temos portanto

$$\frac{V_i}{V_s} = \frac{1}{1+(R_s/R_i)} \frac{1}{1+sC_i[(R_sR_i)/(R_s+R_i)]} \tag{1.24}$$

Para a saída do amplificador podemos escrever

$$V_o = \mu V_i \frac{R_L}{R_L + R_o}$$

Essa equação pode ser combinada com a Equação 1.24 para obtermos a função de transferência do amplificador como

$$\frac{V_o}{V_s} = \mu \frac{1}{1+(R_s/R_i)} \frac{1}{1+(R_o/R_L)} \frac{1}{1+sC_i[(R_sR_i)/(R_s+R_i)]} \tag{1.25}$$

Observamos que apenas o último fator dessa expressão é diferente (comparando com a expressão determinada na última seção). Esse fator resulta da capacitância de entrada C_i, com a constante de tempo sendo

$$\tau = C_i \frac{R_sR_i}{R_s + R_i} = C_i(R_s // R_i) \tag{1.26}$$

Poderíamos obter esse resultado por inspeção: pela Figura 1.25 vemos que o circuito de entrada é uma rede CTS e que sua constante de tempo pode ser encontrada reduzindo-se V_s a zero, obtendo como resultado a resistência vista por C_i que é R_i em paralelo com R_s. Pela Equação 1.25, encontramos o ganho *cc* como

$$K \equiv \frac{V_o}{V_s}(s=0) = \mu \frac{1}{1+(R_s/R_i)} \frac{1}{1+(R_o/R_L)} \tag{1.27}$$

A freqüência ω_0 de 3 dB pode ser obtida por

$$\omega_0 = \frac{1}{\tau} = \frac{1}{C_i(R_s // R_i)} \tag{1.28}$$

Visto que a resposta em freqüência desse amplificador é a de uma rede CTS do tipo passa-baixas, as curvas de Bode que fornecem o módulo e a fase do ganho terão as formas mostradas na Figura 1.23, em que K é dado pela Equação 1.27 e ω_0 é dada pela Equação 1.28.

(b) Substituindo-se na Equação 1.27 os valores numéricos fornecidos resulta em

$$K = 144 \frac{1}{1+(20/100)} \frac{1}{1+(200/1000)} = 100\ \text{V/V}$$

Portanto, o amplificador tem um ganho *cc* de 40 dB. Substituindo-se os valores numéricos na Equação 1.28, obtém-se a freqüência de 3 dB

$$\omega_0 = \frac{1}{60\text{pF} \times (20\ \text{k}\Omega // 100\ \text{k}\Omega)}$$

$$= \frac{1}{60 \times 10^{-12} \times (20 \times 100/(20+100)) \times 10^3} = 10^6\ \text{rad/s}$$

Portanto,

$$f_0 = \frac{10^6}{2\pi} = 159{,}2\ \text{kHz}$$

Como o ganho cai a uma taxa de –20 dB/década, iniciando em ω_0 (veja a Figura 1.23a), o ganho atingirá 0 dB em duas décadas: portanto, temos

Freqüência de ganho unitário = 10^7 rad/s ou 15,92 MHz

(c) Para obter $v_o(t)$ precisamos determinar o módulo e a fase do ganho em 10^2, 10^5, 10^6 e 10^8 rad/s. Isso pode ser feito de dois modos: aproximadamente, utilizando as curvas de Bode da Figura 1.23, ou exatamente, utilizando a expressão para a função de transferência do amplificador.

$$T(j\omega) \equiv \frac{V_o}{V_s}(j\omega) = \frac{100}{1 + j(\omega/10^6)}$$

Faremos os dois:

(i) Para $\omega = 10^2$ rad/s, que corresponde a $(\omega_0/10^4)$, as curvas de Bode da Figura 1.23 indicam que $|T| \simeq K = 100$ e $\phi = 0°$. A expressão da função de transferência fornece $|T| \simeq 100$ e $\phi = -\text{arctg } 10^{-4} \simeq 0°$. Portanto,

$$v_o(t) = 10 \operatorname{sen} 10^2 t, \text{ V}$$

(ii) Para $\omega = 10^5$ rad/s, que corresponde a $(\omega_0/10)$, as curvas de Bode da Figura 1.23 indicam que $|T| \simeq K = 100$ e $\phi = -5{,}7°$. A expressão da função de transferência fornece $|T| = 99{,}5$ e $\phi = -\tan^{-1} 0{,}1 = -5{,}7°$. Portanto,

$$v_o(t) = 9{,}95 \operatorname{sen}(10^5 t - 5{,}7°), \text{ V}$$

(iii) Para $\omega = 10^6$ rad/s $= \omega_0$, $|T| = 100/\sqrt{2} = 70{,}7$ V/V ou 37 dB e $\phi = -45°$. Portanto,

$$v_o(t) = 7{,}07 \operatorname{sen}(10^6 t - 45°), \text{ V}$$

(iv) Para $\omega = 10^8$ rad/s, que corresponde a $(100\omega_0)$, as curvas de Bode indicam que $|T| = 1$ e $\phi = -90°$. A expressão da função de transferência fornece

$$|T| \simeq 1 \text{ e } \phi = -\tan^{-1} 100 = -89{,}4°,$$

Portanto,

$$v_o(t) = 0{,}1 \operatorname{sen}(10^8 t - 89{,}4°), \text{ V}$$

Classificação dos Amplificadores com Base na Resposta em Freqüência

Amplificadores podem ser classificados com base na forma da curva de resposta em módulo. A Figura 1.26 mostra as curvas típicas das respostas em freqüência dos vários tipos de amplificadores. Na Figura 1.26(a), o ganho permanece constante para uma ampla faixa de freqüências, mas cai nas baixas e nas altas freqüências. Esse é um tipo comum de resposta em freqüência encontrado nos amplificadores de áudio.

Conforme será visto no Capítulo 7, as **capacitâncias internas** nos dispositivos (transistores) que compõem o amplificador provocam quedas no ganho em altas freqüências, do mesmo modo que C_i provocou a queda no ganho do circuito do Exemplo 1.5. Por outro lado, a queda no ganho em baixas freqüências é usualmente provocada pelos **capacitores de acoplamento** usados para conectar um estágio amplificador a outro, como mostra a Figura 1.27. Essa prática é usualmente adotada para simplificar o projeto de diferentes estágios. Os capacitores são usualmente escolhidos com valores elevados (uma fração de microfarad até dezenas de microfarads) de modo que sua reatância (impedância) seja baixa na freqüência desejada. Além disso, para freqüências suficientemente baixas, a reatância do capacitor de acoplamento se tornará alta o suficiente para fazer com que parte do sinal que está sendo acoplado apareça como queda de tensão no capacitor, impedindo, portanto, que o sinal alcance o próximo estágio. Os capacitores de acoplamento provocarão uma queda no ganho em baixas freqüências e farão com que o ganho seja zero em *cc*.

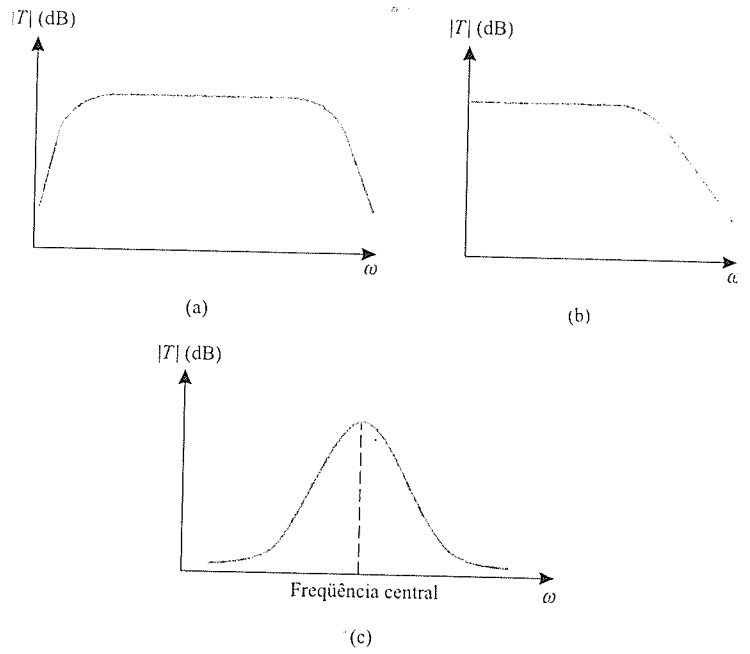


Figura 1.26 Resposta em freqüência para (a) um amplificador capacitivamente acoplado, (b) um amplificador diretamente acoplado e (c) um amplificador sintonizado ou passa-faixa.

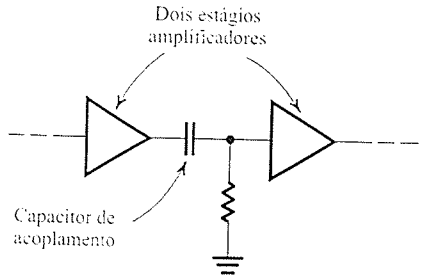


Figura 1.27 Capacitor de acoplamento usado para acoplar dois estágios amplificadores.

Em muitas aplicações é importante que o amplificador mantenha seu ganho em baixas freqüências ou mesmo em *cc*. Além disso, a tecnologia de circuitos integrados monolíticos (CI) não permite fabricar capacitores de acoplamento de valor elevado. Portanto, CIs amplificadores são usualmente projetados como **diretamente acoplados** ou **amplificadores** em oposição aos

capacitivamente acoplados ou **amplificadores *ca***). A Figura 1.26(b) mostra a resposta em freqüência de um amplificador *cc*. Essa resposta em freqüência é característica do chamado **amplificador passa-baixas**. Embora isso não seja muito apropriado, o termo amplificador passa-baixas é também usado freqüentemente para se referir ao amplificador cuja resposta é mostrada na Figura 1.26(a).

Em determinadas aplicações, como nos receptores de rádio e TV, há a necessidade de amplificadores cuja resposta seja máxima em torno de certa freqüência (chamada de **freqüência central**) e caia de ambos os lados dessa freqüência, conforme mostra a Figura 1.26(c). Os amplificadores que exibem tais respostas são chamados de **amplificadores sintonizados**, **amplificadores passa-faixa** ou **filtros passa-faixa**. O amplificador sintonizado é a parte principal do estágio de sintonia de um receptor de comunicação; fazendo coincidir sua freqüência central com a freqüência do canal de comunicação desejado, o sinal desse canal particular pode ser sintonizado/amplificado enquanto os outros sinais (dos outros canais) são atenuados ou filtrados.

Exercícios

1.15 Considere um amplificador de tensão com uma resposta em freqüência de uma rede CTS do tipo passa-baixas com um ganho *cc* de 60 dB e 1000 Hz para a freqüência de 3 dB. Calcule o ganho em dB para $f = 10$ Hz, 10 kHz, 100 kHz e 1 MHz.

Resposta 60 dB; 40 dB; 20 dB; 0 dB

P1.16 Considere um amplificador de transcondutância tendo o modelo mostrado na Tabela 1.1, com $R_i = 5$ kΩ, $R_o = 50$ kΩ e $G_m = 10$ mA/V. Se a carga do amplificador consistir em uma resistência R_L em paralelo com uma capacitância C_L, confirme que a função de transferência da tensão, V_o/V_i, é do tipo CTS passa-baixas. Qual é o menor valor que R_L pode assumir para um ganho *cc* de pelo menos 40 dB? Com esse valor de R_L conectado ao circuito, calcule o menor valor que C_L pode assumir para uma faixa de passagem (3 dB) de pelo menos 100 kHz.

Resposta 12,5 kΩ; 159,2 pF

P1.17 Considere a situação ilustrada na Figura 1.27. Suponha que a resistência de saída do primeiro amplificador de tensão seja de 1 kΩ e a resistência de entrada do segundo amplificador de tensão (incluindo o resistor mostrado) seja de 9 kΩ. O circuito equivalente resultante está mostrado na Figura E1.17, em que V_s e R_s são a tensão e a resistência de saída do primeiro amplificador, respectivamente, C é o capacitor de acoplamento e R_i é a resistência de entrada do segundo amplificador. Confirme que V_2/V_s é uma função do tipo rede CTS passa-altas. Qual o menor valor para C capaz de garantir que a freqüência de 3 dB não seja superior a 100 Hz?

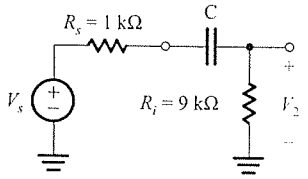


Figura E1.17

Resposta 0.16 μF

1.7 O INVERSOR LÓGICO DIGITAL

O inversor lógico é o principal elemento básico no projeto de circuitos digitais; ele desempenha um papel similar àquele desempenhado pelo amplificador em circuitos analógicos. Nesta seção, apresentamos uma introdução ao inversor lógico.

Função do Inversor

Como seu nome indica, o inversor lógico inverte o valor lógico do sinal de entrada. Assim, para uma entrada de valor lógico 0, a saída terá um valor lógico 1 e vice-versa. Em termos de níveis de tensão, considere o inversor mostrado na Figura 1.28 sob a forma de diagrama de blocos: quando v_I é baixo (próximo de 0 V), a saída v_O será alta (próxima de V_{DD}) e vice-versa.

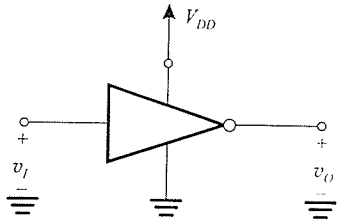


Figura 1.28 Um inversor lógico alimentado por uma fonte *cc* V_{DD}.

A Característica de Transferência de Tensão (CTT)

Para quantificar a operação do inversor, utilizamos sua característica de transferência de tensão (CTT, como é abreviada usualmente). Primeiramente, considere o amplificador mostrado no Exemplo 1.2, cuja característica de transferência está esboçada na Figura 1.15. Observe que a característica de transferência indica que esse amplificador inversor pode ser utilizado como um inversor lógico.

Especificamente, se a entrada é alta ($v_I > 0{,}690$ V), v_O será baixa (0,3 V). Por outro lado, se a entrada é baixa (próxima de 0 V), a saída será alta (próxima de 10 V). Portanto, para utilizar esse amplificador como um inversor lógico, usamos suas regiões extremas de operação. Isso é exatamente oposto a seu uso como amplificador de sinais, em que ele deve ser polarizado no meio da característica de transferência e o sinal de entrada deve ser mantido suficientemente pequeno para restringir a operação a um pequeno segmento da curva de transferência, praticamente linear. Aplicações digitais, portanto, utilizam a flagrante não-linearidade exibida pela CTT.

Com essas observações em mente, podemos agora mostrar na Figura 1.29 uma possível CTT de um inversor lógico. Por simplicidade, estamos utilizando três linhas retas para aproximar a CTT, que é usualmente uma função não-linear como aquela da Figura 1.15. Note que o nível alto de saída, denominado V_{OH}, não depende do valor exato de v_I, desde que v_I não exceda o valor denominado de V_{IL}; quando v_I excede V_{IL}, a saída diminui e o inversor entra em sua região de amplificação linear, também chamada de **região de transição**. Portanto, V_{IL} é um parâmetro importante da CTT do inversor: é o *máximo valor que v_I pode assumir e ainda ser interpretado pelo inversor como um nível lógico 0.*

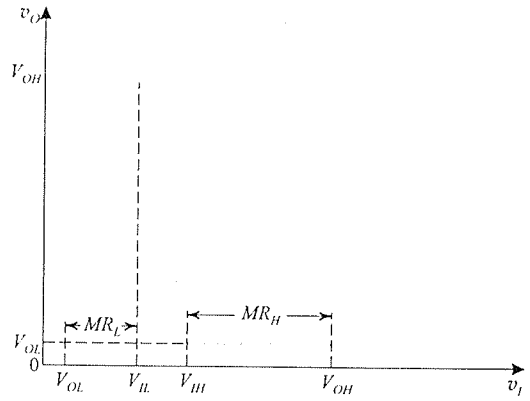


Figura 1.29 Característica de transferência de tensão de um inversor. A CTT é aproximada por três segmentos de retas. Note os quatro parâmetros da CTT: V_{OH}, V_{OL}, V_{IL} e V_{IH} e seu uso na determinação das margens de ruído MR_H e MR_L.

Da mesma forma, observamos que o nível baixo de saída, denominado V_{OL}, não depende do valor exato de v_I, desde que v_I não seja menor que o valor denominado de V_{IH}. Portanto, V_{IH} é um parâmetro importante da CTT do inversor: é o *mínimo valor que v_I pode assumir e ainda ser interpretado pelo inversor como nível lógico 1.*

Margens de Ruído

A insensibilidade da saída do inversor ao valor exato de v_I dentro das regiões permitidas é uma grande vantagem que os circuitos digitais possuem em relação aos circuitos analógicos. Para quantificar essa insensibilidade, considere a situação muito comum em que a saída de um inversor é a entrada de outro inversor (ou de outro circuito lógico baseado no circuito inversor). Se a saída do primeiro inversor está em nível alto com valor V_{OH}, vemos que há uma margem de segurança igual à diferença entre V_{OH} e V_{IH} (veja a Figura 1.29). Em outras palavras, se por alguma razão um sinal indesejado (chamado de "ruído elétrico" ou simplesmente **ruído**) é sobreposto ao sinal de saída do inversor, o inversor subseqüente não será "incomodado" enquanto o ruído não reduzir a tensão em sua entrada a valores menores que V_{IH}. Portanto, podemos dizer que o inversor possui uma **margem de ruído para nível alto**, MR_H, de

$$MR_H = V_{OH} - V_{IH} \tag{1.29}$$

Da mesma forma, se a saída do primeiro inversor estiver em nível baixo com valor V_{OL}, o segundo inversor produzirá uma saída em nível alto mesmo que o ruído altere o nível V_{OL} em sua entrada, elevando-o até próximo de V_{IL}. Portanto, podemos dizer que o inversor possui uma **margem de ruído para nível baixo**, MR_L, de

$$MR_L = V_{IL} - V_{OL} \tag{1.30}$$

Resumidamente, quatro parâmetros (V_{OH}, V_{OL}, V_{IH} e V_{IL}) definem a CTT de um inversor e determinam suas margens de ruído, que por sua vez medem a capacidade do inversor em tolerar

variações nos níveis de tensão dos sinais de entrada. Podemos inclusive dizer que alterações no nível de tensão de entrada, dentro das margens de ruído, são *rejeitadas* pelo inversor. Portanto, o ruído não é propagado adiante através do sistema. Por outro lado, podemos dizer que o inversor *restaura* os níveis de tensão aos valores-padrão (V_{OL} e V_{OH}) mesmo quando ele recebe sinais degradados em sua entrada (dentro das margens de ruído).

A CTT Ideal

Qual a CTT ideal de um inversor? A resposta advém da discussão anterior. Uma CTT ideal é aquela que maximiza as margens de ruído e as distribui igualitariamente entre as regiões de entrada de nível baixo e nível alto. Tal CTT é mostrada na Figura 1.30 para um inversor operando a partir de uma fonte *cc* V_{DD}. Note que o nível alto de saída V_{OH} é o máximo valor possível, V_{DD}, e que o nível baixo de saída é o menor valor possível, 0 V.

Note também que os níveis limites V_{IL} e V_{IH} são equalizados e iguais à metade do valor da fonte de tensão de alimentação ($V_{DD}/2$). Portanto, a largura da região de transição entre as regiões de saída de nível alto e nível baixo foi reduzida a zero. A região de transição, embora obviamente muito importante para aplicações de amplificação analógica, não tem utilidade em circuitos digitais. A CTT ideal possui uma inclinação abrupta na tensão de transição de $V_{DD}/2$, correspondendo a uma região de transição com ganho infinito. As margens de ruído nesse caso são iguais:

$$MR_H = MR_L = V_{DD}/2 \tag{1.31}$$

Veremos no Capítulo 5 que circuitos inversores projetados na tecnologia metal-óxido-semicondutor complementar (ou CMOS) possuem uma CTT muito próxima da ideal.

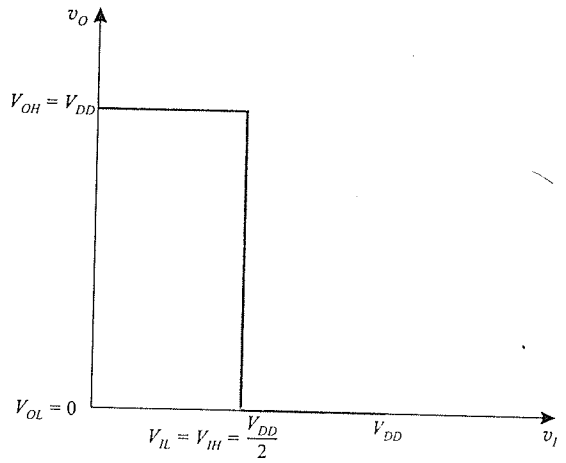


Figura 1.30 A CTT de um inversor ideal.

Implementação de um Inversor

Inversores são implementados utilizando-se transistores (Capítulos 4 e 5) operando como chaves controladas por tensão. A implementação mais simples de um inversor é mostrada na Figura 1.31.

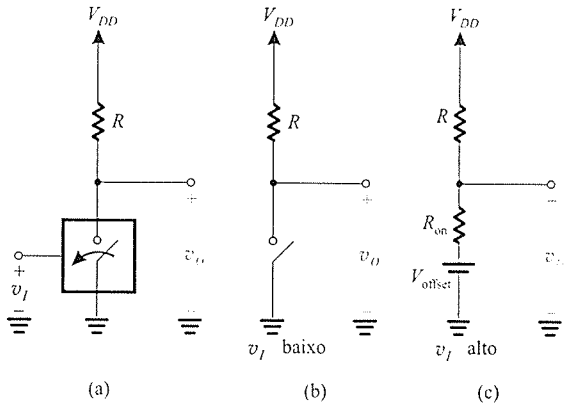


Figura 1.31 (a) A implementação mais simples de um inversor lógico utilizando uma chave controlada por tensão; (b) circuito equivalente quando v_I é baixo; e (c) circuito equivalente quando v_I é alto. Observe que a chave se fecha quando v_I é alto.

Na Figura 1.31, a chave é controlada pela tensão de entrada do inversor, v_I. Quando v_I for baixa, a chave se abrirá e $v_O = V_{DD}$, já que nenhuma corrente flui através de R. Quando v_I for alta, a chave se fechará e, assumindo uma chave ideal, $v_O = 0$.

Chaves transistorizadas, no entanto, como veremos nos Capítulos 4 e 5, não são perfeitas. Embora suas resistências, quando desligadas, sejam suficientemente elevadas e, portanto, uma chave "aberta" representa efetivamente um circuito "aberto", a chave fechada tem uma resistência de fechamento R_{on} finita e diferente de zero. Além disso, algumas chaves (por exemplo, aquelas implementadas utilizando-se transistores bipolares; Capítulo 4) apresentam adicionalmente à R_{on} uma tensão residual (*offset*) V_{offset}. O resultado é que, quando v_I é alta, o inversor possui o circuito equivalente mostrado na Figura 1.31(c), a partir do qual V_{OL} pode ser determinado.

Existem implementações mais elaboradas do inversor lógico e duas delas são mostradas nas Figuras 1.32(a) e 1.33. O circuito da Figura 1.32(a) utiliza um par de chaves complementares; a chave levantadora (*pull-up*, PU) conecta o nó de saída a V_{DD} e a chave abaixadora (*pull-down*, PD) conecta o nó de saída ao terra. Quando v_I for baixa, a chave PU estará fechada e a chave PD aberta, resultando no circuito equivalente da Figura 1.32(b). Observe que, neste caso, R_{on} da chave PU conecta a saída à V_{DD}, fazendo com que $V_{OH} = V_{DD}$. Também é importante observar que não flui nenhuma corrente pelo circuito e, portanto, a potência dissipada é zero. A seguir, se v_I for colocada no nível lógico 1, a chave PU se abrirá e a chave PD se fechará, resultando no circuito equivalente da Figura 1.32(c). Neste caso, R_{on} da chave PD conecta a saída ao terra, fazendo $V_{OL} = 0$. É importante observar que, novamente, não flui nenhuma corrente pelo circuito e, portanto, a potência dissipada é zero. A superioridade dessa implementação sobre aquela utilizando uma única chave abaixadora e um resistor (conhecido como resistor levantador ou de "*pull-up*") é evidente. O circuito com duas

chaves apresentado constitui a base do inversor CMOS que estudaremos na Seção 5.9. Note que não incluímos tensões residuais nos circuitos equivalentes, pois chaves CMOS não possuem V_{offset} (Capítulo 5).

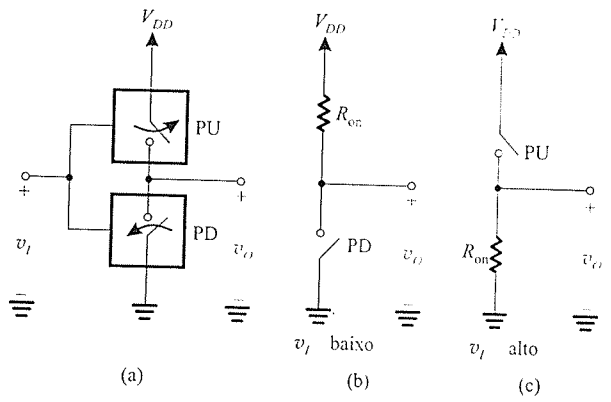


Figura 1.32 Uma implementação mais elaborada de um inversor lógico utilizando duas chaves complementares. Essa é a base do inversor CMOS estudado na Seção 5.9.

Finalmente, considere a implementação do inversor apresentada na Figura 1.33. Aqui, uma chave de duas posições é usada para direcionar a corrente I_{EE} para um dos dois resistores conectados à fonte positiva V_{CC}. O leitor é encorajado a mostrar que, se v_I alto implicar que a chave conecta R_{C1} a I_{EE}, então uma função lógica inversora é obtida em v_{O1}. Observe que a tensão de saída é independente da resistência da chave. Esse *arranjo lógico de direcionamento de corrente* ou *de modo corrente* é a base dos circuitos lógicos digitais mais velozes disponíveis até o momento, e é chamado de lógica acoplada pelo emissor (*emitter-coupled logic* – ECL). A lógica ECL será introduzida no Capítulo 6 e estudada em detalhes no Capítulo 14.

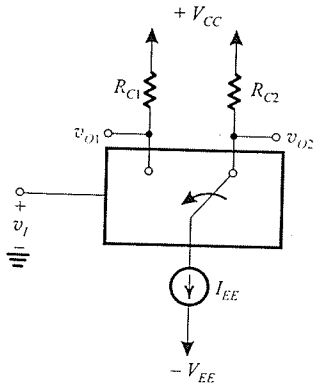


Figura 1.33 Outra implementação do inversor utilizando uma chave de duas posições para direcionar a corrente constante I_{EE} a R_{C1} (quando v_I é alta) ou R_{C2} (quando v_I é baixa). Essa é a base da lógica acoplada pelo emissor (emitter-coupled logic – ECL) estudada nos Capítulos 6 e 14.

Dissipação de Potência

Sistemas digitais são implementados utilizando-se um número imenso de portas lógicas. Devido ao espaço ocupado e a outras considerações econômicas, é desejável implementar o sistema com o menor número de circuitos integrados (CIs) possível. Portanto, deve-se agregar o maior número possível de portas lógicas em uma única pastilha de circuito integrado (IC chip). Pode-se fabricar 100.000 ou mais portas lógicas em uma única pastilha empregando-se o que é conhecida como **integração em escala muito ampla** (*very-large-scale integration – VLSI*). Para manter a dissipação de potência na pastilha dentro de limites aceitáveis (impostos por questões térmicas), a dissipação de potência por porta lógica deve ser mantida no mínimo. Por essa razão, uma medida de desempenho muito importante para um inversor lógico é a quantidade de potência que ele dissipa.

O inversor simples da Figura 1.31 obviamente não dissipa potência quando v_I é baixo e a chave está aberta. No outro estado, porém, a potência dissipada é aproximadamente V_{DD}^2/R e pode ser significativa. Essa dissipação de potência ocorre mesmo que o inversor não esteja chaveando (mudando de estado) e, portanto, é conhecida como **dissipação de potência estática**. O inversor da Figura 1.32 não apresenta dissipação de potência estática e, portanto, possui uma vantagem significativa. Infelizmente, uma outra componente de dissipação de potência aparece quando uma capacitância existe entre o nó de saída do inversor e o terra. Este é sempre o caso real, por três motivos: os dispositivos que implementam as chaves possuem capacitâncias internas, os fios que interconectam a saída do circuito inversor a outros circuitos possuem capacitâncias associadas e, por fim, as próprias entradas dos outros circuitos possuem capacitâncias internas. Assim, quando o inversor chaveia de um estado para outro, correntes precisam fluir através das chaves para carregar (ou descarregar) as capacitâncias de carga. Essas correntes dão origem à dissipação de potência nas chaves, chamada de dissipação de **potência dinâmica**. No Capítulo 5, estudaremos a dissipação de potência dinâmica no inversor CMOS e mostraremos que um inversor chaveado a uma freqüência de f Hz gera uma dissipação de potência dinâmica dada por

$$P_{\text{dinâmica}} = fCV_{DD}^2 \tag{1.32}$$

em que C é a capacitância entre o nó de saída e o terra e V_{DD} é a tensão de alimentação. Essa expressão aplica-se aproximadamente a todos os circuitos inversores.

Atraso na Propagação

Se, por um lado, o comportamento dinâmico dos amplificadores é especificado em termos de sua resposta em freqüência, o comportamento dinâmico dos inversores é caracterizado em termos do atraso temporal entre o chaveamento de v_I (de baixo para alto ou vice-versa) e a mudança correspondente na saída. Tal atraso, chamado de **atraso na propagação**, surge por dois motivos: os transistores que implementam as chaves exibem tempos de chaveamento finitos (diferentes de zero) e a capacitância que inevitavelmente está presente entre a saída do inversor e o terra necessita ser carregada (ou descarregada, conforme o caso) antes que a saída atinja os níveis V_{OH} ou V_{OL}. Analisaremos os tempos de chaveamento do inversor em capítulos subseqüentes. Esse estudo depende de uma boa familiarização com a resposta temporal de circuitos com constante de tempo simples (CTS). Uma revisão do assunto é apresentada no Apêndice F. No momento, o leitor deve apenas lembrar da equação fundamental que expressa a resposta temporal para uma função degrau aplicada.

Considere uma entrada do tipo degrau aplicada a uma rede CTS do tipo passa-baixas ou passa-altas e, também, que a rede tenha uma constante de tempo τ. A saída para qualquer tempo t é dada por

$$y(t) = Y_\infty - (Y_\infty - Y_{0+})e^{-t/\tau} \tag{1.33}$$

em que Y_∞ é o valor final, isto é, o valor para o qual a resposta tende para um tempo infinito, e Y_{0+} é o valor da resposta imediatamente após $t = 0$. Essa equação indica que a saída para qualquer tempo t é igual à diferença entre o valor final Y_∞ e uma certa quantidade cujo valor inicial é $Y_\infty - Y_{0+}$ e que está se reduzindo exponencialmente ao longo do tempo.

EXEMPLO 1.6

Considere o inversor da Figura 1.31(a) com um capacitor $C = 10$ pF conectado entre a saída e o terra. Sejam $V_{DD} = 5$ V, $R = 1$ kΩ, $R_{on} = 100\ \Omega$ e $V_{\text{offset}} = 0{,}1$ V. Se, para $t = 0$, v_I torna-se baixo e, negligenciando o tempo de atraso da chave, ou seja, supondo-se que ela abre imediatamente, determine o tempo para que a saída atinja $1/2(V_{OH} + V_{OL})$. O tempo para este ponto de transição de 50% na forma de onda da saída é definido como atraso na propagação de nível baixo para nível alto (low-to-high propagation delay, t_{PLH}).

SOLUÇÃO

Primeiramente determinamos V_{OL}, que é a tensão na saída antes do instante $t = 0$. A partir do circuito equivalente da Figura 1.31(b), obtemos

$$V_{OL} = V_{\text{offset}} + \frac{V_{DD} - V_{\text{offset}}}{R + R_{\text{on}}} R_{\text{on}}$$

$$= 0{,}1 + \frac{5 - 0.1}{1.1} \times 0{,}1 = 0{,}55 \text{ V}$$

Em seguida, quando a chave abre em $t = 0$, o circuito assume a forma mostrada na Figura 1.34(a). Uma vez que a tensão entre os terminais do capacitor não pode mudar instantaneamente, para $t = 0+$, a saída ainda será 0.55 V.

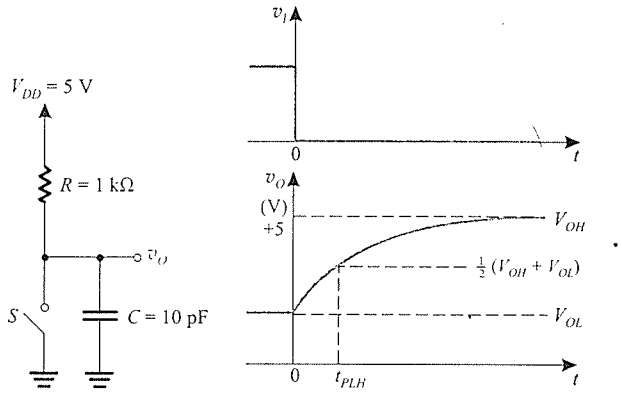


Figura 1.34 Exemplo 1.6: (a) O circuito inversor após a abertura da chave (isto é, para $t \geq 0+$). (b) Formas de onda de v_I e v_O. Foi assumido que a chave opera instantaneamente e v_O aumenta exponencialmente, iniciando em V_{OL} e indo em direção a V_{OH}.

A seguir, o capacitor carrega-se por meio de R e v_O aumenta exponencialmente em direção a V_{DD}. A forma de onda da saída será aquela mostrada na Figura 1.34(b) e sua equação pode ser obtida substituindo-se na Equação 1.33 os valores $v_O(\infty) = 5$ V e $v_O(0+) = 0{,}55$ V. Assim

$$v_O(t) = 5 - (5 - 0{,}55)e^{-t/\tau}$$

em que $\tau = CR$. Para calcular t_{PLH}, substituímos

$$v_O(t_{PLH}) = \frac{1}{2}(V_{OH} + V_{OL})$$

$$= \frac{1}{2}(5 + 0{,}55)$$

O resultado é

$$t_{PLH} = 0{,}69\,\tau$$
$$= 0{,}69\,RC$$
$$= 0{,}69 \times 10^{3} \times 10^{-11}$$
$$= 6{,}9 \text{ ns}$$

Concluímos esta seção mostrando na Figura 1.35 a definição formal do atraso na propagação de um inversor. Como mostrado, um pulso com **tempos de subida e descida** finitos (diferentes de zero) é aplicado à entrada. O pulso de saída invertido exibe tempos de subida e descida finitos (chamados de t_{TLH} e t_{THL}, em que o índice T denota transição, LH denota "baixo para alto" e HL denota "alto para baixo"). Há também um tempo de atraso entre as formas de onda de entrada e de saída. A forma usual de especificar o atraso na propagação é fazendo-se a média aritmética do tempo de propagação de alto para baixo, t_{PHL}, e do tempo de propagação de baixo para alto, t_{PLH}.

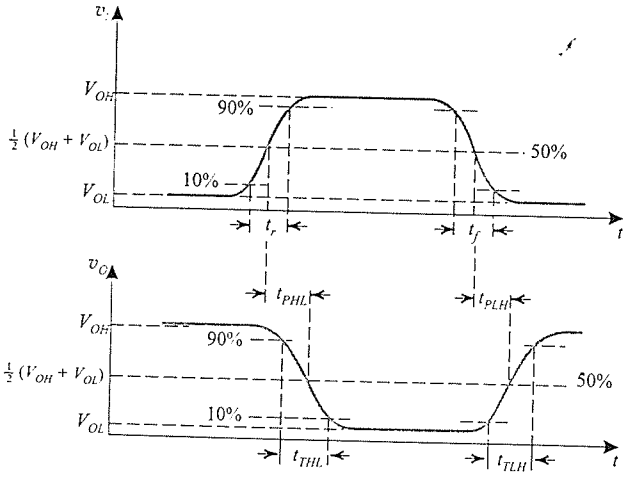


Figura 1.35 Definições dos atrasos na propagação e tempos de transição do inversor lógico.

Como indicado, esses atrasos são medidos entre os pontos de 50% das formas de onda de entrada e saída. Observe também que os tempos de transição são especificados utilizando-se os pontos de 10% e 90% da excursão de saída ($V_{OH} - V_{OL}$).

Exercícios

1.18 Para o inversor da Figura 1.31, sejam $V_{DD} = 5$ V, $R = 1$ kΩ, $R_{on} = 100\ \Omega$, $V_{offset} = 0{,}1$ V, $V_{IL} = 0{,}8$ V e $V_{IH} = 1{,}2$ V. Calcule V_{OH}, V_{OL}, MR_H e MR_L. Calcule também a potência estática média dissipada pelo inversor, assumindo-se que ele permaneça metade do tempo em cada um dos estados.

Resposta 5 V; 0,55 V; 3,8 V; 0,25 V; 11,1 mW

1.19 Calcule a potência dinâmica dissipada em um inversor operando a partir de uma fonte de alimentação de 5 V. O inversor tem uma capacitância de carga de 2 pF e é chaveado a 50 MHz.

Resposta 2,5 mW

RESUMO

- Uma fonte de sinal pode ser representada pela forma de Thévenin (uma fonte de tensão em série com uma impedância de fonte) ou pela forma de Norton (uma fonte de corrente em paralelo com uma impedância de fonte).
- O sinal senoidal é completamente caracterizado por seu valor de pico (ou valor rms que é o valor de pico/$\sqrt{2}$), sua freqüência (ω em rad/s ou f em Hz; $\omega = 2\pi f$ e $f = 1/T$, em que T é o período em segundos) e sua fase em relação a uma referência arbitrária no tempo.
- Um sinal pode ser representado por sua forma de onda em função do tempo ou por uma soma de senóides. Essa última forma de representação é conhecida como espectro de freqüências do sinal.
- A magnitude dos sinais analógicos pode assumir qualquer valor. Circuitos eletrônicos que processam sinais analógicos são chamados de circuitos analógicos. Amostrando um sinal analógico em instantes discretos no tempo e representando cada amostra do sinal por um número com dígitos finitos resulta em um sinal digital. Sinais digitais são processados por circuitos digitais.
- Os sinais digitais mais simples são obtidos quando um sistema binário é utilizado. Um sinal digital assume então um de dois valores possíveis: baixo e alto (por exemplo, 0 V e +5 V), correspondendo ao valor lógico 0 e 1, respectivamente.
- Um conversor analógico-digital (AD) fornece em sua saída os dígitos do número binário que representam o sinal analógico amostrado em sua entrada. O sinal digital de saída pode então ser processado utilizando-se circuitos digitais.
- A característica de transferência, v_O *versus* v_I, de um amplificador linear é uma linha reta com inclinação igual ao ganho de tensão.
- Os amplificadores aumentam a potência do sinal e, portanto, precisam de uma fonte de alimentação *cc* para sua operação.
- A amplificação linear pode ser obtida por um dispositivo com característica de transferência não-linear, empregando-se polarização *cc* e mantendo-se a amplitude do sinal de entrada pequena.
- Dependendo do sinal a ser amplificado (tensão ou corrente) e da forma desejada para o sinal de saída (tensão ou corrente), há quatro tipos básicos de amplificadores: amplificador de tensão, corrente, transcondutância e transresistência. Consulte a Tabela 1.1 para os modelos de circuito e características ideais de cada um desses quatro tipos de amplificadores.
- Sinais senoidais são usados para medir a resposta em freqüência de amplificadores.
- A função de transferência $T(s) \equiv V_o(s)/V_i(s)$ de um amplificador de tensão pode ser determinada a partir da análise do circuito. Substituindo-se $s = j\omega$

obtém-se $T(j\omega)$, cujo módulo $|T(j\omega)|$ é a resposta em módulo do amplificador e cuja fase $\phi(j\omega)$ é a resposta em fase do amplificador.

- Amplificadores são classificados segundo a forma da curva de sua resposta em freqüência, $|T(j\omega)|$.
- As redes com constante de tempo simples (CTS) são aquelas compostas de, ou que podem ser reduzidas a, uma componente reativa (L ou C) e uma resistência (R). A constante de tempo τ para cada uma delas é L/R ou CR.
- As redes CTS podem ser classificadas em duas categorias: passa-baixas (PB) e passa-altas (PA). As redes PB deixam passar cc e baixas freqüências, atenuando altas freqüências. As redes PA fazem o oposto.
- O valor do ganho de um circuito CTS PB (PA) cai de 3 dB em relação ao valor para freqüência zero (freqüência infinita) na freqüência $\omega_0 = 1/\tau$. Nas altas freqüências (baixas freqüências), o ganho cai a uma taxa de 6 dB/oitava ou 20 dB/década. Consulte a Tabela 1.2 e as Figuras 1.23 e 1.24.
- O inversor lógico digital é o bloco construtivo básico para circuitos digitais, da mesma forma que o amplificador é o bloco construtivo básico para circuitos analógicos.
- A operação estática de um inversor é descrita por sua curva de transferência de tensão (CTT). Os pontos notáveis da curva de transferência determinam as margens de ruído do inversor; consulte a Figura 1.29. Em particular, $MR_H = V_{OH} - V_{IH}$ e $MR_L = V_{IL} - V_{OL}$.
- O inversor é implementado utilizando-se transistores operando como chaves controladas por tensão. O arranjo empregando duas chaves operando de modo complementar resulta em um inversor de alto desempenho.
- Um parâmetro de desempenho do inversor muito importante é a quantidade de potência que ele dissipa. Há duas componentes na dissipação de potência: estática e dinâmica. A primeira resulta da corrente que flui no estado 0 e/ou no estado 1. A segunda ocorre quando o inversor é chaveado e tem uma carga capacitiva. A dissipação dinâmica de potência é dada aproximadamente por fCV_{DD}^2.
- Um outro parâmetro muito importante do inversor é seu atraso na propagação (veja a Figura 1.35 para definições).

BIBLIOGRAFIA

E. F. Angelo, Jr., *Electronics: BJTs, FETs, and Microcircuits,* New York, McGraw-Hill, 1969.

L. S. Bobrow, *Elementary Linear Circuit Analysis,* 2ª ed., New York, Holt, Rinehart e Winston, 1987.

W. H. Hayt e J. E. Kemmerly, *Engineering Circuit Analysis,* 3ª ed., New York, McGraw-Hill, 1978.

Scientific American, Special Issue on Microelectronics, setembro de 1977.

M. E. Van Valkenburg, *Network Analysis,* 3ª ed., Englewood Cliffs, N.J., Prentice-Hall, 1974.

PROBLEMAS[6,7]

Seção 1.1: Sinais

1.1 Para as representações de fontes de sinal mostradas na Figura 1.1(a) e 1.1(b), quais são as tensões de saída em aberto esperadas? Em cada caso, se os terminais de saída forem curto-circuitados (isto é, ligados com um fio), qual a corrente que fluirá? Para as representações serem equivalentes, qual deve ser a relação entre v_s, i_s e R_s?

6. Problemas com alguma dificuldade estão marcados com um asterisco (*); problemas relativamente difíceis estão marcados com dois asteriscos (**); problemas muito difíceis (e/ou que consomem muito tempo) estão marcados com três asteriscos (***).

7. Problemas orientados a projetos estão marcados com P.

1.2 Uma fonte de sinal tem uma tensão em aberto de 10 mV e uma corrente de curto-circuito de 10 μA. Qual a resistência de fonte?

Seção 1.2: Espectro de Freqüências dos Sinais

1.3 Escreva as expressões dos sinais senoidais com as seguintes características:
(a) Amplitude de 10 V de pico e freqüência de 10 kHz.
(b) 120 V rms e freqüência de 60 Hz.
(c) 0,2 V pico a pico e freqüência de 1000 rad/s.
(d) 100 mV de pico e período de 1 ms.

1.4 Para uma onda quadrada de 10 kHz, que fração da energia disponível é percebida por um adulto com idade de 40 anos cuja audição alcança apenas 16 kHz?

Seção 1.3: Sinais Digitais e Analógicos

1.5 Determine a representação binária dos seguintes números decimais: 0, 7, 12, 33 e 57.

1.6 Considere um conversor AD de N bits no qual a entrada analógica varia entre 0 e V_{FE} (em que o índice FE indica "fundo de escala").
(a) Mostre que o bit menos significativo (LSB) corresponde a mudança no sinal analógico de $V_{FE}/2^N - 1$. Esta é a resolução do conversor.
(b) Convença-se de que o erro máximo de conversão (chamado de erro de quantização) é metade da resolução, isto é, o erro de quantização é $1/2V_{FE}/2^N - 1$.
(c) Para $V_{FE} = 10$ V, quantos bits são necessários para obter uma resolução de 10 mV ou melhor? Qual é o erro de quantização resultante?

Seção 1.4: Amplificadores

1.7 Um certo amplificador de áudio de potência necessita de um sinal senoidal de entrada com 1 V rms para produzir uma saída de 0,5 V de pico. A resistência de entrada do amplificador é de 120 kΩ. A carga é um pequeno alto-falante com uma resistência equivalente de 8 Ω. Calcule o ganho de tensão, o ganho de corrente e o ganho de potência desse sistema. Expresse cada um deles como razões e em decibéis.

1.8 Um amplificador tem um ganho de corrente de 60 dB e um ganho de potência de 50 dB. Calcule seu ganho de tensão.

1.9 Um amplificador operando com uma fonte de alimentação simétrica de ±15 V tem uma característica de transferência linear com exceção de uma saturação na saída em ±13 V. Se o ganho do amplificador é de 100 V/V, encontre o valor rms do maior sinal senoidal que pode ser aplicado na entrada sem que ocorra ceifamento na saída.

P*1.10 Um amplificador projetado com um único transistor metal-óxido-semicondutor (MOS) tem a seguinte característica de transferência

$$v_O = 10 - 5(v_I - 2)^2$$

em que v_I e v_O estão em volts. Essa característica de transferência é válida para $2 \le v_I \le v_O + 2$ e v_O positivo. Nos limites dessa região o amplificador satura.
(a) Esboce e marque claramente a característica de transferência. Quais são os níveis de saturação L_+ e L_- e os correspondentes valores de v_I?
(b) Polarize o amplificador para obter uma tensão de saída cc de 5 V. Qual o valor necessário para a tensão cc de entrada V_I?
(c) Calcule o valor do ganho de tensão para pequenos sinais no ponto de polarização.
(d) Se um sinal senoidal de entrada for sobreposto à tensão de polarização cc V_I, isto é,

$$v_I = V_I + V_i \cos \omega t$$

calcule a tensão na saída v_O.
Usando a identidade trigonométrica

$$\cos^2 \theta = \tfrac{1}{2} + \tfrac{1}{2} \cos 2\theta$$

expresse v_O como a soma de uma componente cc, uma componente com freqüência ω e uma componente se-

noidal com freqüência de 2ω. Essa última componente é indesejável e resulta da característica de transferência não-linear do amplificador. Se for necessário limitar a razão da componente de segunda harmônica pela componente fundamental em 1% (essa razão é conhecida como distorção de segunda harmônica), qual o limite superior correspondente para V_i?

Seção 1.5: Modelos de Circuitos para Amplificadores

1.11 Considere o modelo de circuito para um amplificador de tensão apresentado na Figura 1.17(b), no qual $A_{vo} = 10$ V/V nas seguintes condições:
(a) $R_i = 10R_s$, $R_L = 10R_o$
(b) $R_i = R_s$, $R_L = R_o$
(c) $R_i = R_s/10$, $R_L = R_o/10$
Calcule o ganho de tensão v_o/v_s em cada caso, expressando-o diretamente e em dB.

1.12 Um amplificador com 40 dB de ganho de tensão em aberto para pequenos sinais, com resistência de entrada de 1 MΩ e resistência de saída de 10 Ω está conectado a uma carga de 100 Ω. Quais ganhos de tensão e de potência (expressos em dB) você esperaria com a carga conectada? Se o amplificador tem uma limitação de corrente máxima de pico de 100 mA, qual o máximo valor de tensão rms para um sinal de entrada senoidal para o qual se tem um sinal de saída não-distorcido? Qual é a correspondente potência de saída disponível?

P1.13 Um projetista tem à disposição um amplificador de tensão com uma resistência de entrada de 10 kΩ, uma resistência de saída de 1 kΩ e um ganho de tensão em aberto de 10. A fonte de sinal tem uma resistência de 10 kΩ e proporciona um sinal de 10 mV rms, mas é necessário fornecer um sinal de pelo menos 2 V rms para uma carga de 1 kΩ. Quantos estágios amplificadores serão necessários nesse caso? Qual é o valor da tensão de saída obtida nesse caso?

P*1.14 Projete um amplificador para proporcionar um sinal com potência de 0,5 W para uma resistência de carga de 100 Ω. A fonte de sinal proporciona uma tensão de 30 mV rms e tem uma resistência de 0,5 MΩ. Três tipos de amplificadores estão disponíveis:
(1) Um de alta resistência de entrada com $R_i = 1$ MΩ, $A_{vo} = 10$ e $R_o = 10$ kΩ.
(2) Um alto ganho com $R_i = 10$ kΩ, $A_{vo} = 100$ e $R_o = 1$ kΩ.
(3) Uma baixa resistência de saída com $R_i = 10$ kΩ, $A_{vo} = 1$ e $R_o = 20$ Ω.
Projete um amplificador de acordo com essas características usando uma combinação desses estágios. Seu projeto deve utilizar o menor número de estágios possíveis. Calcule a tensão na carga e a potência disponibilizada na saída.

1.15 Um amplificador de transcondutância, tendo $R_i = 2$ kΩ, $G_m = 40$ mA/V e $R_o = 20$ kΩ, está sendo alimentado por uma fonte de tensão com uma resistência de 2 kΩ e está acoplado a uma resistência de carga de 1 kΩ. Calcule o ganho de tensão para esse caso.

1.16 A Figura P1.16 mostra um amplificador de transcondutância cuja saída está *realimentando* a entrada. Calcule a resistência de entrada R_{in} resultante na entrada do quadripolo. (*Sugestão*: aplique uma tensão de teste v_x entre os dois terminais de entrada e determine a corrente i_x drenada da fonte; então $R_{in} \equiv v_x / i_x$.)

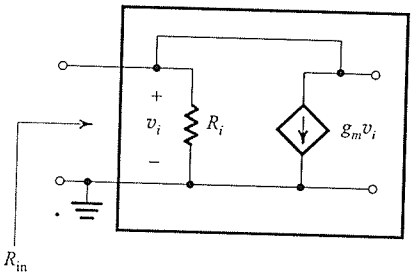


Figura P1.16

1.17 Trocando-se o transistor da Figura P1.17 pelo modelo para pequenos sinais da Figura 1.19(d), determine a expressão para o ganho de tensão v_o/v_s do amplificador com transistor em termos de α e r_e do transistor e dos resistores externos.

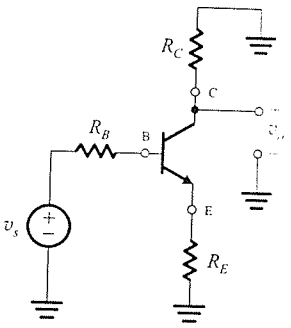


Figura P1.17

Seção 1.6: Resposta em Freqüência dos Amplificadores

1.18 Usando a regra do divisor de tensão determine as funções de transferência $T(s) \equiv V_o(s)/V_i(s)$ dos circuitos mostrados na Figura 1.22 e mostre que as funções de transferência têm a forma da parte superior da Tabela 1.2.

1.19 A Figura P1.19 mostra uma fonte de sinal conectada à entrada de um amplificador. Nesta figura, R_s é a resistência da fonte e R_i e C_i são a resistência e capacitância de entrada do amplificador (respectivamente). Determine uma expressão para $V_i(s)/V_s(s)$ e mostre que ela é uma rede CTS do tipo passa-baixas.

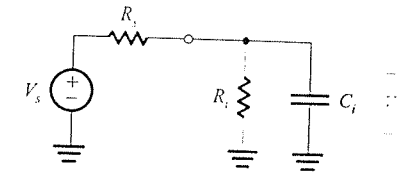


Figura P1.19

Calcule a freqüência de 3 dB para o caso em que $R_s = 10$ kΩ, $R_i = 100$ kΩ e $C_i = 10$ pF.

***1.20** Os amplificadores de tensão de ganho unitário da Figura P1.20 têm resistências de entrada infinita e resistências de saída zero e, portanto, funcionam como isoladores (*buffers*) perfeitos. Confirme que o ganho total V_o/V_i cairá 3 dB em relação ao valor em *cc* na freqüência onde o ganho de cada circuito RC é de 0,75 dB abaixo. Calcule o valor dessa freqüência em termos de CR.

1.21 Um nó interno de um amplificador para altas freqüências, cuja resistência Thévenin equivalente deste nó é de 100 kΩ, é incidentalmente ligado ao terra por meio de um capacitor devido a um erro de manufatura. Se a faixa de passagem do amplificador foi reduzida de 5 MHz para 100 kHz, estime o valor do capacitor de desvio. Se a freqüência de corte original pode ser atribuída a

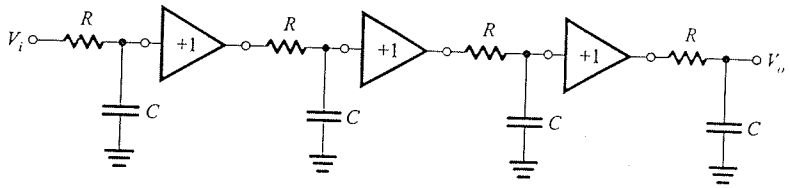


Figura P1.20

um capacitor parasitário interno ligado ao mesmo nó interno (isto é, entre o nó e o terra), estime seu valor.

*1.22 Quando medido experimentalmente, um amplificador possui um ganho de 20 V/V em freqüências médias (5 kHz) com um deslocamento de fase de 180° a 5 kHz, 135° a 50 Hz e 225° a 500 kHz. Quais são as freqüências de corte? Determine a expressão de sua função de transferência. Qual a faixa de freqüências na qual o ganho é maior que 23 dB? E 0 dB? Se os capacitores internos a cada uma das duas redes CTS têm seu valor dobrado, quais serão as novas freqüências de corte?

*1.23 Para o circuito mostrado na Figura P1.23, determine a função de transferência $T_i(s) = V_i(s)/V_s(s)$ e a freqüência de corte correspondente. Depois determine $T_o(s) = V_o(s)/V_i(s)$ e a freqüência de corte correspondente. Coloque cada uma das funções de transferência na forma-padrão (Tabela 1.2) e combine-as para formar uma função de transferência global $T(s) = T_i(s) \times T_o(s)$. Plote a curva de Bode do módulo, $|T(j\omega)|$. Qual a faixa de passagem entre os pontos de 3 dB?

1.24 Use a regra do divisor de tensão para encontrar a função de transferência $V_o(s)/V_i(s)$ do circuito na Figura P1.24. Mostre que a função de transferência pode ser feita independente da freqüência se a condição $C_1R_1 = C_2R_2$ for satisfeita. Nessa condição, o circuito é chamado de **atenuador compensado**. Determine a transmissão do atenuador compensado em termos de R_1 e R_2.

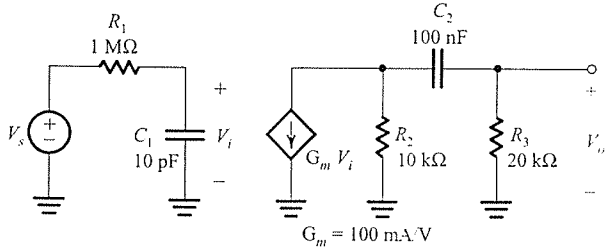


Figura P1.23

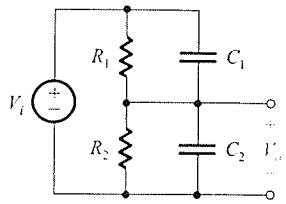


Figura P1.24

Seção 1.7: O Inversor Lógico Digital

1.25 Um inversor lógico possui $V_{IL} = 1{,}5$ V, $V_{IH} = 2{,}7$ V, $V_{OL} = 0{,}6$ V e $V_{OH} = 3{,}7$ V. Calcule as margens de ruído MR_H e MR_L.

1.26 A característica de transferência de tensão de um inversor lógico é modelada por três segmentos de reta, como mostrado na Figura 1.29. Se $V_{IL} = 1{,}5$ V, $V_{IH} = 2{,}5$ V, $V_{OL} = 0{,}5$ V e $V_{OH} = 4$ V, determine: (a) as margens de ruído, (b) o valor de v_I para o qual $v_O = v_I$ (conhecido como ponto de transição do inversor) e (c) o ganho de tensão na região de transição.

1.27 Para um determinado inversor usando uma fonte de alimentação V_{DD}, $V_{OL} = 0{,}1\ V_{DD}$, $V_{OH} = 0{,}8\ V_{DD}$, $V_{IL} = 0{,}4\ V_{DD}$ e $V_{IH} = 0{,}6\ V_{DD}$. Quais são as margens de ruído? Para uma margem de ruído mínima de 1 V, qual o valor de V_{DD} necessário?

1.28 Considere um inversor implementado como mostra a Figura 1.31(a). Sejam $V_{DD} = 5$ V, $R = 2$ kΩ, $V_{offset} = 0{,}1$ V, $R_{on} = 200$ Ω, $V_{IL} = 1$ V e $V_{IH} = 2$ V.

(a) Determine V_{OL}, V_{OH}, MR_H e MR_L.

(b) O inversor está acoplado na saída a N inversores idênticos. Cada um desses inversores de carga, ou inversores de **fan-out**, como são chamados, requer uma corrente de entrada de 0,2 mA quando sua entrada está em alto e corrente zero quando sua entrada está em baixo. Considerando que as correntes de entrada dos inversores de fan-out serão fornecidas por meio do resistor R do inversor original, determine os valores resultantes de V_{OH} e MR_H em função do número N de inversores de fan-out. Determine o máximo número para N que ainda garanta MR_H ao menos igual a MR_L.

(c) Calcule a potência estática dissipada no inversor em dois casos: (i) a saída é baixa e (ii) a saída é alta e alimenta o fan-out máximo determinado em (b).

1.29 Para o inversor de modo corrente da Figura 1.33, sejam $V_{CC} = 5$ V, $I_{EE} = 1$ mA e $R_{C1} = R_{C2} = 2$ kΩ. Calcule V_{OL} e V_{OH}.

1.30 Considere um inversor lógico do tipo mostrado na Figura 1.32. Sejam $V_{DD} = 5$ V e considere uma capacitância $C = 10$ pF conectada entre o nó de saída e o terra. Se o inversor é chaveado a uma freqüência de 100 MHz, use a expressão da Equação 1.32 para estimar a potência dinâmica dissipada. Qual a corrente média drenada da fonte de tensão *cc*?

PARTE I

DISPOSITIVOS E CIRCUITOS BÁSICOS

Capítulo 2
Amplificadores Operacionais

Capítulo 3
Diodos

Capítulo 4
Transistores Bipolares de Junção (TBJ)

Capítulo 5
Transistores de Efeito de Campo (FET)

INTRODUÇÃO

Assim como os componentes passivos (por exemplo, resistores e capacitores) os quais presumimos que já sejam familiares aos leitores, diodos e transistores são também muito empregados na construção de circuitos eletrônicos analógicos e digitais. Esses dispositivos eletrônicos são feitos de silício, um material semicondutor. O estudo dos diodos e transistores de silício constitui o corpo da Parte I.

Um bloco básico de circuito que não é um dispositivo eletrônico no sentido mais fundamental, mas que é comercialmente encontrado como um circuito integrado (CI) já encapsulado e com características elétricas bem definidas, é o amplificador operacional (amp op). Embora o circuito interno de um amp op seja complexo, tipicamente incorporando 20 ou mais transistores, seu comportamento elétrico quase ideal permite tratá-lo como um elemento simples de circuito e usá-lo corriqueiramente no projeto de circuitos sem que seja necessário qualquer conhecimento de sua construção interna. Nosso estudo de circuitos eletrônicos começa no Capítulo 2 com o CI amp op.[1]

Os três capítulos seguintes tratam dos dispositivos semicondutores básicos: diodos no Capítulo 3, transistor bipolar de junção (TBJ) no Capítulo 4 e transistor de efeito de campo (FET) no Capítulo 5. Cada capítulo inicia com um estudo das características elétricas e inclui uma descrição da operação física básica do respectivo dispositivo. Por outro lado, também foram desenvolvidos modelos apropriados que representam as características elétricas descritas para cada dispositivo, e ao final de cada capítulo é feito um estudo dos projetos e análises das configurações de circuito fundamentais nas quais cada dispositivo é comumente empregado. Além de uma grande variedade de circuitos com diodos, também são estudados circuitos transistorizados de amplificadores, inversores lógicos digitais e blocos construtivos básicos de circuitos digitais e analógicos.

O objetivo da Parte I é propiciar ao leitor um alto grau de familiaridade com os amp ops, com os dispositivos eletrônicos (diodos, TBJs e FETs) e com o uso de amp ops e dispositivos eletrônicos em projetos de circuitos simples, mas fundamentais. Ao final da Parte I, o leitor deve estar apto a continuar seu estudo em aspectos mais avançados de projetos de circuitos analógicos e digitais que serão apresentados nas Partes II e III, respectivamente.

1. Os leitores que preferirem estudar os amp ops em um estágio posterior (talvez depois do Capítulo 7 ou em conjunto com o Capítulo 10) podem saltar o Capítulo 2 sem perder a continuidade.

CAPÍTULO 2

MAKRON Books

Amplificadores Operacionais

Introdução
2.1 Encapsulamento do Amp Op
2.2 O Amp Op Ideal
2.3 Análise de Circuitos com Amp Ops Ideais – A Configuração Inversora
2.4 Outras Aplicações da Configuração Inversora
2.5 A Configuração Não-inversora
2.6 Exemplos de Circuitos com Amp Op
2.7 Efeito do Ganho Finito em Malha Aberta e da Faixa de Passagem no Desempenho do Circuito
2.8 Operação dos Amp Ops para Grandes Sinais
2.9 Imperfeições *cc*
Resumo
Bibliografia
Problemas

INTRODUÇÃO

Uma vez aprendidos os conceitos e as terminologias básicas do amplificador, estamos prontos para ir adiante no estudo de um circuito básico de importância universal: o amplificador operacional (amp op). Embora os amp ops já estivessem em uso há muito tempo, suas aplicações eram inicialmente nas áreas de computação e instrumentacão analógicas. No início, os amp ops eram construídos a partir de componentes discretos (válvulas e depois transistores e resistores); seu custo era proibitivamente alto (dezenas de dólares). Por volta da metade dos anos 60, foi produzido o primeiro circuito integrado (CI). Essa unidade (μA 709) era feita com um número relativamente alto de transistores e resistores, todos em uma mesma pastilha de silício. Embora suas características fossem pobres (comparadas aos padrões atuais) e seu custo fosse ainda muito alto, seu surgimento sinalizou uma nova era no projeto de circuitos eletrônicos. Os engenheiros eletrônicos iniciaram o uso dos amp ops em larga escala, o que causou uma queda dramática em seu preço. Eles exigiram também uma melhor qualidade dos amp ops. Os fabricantes de semicondutores responderam prontamente; em poucos anos, amp ops de alta qualidade já estavam disponíveis no comércio a preços extremamente baixos (dezenas de centavos de dólares), por um grande número de fornecedores.

Uma das razões para a popularidade do amp op é sua versatilidade. Como veremos rapidamente, podemos fazer quase tudo com os amp ops! Também é importante o fato de o CI amp op ter características muito próximas das que supomos ideais. Isso implica que é muito fácil projetar circuitos utilizando o CI amp op. Além disso, os circuitos com amp op trabalham em níveis

muito próximos daqueles previstos no projeto teórico. E é por essa razão que estamos estudando amp ops nesse estágio inicial. É nossa expectativa que o leitor, ao final deste capítulo, seja capaz de projetar com sucesso circuitos não-triviais utilizando os amp ops.

Conforme já mencionado, um CI amp op é feito com um grande número de transistores, resistores e, normalmente, também um capacitor interno. Como ainda não estudamos circuitos com transistores, não discutiremos sobre o circuito interno do amp op neste capítulo. Em vez disso, vamos tratar o amp op como um bloco construtivo básico de circuito e estudar suas características elétricas, bem como suas aplicações. Esse tratamento é quase totalmente satisfatório em muitas aplicações do amp op. Todavia, para aplicações mais exigentes e difíceis, é muito útil saber o que há dentro do encapsulamento do amp op. Esse assunto será estudado no Capítulo 10. Finalmente, deve ser mencionado que aplicações avançadas dos amp ops serão tratadas nos capítulos finais.

2.1 ENCAPSULAMENTO DO AMP OP

Do ponto de vista de sinal, o amp op tem três terminais: dois terminais de entrada e um terminal de saída. A Figura 2.1 mostra o símbolo que devemos utilizar para representar o amp op. Os terminais 1 e 2 são as entradas e o terminal 3 é a saída. Conforme foi explicado na Seção 1.4, os amplificadores devem ser alimentados com uma fonte *cc* para operar. Quase todos os CIs amp ops necessitam de uma fonte *cc* simétrica, como mostrado na Figura 2.2. Os dois terminais, 4 e 5, saem do encapsulamento do amp op para serem conectados às tensões positiva V^+ e negativa V^-, respectivamente. Na Figura 2.2(b) mostramos de maneira clara a fonte simétrica: duas baterias com um ponto comum aterrado. É interessante observar que o ponto de referência aterrado nos circuitos dos amp ops é justamente o terminal comum da fonte simétrica; isto é, não há nenhum terminal do encapsulamento do amp op fisicamente acoplado ao terra. Daqui em diante não mostraremos explicitamente a fonte de alimentação dos amp ops.

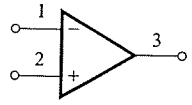
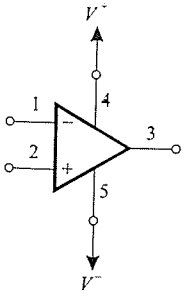
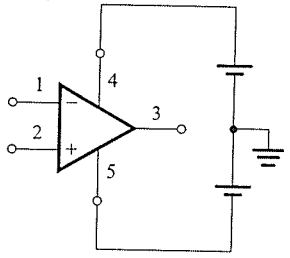


Figura 2.1 Símbolo do amp op.



(a)



(b)

Figura 2.2 O amp op conectado à fonte de alimentação *cc* simétrica.

Em adição aos três terminais de sinal e aos dois terminais de alimentação, um amp op pode ter outros terminais com funções específicas. Entre esses outros terminais podemos incluir terminais para compensação de freqüência e terminais de anulação de *offset* (*offsert nulling*): essas duas funções serão explicadas nas próximas seções.

Exercício

2.1 Qual o número mínimo de terminais necessários para um amp op simples? Qual o número mínimo de terminais necessários em um CI encapsulado contendo quatro amp ops (chamado amp op quad)?

Resposta. 5, 14

2.2 O AMP OP IDEAL

Vamos estudar agora a operação do amp op. O amp op é projetado para operar como um sensor da diferença entre os sinais de tensão aplicados em seus dois terminais de entrada (isto é, o valor de $v_2 - v_1$), multiplicando-se esse valor por um número A que resulta em uma tensão $A(v_2 - v_1)$, que aparece no terminal de saída 3. Nesse momento, deve-se enfatizar que, quando falamos sobre tensão em um terminal, isso significa a tensão entre o terminal e o terra, logo, a tensão v_1 significa a tensão aplicada entre o terminal 1 e o terra.

Em um amp op ideal é suposto que nenhuma corrente de entrada seja drenada; isto é, a corrente do sinal no terminal 1 e a corrente do sinal no terminal 2 são ambas iguais a zero. Em outras palavras, a impedância de entrada do amp op ideal é supostamente infinita.

E sobre o terminal de saída 3? Esse terminal é suposto como se fosse o terminal de uma fonte de tensão ideal. Isto é, a tensão entre o terminal 3 e o terra será sempre igual a $A(v_2 - v_1)$ e será independente da corrente que possa ser drenada do terminal 3 por uma impedância de carga. Em outras palavras, a impedância de saída do amp op ideal é idealmente igual a zero.

Reunindo tudo que foi dito anteriormente, chegamos ao modelo equivalente de circuito mostrado na Figura 2.3. Observe que a tensão de saída está em fase com (tem o mesmo sinal de) v_2 e defasada com (tem sinal oposto de) v_1. Por essa razão, o terminal 1 é chamado de **terminal da entrada inversora** e identificado por um sinal " – ", enquanto o terminal 2 é chamado de **terminal da entrada não-inversora** e identificado por um sinal " + ".

Como visto na descrição anterior, o amp op responde apenas à *diferença* de sinal $v_2 - v_1$ e, portanto, ignora qualquer sinal *comum* a ambas as entradas. Isto é, se $v_1 = v_2 = 1$ V, então a saída será – teoricamente – zero. A essa propriedade damos o nome de **rejeição de modo comum**, e concluímos que um amp op ideal tem uma rejeição de modo comum infinita. Voltaremos a falar sobre esse assunto mais adiante. Pelo que foi visto até agora, você já deve ter observado que o amp op é um amplificador com *entrada diferencial e saída simples*. Com esse último termo estamos nos referindo ao fato de que a saída é tomada entre o terminal 3 e o terra. Além disso, o ganho A é chamado de **ganho diferencial** por razões óbvias. Talvez não tão óbvio seja o outro nome dado para A: **ganho em malha aberta**. A razão para esse nome se tornará óbvia mais tarde quando "fecharmos a malha" em torno do amp op e definirmos um outro ganho, o ganho em malha fechada.

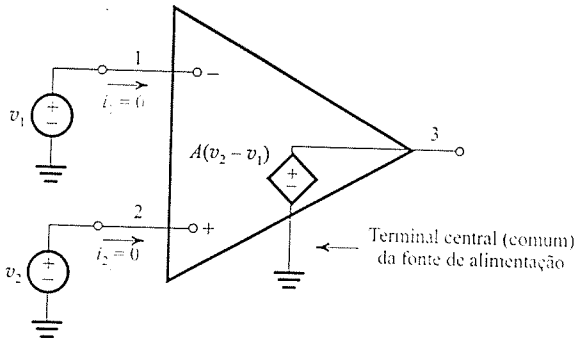


Figura 2.3 Circuito equivalente do amp op ideal.

Uma característica importante dos amp ops é que eles são dispositivos diretamente acoplados ou amplificadores d.a., em que d.a. é usado para abreviar os termos diretamente acoplados (que pode também ser chamado de amplificador *cc*, que significa corrente contínua, visto que um amplificador diretamente acoplado é aquele que amplifica sinais cujas freqüências são baixas ou mesmo iguais a zero).

O fato de os amp ops serem dispositivos diretamente acoplados permitirá seu uso em aplicações muito importantes. Infelizmente, no entanto, a propriedade do acoplamento direto pode causar alguns problemas sérios, como será discutido em uma seção posterior.

E sobre a faixa de passagem? O amp op ideal tem um ganho A que permanece constante, desde freqüência zero até freqüência infinita. Isto é, o amp op amplificará sinais de qualquer freqüência com igual ganho.

Já discutimos todas as propriedades do amp op ideal, exceto uma delas, que é realmente a mais importante. Trata-se do valor de A. O amp op ideal deve ter um valor de ganho A muito alto ou mesmo infinito. Surge então uma pergunta justificável: se o ganho A é infinito, como usaremos o amp op? A resposta é muito simples: em quase todas as aplicações, o amp op *não* será utilizado na configuração em malha aberta. Em vez disso, vamos aplicar uma realimentação para fechar a malha em torno do amp op, como será ilustrado em detalhes na Seção 2.3.

Exercícios

2.2 Considere um amp op ideal, exceto em seu ganho em malha aberta, que é $A = 10^3$. O amp op está sendo usado em um circuito com realimentação e as tensões presentes em cada um de seus três terminais foram medidas. Use os valores medidos em cada um dos casos a seguir para calcular os valores de tensões esperados no terceiro terminal. (a) $v_2 = 0$ V e $v_3 = 2$ V; (b) $v_2 = +5$ V e $v_3 = -10$ V; (c) $v_1 = 1.002$ V e $v_2 = 0{,}998$ V; (d) $v_1 = -3{,}6$ V e $v_3 = -3{,}6$ V.

Resposta (a) $v_1 = -0{,}002$ V; (b) $v_1 = +5{,}01$ V; (c) $v_3 = -4$ V; (d) $v_2 = -3{,}6036$ V

2.3 O circuito interno de um determinado amp op pode ser modelado pelo circuito mostrado na Figura E2.3. Expresse v_3 em função de v_1 e v_2. Para o caso de $G_m = 10$ mA/V, $R = 10$ kΩ e $\mu = 100$, calcule o valor do ganho em malha aberta A.

Resposta $v_3 = \mu G_m R(v_2 - v_1)$; $A = 10.000$ V/V

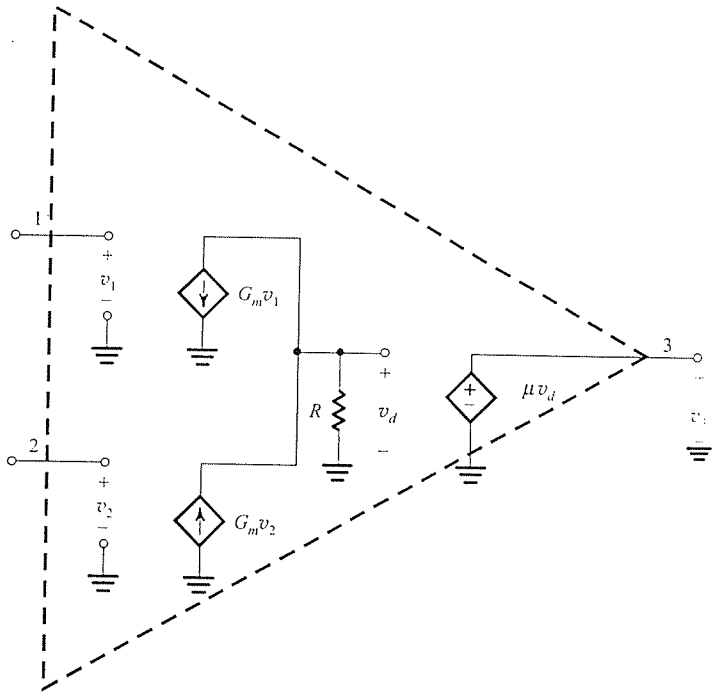


Figura E2.3

2.3 ANÁLISE DE CIRCUITOS COM AMP OPS IDEAIS – A CONFIGURAÇÃO INVERSORA

Considere o circuito mostrado na Figura 2.4, o qual consiste em um amp op e dois resistores R_1 e R_2. O resistor R_2 está conectado entre o terminal de saída do amp op, terminal 3, e o terminal da entrada *inversora* ou *negativa*, terminal 1. Nesse caso, dizemos que R_2 aplica uma **realimentação negativa;** se R_2 estiver conectado entre os terminais 3 e 2, devemos dizer que R_2 aplica uma **realimentação positiva**. Observe que R_2 fecha a malha em torno do amp op. Além da adição de R_2, o terminal 2 foi aterrado e um resistor R_1 foi conectado entre o terminal 1 e uma fonte de sinal de entrada com uma tensão v_I. A saída do circuito total é pelo terminal 3 (isto é, entre o terminal 3 e o terra). O terminal 3 é certamente um ponto conveniente para tomar a saída, pois o nível de impedância que há neste ponto é idealmente zero. Portanto, a tensão v_O não dependerá do valor da corrente que deverá ser fornecida para a impedância da carga conectada entre o terminal 3 e o terra.

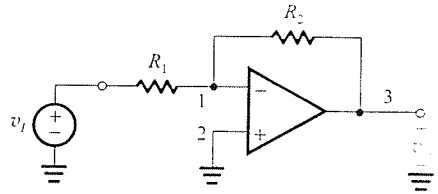


Figura 2.4 Configuração inversora.

O Ganho em Malha Fechada

Vamos analisar agora o circuito da Figura 2.4 para determinar o **ganho em malha fechada** G, definido como

$$G \equiv \frac{v_O}{v_I}$$

Estamos supondo um amp op ideal. A Figura 2.5(a) mostra o circuito equivalente, e a análise ocorre como segue: o ganho A é idealmente infinito. Se partirmos da suposição de que o circuito está trabalhando e produzindo uma tensão de saída finita no terminal 3, então as tensões nos terminais de entrada do amp op devem ser desprezivelmente pequenas. Chamamos essa tensão especificamente como v_O, logo, por definição,

$$v_2 - v_1 = \frac{v_O}{A} \simeq 0$$

Segue que a tensão no terminal da entrada inversora (v_1) é dada por $v_1 \cong v_2$. Isto é, pelo fato de o ganho A aproximar-se de infinito, a tensão v_1 aproxima-se de v_2. Portanto, tudo se passa como se os dois terminais de entrada estivessem ligados no mesmo potencial. Poderíamos dizer também que há um "curto-circuito virtual" entre os dois terminais de entrada. Aqui, devemos enfatizar bem o termo *virtual* para que *nunca* se cometa o engano de considerar que os terminais 1 e 2 estão fisicamente curto-circuitados ao analisar um circuito. Um **curto-circuito virtual** significa que qualquer tensão presente em 2 automaticamente aparecerá em 1 pelo fato de o ganho A ser infinito. Mas pode acontecer de o terminal 2 estar conectado ao terra; logo $v_2 = 0$ e $v_1 \simeq 0$. Consideramos o terminal 1 como se ele fosse um terra virtual – isto é, tendo uma tensão zero sem estar, entretanto, fisicamente aterrado.

Agora que determinamos v_1, estamos em condição de aplicar a lei de Ohm para calcular a corrente i_1 por meio de R_1 (veja a Figura 2.5) como segue:

$$i_1 = \frac{v_I - v_1}{R_1} \simeq \frac{v_I}{R_1}$$

Aonde irá essa corrente? Ela não pode circular pelo amp op, visto que sua impedância de entrada é infinita, logo a corrente drenada é zero. Portanto, i_1 terá de circular por R_2 e pela baixa impedância do terminal 3. Podemos aplicar a lei de Ohm em R_2 e determinar v_O; ou seja,

$$v_O = v_1 - i_1 R_2$$

$$= 0 - \frac{v_I}{R_1} R_2$$

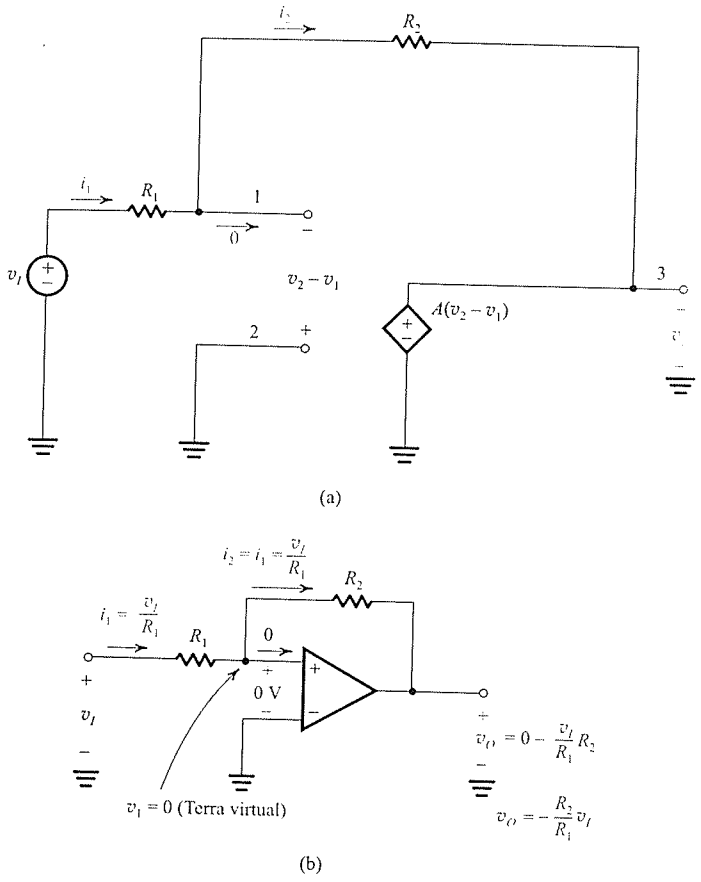


Figura 2.5 Análise da configuração inversora.

Portanto,

$$\frac{v_O}{v_I} = -\frac{R_2}{R_1}$$

cujo resultado é o ganho em malha fechada desejado. A Figura 2.5(b) ilustra alguns passos dessa análise.

Vemos, portanto, que o ganho em malha fechada é simplesmente a razão das duas resistências R_2 e R_1. O sinal menos significa que o ganho em malha fechada provoca uma inversão no sinal de saída em relação ao sinal de entrada. Logo, se $R_2/R_1 = 10$ e aplicarmos na entrada (v_1) uma forma de onda

senoidal de 1 V pico-a-pico, a saída v_O será uma onda senoidal de 10 V pico-a-pico e defasada de 180° em relação ao sinal senoidal de entrada. Devido ao fato de o sinal menos estar associado ao ganho em malha fechada, essa configuração é chamada de **configuração inversora**.

O ganho em malha fechada depende inteiramente de componentes passivos externos (resistores R_1 e R_2), o que é um fato interessante. Isso significa que podemos fazer o ganho em malha fechada tão preciso quanto a precisão dos componentes passivos selecionados. Isso significa também que o ganho em malha fechada é (idealmente) independente do ganho do amp op. Isto é uma ilustração extremamente importante do efeito da realimentação negativa: iniciamos com um amplificador tendo um ganho A muito elevado e, pela aplicação de uma realimentação negativa, obtivemos um ganho em malha fechada R_2/R_1 que é menor do que A, porém estável e preciso. Isto é, negociamos o ganho pela precisão.

O Efeito de um Ganho Finito em Malha Fechada

Os pontos que acabamos de citar podem ser melhor entendidos deduzindo-se uma expressão para o ganho em malha fechada partindo da suposição de que o ganho em malha aberta seja finito. A Figura 2.6 mostra essa análise. Se indicarmos a tensão de saída como v_O, então a tensão entre os terminais de entrada do amp op será v_O/A. Como o terminal de entrada positivo está aterrado, então a tensão no terminal de entrada negativo será $-v_O/A$. A corrente i_1 pode ser determinada por

$$i_1 = \frac{v_I - (-v_O/A)}{R_1} = \frac{v_I + v_O/A}{R_1}$$

A impedância de entrada infinita do amp op força a corrente i_1 a circular totalmente através de R_2. A tensão de saída v_O pode ser determinada por

$$\begin{aligned} v_O &= -\frac{v_O}{A} - i_1 R_2 \\ &= -\frac{v_O}{A} - \left(\frac{v_I + v_O/A}{R_1}\right) R_2 \end{aligned}$$

Agrupando os termos, o ganho em malha fechada G é dado como

$$G \equiv \frac{v_O}{v_I} = \frac{-R_2/R_1}{1 + (1 + R_2/R_1)/A} \qquad (2.1)$$

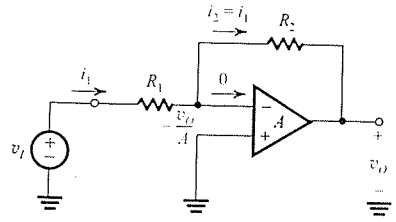


Figura 2.6 Análise da configuração inversora considerando o ganho do amp op finito.

Observamos que, como A se aproxima de ∞, G se aproxima do valor ideal $-R_2/R_1$. Pela Figura 2.6 vemos também que, como A se aproxima de ∞, a tensão no terminal da entrada inverso-

ra se aproxima de zero. Essa é a suposição de terra virtual que usamos em nossa análise anterior do amp op suposto como ideal. Finalmente, observe que a Equação 2.1 indica realmente que para diminuir a dependência do ganho em malha fechada G com o valor do ganho em malha aberta A, devemos fazer

$$1 + \frac{R_2}{R_1} \ll A$$

EXEMPLO 2.1

Considere a configuração inversora com $R_1 = 1\ \text{k}\Omega$ e $R_2 = 100\ \text{k}\Omega$.

(a) Determine o ganho em malha fechada para os casos de $A = 10^3$, 10^4 e 10^5. Em cada caso, determine o erro percentual no valor de G relativo ao valor ideal R_2/R_1 (obtido com $A = \infty$). Calcule também a tensão v_1 que aparece no terminal da entrada inversora quando $v_I = 0{,}1$ V.

(b) Se o ganho em malha aberta A varia de 100.000 a 50.000, qual a correspondente variação em porcentagem no valor do ganho em malha fechada G?

SOLUÇÃO

(a) Substituindo o valor dado na Equação 2.1, obtemos os valores dados na tabela a seguir, em que o erro percentual é definido como

$$\varepsilon \equiv \frac{|G| - (R_2/R_1)}{(R_2/R_1)} \times 100$$

Os valores de v_1 são obtidos por $v_1 = -v_O/A = Gv_I/A$ com $v_I = 0{,}1$ V.

A	$\lvert G\rvert$	ε	v_1
10^3	90,83	–9,17%	–9,08 mV
10^4	99,00	–1,00%	–0,99 mV
10^5	99,90	–0,10%	–0,10 mV

(b) Usando a Equação 2.1, encontramos para $A = 50.000$, $|G| = 99{,}80$. Portanto, dividir por dois o ganho em malha aberta resulta em uma variação de –0,1% no ganho em malha fechada!

Resistências de Entrada e de Saída

Supondo um amp op com ganho infinito em malha aberta, a resistência de entrada da configuração inversora em malha fechada é simplesmente igual a R_1. Isso pode ser visto pela Figura 2.5(b), em que

$$R_i \equiv \frac{v_I}{i_1} = \frac{v_I}{v_I/R_1} = R_1$$

Assim, para produzir um alto valor de R_i devemos especificar um alto valor para R_1. Porém, se o ganho exigido R_2/R_1 for também de alto valor, então R_2 pode tornar-se impraticavelmente alto (por exemplo, maior do que alguns megaohms). Podemos então concluir que a configuração inversora apresenta uma resistência de entrada baixa. Uma solução para esse problema é discutida no Exemplo 2.2. Deve ser mencionado também que o ganho finito em malha aberta A tem um efeito desprezível sobre o valor da resistência de entrada do amplificador na configuração inversora (veja o Problema 2.17).

Visto que a saída da configuração inversora é tomada pelos terminais de uma fonte de tensão ideal $A(v_2 - v_1)$ (veja a Figura 2.5a), segue que a resistência de saída do amplificador em malha fechada é zero.

Reunindo tudo o que vimos anteriormente, obtemos o circuito mostrado na Figura 2.7, que é o modelo do circuito equivalente do amplificador na configuração inversora da Figura 2.4 (para o caso do amp op ideal).

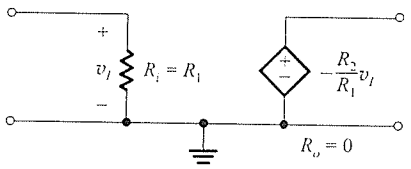


Figura 2.7 Modelo equivalente do circuito do amplificador na configuração inversora da Figura 2.4 (supondo o amp op ideal).

EXEMPLO 2.2

Supondo o amp op ideal, deduza uma expressão para o ganho em malha fechada v_O/v_I do circuito mostrado na Figura 2.8. Use esse circuito para projetar um amplificador inversor com um ganho de 100 e impedância de entrada de 1 MΩ. Suponha que por alguma razão prática seja exigido o uso de resistores que não sejam maiores que 1 MΩ. Compare seu projeto com base na configuração inversora da Figura 2.4.

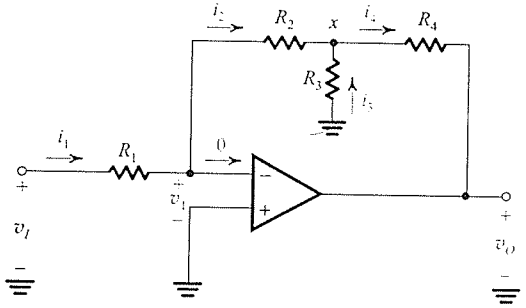


Figura 2.8 Circuito para o Exemplo 2.2.

SOLUÇÃO

A análise começa no terminal da entrada inversora do amp op, onde a tensão é

$$v_1 = \frac{-v_O}{A} = \frac{-v_O}{\infty} = 0$$

Aqui fizemos a suposição de que o circuito está "trabalhando" e produzindo uma tensão de saída v_O finita. Conhecendo v_1, podemos determinar a corrente i_1, como segue:

$$i_1 = \frac{v_I - v_1}{R_1} = \frac{v_I - 0}{R_1} = \frac{v_I}{R_1}$$

Desde que a corrente que circula pelo terminal da entrada inversora seja zero, a corrente i_1 circula totalmente por R_2 e, portanto,

$$i_2 = i_1 = \frac{v_I}{R_1}$$

Agora podemos determinar a tensão no nó x:

$$v_x = v_1 - i_2 R_2 = 0 - \frac{v_I}{R_1} R_2 = -\frac{R_2}{R_1} v_I$$

Que por sua vez nos habilita a calcular a corrente i_3,

$$i_3 = \frac{0 - v_x}{R_3} = \frac{R_2}{R_1 R_3} v_I$$

A seguir, a equação do nó x fornece o valor de i_4,

$$i_4 = i_2 + i_3 = \frac{v_I}{R_1} + \frac{R_2}{R_1 R_3} v_I$$

Finalmente, podemos determinar v_O a partir de

$$v_O = v_x - i_4 R_4$$

$$= -\frac{R_2}{R_1} v_I - \left(\frac{v_I}{R_1} + \frac{R_2}{R_1 R_3} v_I \right) R_4$$

Portanto, o ganho de tensão é dado por

$$\frac{v_O}{v_I} = -\left[\frac{R_2}{R_1} + \frac{R_4}{R_1} \left(1 + \frac{R_2}{R_3} \right) \right]$$

que pode ser escrito na forma

$$\frac{v_O}{v_I} = -\frac{R_2}{R_1} \left(1 + \frac{R_4}{R_2} + \frac{R_4}{R_3} \right)$$

Agora, visto que a resistência de entrada de 1 MΩ é necessária, escolhemos $R_1 = 1$ MΩ. Portanto, com a limitação de que o resistor usado não seja maior que 1 MΩ, o valor máximo possível para o primeiro fator na expressão do ganho é 1 e é obtido fazendo $R_2 = 1$ MΩ.

Para obter um ganho de −100, R_3 e R_4 devem ser escolhidos de modo que o segundo fator na expressão do ganho seja 100. Se escolhermos o valor máximo permitido (nesse exemplo) de 1 MΩ para R_4, o valor necessário para R_3 pode ser calculado como sendo 10,2 kΩ. Portanto, esse circuito usa três resistores de 1 MΩ e um resistor de 10,2 kΩ. Para efeito de comparação, se fosse utilizada uma configuração inversora com $R_1 = 1$ MΩ, seria necessário um resistor de realimentação de 100 MΩ, que é um valor impraticavelmente alto.

Exercícios

2.4 Utilize o circuito da Figura 2.4 para projetar um amplificador inversor tendo um ganho de −10 e uma resistência de entrada de 100 kΩ. Determine os valores de R_1 e R_2.

Resposta $R_1 = 100$ kΩ; e $R_2 = 1$ MΩ.

2.5 O circuito mostrado na Figura E2.5(a) pode ser usado para implementar um amplificador de transcondutância (veja a Seção 1.5). Calcule o valor da resistência de entrada R_i, da transresistência R_m e da resistência de saída R_o do amplificador de transresistência. Se a fonte de sinal mostrada na Figura E2.5(b) for conectada na entrada do amplificador de transresistência, calcule sua tensão de saída.

Resposta $R_i = 0$; $R_m = -10$ kΩ; $R_o = 0$; $v_o = -5$ V

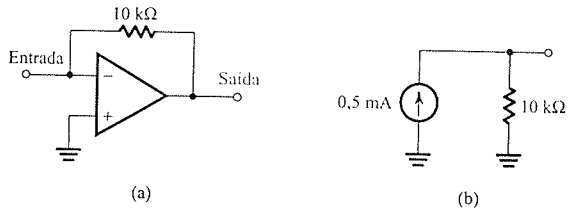


Figura E2.5

2.4 OUTRAS APLICAÇÕES DA CONFIGURAÇÃO INVERSORA

Nesta seção, vamos estudar alguns circuitos importantes que se baseiam na configuração inversora já estudada.

2.4.1 A Configuração Inversora com Impedâncias Generalizadas Z_1 e Z_2

Considere em primeiro lugar a configuração inversora generalizada na qual as impedâncias $Z_1(s)$ e $Z_2(s)$ substituem os resistores R_1 e R_2, respectivamente. O circuito resultante está mostrado na Figura 2.9 e tem o ganho em malha fechada ou, mais apropriadamente, a função de transferência em malha fechada, dada por

$$\frac{V_o(s)}{V_i(s)} = -\frac{Z_2(s)}{Z_1(s)} \qquad (2.2)$$

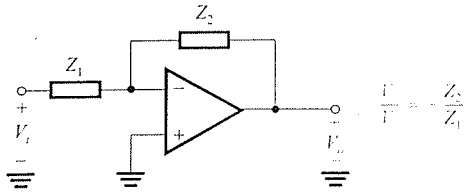


Figura 2.9 A configuração inversora com impedâncias generalizadas na realimentação e na entrada.

Conforme já exposto na Seção 1.6, trocando-se s por $j\omega$ obtém-se a função de transferência em regime permanente senoidal da qual é possível extrair a amplitude e a fase do sinal de saída a partir de um sinal senoidal de entrada com freqüência ω.

EXEMPLO 2.3

Para o circuito mostrado na Figura 2.10, obtenha a expressão da função de transferência $V_o(s)/V_i(s)$. Mostre que a função de transferência obtida é muito semelhante àquela que é obtida para o circuito passa-baixas. Expressando a função de transferência na forma-padrão mostrada na Tabela 1.2, obtenha a expressão do ganho cc e a freqüência de corte. Projete o circuito de forma a ter ganho cc de 40 dB, freqüência de corte de 1 kHz e resistência de entrada de 1 kΩ. Em que freqüência o ganho se torna unitário? Qual a fase do sinal de saída nessa freqüência?

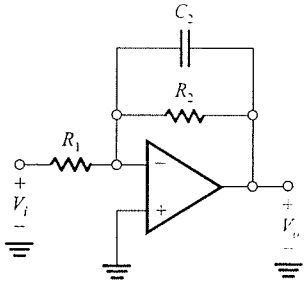


Figura 2.10 Circuito para o Exemplo 2.3.

SOLUÇÃO

Para obter a função de transferência do circuito mostrado na Figura 2.10, vamos substituir, na Equação 2.2, $Z_1 = R_1$ e $Z_2 = R_2 \| (1/sC_2)$. Uma vez que Z_2 é a associação paralela de dois componentes, é mais conveniente trabalhar em termos de Y_2, isto é, vamos utilizar a seguinte forma alternativa para a função de transferência:

$$\frac{V_o(s)}{V_i(s)} = -\frac{1}{Z_1(s)Y_2(s)}$$

e substituir $Z_1 = R_1$ e $Y_2(s) = \dfrac{1}{R_2} + sC_2$ de forma a obter

$$\frac{V_o(s)}{V_i(s)} = -\frac{1}{\dfrac{R_1}{R_2} + sC_2R_1}$$

Essa função de transferência é de primeira ordem, tem um ganho cc finito

$$\left(\text{para } s = 0, \ \frac{V_o}{V_i} = -\frac{R_2}{R_1}\right)$$

e tem ganho zero em freqüências infinitas. Portanto, corresponde à função de transferência de uma rede passa-baixas com constante de tempo simples (CTS) e pode ser expressa no mesmo formato-padrão mostrado na Tabela 1.2, conforme segue:

$$\frac{V_o(s)}{V_i(s)} = \frac{-(R_2/R_1)}{1 + sC_2R_2}$$

da qual achamos o ganho K como sendo

$$K = -\frac{R_2}{R_1}$$

e a freqüência de corte ω_0 como

$$\omega_0 = \frac{1}{C_2R_2}$$

Poderíamos ter encontrado K e ω_0 por simples inspeção no circuito da Figura 2.10. Especificamente, note que o capacitor se comporta como um circuito aberto em cc, portanto, em cc, o ganho é simplesmente dado por $-R_2/R_1$. Além disso, devido ao fato de haver um terra virtual no terminal da entrada inversora, a resistência vista pelo capacitor é R_2 e, portanto, a constante de tempo da rede CTS é C_2R_2.

Vamos agora projetar o circuito para obter um ganho cc de 40 dB, isto é, 100 V/V ou $R_2/R_1 = 100$. Para uma resistência de entrada de 1 kΩ, selecionamos $R_1 = 1$ kΩ e, portanto, $R_2 = 100$ kΩ. Finalmente, para uma freqüência de corte $f_0 = 1$ kHz, obtemos o valor de C_2 a partir da seguinte equação:

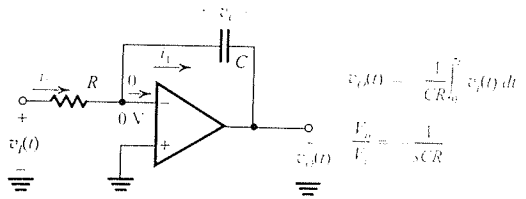
$$2\pi \times 1 \times 10^3 = \frac{1}{C_2 \times 100 \times 10^3}$$

que resulta em $C_2 = 1{,}59$ nF.

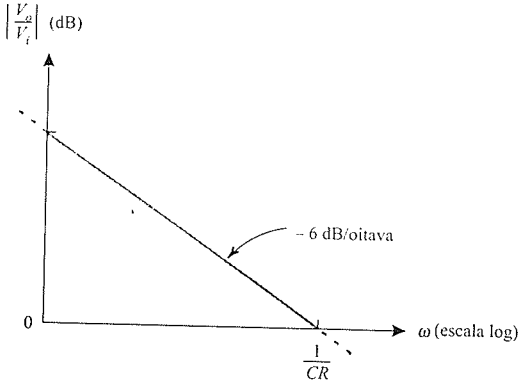
O circuito tem diagramas de Bode de módulo e fase idênticos à forma-padrão da Figura 1.23. Como o ganho decresce em uma taxa de 20 dB/década, o mesmo alcançará 0 dB após duas décadas em relação a f_0, isto é, em $f = 100f_0 = 100$ kHz. Como indicado na Figura 1.23(b), nessa freqüência, que é muito maior do que f_0, a fase é de aproximadamente −90°. A este último valor, entretanto, devemos adicionar 180° devido à natureza inversora do amplificador (isto é, o sinal negativo na expressão da função de transferência). Portanto, em 100 kHz, o deslocamento total da fase será −270° ou, equivalentemente, +90°.

2.4.2 O Circuito Integrador Inversor

Colocando-se um capacitor no caminho de realimentação (isto é, no lugar de Z_2 na Figura 2.9) e um resistor na entrada (no lugar de Z_1), obtemos o circuito da Figura 2.11(a).



(a)



(b)

Figura 2.11 (a) Circuito integrador inversor ou integrador Miller. (b) Resposta em freqüência do integrador.

Mostraremos agora que esse circuito realiza a operação matemática de integração. Seja a entrada uma função do tempo $v_I(t)$. O terra virtual na entrada inversora do amp op faz com que $v_I(t)$ esteja aplicada sobre R e, portanto, a corrente $i_1(t)$ será $v_I(t)/R$. Esta corrente flui através do capacitor C, resultando em carga que se acumula em C. Se assumirmos que o circuito começa a operar no instante $t = 0$, então em um instante arbitrário t a corrente $i_1(t)$ terá depositado em C uma carga igual a $\int_0^t i_1(t)dt$. Portanto, a tensão no capacitor mudará de $\frac{1}{C}\int_0^t i_1(t)dt$. Se a tensão inicial em C (em $t = 0$) for indicada por V_C, então

$$v_C(t) = V_C + \frac{1}{C}\int_0^t i_1(t)dt$$

Mas a tensão de saída $v_O(t)$ é igual a $-v_C(t)$, portanto

$$v_O(t) = -\frac{1}{CR}\int_0^t v_I(t)dt - V_C \tag{2.3}$$

Portanto, $v_O(t)$ é a integral temporal de $v_I(t)$ e a tensão V_C é a condição inicial desse processo de integração. A constante de tempo CR é chamada de **constante de tempo de integração**. Esse circuito integrador é inversor por causa do sinal menos associado à sua função de transferência; ele também é conhecido como **integrador Miller**.

A operação do circuito integrador pode alternativamente ser descrita no domínio da freqüência, substituindo $Z_1(s) = R$ e $Z_2(s) = 1/sC$ na Equação 2.2, obtendo-se dessa forma a função de transferência:

$$\frac{V_o(s)}{V_i(s)} = -\frac{1}{sCR} \tag{2.4}$$

Em regime permanente senoidal, $s = j\omega$, temos

$$\frac{V_o(j\omega)}{V_i(j\omega)} = -\frac{1}{j\omega CR} \tag{2.4a}$$

Portanto, o módulo da função de transferência do circuito integrador é dado por:

$$\left|\frac{V_o}{V_i}\right| = \frac{1}{\omega CR} \tag{2.4b}$$

e a fase por:

$$\varphi = +90° \tag{2.4c}$$

O diagrama de Bode que descreve a resposta do circuito integrador (dependência do módulo da função de transferência com a freqüência) pode ser facilmente obtido observando, na Equação 2.4b, que, se ω dobra (aumento de uma oitava), então o módulo da função de transferência cai à metade (diminui de 6 dB). Portanto, o diagrama de Bode é uma linha reta com inclinação de –6 dB/oitava (ou equivalentemente, –20 dB/década). Essa linha [mostrada na Figura 2.11(b)] intercepta a linha de 0 dB na freqüência em que o módulo de V_o/V_i é igual a 1, que da Equação 2.4b é

$$\omega_{int} = \frac{1}{CR} \tag{2.5}$$

A freqüência ω_{int} é conhecida como **freqüência do integrador** e é simplesmente o inverso da constante de tempo do integrador.

Considerando a função de transferência descrita pela Equação 2.4 e nossa discussão sobre a resposta em freqüência da rede com constante de tempo simples do passa-baixas no Capítulo 1, é fácil perceber que o integrador Miller se comporta como uma rede passa-baixas com freqüência de corte nula. É importante observar que na freqüência zero o ganho em malha fechada é infinito. Isto é, em *cc* o amp op está operando como em malha aberta, o que pode ser facilmente compreendido, já que o capacitor se comporta como um aberto para análise *cc*. Esta é uma observação muito significativa e ao mesmo tempo aponta para uma importante fonte de problemas com o circuito integrador: qualquer pequena componente *cc* no sinal de saída teoricamente produzirá uma componente *cc* de saída infinita. É claro que na prática a tensão de saída nunca resultaria infinita; na verdade, a saída do circuito integrador satura em uma tensão próxima das tensões de alimentação positiva ou negativa, dependendo da polaridade do sinal *cc* de entrada. O fato de o amp op saturar

não é nenhuma surpresa. Embora não tenhamos discutido ainda a saturação do amp op, já estudamos a saturação de amplificadores de forma geral na Seção 1.4 (veja a Figura 1.13).

O problema de ganho *cc* infinito ou muito alto do integrador (igual ao ganho em malha aberta do amp op) costuma ser resolvido conectando-se um resistor R_F em paralelo com o capacitor C, como mostrado na Figura 2.12. O resistor R_F fecha o elo de realimentação em *cc* e faz com que o integrador tenha um ganho finito de $-R_F/R$. Entretanto, o circuito resultante deixa de ser um integrador ideal. O leitor pode facilmente mostrar que o resistor R_F insere uma freqüência de corte $\omega_c = 1/R_F C$ na função de transferência do circuito integrador. Portanto, o circuito agora comporta-se exatamente como uma rede passa-baixas com constante de tempo simples (veja o Exemplo 2.3). Para minimizar a imperfeição de resposta introduzida por R_F, devemos escolhê-lo com valor tão grande quanto possível. O exemplo a seguir ilustra o efeito de R_F no desempenho do circuito integrador no domínio do tempo. Falaremos mais sobre R_F na Seção 2.9.

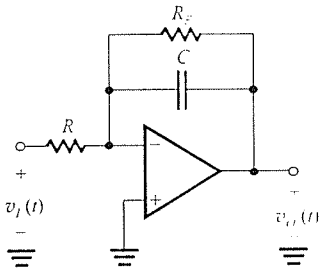


Figura 2.12 Integrador Miller com uma alta resistência R_F conectada em paralelo com C a fim de fechar um elo de realimentação negativa em *cc*.

EXEMPLO 2.4

Ache o sinal de saída produzido por um integrador Miller em resposta a um pulso de entrada com amplitude de 1 V e largura de 1 ms [Figura 2.13(a)]. Seja $R = 10$ kΩ e $C = 10$ nF. Se o capacitor C estiver em paralelo com um resistor de 1 MΩ, como se modificará a resposta de saída?

SOLUÇÃO

Em resposta ao pulso com 1 V de amplitude e 1 ms de largura, teremos como tensão de saída

$$v_O(t) = -\frac{1}{CR}\int_0^t 1.dt, \qquad 0 \le t \le 1 \text{ ms}$$

em que assumimos que a tensão inicial no capacitor é zero. Para $C = 10$ nF e $R = 10$ kΩ, $CR = 0{,}1$ ms e

$$v_O(t) = -10.000t, \qquad 0 \le t \le 1 \text{ ms}$$

que é a rampa linear mostrada na Figura 2.13(b). Ela alcançará uma amplitude de −10 V em $t = 1$ ms e em seguida permanecerá constante.

O fato de a saída apresentar uma rampa linear no intervalo de 0 a 1 ms é óbvio, já que o pulso de 1 V resulta em uma corrente constante 1 V/10 kΩ = 0,1 mA através do capacitor.

Essa corrente constante $I = 0{,}1$ mA fornece ao capacitor uma carga It e, portanto, a tensão no capacitor muda linearmente como $v_O = -(I/C)t$. É importante lembrar que carregar um capacitor com uma corrente constante produz uma rampa linear de tensão através do mesmo.

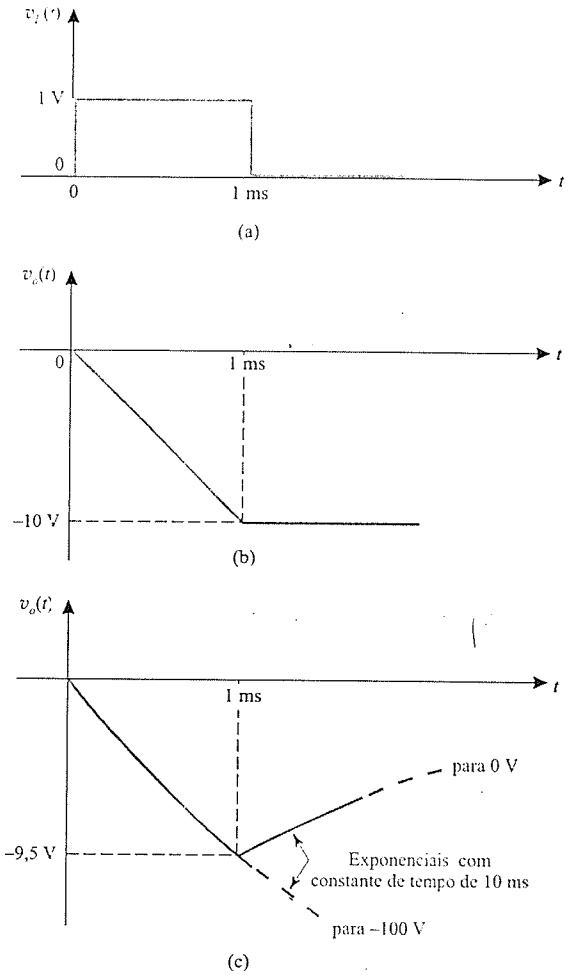


Figura 2.13 Formas de onda para o Exemplo 2.4: (a) Pulso de entrada. (b) Rampa linear de saída de um integrador com constante de tempo de 0,1 ms. (c) Rampas exponenciais de saída quando o resistor R_F está conectado em paralelo ao capacitor C.

Vamos agora considerar a situação em que $R_F = 1\ \text{M}\Omega$ está conectado em paralelo com C. Assim como na situação anterior, o pulso de 1 V produzirá uma corrente constante $I = 0{,}10$ mA. Entretanto, essa corrente constante não mais será fornecida para um único capacitor, mas alimentará a rede composta por R_F em paralelo com C. Para achar a tensão de saída, utilizaremos a Equação 1.33, que pode ser adaptada para nosso caso como segue:

$$v_O(t) = v_O(\infty) - \left[v_O(\infty) - v_O(0+)\right] e^{-t/CR_F}$$

em que $v_O(\infty)$ é o valor final que pode ser obtido como

$$v_O(\infty) = -IR_F = -0{,}1\times10^{-3}\times1\times10^{6} = -100\ \text{V}$$

e $v_O(0+)$ é o valor inicial, que é zero. Isto é, o sinal de saída será uma exponencial tendendo a −100 V com uma constante de tempo de $CR_F = 10 \times 10^{-9} \times 1 \times 10^{6} = 10$ ms,

$$v_O(t) = -100(1 - e^{-t/10^{-4}}), \quad 0 \le t \le 1\ \text{ms}$$

É claro que a exponencial será interrompida no fim do pulso, isto é, em $t = 1$ ms, e a tensão de saída alcançará o valor

$$v_O(1\ \text{ms}) = -100(1 - e^{-1/10}) = -9{,}5\ \text{V}$$

A forma de onda final na saída é mostrada na Figura 2.13(c), na qual podemos observar que a inclusão de R_F faz com que a rampa deixe de ser perfeita (fica arredondada), de modo que a saída alcança apenas −9,5 V, isto é, 0,5 V distante do valor ideal de −10 V. Além disso, para $t > 1$ ms, o capacitor descarrega por meio de R_F com uma constante de tempo relativamente grande de 10 ms.

O exemplo anterior sugere uma importante aplicação dos integradores, isto é, eles podem ser empregados para gerar ondas triangulares em resposta a ondas quadradas aplicadas na entrada. Essa aplicação é explorada no Exercício 2.6. Os integradores têm também muitas outras aplicações, incluindo o projeto de filtros (Capítulo 11).

2.4.3 O Circuito Diferenciador Inversor

Intercambiar a posição do capacitor com a do resistor no circuito integrador resulta no circuito da Figura 2.14(a), que realiza a função matemática de diferenciação. Para ver como isso ocorre, considere uma entrada $v_I(t)$ função do tempo e note que o terra virtual no terminal da entrada inversora do amp op faz com que $v_I(t)$ apareça sobre o capacitor C. Portanto, a corrente através de C será $C(dv_I/dt)$, e esta fluirá através do resistor de realimentação R de forma que a tensão na saída $v_O(t)$ será dada por:

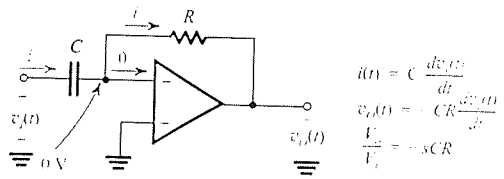
$$v_O(t) = -CR\,\frac{dv_I(t)}{dt} \tag{2.6}$$

A função de transferência no domínio do tempo do circuito diferenciador pode ser obtida pela substituição na Equação 2.2 de $Z_1(s) = 1/sC$ e $Z_2(s) = R$, resultando em

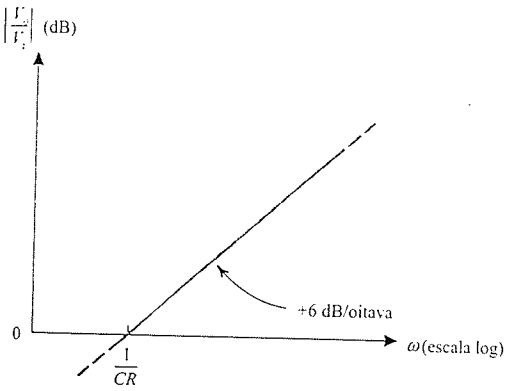
$$\frac{V_o(s)}{V_i(s)} = -sCR \tag{2.7}$$

que em regime permanente senoidal ($s = j\omega$) pode ser escrita como

$$\frac{V_o(j\omega)}{V_i(j\omega)} = -j\omega CR \tag{2.7a}$$



(a)



(b)

Figura 2.14 (a) Circuito diferenciador. (b) Resposta em freqüência de um circuito diferenciador com uma constante de tempo CR.

Portanto, a função de transferência tem módulo dado por:

$$\left|\frac{V_o}{V_i}\right| = \omega CR \tag{2.7b}$$

e fase por:

$$\phi = -90^{\circ} \tag{2.7c}$$

O diagrama de Bode que descreve a resposta do circuito diferenciador (dependência do módulo da função de transferência com a freqüência) pode ser facilmente obtido, observando que um aumento de uma oitava em ω faz com que o módulo dobre de valor (aumente de 6 dB). Portanto, o diagrama de Bode é uma linha reta com inclinação de 6 dB/oitava (ou equivalentemente, 20 dB/década) interceptando a linha de 0 dB (em que o módulo de V_o/V_i é igual a 1) em $\omega = 1/CR$, em que CR é a **constante de tempo do circuito diferenciador** [veja a Figura 2.14(b)].

A resposta em freqüência do circuito diferenciador pode ser entendida como um filtro passa-altas com constante de tempo simples e freqüência de corte infinita (veja a Figura 1.24). Finalmente, é importante dizer que um circuito diferenciador, por sua própria característica de funcionamento, faz com que ele seja um "ampliador de ruídos". Isso acontece devido aos impulsos introduzidos na saída (pulsos muito estreitos e de grande amplitude) sempre que ocorre uma mudança brusca em $v_I(t)$; tal mudança poderia ser uma interferência de "captação" de ruídos. Por essa razão e porque estão sujeitos a problemas de estabilidade (Capítulo 8), os circuitos diferenciadores são geralmente evitados na prática. Quando o circuito da Figura 2.14(a) é usado, em geral é necessário conectar uma resistência de pequeno valor em série com o capacitor.

2.4.4 O Circuito Somador

Como uma aplicação final da configuração inversora, considere o circuito mostrado na Figura 2.15. Neste caso, temos uma resistência R_f no caminho da realimentação negativa (como antes), mas temos vários sinais de entrada $v_1, v_2, \ldots, v_n$, cada qual com um correspondente resistor $R_1, R_2, \ldots, R_n$, os quais estão conectados ao terminal inversor do amp op. Por nossas discussões anteriores, o amp op ideal terá um terra virtual que se apresenta em seu terminal de entrada. A lei de Ohm diz que as correntes $i_1, i_2, \ldots, i_n$ são dadas por

$$i_1 = \frac{v_1}{R_1}, \qquad i_2 = \frac{v_2}{R_2}, \quad \ldots, \qquad i_n = \frac{v_n}{R_n}$$

A soma de todas essas correntes produzirá a corrente i; isto é,

$$i = i_1 + i_2 + \cdots + i_n \tag{2.8}$$

que será forçada a circular por R_f (visto que não circula corrente pelo terminal de entrada de um amp op ideal). A tensão de saída v_O pode ser determinada agora aplicando-se novamente a lei de Ohm,

$$v_O = 0 - iR_f = -iR_f$$

Portanto,

$$v_O = -\left(\frac{R_f}{R_1} v_1 + \frac{R_f}{R_2} v_2 + \cdots + \frac{R_f}{R_n} v_n\right) \tag{2.9}$$

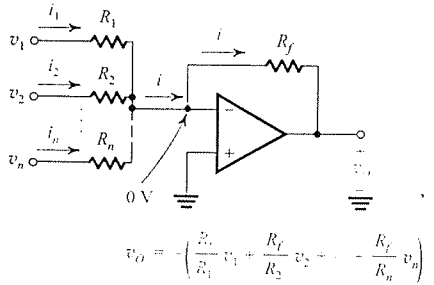


Figura 2.15 Circuito somador.

Isto é, a tensão de saída é a soma ponderada dos sinais de entrada $v_1, v_2, \ldots, v_n$. Portanto, esse circuito é chamado de **somador (somador ponderado)**. Observe que cada parcela da soma pode ser ajustada independentemente pelo correspondente valor do resistor de "admissão" (R_1 até R_n). Essa interessante propriedade, a qual simplifica muito os ajustes, é uma conseqüência direta do terra virtual que existe no terminal inversor do amp op. Conforme o leitor logo avaliará, os terras virtuais são extremamente "práticos".

Vimos, pelo mencionado anteriormente, que os amp ops podem ser usados para multiplicar um sinal por uma constante e integrar, diferenciar e somar um número de sinais com pesos determinados. Estas são operações matemáticas – daí o nome de amplificador operacional. Na verdade, os circuitos descritos são unidades de blocos funcionais necessários para executar a computação analógica. Por essa razão, o amp op foi usado como elemento básico dos computadores analógicos. Porém, os amp ops podem fazer muito mais do que apenas executar operações matemáticas necessárias para uma computação analógica. Neste capítulo apreciaremos essa versatilidade, sendo que outras aplicações serão apresentadas nos próximos capítulos.

Exercícios

2.6 Considere uma onda quadrada simétrica de 20 V, pico-a-pico, com valor médio nulo e 2 ms de período, aplicada em um integrador Miller. Calcule o valor da constante de tempo CR, tal que a onda triangular na saída tenha uma tensão de 20 V pico-a-pico.

Resposta 0,5 ms

P2.7 Utilizando um amp op ideal, projete um integrador inversor com uma resistência de entrada de 10 kΩ e uma constante de tempo de integração de 10^{-3} s. Qual o valor do módulo do ganho e o ângulo de fase desse circuito em 10 rad/s? E em 1 rad/s? Em qual freqüência o valor do ganho é unitário?

Resposta R = 10 kΩ, C = 0,1 μF; em ω = 10 rad/s: $|V_o/V_i|$ = 100 V/V e ϕ = +90°; em ω = 1 rad/s: $|V_o/V_i|$ = 1000 V/V e ϕ = + 90°; 1000 rad/s

P2.8 Projete um diferenciador com uma constante de tempo de 10^{-2} s e uma capacitância de entrada de 0,01 μF. Qual o valor do ganho e a fase desse circuito com 10 rad/s, e com 10^2 rad/s? Para limitar o ganho em alta freqüência do circuito diferenciador em 100 foi ligado um resistor em série com o capacitor. Calcule o valor desse resistor.

Resposta C = 0,01 μF: R = 1 MΩ; em ω = 10 rad/s: $|V_o/V_i|$ = 0,1 V/V e ϕ = –90°; em ω = 1000 rad/s: $|V_o/V_i|$ = 10 V/V e ϕ = –90°; 10 kΩ

P2.9 Projete um circuito inversor com amp op para executar a soma v_O de duas entradas v_1 e v_2. É exigida a condição $v_O = -(v_1 + 5v_2)$. Determine os valores de R_1, R_2 e R_f de modo que para uma tensão máxima na saída de 10 V a corrente no resistor de realimentação não exceda 1 mA.

Resposta Alguns valores possíveis são: R_1 = 10 kΩ, R_2 = 2 kΩ e R_f = 10 kΩ

2.5 A CONFIGURAÇÃO NÃO-INVERSORA

A segunda configuração em malha fechada que estudaremos agora é mostrada na Figura 2.16. Nela, o sinal de entrada v_I é aplicado diretamente ao terminal de entrada positivo do amp op enquanto um dos terminais de R_1 é conectado ao terra.

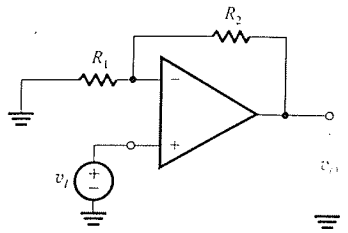


Figura 2.16 A configuração não-inversora.

O Efeito de um Ganho Finito em Malha Fechada

A análise da configuração não-inversora para determinar seu ganho em malha fechada (v_O/v_I) está ilustrada na Figura 2.16. Supondo que o amp op seja ideal com ganho infinito, há um curto-circuito virtual entre seus dois terminais de entrada. Portanto, a diferença dos sinais de entrada é

$$v_2 - v_1 = \frac{v_O}{A} = 0 \quad \text{para } A = \infty$$

Logo, a tensão no terminal da entrada inversora será igual à do terminal da entrada não-inversora, na qual está aplicada a tensão v_I. A corrente através de R_1 pode ser determinada como v_I/R_1. Pelo fato de a impedância de entrada do amp op ser infinita, essa corrente circulará por R_2, conforme mostrado na Figura 2.17. Agora a tensão de saída pode ser determinada por

$$v_O = v_I + \left(\frac{v_I}{R_1}\right)R_2$$

a qual produz

$$\frac{v_O}{v_I} = 1 + \frac{R_2}{R_1} \tag{2.10}$$

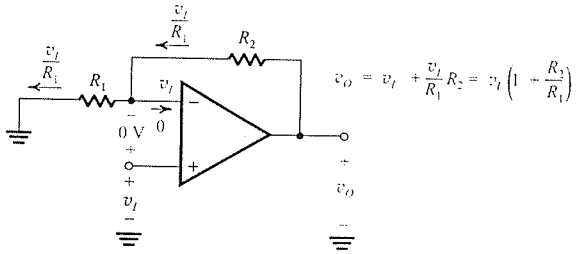


Figura 2.17 Análise do circuito não-inversor.

Uma nova abordagem sobre a operação da configuração não-inversora pode ser obtida por meio das seguintes considerações: o divisor de tensão no caminho da realimentação negativa faz

com que uma fração da tensão de saída apareça no terminal da entrada inversora do amp op; isto é,

$$v_1 = v_O\left(\frac{R_1}{R_1 + R_2}\right)$$

Então, o ganho infinito do amp op e o curto-circuito resultante entre os dois terminais de entrada forçam essa tensão a ser igual à do terminal da entrada positiva; então

$$v_O\left(\frac{R_1}{R_1 + R_2}\right) = v_I$$

a qual produz o ganho obtido pela expressão dada na Equação 2.10.

Modelo Equivalente da Configuração Não-inversora

O ganho na configuração não-inversora é positivo – daí o nome de *não-inversora.* A impedância de entrada desse amplificador em malha fechada é idealmente infinita, visto que não circula corrente pelo terminal de entrada positivo do amp op. A saída do amplificador não-inversor é tomada nos terminais de uma fonte de tensão ideal $A(v_2 - v_1)$ (veja o circuito equivalente do amp op na Figura 2.3), logo a impedância de saída da configuração não-inversora é zero. Agrupando essas propriedades, chegamos ao modelo equivalente de circuito da configuração do amplificador não-inversor, mostrado na Figura 2.18. Esse modelo é obtido supondo que o amp op seja ideal.

Efeito do Ganho de Malha Aberta Finito do Amp Op

De forma análoga ao que já fizemos para a configuração inversora, agora consideraremos o efeito do ganho finito de malha aberta A no ganho da configuração não-inversora. Assumindo que o amp op seja quase ideal, exceto por ter um ganho finito de malha aberta A, podemos mostrar que o ganho de malha fechada do circuito amplificador não-inversor da Figura 2.16 é dado por

$$G \equiv \frac{v_O}{v_I} = \frac{1 + (R_2/R_1)}{1 + \dfrac{1 + (R_2/R_1)}{A}} \tag{2.11}$$

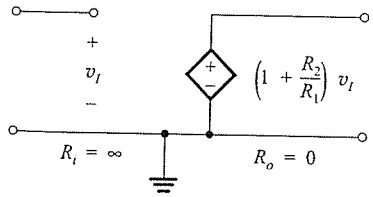


Figura 2.18 Modelo equivalente da configuração do amplificador não-inversor da Figura 2.16 (supondo o amp op ideal).

Observe que o denominador na Equação 2.11 é idêntico ao caso da configuração inversora (veja a Equação 2.1). Isso não é nenhuma coincidência, é o resultado do fato de as configurações não-inversora e inversora apresentarem a mesma malha de realimentação. Estudaremos o assun-

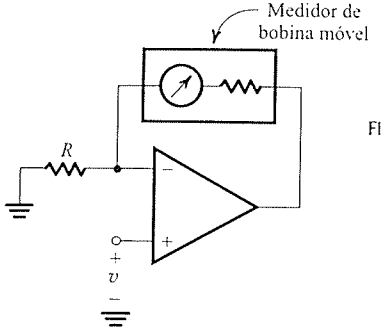


Figura 2.20 Um voltímetro analógico com alta resistência de entrada.

SOLUÇÃO

A corrente no medidor de bobina móvel é v/R devido ao curto-circuito virtual na entrada do amp op e à impedância de entrada infinita do amp op. Portanto, temos de determinar R de modo que $10/R = 100\ \mu A$. Logo, $R = 100\ k\Omega$.

Observe que o voltímetro com o amp op produzirá leituras diretamente proporcionais aos valores de v, independente do valor da resistência interna do medidor de bobina móvel – uma característica muito desejada.

EXEMPLO 2.6

Um Amplificador de Diferenças

Precisamos encontrar uma expressão para a tensão de saída v_O em termos das tensões de entradas v_1 e v_2 para o circuito da Figura 2.21.

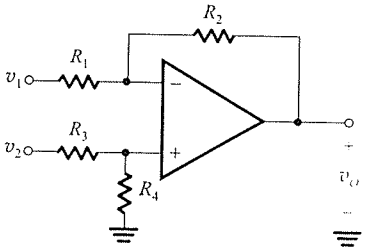


Figura 2.21 O amplificador de diferenças.

SOLUÇÃO

Há diversas formas de resolver esse problema; talvez a mais fácil seja usando o princípio da superposição. Obviamente, podemos empregar aqui a superposição, visto que a rede é linear. Para aplicar a superposição, primeiro reduzimos v_2 a zero – isto é, aterramos o terminal onde está aplicado v_2 – e então encontramos o valor correspondente da tensão de

saída, a qual será totalmente devida a v_1. Chamaremos essa tensão de saída de v_{O1}. Esse valor será encontrado com a ajuda do circuito da Figura 2.22(a), em que identificamos a configuração inversora.

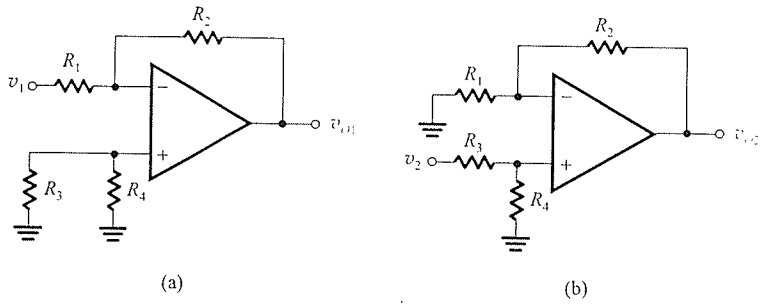


Figura 2.22 Aplicação do teorema da superposição para análise do circuito da Figura 2.21.

A presença de R_3 e R_4 não afeta a expressão do ganho, pois nenhuma corrente circula por elas. Portanto,

$$v_{O1} = -\frac{R_2}{R_1} v_1$$

A seguir, reduzimos v_1 a zero e calculamos o correspondente valor da tensão de saída v_{O2}. O circuito agora toma a forma mostrada na Figura 2.22(b), que identificamos como sendo a configuração não-inversora mais um divisor de tensão adicional, formado por R_3 e R_4 conectados entre a entrada v_2 e o terminal "+" do amp op. A tensão de saída v_{O2} é, portanto, dada por

$$v_{O2} = v_2 \frac{R_4}{R_3 + R_4}\left(1 + \frac{R_2}{R_1}\right)$$

O teorema da superposição nos diz que a tensão de saída v_O é igual à soma de v_{O1} e v_{O2}. Portanto temos:

$$v_O = -\frac{R_2}{R_1} v_1 + \frac{1 + R_2/R_1}{1 + R_3/R_4} v_2 \qquad (2.13)$$

Isso completa a análise do circuito da Figura 2.21. Porém, devido à importância prática desse circuito, seguiremos adiante. Poderemos perguntar: qual a condição na qual o circuito funcionará como um amplificador de diferenças? Em outras palavras, desejamos fazer com que o circuito responda (produza uma saída) proporcionalmente à diferença entre os sinais $v_2 - v_1$ e que rejeite sinais no modo comum (isto é, produza saída igual a zero quando $v_1 = v_2$). A resposta pode ser obtida da expressão que acabamos de deduzir (Equa-

to relativo à realimentação no Capítulo 8. Por outro lado, os numeradores nas Equações 2.1 e 2.11 são diferentes. O resultado mostrado nos numeradores corresponde ao ganho nominal de malha fechada ($-R_2/R_1$ para a configuração inversora e $1 + R_2/R_1$ para a configuração não-inversora). Finalmente, notamos que a expressão do ganho na Equação 2.11 se reduz do valor ideal para $A = \infty$. De fato, chega-se ao valor ideal para

$$A >> 1 + \frac{R_2}{R_1} \tag{2.12}$$

Essa é a mesma condição já apresentada para a configuração inversora, exceto que a grandeza no segundo membro da equação é o ganho nominal de malha fechada.

O Circuito Seguidor de Tensão

A propriedade de alta impedância de entrada na configuração não-inversora é uma característica muito desejável. Ela permite a utilização desse circuito como um amplificador isolador (*buffer*) para conectar um estágio com uma alta impedância de saída a uma carga de baixa impedância. Já discutimos sobre a necessidade do amplificador *buffer* no Capítulo 1. Em várias aplicações, o amplificador *buffer* não é exigido para proporcionar um ganho de tensão; em vez disso, é usado principalmente como um transformador de impedâncias ou como um amplificador de potência. Nesses casos, podemos fazer $R_2 = 0$ e $R_1 = \infty$ para obter o ganho de tensão unitário mostrado na Figura 2.19(a). Esse circuito é normalmente chamado de **seguidor de tensão**, visto que a saída "segue" a entrada. Em um caso ideal, $v_O = v_I$, $R_{in} = \infty$ e $R_{out} = 0$.

Visto que a configuração não-inversora tem um ganho maior que, ou igual, a unidade, dependendo da escolha dos valores de R_2/R_1, alguns preferem chamá-la de "seguidor com ganho".

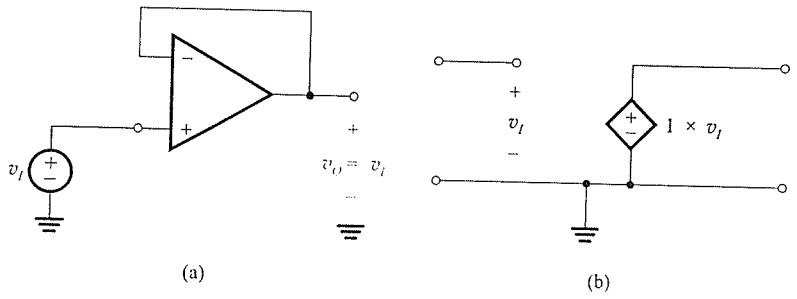


Figura 2.19 (a) O amplificador *buffer* de ganho unitário ou seguidor de tensão e (b) seu modelo equivalente de circuito.

Exercícios

2.10 Use o princípio da superposição para calcular a tensão de saída do circuito mostrado na Figura E2.10.

Resposta $v_O = 6v_1 + 4v_2$

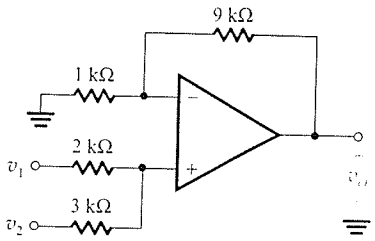


Figura E2.10

2.11 Se no circuito da Figura E2.10 o resistor de 1 kΩ for desconectado do terra e conectado a uma terceira fonte de sinal v_3, use o teorema da superposição para determinar v_O em termos de v_1, v_2 e v_3.

Resposta $v_O = 6v_1 + 4v_2 - 9v_3$

P2.12 Projete um amplificador não-inversor com um ganho de 2. Com uma tensão máxima de saída de 10 V, a corrente no divisor de tensão deve ser de 10 μA.

Resposta $R_1 = R_2 = 0{,}5$ MΩ

2.13 (a) Mostre que, se o amp op no circuito da Figura 2.16 tem um ganho em malha aberta A finito, então o ganho em malha fechada é dado pela Equação 2.11. (b) Sendo $R_1 = 1$ kΩ e $R_2 = 9$ kΩ, calcule o desvio ε do ganho em malha fechada em porcentagem de seu valor ideal $(1 + R_2/R_1)$ para o caso de $A = 10^3$, 10^4 e 10^5. Em cada caso, calcule a tensão entre os dois terminais do amp op supondo que $v_I = 1$ V.

Resposta $\varepsilon = -1\%, -0{,}1\%, -0{,}01\%$; $v_2 - v_1 = 9{,}9$ mV, 1 mV, 0,1 mV

2.6 EXEMPLOS DE CIRCUITOS COM AMP OP

Agora que estudamos as duas configurações mais comuns de malha fechada, apresentaremos uma série de exemplos. Nosso objetivo é duplo: primeiro, fazer com que o leitor ganhe experiência na análise de circuitos contendo amp ops; segundo, apresentar ao leitor algumas das mais interessantes e atrativas aplicações dos amp ops.

EXEMPLO 2.5

Um Voltímetro Analógico Simples

A Figura 2.20 mostra um circuito para um voltímetro analógico de bobina móvel com resistência de entrada muito alta e de baixo custo. Conforme mostrado, o medidor de bobina móvel está conectado no caminho da realimentação negativa do amp op. O voltímetro mede a tensão v aplicada entre o terminal da entrada positiva do amp op e o terra. Suponha que o fundo de escala do medidor de bobina móvel seja de 100 μA; desejamos calcular o valor de R tal que a leitura de corrente de fundo de escala seja obtida quando v for de +10 V.

ção 2.13). Vamos fazer $v_1 = v_2$ e forçar $v_O = 0$. É fácil perceber que esse processo leva à condição $R_2/R_1 = R_4/R_3$. Substituindo na Equação 2.13, obtemos como resultado a tensão de saída

$$v_O = \frac{R_2}{R_1}(v_2 - v_1)$$

que é claramente aquela de um amplificador de diferenças com um ganho de R_2/R_1.

A seguir, obteremos a resistência de entrada vista entre os dois terminais de entrada. O circuito está redesenhado na Figura 2.23, em que fizemos $R_2/R_1 = R_4/R_3$. Na verdade, para simplificar ainda mais, fizemos $R_3 = R_1$ e $R_4 = R_2$. Desejamos agora calcular a resistência da entrada diferencial R_{in}, definida como

$$R_{in} \equiv \frac{v_2 - v_1}{i}$$

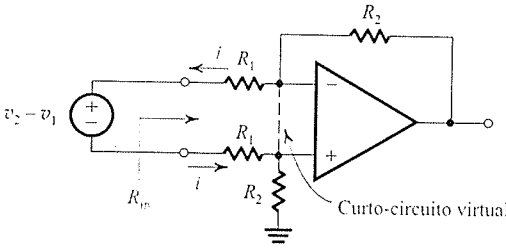


Figura 2.23 Encontrando a resistência de entrada do amplificador de diferenças.

Visto que os terminais de entrada do amp op se encontram no mesmo potencial, podemos escrever a equação da malha para obter

$$v_2 - v_1 = R_1 i + 0 + R_1 i$$

Portanto, $R_{in} = 2R_1$. Observe que, se for exigido do amplificador um alto valor de ganho diferencial, então R_1, por necessidade, terá relativamente pequeno valor e a resistência de entrada será correspondentemente pequena, o que é uma desvantagem desse circuito.

Amplificadores de diferenças encontram aplicações em várias áreas, sendo a mais notável no projeto de sistemas de instrumentação. Como exemplo, considere o caso de um transdutor que produz entre seus terminais um sinal relativamente pequeno, digamos de 1 mV. Porém, entre cada um dos dois fios (terminais do transdutor do sistema de instrumentação) e o terra pode haver uma grande interferência por ruído, digamos de 1 V. O amplificador requerido, conhecido como **amplificador de instrumentação**, deve rejeitar esse alto sinal de interferência, o qual é comum para os dois fios (um sinal de modo comum), e amplificar o pequeno sinal da diferença. Essa situação é ilustrada na Figura 2.24, em que v_{CM} representa o sinal em modo comum e v_d, o sinal diferencial.

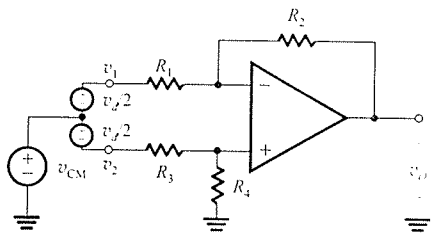


Figura 2.24 Representação do sinal de modo comum e das componentes do sinal de entrada do amplificador de diferenças. Observe que $v_1 = v_{CM} - v_d/2$ e $v_2 = v_{CM} + v_d/2$.

EXEMPLO 2.7

Um Amplificador de Instrumentação

O amplificador de diferenças estudado no exemplo anterior não é inteiramente satisfatório como um amplificador de instrumentação. Entre suas principais desvantagens estão a baixa resistência de entrada e o fato de o ganho não poder ser mudado facilmente. Um circuito amplificador de instrumentação com características muito superiores é mostrado na Figura 2.25(a). Analise o circuito para determinar o valor de v_O como função de v_1 e v_2, e determine o ganho diferencial. Sugira uma forma de fazer com que o ganho seja variável. Calcule também a resistência de entrada. Projete o circuito para proporcionar um ganho que possa variar em uma faixa de 2 a 1000, utilizando um resistor variável de 100 kΩ (um potenciômetro, ou "pot" em uma forma abreviada).

SOLUÇÃO

O circuito consiste em dois estágios: o primeiro estágio é formado pelos amp ops A_1, A_2 e seus resistores associados e o segundo estágio é formado pelo amp op A_3 junto com quatro resistores associados. É possível identificar o segundo estágio como sendo o amplificador de diferenças estudado no Exemplo 2.6.

A análise do circuito, supondo amp ops ideais, é simples, conforme ilustrado na Figura 2.25(b). O ponto-chave é que os curto-circuitos virtuais nas entradas dos amp ops A_1 e A_2 fazem aparecer as tensões de entradas v_1 e v_2 nos terminais do resistor R_1. Logo, a tensão de entrada diferencial $(v_1 - v_2)$ aparece sobre R_1 e faz com que uma corrente $i = (v_1 - v_2)/R_1$ circule através de R_1 e dos dois resistores indicados por R_2. Essa corrente, por sua vez, produz uma diferença de potencial entre os terminais de saída de A_1 e A_2 dada por

$$v_{O1} - v_{O2} = \left(1 + \frac{2R_2}{R_1}\right)(v_1 - v_2) \qquad (2.14)$$

O amplificador de diferenças, formado em volta do amp op A_3, detecta a tensão diferencial $(v_{O1} - v_{O2})$ e produz uma tensão de saída v_O proporcional,

$$v_O = -\frac{R_4}{R_3}(v_{O1} - v_{O2}) \qquad (2.15)$$

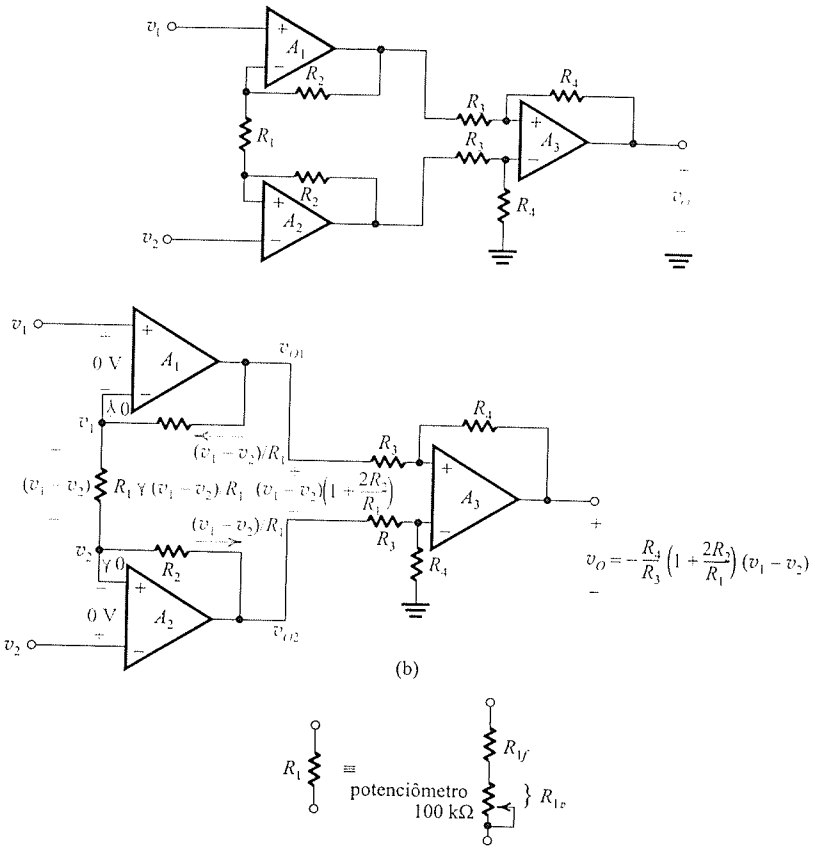


Figura 2.25 (a) Circuito popular de um amplificador de instrumentação. (b) Análise do circuito em (a) supondo amp ops ideais. (c) Fazendo um ganho variável, R_1 é implementado por uma combinação de um resistor fixo R_{1f} e um resistor variável R_{1v}. O resistor R_{1f} garante um limite máximo utilizável para o ganho.

Combinando as Equações 2.14 e 2.15 resulta em

$$v_O = \frac{R_4}{R_3}\left(1+\frac{2R_2}{R_1}\right)(v_2 - v_1)$$

Portanto, o amplificador de instrumentação tem um ganho de tensão diferencial de:

$$A_d \equiv \frac{v_O}{v_2 - v_1} = \left(1+\frac{2R_2}{R_1}\right)\frac{R_4}{R_3} \tag{2.16}$$

Podemos mostrar facilmente que o sinal de entrada de modo comum v_{CM} (aplicado aos terminais de entrada; veja Figura 2.24) se propagará pelo primeiro estágio, resultando em $v_{O1} = v_{O2} = v_{CM}$ (supondo agora que fizemos $v_d = 0$). Logo, se o segundo estágio representado pelo amplificador de diferenças estiver apropriadamente balanceado, ele produzirá uma tensão de saída zero em resposta ao sinal v_{CM}, indicando que o ganho em modo comum do amplificador de instrumentação tem o valor ideal nulo.

A partir da expressão do ganho diferencial na Equação 2.16, observamos que o valor do ganho pode ser ajustado se variarmos o valor do resistor R_1; qualquer outro arranjo envolverá a variação de dois resistores simultaneamente.

Visto que ambos os amp ops do estágio de entrada estão conectados na configuração não-inversora, a impedância de entrada vista por cada uma das fontes v_1 e v_2 é (idealmente) infinita. Essa é a principal vantagem dessa configuração de amplificador de instrumentação.

Vamos agora nos dirigir a um problema de projeto particular. É usualmente preferível obter todos os ganhos necessários no primeiro estágio, deixando o segundo estágio para executar a tarefa de perceber a tensão diferencial entre as saídas do primeiro estágio, e então fazer a rejeição do sinal de modo comum. Em outras palavras, o segundo estágio é usualmente projetado para ter um ganho unitário. Adotando esse procedimento, vamos escolher todos os valores do segundo estágio com o conveniente valor de, digamos, 10 kΩ. O problema então se reduz em projetar o primeiro estágio para proporcionar um ganho regulável em uma faixa de 2 a 1000. Implementando R_1 como uma combinação em série de um resistor fixo R_{1f} e de um resistor variável R_{1v}, que pode ser obtido por um *pot* de 100 kΩ (veja a Figura 2.25(c)), podemos escrever

$$1+\frac{2R_2}{R_{1f}+R_{1v}} = 2 \text{ a } 1000$$

Portanto,

$$1+\frac{2R_2}{R_{1f}} = 1000$$

e

$$1+\frac{2R_2}{R_{1f}+100\ \text{k}\Omega} = 2$$

Essas duas equações fornecem R_{1f} = 100,2 Ω e R_2 = 50,050 kΩ. Valores comerciais podem ser escolhidos; por exemplo, R_{1f} = 100 Ω e R_2 = 49,9 kΩ (ambos os valores são encontrados como resistores de filme metálico de tolerância de 1%; veja o Apêndice H) resultam em um ganho que cobre aproximadamente a faixa requerida.

Exercícios

2.14 Calcule os valores das resistências no circuito da Figura 2.21 de modo que o circuito se comporte como um amplificador de diferenças com uma resistência de entrada de 20 kΩ e um ganho de 100.

Resposta $R_1 = R_3 = 10\ \text{k}\Omega$; $R_2 = R_4 = 1\ \text{M}\Omega$

2.15 Para o circuito mostrado na Figura E2.15, deduza uma expressão para a função de transferência V_o/V_i. Encontre expressões para o módulo e a fase da resposta. *Observação*: Esse circuito funciona como um deslocador de fase. Ele também é conhecido como um filtro passa-todas de primeira ordem.

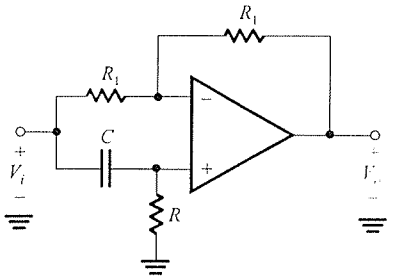


Figura E2.15

Resposta $V_o/V_i = (s - 1/CR)/(s + 1/CR)$; $|V_o/V_i| = 1$; $\phi = 180° - 2\ \text{arctg}(\omega CR)$

2.16 Considere o circuito do amplificador de diferenças da Figura 2.21. Substitua R_2 e R_4 por dois capacitores iguais C e faça $R_1 = R_3 = R$. Use o teorema da superposição para mostrar que o circuito passa a ser um integrador de diferenças com $V_o = (V_2 - V_1)/sCR$.

2.7 EFEITO DO GANHO FINITO EM MALHA ABERTA E DA FAIXA DE PASSAGEM NO DESEMPENHO DO CIRCUITO

Anteriormente, definimos o amp op ideal e apresentamos uma série de aplicações de circuitos com amp ops. A análise desses circuitos supunha amp ops ideais. Embora em muitas aplicações essa não seja uma má suposição, um projetista de circuitos precisa estar bastante familiarizado com as características dos amp ops reais e com os efeitos de tais características no funcionamento dos circuitos com amp op. Somente assim um projetista estará capacitado a usar com inteligência o amp op, especialmente se as aplicações em questão não forem simples. As propriedades não-ideais dos amp ops limitarão, é claro, a faixa de operação dos circuitos analisados nos exemplos anteriores.

Consideraremos as propriedades não-ideais do amp op no restante deste capítulo. Faremos isso tratando um parâmetro de cada vez, iniciando nesta seção com as mais importantes características não-ideais do amp op, seu ganho finito e sua faixa de passagem.

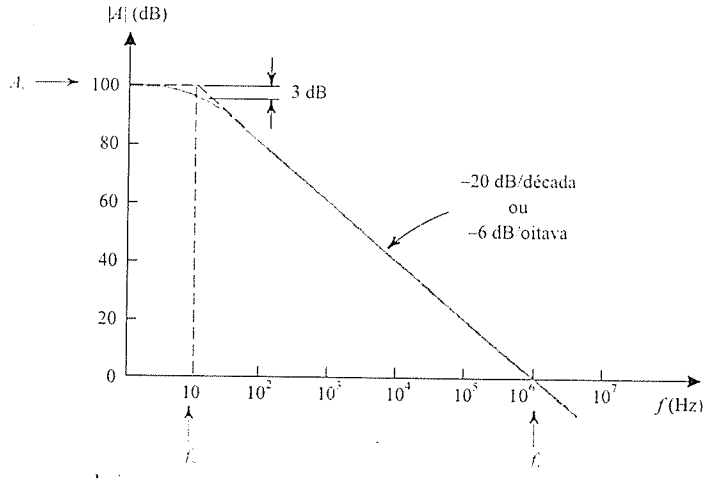


Figura 2.26 Ganho em malha aberta de um amp op de aplicação geral típico com compensação interna.

O ganho diferencial em malha aberta de um amp op não é infinito; ou melhor, ele é finito e diminui com a freqüência. A Figura 2.26 mostra uma curva para $|A|$, com parâmetros e valores típicos de vários amp ops de aplicações gerais (como o 741, que é um tipo de amp op produzido por muitos fabricantes de semicondutores e cujo circuito interno será estudado no Capítulo 10).

Observe que, embora o ganho seja bem alto em *cc* e em baixas freqüências, ele começa a cair para freqüências relativamente baixas (10 Hz em nosso exemplo). A queda uniforme de –20 dB/década no ganho é típica dos amp ops **compensados internamente**. Amp ops compensados internamente são circuitos que têm uma rede (em geral, um capacitor simples) incluída na mesma pastilha do CI cuja função é fazer com que o ganho do amp op tenha uma resposta equivalente à do passa-baixas visto anteriormente, com constante de tempo simples. Esse processo de modificação do ganho em malha aberta é denominado de **compensação de freqüência**, e seu objetivo é garantir que os circuitos com amp op sejam estáveis (não oscilem). O assunto da estabilidade dos circuitos com amp ops – ou, mais geralmente, dos amplificadores realimentados – será estudado no Capítulo 8.

Por analogia à resposta dos circuitos CTS passa-baixas (veja Seção 1.6 e, para mais detalhes, veja o Apêndice F), o ganho $A(s)$ de um amp op compensado internamente pode ser expresso como

$$A(s) = \frac{A_0}{1 + s/\omega_b} \tag{2.17}$$

o qual, para regime permanente senoidal, $s = j\omega$, torna-se

$$A(j\omega) = \frac{A_0}{1 + j\omega/\omega_b} \tag{2.18}$$

em que A_0 indica o ganho *cc* e ω_b é a freqüência de 3 dB (ou freqüência de "corte"). Para o exemplo mostrado na Figura 2.26, $A_0 = 10^5$ e $\omega_b = 2\pi \times 10$ rad/s. Para freqüências $\omega >> \omega_b$ (cerca de dez vezes mais alta), a Equação 2.18 pode ser aproximada por

$$A(j\omega) \simeq \frac{A_0\omega_b}{j\omega} \tag{2.19}$$

da qual pode ser visto que o ganho |A| se torna unitário (0 dB) na freqüência representada por ω_t que é dada por

$$\omega_t = A_0\omega_b \tag{2.20}$$

Substituindo na Equação 2.19 temos

$$A(j\omega) \simeq \frac{\omega_t}{j\omega} \tag{2.21}$$

em que ω_t é chamada de **faixa de passagem de ganho unitário**.[1] A faixa de passagem de ganho unitário $f_t = \omega_t/2\pi$ é usualmente especificada nos catálogos de amp ops. Observe também que, a partir das Equações 2.17 e 2.18, para $\omega >> \omega_b$, o ganho em malha aberta torna-se

$$A(s) \simeq \frac{\omega_t}{s} \tag{2.22}$$

Portanto, o amp op se comporta como um integrador com uma constante de tempo $\tau = 1/\omega_t$. Isso corresponde à resposta em freqüência de – 6 dB/oitava indicada na Figura 2.26.

O módulo do ganho pode ser obtido pela Equação 2.21 como

$$|A(j\omega)| \cong \frac{\omega_t}{\omega} = \frac{f_t}{f} \tag{2.23}$$

Portanto, se f_t for conhecida (10^6 Hz em nosso exemplo), o valor do ganho do amp op pode ser facilmente estimado para uma dada freqüência f. Por uma questão de ordem prática, observamos que a dispersão no valor de ω_t durante a produção de amp ops do mesmo tipo é muito menor do que a observada para A_0 e ω_b. Por essa razão, ω_t (ou $f_t = \omega_t/2\pi$) é um parâmetro de especificação mais adequado. Finalmente, deve ser mencionado que um amp op com uma queda uniforme no ganho de –6 dB/oitava é dito ser do tipo "pólo simples". Visto que esse pólo simples domina a resposta em freqüência, ele é chamado também de **pólo dominante**. Voltaremos a falar de pólos e zeros no Capítulo 7.

Resposta em Freqüência dos Amplificadores em Malha Fechada

Consideraremos a seguir o efeito da limitação do ganho e da faixa de passagem nas funções de transferência das duas configurações básicas: o circuito inversor da Figura 2.4 e o circuito não-inversor da Figura 2.16. O ganho em malha fechada do amplificador inversor, supondo um

1. Visto que ω_t é o produto do ganho *cc* (A_0) pela faixa de passagem de 3 dB (ω_b), que é conhecido também como **produto ganho-faixa de passagem** (GB).

ganho em malha fechada A finito, foi deduzido na Seção 2.3 e obtido na Equação 2.1, a qual repetimos aqui

$$\frac{V_o}{V_i} = \frac{-R_2/R_1}{1 + (1 + R_2/R_1)/A} \tag{2.24}$$

Substituindo A pelos termos da Equação 2.17 temos

$$\frac{V_o(s)}{V_i(s)} = \frac{-R_2/R_1}{1 + \frac{1}{A_0}\left(1 + \frac{R_2}{R_1}\right) + \frac{s}{\omega_t/(1 + R_2/R_1)}} \tag{2.25}$$

Para $A_0 >> 1 + R_2/R_1$, que usualmente é o caso,

$$\frac{V_o(s)}{V_i(s)} \simeq \frac{-R_2/R_1}{1 + \frac{s}{\omega_t/(1 + R_2/R_1)}} \tag{2.26}$$

cujo resultado tem a mesma forma de uma rede CTS passa-baixas (veja a Tabela 1.2). Portanto, o amplificador inversor tem a resposta de uma rede CTS passa-baixas com um valor de ganho igual a R_2/R_1. O ganho em malha fechada cai com uma inclinação constante de –20 dB/década, sendo a freqüência de corte (freqüência de 3 dB) dada por

$$\omega_{3dB} = \frac{\omega_t}{1 + R_2/R_1} \tag{2.27}$$

De modo similar, a análise do amplificador não-inversor da Figura 2.16, supondo um ganho em malha aberta A finito, produz a função de transferência de malha fechada

$$\frac{V_o}{V_i} = \frac{1 + R_2/R_1}{1 + (1 + R_2/R_1)/A} \tag{2.28}$$

Substituindo A pela Equação 2.17 e fazendo a aproximação $A_0 >> 1 + R_2/R_1$ resulta em

$$\frac{V_o(s)}{V_i(s)} = \frac{1 + R_2/R_1}{1 + \frac{s}{\omega_t/(1 + R_2/R_1)}} \tag{2.29}$$

Portanto, o amplificador não-inversor tem a resposta de uma rede CTS passa-baixas com um ganho *cc* de $(1 + R_2/R_1)$ e a freqüência de 3 dB dada também pela Equação 2.27.

EXEMPLO 2.8

Considere um amp op com $f_t = 1$ MHz. Calcule a freqüência de 3 dB dos amplificadores em malha fechada com os ganhos nominais de +1000, +100, +10, +1, –1, –10, –100 e –1000. Esboce o módulo da resposta em função da freqüência para um ganho em malha fechada de +10 e –10.

SOLUÇÃO

Usando a Equação 2.27, obtemos os resultados apresentados na tabela a seguir:

Ganho em malha fech	$/R_1$	$f_{3dB} = f_t/(1 + R_2/R_1)$
+1000	999	1 kHz
+100	99	10 kHz
+10	9	100 kHz
+1	0	1 MHz
−1	1	0,5 MHz
−10	10	90,9 kHz
−100	100	9,9 kHz
−1000	1000	≅1 kHz

A Figura 2.27 mostra o módulo da resposta em freqüência para um amplificador com ganho *cc* nominal de +10 e a Figura 2.28 mostra a resposta em freqüência para o caso de −10.

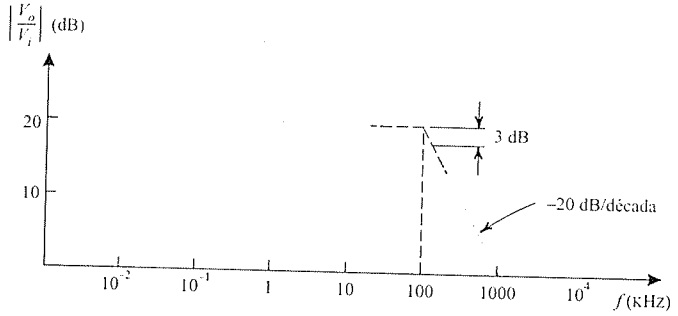


Figura 2.27 Resposta em freqüência de um amplificador com ganho nominal de +10 V/V.

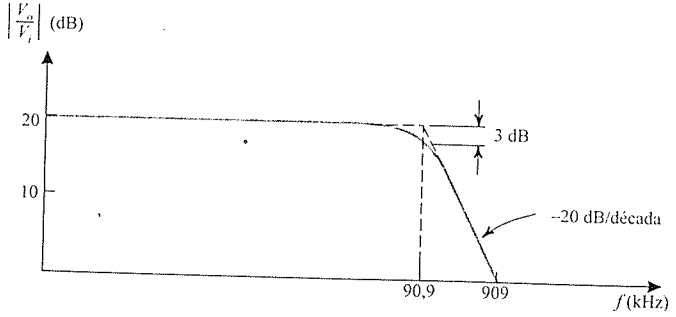


Figura 2.28 Resposta em freqüência de um amplificador com ganho nominal de −10 V/V.

Uma observação interessante sobre a tabela anterior é que o amplificador inversor de ganho unitário tem uma freqüência de 3 dB de $f_t/2$ quando comparada a f_t para o caso do amplificador não-inversor de ganho unitário.

O Exemplo 2.8 mostra claramente o compromisso entre ganho e faixa de passagem: para um dado amp op, quanto menor o ganho em malha fechada necessário, maior a faixa de passagem obtida. Na verdade, a configuração não-inversora exibe um produto ganho-faixa de passagem constante e numericamente igual a f_t do amp op. Uma interpretação desses resultados em termos da teoria da realimentação será apresentada no Capítulo 8.

Exercícios

2.17 Um amp op compensado internamente possui um ganho *cc* em malha aberta de 10^6 V/V e um ganho *ac* em malha aberta de 40 dB em 10 kHz. Estime sua freqüência de 3 dB, sua freqüência de ganho unitário, seu produto ganho-faixa de passagem e o ganho esperado em 1 kHz.

Resposta 1 Hz; 1 MHz; 1 MHz; 60 dB

2.18 Considere um amp op com um ganho *cc* de 106 dB e uma resposta em freqüência de pólo simples com f_t = 2 MHz. Calcule o valor do ganho para f = 1 kHz, 10 kHz e 100 kHz.

Resposta 2000 V/V; 200 V/V; 20 V/V

2.19 Se o amp op do Exercício 2.18 for usado no projeto de um amplificador não-inversor com ganho nominal *cc* de 100, calcule a freqüência de 3 dB do ganho em malha fechada.

Resposta 20 kHz

2.8 OPERAÇÃO DOS AMP OPS PARA GRANDES SINAIS

Nesta seção estudaremos as limitações no funcionamento dos circuitos com amp op quando sinais de grandes amplitudes estão presentes nas saídas.

Saturação da Saída

Do mesmo modo que em outros amplificadores, os amp ops operam linearmente em uma faixa limitada de tensão de saída. Especificamente, a saída do amp op satura do modo mostrado na Figura 1.13 com L_+ e L_- cerca de 1 a 3 volts menores, em módulo, que as fontes de alimentação positiva e negativa, respectivamente. Portanto, um amp op operando a partir de uma fonte simétrica de ±15 V saturará quando a saída atingir cerca de +13 V no sentido positivo e −13 V no sentido negativo. Para esse amp op, a **tensão de saída nominal** (*rated output voltage*) é especificada como sendo ±13 V. Para evitar o ceifamento dos picos da forma de onda da saída e, portanto, sua distorção, o sinal de entrada deve se manter convenientemente pequeno.

Exercício

2.20 A tensão de saída nominal de um amp op é de ± 10 V. Se o amp op está sendo usado para o projeto de um amplificador não-inversor com ganho de 200, qual o maior valor para uma onda senoidal de entrada que pode ser aplicado sem que ocorra ceifamento na saída?

Resposta 0,1 V pico-a-pico

Taxa Máxima de Variação da Tensão de Saída (Slew-Rate)

Um outro fenômeno que pode causar uma distorção não-linear quando sinais de grandes amplitudes estão presentes na saída é a limitação na taxa de variação. Isso ocorre porque há uma taxa máxima de variação da tensão de saída em um amp op real, conhecida como *slew-rate* (SR) do amp op e definida como

$$\text{SR} = \left.\frac{dv_O}{dt}\right|_{\text{máx}} \tag{2.30}$$

sendo usualmente especificada nos catálogos de amp ops em V/μs. Portanto, se um sinal de entrada for aplicado e demandar uma resposta na saída com taxa maior que o valor especificado para o SR, o amp op não atuará como esperado. Em vez disso, sua saída responderá à taxa máxima permitida, que é o próprio SR. Para ilustrar, considere o amp op conectado segundo a configuração seguidora de ganho unitário mostrada na Figura 2.29(a) e suponha uma tensão de entrada do tipo degrau, conforme mostrado na Figura 2.29(b). A saída do amp op não conseguirá subir instantaneamente para o valor ideal V; em vez disso, a saída será uma rampa linear com inclinação igual ao SR, como mostra a Figura 2.29(c). Nesse caso, o amplificador está com sua saída limitada pelo *slew-rate*.

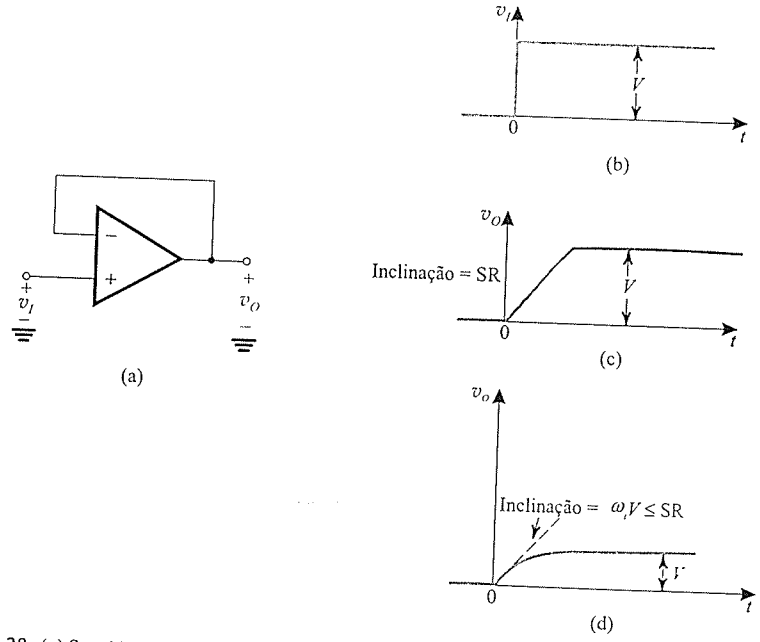


Figura 2.29 (a) Seguidor de ganho unitário. (b) Forma de onda de entrada do tipo degrau. (c) Subida linear da forma de onda de saída do amplificador quando ela está limitada pelo *slew-rate*. (d) Forma de onda de saída com crescimento exponencial obtida quando a amplitude de V é suficientemente pequena, tal que a inclinação inicial ($\omega_t V$) seja menor ou igual a SR.

Para entender a origem do fenômeno do slew-rate, precisamos compreender o circuito interno do amp op, o que faremos no Capítulo 10. No momento, basta saber da existência do fenômeno e perceber que ele é distinto da faixa de passagem finita do amp op (que limita a resposta em freqüência dos amplificadores em malha fechada estudados anteriormente). A limitação na faixa de passagem é um fenômeno linear e não resulta em uma modificação na forma da senóide de entrada; isto é, ela não leva a uma distorção não-linear. A limitação por *slew-rate*, por outro lado, pode causar distorção não-linear em um sinal senoidal de entrada se sua freqüência e amplitude forem tais que a resposta na saída necessite que v_O varie a uma taxa superior a SR. Essa é a origem de outra especificação relacionada ao amp op, sua faixa de passagem a plena potência, que explicaremos mais tarde.

Antes de deixar o exemplo da Figura 2.29, gostaríamos de salientar que, se a amplitude do degrau de entrada V for suficientemente pequena, a saída pode ser a rampa exponencial mostrada na Figura 2.29(d). Tal saída seria esperada do circuito seguidor se a única limitação presente em seu desempenho dinâmico fosse a limitação na faixa de passagem do amp op. Especificamente, a função de transferência do seguidor pode ser obtida substituindo-se $R_1 = \infty$ e $R_2 = 0$ na Equação 2.29 para obter

$$\frac{V_o}{V_i} = \frac{1}{1 + s/\omega_t} \tag{2.31}$$

que é a resposta CTS passa-baixas com constante de tempo $1/\omega_t$. Sua resposta ao degrau seria então (veja o Apêndice F)

$$v_O(t) = V(1 - e^{-\omega_t t}) \tag{2.32}$$

A inclinação inicial dessa função exponencial crescente é ($\omega_t V$). Assim, enquanto V for suficientemente pequena, tal que $\omega_t V \leq$ SR, a saída será similar à Figura 2.29(d).

Exercício

2.21 Um amp op com taxa máxima de variação da tensão de saída de 1 V/μs e faixa de passagem de ganho unitário f_t de 1 MHz está conectado na configuração seguidora de ganho unitário. Calcule o maior valor possível para o degrau de tensão na entrada para o qual a forma de onda de saída ainda é dada pela rampa exponencial da Equação 2.32. Com essa tensão de entrada, qual o tempo de subida de 10% a 90% para a forma de onda de saída? Se for aplicado um degrau de entrada 10 vezes maior, calcule o tempo de subida de 10% a 90% para a forma de onda de saída.

Resposta 0,16 V; 0,35 μs; 1,28 μs

Faixa de Passagem à Plena Potência

A limitação por *slew-rate* do amp op pode provocar uma distorção não-linear em uma forma de onda senoidal. Considere mais uma vez o seguidor de ganho unitário com uma onda senoidal de entrada dada por

$$v_I = \hat{V}_i \operatorname{sen} \omega t$$

A taxa de variação dessa forma de onda é dada por

$$\frac{dv_I}{dt} = \omega \hat{V}_i \cos \omega t$$

e tem um valor máximo de $\omega\hat{V}_i$. Esse máximo ocorre nos cruzamentos por zero da tensão de entrada senoidal. Agora, se $\omega\hat{V}_i$ exceder o *slew-rate* do amp op, a forma de onda de saída será distorcida, como mostra a Figura 2.30. Observe que a saída não pode manter a alta taxa de variação da senóide em sua passagem por zero e a saída do amp op é distorcida.

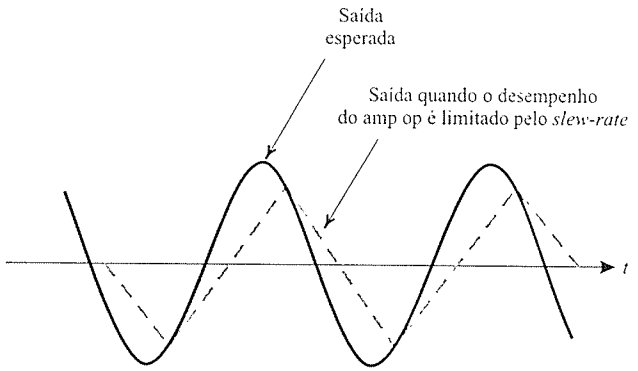


Figura 2.30 Efeito da limitação por *slew-rate* em formas de onda de saída senoidais.

Como mencionado anteriormente, os catálogos de amp ops indicam usualmente uma freqüência f_M chamada de **faixa de passagem a plena potência.** Essa é a freqüência na qual uma saída senoidal com amplitude igual à tensão de saída nominal do amp op começa a mostrar distorção devido à limitação da taxa de variação. Se representarmos a tensão de saída nominal por $V_{o\text{máx}}$, então f_M pode ser relacionada ao SR por:

$$\omega_M V_{o\text{máx}} = \text{SR}$$

Portanto,

$$f_M = \frac{\text{SR}}{2\pi V_{o\text{máx}}} \tag{2.33}$$

Deve estar claro que as saídas senoidais de amplitudes menores que $V_{o\text{máx}}$ apresentarão uma distorção devido ao SR nas freqüências acima de ω_M. Realmente, em uma freqüência ω acima de ω_M, a amplitude máxima da saída senoidal sem distorção é dada por:

$$V_o = V_{o\text{máx}}\left(\frac{\omega_M}{\omega}\right) \tag{2.34}$$

Exercício

2.22 Um amp op tem uma tensão de saída nominal de ±10 V e uma taxa máxima de variação de 1 V/μs. Qual a faixa de passagem à plena potência? Se um sinal senoidal com freqüência $f = 5f_M$ for aplicado em um seguidor de ganho unitário montado usando esse amp op, qual a amplitude máxima possível que pode ser acomodada na saída sem que ocorra a distorção produzida pelo SR?

Resposta 15,9 kHz; 2 V (pico)

2.9 IMPERFEIÇÕES *cc*

Tensão de Offset

Pelo fato de os amp ops serem dispositivos diretamente acoplados com alto ganho em *cc*, eles estão propensos a problemas em *cc*. O primeiro desses problemas é a tensão de offset (desequilíbrio) *cc*. Para entender esse problema, considere o seguinte experimento *teórico*: se os dois terminais do amp op forem ligados juntos e conectados ao terra, será observada uma tensão residual *cc* finita na saída. Na realidade, se o amp op tem um alto ganho *cc*, a saída poderá estar em um de dois níveis possíveis de saturação, o positivo ou o negativo. A saída do amp op pode retornar a seu valor ideal de 0 V conectando-se uma fonte *cc* de polaridade e valor apropriados entre seus dois terminais de entrada. Essa fonte externa compensa a tensão de entrada de *offset* do amp op. Portanto, a **tensão de *offset* de entrada** (V_{OS}) deve ser de valor igual mas de polaridade oposta à tensão aplicada externamente.

A tensão de *offset* resulta de um inevitável desequilíbrio presente no estágio diferencial da entrada (interno ao amp op). Em capítulos posteriores estudaremos esse assunto em detalhes. Agora, contudo, nossa preocupação é estudar o efeito de V_{OS} sobre a operação em malha fechada dos circuitos com amp op. Para esse fim, observamos que os amp ops de uso geral exibem V_{OS} na faixa de 1 a 5 mV. Também, o valor de V_{OS} depende da temperatura. Os catálogos de amp op especificam usualmente valores típicos e máximos de V_{OS} para a temperatura ambiente assim como o coeficiente de temperatura de V_{OS} (usualmente em μV/°C). Eles, contudo, não especificam a polaridade de V_{OS} porque os descasamentos entre componentes que fazem surgir V_{OS} não são conhecidos *a priori;* diferentes amostras de amp ops do mesmo tipo podem exibir polaridades positivas ou negativas de V_{OS}.

Para analisar o efeito de V_{OS} sobre a operacão dos circuitos com amp op, precisamos de um modelo de circuito do amp op com a tensão de entrada de *offset*. Esse modelo é mostrado na Figura 2.31. Ele consiste em uma fonte de tensão *cc* com valor V_{OS} ligada em série com o terminal positivo de entrada de um amp op sem *offset*. A justificativa para esse modelo vem da descrição feita anteriormente.

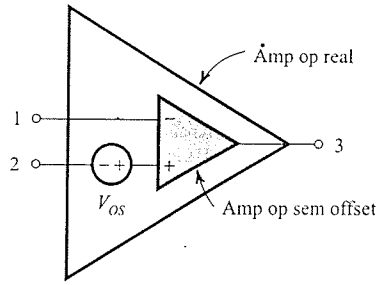


Figura 2.31 Modelo de circuito para o amp op com tensão de entrada de *offset* V_{OS}.

Exercício

2.23 Use o modelo da Figura 2.31 para esboçar a característica de transferência v_O *versus* v_{Id} ($v_O \equiv v_3$ e $v_{Id} \equiv v_2 - v_1$) de um amp op tendo $A_0 = 10^4$, nível de saturação de saída de ± 10 V e V_{OS} de +5 mV.

Resposta Veja a Figura E2.23

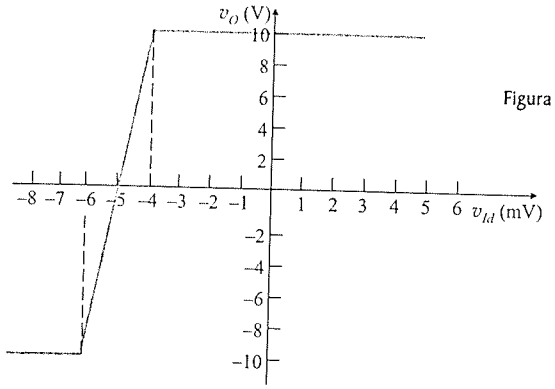


Figura E2.23 Característica de transferência de um amp op com V_{OS} = 5 mV.

A análise do efeito de V_{OS} sobre o funcionamento de circuitos com amp op é direta: a fonte de tensão do sinal de entrada é curto-circuitada e o amp op é substituído pelo modelo da Figura 2.31. (A eliminação do sinal de entrada é feita por uma questão de simplicidade e é baseada no prncípio da superposição.) Seguindo esse procedimento, encontramos que tanto as configurações inversora como não-inversora do amplificador resultam no circuito mostrado na Figura 2.32, a partir do qual a tensão *cc* de saída devida a V_{OS} é obtida como sendo

$$V_O = V_{OS}\left[1 + \frac{R_2}{R_1}\right] \tag{2.35}$$

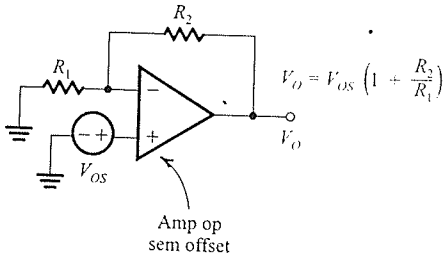


Figura 2.32 Determinando a tensão de saída *cc* devida a V_{OS} em um amplificador em malha fechada.

Essa tensão *cc* de saída pode ter um valor alto. Por exemplo, um amplificador não-inversor com um ganho em malha fechada de 1000, quando construído com um amp op que tem tensão de offset de entrada de 5 mV, terá uma tensão *cc* de 5 V ou −5 V (dependendo da polaridade de V_{OS}) em vez de 0 V. Agora, quando um sinal é aplicado à entrada do amplificador, o correspondente sinal de saída será sobreposto à tensão *cc* de 5 V. Obviamente, a excursão de saída do sinal será reduzida. Pior ainda, se o sinal a ser amplificado for *cc*, não poderemos saber se a saída é devida a V_{OS} ou ao sinal!

Alguns amp ops são providos de dois terminais adicionais aos quais um determinado circuito pode ser conectado para zerar a tensão *cc* de saída devida a V_{OS}. A Figura 2.33 mostra tal montagem, que é tipicamente usada com amp ops de propósito geral. Um potenciômetro é conectado entre os terminais de anulação de *offset* e o terminal central do potenciômetro é conectado à fonte de alimentação negativa do amp op. Movendo-se o terminal central do potenciômetro pode-se contrabalançar a assimetria presente no circuito interno do amp op que deu origem a V_{OS}. Retornaremos a este ponto no contexto de nosso estudo dos circuitos internos de amp ops no Capítulo 10. Contudo, deve ser observado que, mesmo que o *offset* na saída possa ser anulado, o problema persiste devido à variação (*drift*) de V_{OS} com a temperatura.

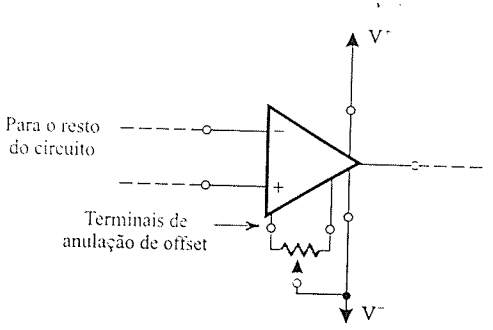


Figura 2.33 A tensão *cc* de saída de um amp op pode ser ajustada em zero conectando-se um potenciômetro aos dois terminais de anulação de offset. O terminal central do potenciômetro é conectado à fonte de alimentação negativa do amp op.

Exercício

2.24 Considere um amplificador inversor com um ganho nominal de 1000, construído com um amp op tendo uma tensão de offset de entrada de 3 mV e com níveis de saturação de saída de ± 10 V. (a) Qual (aproximadamente) o valor de pico do sinal senoidal de entrada que pode ser aplicado sem que ocorra ceifamento na saída? (b) Se o efeito de V_{OS} for anulado à temperatura ambiente (25°C), qual o maior valor de sinal de entrada que pode ser aplicado se: (i) o circuito operar em temperatura constante? (ii) o circuito operar com uma variação de temperatura de 0°C a 75°C e o coeficiente de temperatura de V_{OS} for de 10 μV/°C?

Resposta (a) 7 mV; (b) 10 mV; 9,5 mV

Uma forma de superar o problema do *offset cc* é pelo acoplamento capacitivo do amplificador. Isso, contudo, será possível apenas em aplicações que não exijam do amplificador em malha

fechada uma amplificação de sinais *cc* ou de freqüências muito baixas. A Figura 2.34 mostra um amplificador inversor capacitivamente acoplado. O capacitor de acoplamento fará com que o ganho seja zero em *cc*. O circuito terá a resposta de uma rede CTS passa-altas com uma freqüência de 3 dB de $\omega_0 = 1/CR_1$, e o ganho será $-R_2/R_1$ para freqüências $\omega >> \omega_0$. A vantagem desse arranjo é que V_{OS} não será amplificada. Portanto, a tensão *cc* de saída será igual a V_{OS} em vez de $V_{OS}(1 + R_2/R_1)$, como seria o caso se não existisse o capacitor de acoplamento. Visto que o capacitor se comporta como um circuito aberto em *cc*, é fácil perceber, pela Figura 2.34, que o gerador V_{OS} (acoplado no modelo à entrada positiva do amp op) realmente "vê" um seguidor de ganho unitário.

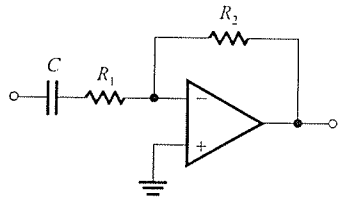
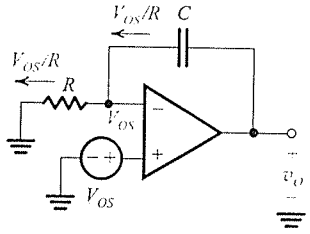


Figura 2.34 Um amplificador inversor capacitivamente acoplado.

Um outro circuito com amp op que é afetado adversamente pela tensão de *offset* de entrada é o integrador Miller. A Figura 2.35 mostra o circuito integrador com o sinal de entrada reduzido a zero e o amp op substituído pelo modelo da Figura 2.31. A análise desse circuito é direta e está mostrada na Figura 2.35. Admitindo que no instante $t = 0$ a tensão no capacitor seja zero, a tensão de saída como função do tempo é dada por

$$v_O = V_{OS} + \frac{V_{OS}}{CR}t \tag{2.36}$$

Portanto, v_O aumenta linearmente com o tempo até o amp op saturar – uma situação claramente inaceitável! O problema pode ser atenuado conectando-se um resistor R_F em paralelo com o capacitor C do integrador. Esse resistor proporciona um caminho *cc* pelo qual a corrente (V_{OS}/R) pode circular, resultando que v_O terá agora uma componente *cc* de $V_{OS}[1 + (R_F/R)]$ (em vez de crescer linearmente). Para manter a tensão de *offset cc* pequena na saída, R_F deve ter um valor baixo. Infelizmente, contudo, quanto menor o valor de R_F, menos ideal o circuito integrador se torna (veja o Exemplo 2.4). Esse é outro exemplo de escolha de compromisso que o projetista tem de considerar ao projetar um circuito funcionando com componentes imperfeitos.



$$v_O = V_{OS} + \frac{1}{C}\int \frac{V_{OS}}{R}dt$$
$$= V_{OS} + \frac{V_{OS}}{CR}t$$

Figura 2.35 Determinando o efeito da tensão de offset de entrada V_{OS} do amp op sobre o circuito integrador Miller. Observe que, devido ao aumento da tensão de saída com o tempo, o amp op eventualmente satura.

Exercício

P2.25 Considere um integrador Miller com constante de tempo de 1 ms e uma resistência de entrada de 10 kΩ. Suponha que o amp op tenha $V_{OS} = 2$ mV e a tensão de saturação de saída seja ± 12 V. (a) Supondo que, ao ser ligada a fonte de alimentação, a tensão no capacitor seja zero, quanto tempo leva para o amplificador saturar? (b) Determine o maior valor possível para o resistor de realimentação R_F de modo que o sinal de saída possa variar dentro de pelo menos ± 10 V. Qual a freqüência de corte da rede CTS resultante?

Resposta (a) 6 s; (b) 10 MΩ, 0,16 Hz

Correntes de Polarização de Entrada

O segundo problema em *cc* encontrado nos amp ops está ilustrado na Figura 2.36. Para o amp op operar, os dois terminais de entrada devem obrigatoriamente estar alimentados por correntes *cc*, denominadas de **correntes de polarização de entrada**. Na Figura 2.36, essas duas correntes estão representadas por duas fontes de corrente, I_{B1} e I_{B2}, conectadas aos dois terminais de entrada. Deve ser enfatizado que as correntes de polarização de entrada são independentes do fato de os amp ops terem resistência de entrada finita, porém elevada (isso não é mostrado na Figura 2.36). O fabricante do amp op especifica usualmente o valor médio de I_{B1} e I_{B2}, assim como sua diferença prevista. O valor médio I_B é chamado de **corrente de polarização de entrada**,

$$I_B = \frac{I_{B1} + I_{B2}}{2}$$

e a diferença é chamada de **corrente de *offset* de entrada** e é dada por

$$I_{OS} = |I_{B1} - I_{B2}|$$

Valores típicos para amp ops de uso geral que usam transistores bipolares são $I_B = 100$ nA e $I_{OS} = 10$ nA. Os amp ops que usam transistores de efeito de campo no estágio de entrada têm correntes de polarização de entrada muito menores (da ordem de picoampères).

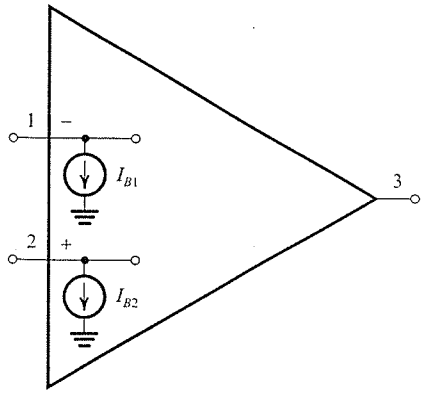


Figura 2.36 Correntes de polarização de entrada do amp op representadas por duas fontes de corrente I_{B1} e I_{B2}.

Desejamos agora encontrar a tensão *cc* de saída do amplificador em malha fechada devido às correntes de polarização de entrada. Para isso, aterramos a fonte de sinal e obtemos o circuito mostrado na Figura 2.37 para as configurações inversora e não-inversora. Conforme mostrado na Figura 2.37, a tensão *cc* de saída é dada por

$$V_O = I_{B1}R_2 \simeq I_B R_2 \tag{2.37}$$

Isso obviamente limita o valor máximo de R_2. Felizmente, contudo, há uma técnica para reduzir o valor da tensão *cc* de saída devido às correntes de polarização de entrada. O método consiste em introduzir uma resistência R_3 em série com o terminal da entrada inversora, conforme mostrado na Figura 2.38. Do ponto de vista de sinal, R_3 tem um efeito desprezível. O valor apropriado para R_3 pode ser determinado pela análise do circuito na Figura 2.38, na qual podem ser vistos os detalhes da análise. A tensão de saída é dada por

$$V_O = -I_{B2}R_3 + R_2(I_{B1} - I_{B2}R_3/R_1) \tag{2.38}$$

Considere primeiro o caso em que $I_{B1} = I_{B2} = I_B$, que resulta em

$$V_O = I_B[R_2 - R_3(1 + R_2/R_1)]$$

Então podemos reduzir V_O a zero escolhendo R_3 de modo que

$$R_3 = \frac{R_2}{1 + R_2/R_1} = \frac{R_1 R_2}{R_1 + R_2} \tag{2.39}$$

Isto é, R_3 deve ser igual à associação em paralelo de R_1 e R_2.

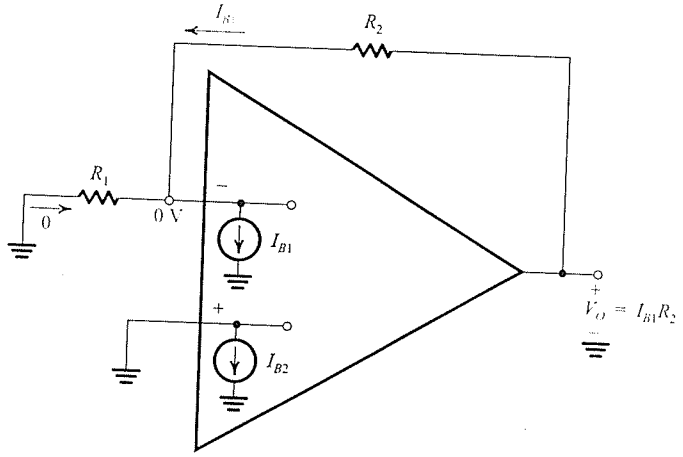


Figura 2.37 Análise do amplificador em malha fechada, considerando as correntes de polarização de entrada.

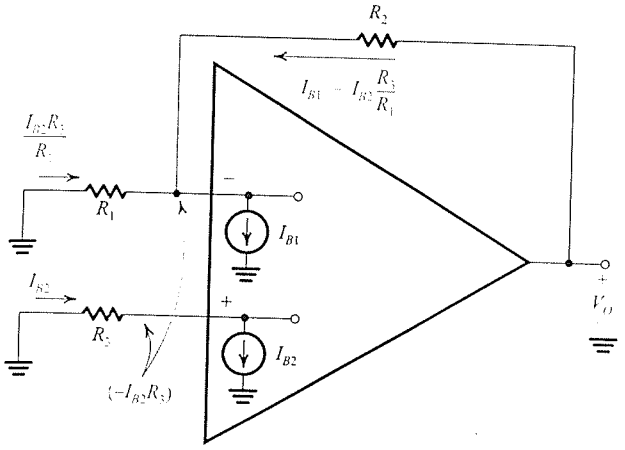


Figura 2.38 Reduzindo o efeito da corrente de polarização de entrada pela introdução de um resistor R_3.

Uma vez selecionado R_3, vamos avaliar o efeito de uma corrente de offset I_{OS} finita. Sejam $I_{B1} = I_B + I_{OS}/2$ e $I_{B2} = I_B - I_{OS}/2$. Substituindo-se na Equação 2.38 o resultado é

$$V_O = I_{OS}R_2 \tag{2.40}$$

que é usualmente uma ordem de magnitude menor que o valor obtido sem R_3 (Equação 2.37). Concluímos que, para minimizar o efeito das correntes de polarização de entrada, devemos colocar no terminal positivo uma resistência igual ao valor da resistência *cc* vista pelo terminal inversor. Salientemos a palavra *cc* na última afirmação: observe que, se o amplificador tiver acoplamento *ca*, devemos escolher $R_3 = R_2$, conforme mostrado na Figura 2.39.

Enquanto estamos tratando do assunto de amplificadores de acoplamento *ca*, note que sempre devemos proporcionar um caminho *cc* entre cada um dos terminais do amp op e o terra. Por essa razão, o amplificador não-inversor com acoplamento *ca* da Figura 2.40 *não* funcionará sem a resistência R_3 ligada ao terra. Infelizmente, a inclusão de R_3 diminui consideravelmente a resistência de entrada do amplificador não-inversor em malha fechada.

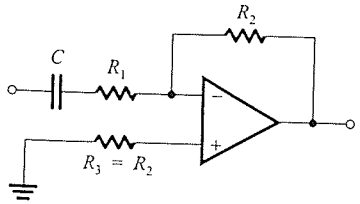


Figura 2.39 A resistência *cc* vista pelo terminal inversor em um amplificador com acoplamento para *ca* é R_2; portanto, R_3 é escolhida com valor igual a R_2.

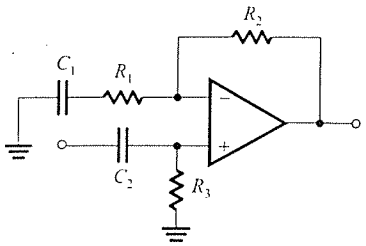


Figura 2.40 Ilustrando a necessidade de proporcionar um caminho *cc* contínuo para cada um dos terminais de entrada do amp op. Especificamente, note que o amplificador *não funcionará* sem o resistor R_3.

Exercício

2.26 Considere um circuito integrador Miller com resistência de entrada R, capacitor integrador C e um outro resistor R conectado entre o terminal de entrada positivo do amp op e o terra. Aterre o terminal de entrada do integrador e substitua o amp op pelo circuito equivalente da Figura 2.36 com $I_{B1} = I_B + I_{OS}/2$ e $I_{B2} = I_B - I_{OS}/2$.

(a) Mostre que se a tensão no capacitor for zero no instante $t = 0$ então

$$v_O = -\left[I_B - \frac{I_{OS}}{2}\right]R + \frac{I_{OS}}{C}t$$

(b) Com um resistor R_F conectado em paralelo com C e supondo que $R_F >> R$, mostre que v_O se transforma em $v_O \cong I_{OS}R_F$.

RESUMO

■ O CI amp op é um elemento de circuito versátil. É de fácil aplicação e o desempenho de circuitos com amp ops é muito próximo do esperado teoricamente.

■ Os terminais do amp op são o terminal inversor (1), o terminal não-inversor (2), o terminal de saída (3), o terminal de alimentação positiva (V^+) que deve ser conectado à fonte de alimentação positiva e o terminal de alimentação negativa (V^-) que deve ser conectado à fonte de alimentação negativa. O terminal comum das duas fontes de alimentação é o terra do circuito.

■ O amp op ideal responde apenas à diferença dos sinais de entrada, isto é $(v_2 - v_1)$; fornece na saída, entre os terminais 3 e terra, um sinal $A(v_2 - v_1)$, em que A, o ganho em malha aberta, é muito elevado (10^4 a 10^6) e idealmente infinito; além disso, o amp op tem resistência de entrada infinita e resistência de saída zero.

■ Realimentação negativa é aplicada a um amp op em aberto conectando-se um componente passivo entre seu terminal de saída e o de entrada inversor (negativo). A realimentação negativa torna a tensão entre os dois terminais de entrada muito pequena, idealmente zero. Por isso, diz-se que há um curto-circuito virtual entre os dois terminais de entrada. Se o terminal positivo é conectado ao terra, um terra virtual aparece no terminal de entrada negativo.

■ As duas suposições mais importantes na análise de circuitos com amp ops, assumindo-se que há realimentação negativa e que os amp ops são ideais, são: para cada amp op, os dois terminais de entrada estão no mesmo potencial elétrico e não flui corrente nesses terminais de entrada.

♦ Com realimentação negativa aplicada e a malha fechada, o ganho em malha fechada é determinado apenas pelos componentes externos: para a configuração inversora, $V_o/V_i = -R_2/R_1$; para a configuração não-inversora, $V_o/V_i = 1 + R_2/R_1$.

■ A configuração em malha fechada não-inversora apresenta uma elevadíssima resistência de entrada. Um caso especial é o seguidor de ganho unitário utilizado como um amplificador isolador (*buffer*) que conecta uma fonte de alta resistência de entrada a uma carga de baixa resistência.

■ Para a maioria dos amp ops compensados internamente, o ganho em malha aberta cai com a freqüência a uma taxa de –20 dB/década, alcançando ganho unitário na freqüência f_t (a faixa de passagem de ganho unitário). A freqüência f_t também é conhecida como o produto ganho-faixa de passagem do amp op: $f_t = A_0 f_b$, em que A_0 é o ganho *cc* e f_b é a freqüência de 3 dB do ganho em malha aberta. Para qualquer freqüência f ($f >> f_b$), o ganho do amp op $|A| = f_t/f$.

■ Para ambas as configurações em malha fechada, inversora e não-inversora, a freqüência de 3 dB é igual a $f_t/(1 + R_2/R_1)$.

■ A taxa máxima pela qual a saída de um amp op pode variar é chamada de *slew-rate*. O slew-rate, SR, é usualmente especificado em V/μs. O slew-rate pode resultar em uma distorção não-linear das formas de onda de saída.

■ A faixa de passagem à plena potência, f_M, é a máxima freqüência na qual uma saída com amplitude igual à tensão de saída nominal ($V_{omáx}$) do amp op pode ser produzida sem distorção: $f_M = \text{SR}/2\pi V_{omáx}$.

■ A tensão de *offset* de entrada, V_{OS}, é a magnitude da tensão *cc* que, quando aplicada aos terminais de entrada do amp op, com a polaridade adequada, reduz a tensão de offset *cc* na saída a zero.

■ O efeito de V_{OS} no desempenho do circuito pode ser considerado se incluirmos na análise uma fonte *cc* V_{OS} em série com o terminal de entrada positivo do amp op. Para as configurações inversora e não-inversora, V_{OS} resulta em uma tensão *offset cc* na saída de $V_{OS}(1 + R_2/R_1)$.

■ Acoplando capacitivamente um amp op, reduz-se consideravelmente a tensão *offset cc* na saída.

■ A média das duas correntes *cc*, I_{B1} e I_{B2}, que flui nos terminais de entrada do amp op, é chamada de corrente de polarização de entrada, I_B. Em um amplificador em malha fechada, I_B gera uma tensão *offset cc* na saída de magnitude $I_B R_2$. Essa tensão pode ser reduzida para $I_{OS}R_2$ conectando-se uma resistência em série com o terminal de entrada positivo. Essa resistência deve ser igual à resistência *cc* total vista pelo terminal de entrada negativo. I_{OS} é a corrente de *offset* de entrada; isto é, $I_{OS} = |I_{B1} - I_{B2}|$.

■ Conectando-se uma resistência elevada em paralelo com o capacitor de um circuito integrador com amp op evita-se a saturação do amp op (devido ao efeito de V_{OS} e I_B).

BIBLIOGRAFIA

G. B. Clayton, *Experimenting with Operational Amplifiers*, London, Macmillan, 1975.

G. B. Clayton, *Operational Amplifiers*, 2ª ed., London, Newnes-Butterworths, 1979.

S. Franco, *Design with Operational Amplifiers and Analog Integrated Circuits*, New York, McGraw-Hill, 1988.

J. G. Graeme, G. E. Tobey e L. P. Huelsman, *Operational Amplifiers: Design and Applications*, New York, McGraw-Hill, 1971.

W. Jung, *IC Op Amp Cookbook*, Indianapolis, Howard Sams, 1974.

E. J. Kennedy, *Operational Amplifier Circuits: Theory and Applications*, New York, Holt, Rinehart e Winston, 1988.

J. K. Roberge, *Operational Amplifiers: Theory and Practice*, New York, Wiley, 1975.

J. I. Smith, *Modern Operational Circuit Design*, New York, Wiley-Interscience, 1971.

J. E. Solomon, The monolithic op amp: A tutorial study. *IEEE Journal of Solid-State Circuits*, vol. SC-9, nº 6, pp. 314-322, dezembro de 1974.

J. V. Wait, L. P. Huelsman e G. A. Korn, *Introduction to Operational Amplifier Theory and Applications*, New York, McGraw-Hill, 1975.

PROBLEMAS

Seção 2.1: Encapsulamento do Amp Op

2.1 Uma jovem engenheira, designada para descobrir as técnicas empregadas em um produto do concorrente por meio de engenharia reversa, encontra um encapsulamento duplo em linha (*dual-in-line – DIP*) de 8 pinos. Ela acredita que se trate de um certo número de amp ops. Provavelmente quantos são? Qual o número máximo que ela deve esperar? Liste os pinos que ela provavelmente identificará.

Seção 2.2: O Amp Op Ideal

2.2 O circuito da Figura P2.2 usa um amp op ideal, exceto quanto a seu ganho A, que é finito. Os instrumentos indicam $v_O = 3{,}5$ V quando $v_I = 3.5$ V. Qual o valor do ganho A?

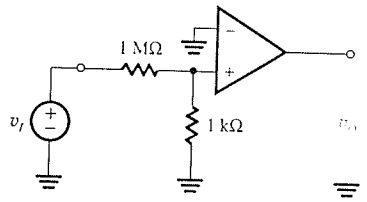


Figure P2.2

2.3 Foi feito um conjunto de experimentos com um amp op ideal, exceto quanto a seu ganho A, que é finito. Os resultados estão tabulados a seguir. Os resultados estão coerentes? Se não, eles são razoáveis, tendo em vista a possibilidade de algum erro experimental? Que valor de ganho ele mostra ter? Usando esse valor, estime os valores que os instrumentos indicariam no lugar onde casualmente foram esquecidos (nas partes em branco da tabela).

Experimento	v_1	v_2	v_O
1	0,00	0,00	0,00
2	1,00	1,00	0,00
3		1,00	1,00
4	1,00	1,10	10,1
5	2,01	2,00	–0,99
6	1,99	2,00	1,00
7	5,10		–5,10

2.4 Para o circuito mostrado na Figura E2.3, um erro de fabricação faz com que o valor de G_m associado a v_1 seja diferente daquele associado a v_2. Se o valor de G_m associado a v_1 é 10% maior que aquele associado a v_2, e o ganho de tensão associado a v_2 é de 1000 V/V, que saída deveria resultar para entradas v_1 e v_2 de 101,0 mV e 103,0 mV, respectivamente? Que saída resultaria se G_{m1} fosse o mesmo que G_{m2}? O sinal "extra" observado é chamado de erro de modo comum.

Seção 2.3: Análise de Circuitos com Amp Ops Ideais – A Configuração Inversora

2.5 Um circuito inversor usa um amp op ideal e dois resistores de 10 kΩ. Qual o ganho em malha fechada esperado? Se uma tensão *cc* de +3,00 V é aplicada na entrada, qual a saída resultante? Se os resistores de 10 KΩ são "resistores de 5%", isto é, seus valores estão no intervalo (1,00 ± 0,05), qual a faixa de valores de tensão de saída esperados para a entrada de +3,00 V?

2.6 Supondo os amplificadores ideais, calcule o ganho de tensão v_o/v_i e a resistência de entrada R_{in} para cada um dos circuitos da Figura P2.6.

P2.7 Usando o circuito da Figura 2.4 e supondo um amp op ideal, projete um amplificador com um ganho de –50 V/V tendo a maior resistência de entrada possível sob a condição de não poder usar resistores maiores que 10 MΩ. Qual a resistência de entrada de seu projeto?

2.8 Um circuito inversor com amp op usa resistores de 15 kΩ e 2,7 kΩ e um amplificador de baixo custo para obter um ganho em malha fechada de –5,42 V/V. Medidas cuidadosas dos resistores indicam valores de 15,3 kΩ e 2,59 kΩ. Nessas condições, qual deve ser o valor do ganho em malha aberta do amp op?

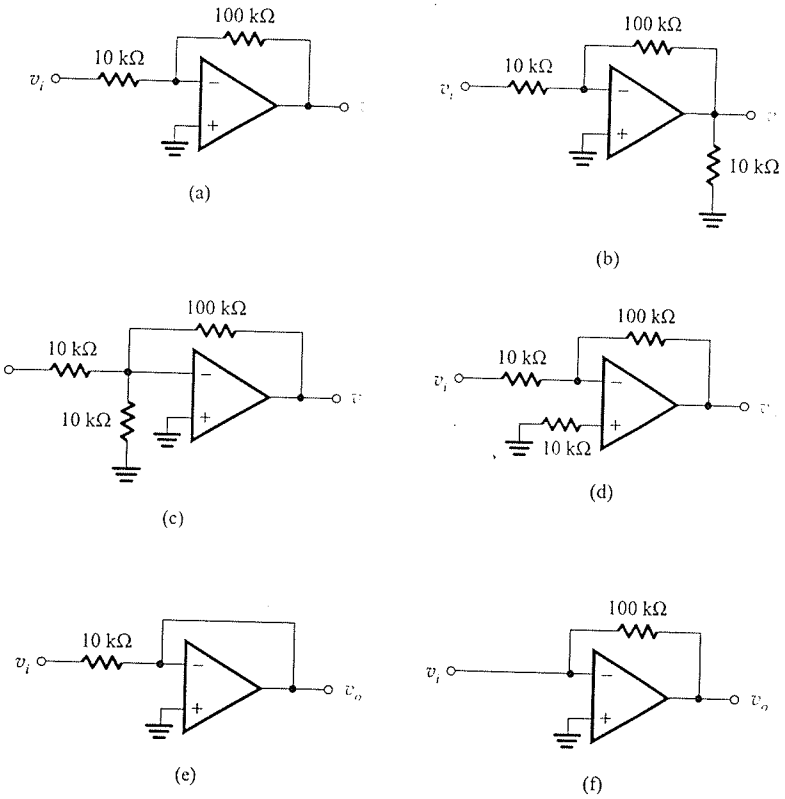


Figura P2.6

2.9 O circuito da Figura P2.9 é freqüentemente usado para fornecer uma tensão de saída v_o proporcional a um sinal de corrente de entrada i_i. Determine as expressões para a transresistência $R_m \equiv v_o/i_i$ e a resistência de entrada $R_i \equiv v_i/i_i$ para os dois casos:

(a) com A infinito e
(b) com A finito.

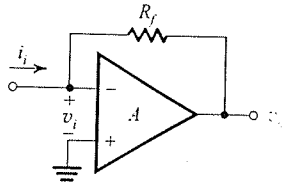


Figura P2.9

*2.10 Rearranje a Equação 2.1 a fim de dar o ganho em malha aberta A necessário para

obter o ganho em malha fechada desejado ($G_{nominal} = -R_2/R_1$) dentro de um erro de ganho especificado,

$$\varepsilon \equiv \left| \frac{G - G_{nominal}}{G_{nominal}} \right|$$

Para o ganho em malha fechada de –100 e erro de ganho ≤ 10%, qual o menor valor necessário para A?

2.11 Para o circuito da Figura 2.8, que ganho é obtido quando todos os resistores são iguais? Uma extensão desse circuito é mostrada na Figura P2.11; determine seu ganho.

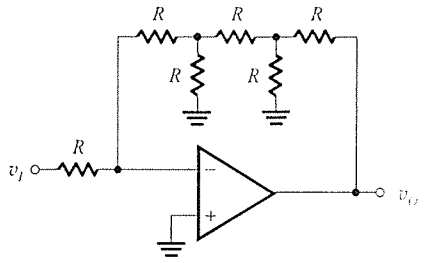


Figura P2.11

P*2.12 (a) Para o circuito da Figura 2.8, considerando o ganho em malha aberta A do amp op finito, mostre que

$$\frac{v_O}{v_I} = \frac{-G_0}{1 + [1 + G_0 + (R_4/R_3)]/A}$$

em que G_0 é o valor nominal do ganho em malha fechada (veja o Exemplo 2.2),

$$G_0 = \frac{R_2}{R_1}\left[1 + \frac{R_4}{R_2} + \frac{R_4}{R_3}\right]$$

(b) Aplique esse resultado para o caso $G_0 = 100$, $A = 1000$ e $R_4 = R_2 = R_1$. Calcule v_O/v_I.

(c) Repita o item (b) para os mesmos valores de G_0 e A, mas com $R_4 = R_2 = 10\,R_1$.

(d) Para efeito de comparação, calcule o valor de v_O/v_I para a configuração inversora com os mesmos valores de G_0 e A.

Observação: A expressão anterior para v_O/v_I sugere que o efeito de A finito pode ser aproximadamente igual ao da configuração inversora quando $R_4 << R_3$. Contudo, ao utilizar esta opção, a finalidade de empregar a rede T na realimentação perde o sentido. Por quê? (Você precisa analisar o encaminhamento adotado no Exemplo 2.2 para ser capaz de responder a esta questão.)

Seção 2.4: Outras Aplicações da Configuração Inversora

2.13 Um integrador Miller incorpora um amp op ideal, um resistor R de 100 kΩ e um capacitor C de 0,1 μF. Um sinal senoidal é aplicado em sua entrada.

(a) Em que freqüência (em Hz) os sinais de entrada e de saída serão iguais em amplitude?

(b) Nessa freqüência, como se relacionam as fases das senóides de saída e de entrada?

(c) Se a freqüência for reduzida por um fator de 10 em relação à do item (a), a amplitude da tensão de saída muda com que fator e em que sentido (aumenta ou diminui)?

(d) Qual a relação de fase entre a entrada e a saída na situação (c)?

P2.14 Projete um integrador Miller com constante de tempo de um segundo e uma resistência de entrada de 100 kΩ. Para uma entrada de –1 V aplicada à entrada no tempo $t = 0$, em que instante v_O atinge –10 V? E 0 V? E +10 V?

2.15 Um integrador Miller cujas tensões de entrada e de saída são inicialmente zero e cuja constante de tempo é de 1 ms é alimentado pelo sinal mostrado na Figura P2.15. Esboce e dê o nome da forma de onda resultante. Indique o que ocorrerá se os níveis de tensão de entrada forem de ±2 V, com a mesma constante de tempo (1 ms) e se ela for aumentada para 2 ms.

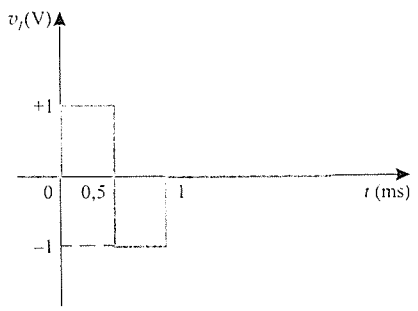


Figura P2.15

*2.16 A fim de limitar o ganho em baixas freqüências de um integrador Miller, um resistor é freqüentemente ligado em paralelo com o capacitor do integrador. Considere o caso em que o resistor de entrada é de 100 kΩ, o capacitor é de 0,1 μF e o resistor em paralelo é de 10 MΩ.

(a) Esboce e indique na curva de Bode o módulo da resposta do circuito resultante e compare-a com a do integrador ideal (isto é, sem o resistor em paralelo). Em que freqüência o circuito começa a se comportar menos como integrador e mais como amplificador?

(b) Esboce e indique claramente a forma de onda de saída resultante quando for aplicado um pulso de entrada de 0,1 V de amplitude e 1 ms de largura. Considere os casos sem o resistor e com o resistor em paralelo. (*Observação*: A resposta aos pulsos aplicados nas redes CTS é discutida no Apêndice F.)

2.17 Um diferenciador com amp op com constante de tempo de 1 ms é alimentado por um degrau com taxa de subida controlada como mostra a Figura P2.17. Supondo v_O inicialmente igual a zero, esboce e dê o nome dessa forma de onda.

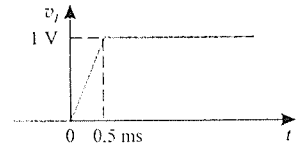


Figura P2.17

P2.18 A Figura P2.18 mostra um circuito do tipo rede com constante de tempo simples que executa a função de um filtro passa-altas. Esse circuito é conhecido como filtro ativo passa-altas de primeira ordem. Deduza a função de transferência e mostre que o ganho para altas freqüências é dado por $(-R_2/R_1)$ e a freqüência de 3 dB é $\omega_0 = 1/CR_1$. Projete o circuito para obter uma resistência de entrada de 1 kΩ, um ganho para altas freqüências de 40 dB e uma freqüência de corte de 1 kHz. Para que freqüência o valor da função de transferência se reduz à unidade?

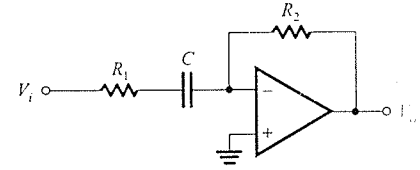


Figura P2.18

*2.19 Desejamos estudar o efeito do ganho finito A em malha aberta sobre o desempenho do somador. Considere primeiro um somador de duas entradas com sinais v_a e v_b conectados a R_{1a} e R_{1b}, respectivamente, e um resistor de realimentação R_2. Utilize o teorema da superposição junto com a Equação 2.1 para mostrar que

$$v_O = \frac{-1}{1 + \dfrac{(1 + R_2/R_{paralelo})}{A}}\left[v_a \frac{R_2}{R_{1a}} + v_b \frac{R_2}{R_{1b}}\right]$$

em que $R_{paralelo}$ é a resistência equivalente ao paralelo dos resistores de entrada. Estenda então esse resultado para o caso de um número arbitrário de entradas.

2.20 Usando o esquema ilustrado na Figura 2.15, projete um circuito com entradas v_1, v_2 e v_3 que forneça $v_O = -(2v_1 + 4v_2 + 8v_3)$ empregando resistores maiores que 1 kΩ.

2.21 A Figura P2.21 mostra o circuito de um conversor digital-analógico (D/A). O circuito aceita uma entrada de quatro bits com palavra binária $a_3a_2a_1a_0$, em que a_0, a_1, a_2 e a_3 podem assumir os valores 0 ou 1, fornecendo uma tensão de saída analógica v_O proporcional ao valor da entrada digital. Cada um dos bits da palavra de entrada controla as chaves correspondentemente numeradas. Por exemplo, se a_2 é 0, então a chave S_2 conecta o resistor de 20 kΩ ao terra, ao passo que, se a_2 é 1, então a chave S_2 conecta o resistor de 20 KΩ ao terminal +5 V da fonte de alimentação. Mostre que neste caso v_O é dada por

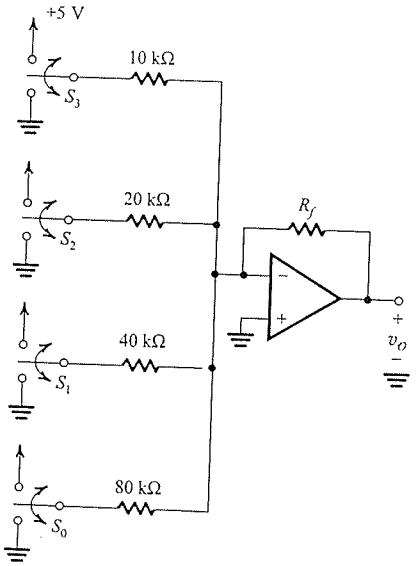


Figura 2.21

$$v_O = -\frac{R_f}{16}\left[2^0 a_0 + 2^1 a_1 + 2^2 a_2 + 2^3 a_3\right]$$

em que R_f é dada em kΩ. Calcule o valor de R_f de modo que v_O excursione na faixa de 0 a −12 V.

Seção 2.5: A Configuração Não-inversora

P2.22 Projete um circuito baseado na topologia do amplificador não-inversor para obter um ganho de +1,5 V/V utilizando apenas resistores de 10 kΩ. Observe que há duas possibilidades. Qual delas pode ser facilmente adaptada para fornecer um ganho de +1,0 V/V ou +2,0 V/V simplesmente se curto-circuitando um único resistor para cada caso?

2.23 Para o circuito na Figura P2.23 use o princípio da superposição para encontrar v_O em termos das tensões de entrada v_1 e v_2. Suponha um amp op ideal. Para

$v_1 = 10\ \text{sen}(2\pi \times 60t) - 0{,}1\ \text{sen}(2\pi \times 1000t)$ volts

$v_2 = 10\ \text{sen}(2\pi \times 60t) + 0{,}1\ \text{sen}(2\pi \times 1000t)$ volts

calcule v_O.

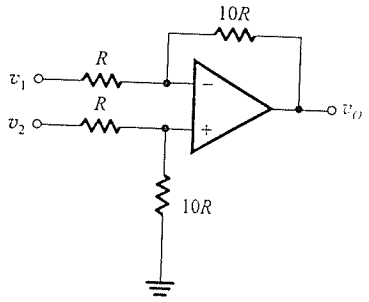


Figura P2.23

P2.24 O circuito mostrado na Figura P2.24 utiliza um potenciômetro de 10 kΩ para que o amplificador tenha um ganho ajustável. Deduza a expressão para o ganho em função do valor do potenciômetro ajustado em x. Suponha um amp op ideal. Qual a faixa de valores obtidos para o ganho? Mostre como acrescentar um resistor fixo de modo que a faixa de valores do ganho possa variar de 1 a 11 V/V. Que valor deve ter o resistor?

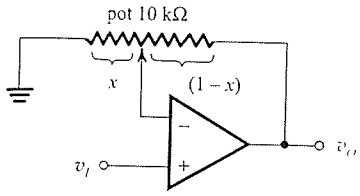


Figura P2.24

2.25 Deduza uma expressão para o ganho do seguidor de tensão da Figura 2.19 supondo um amp op ideal, exceto quanto ao ganho A, que é finito. Calcule o ganho em malha fechada para A = 1000, 100 e 10. Para cada caso encontre o erro percentual no valor do ganho em relação ao valor nominal.

2.26 A Figura P2.26 mostra um circuito que fornece uma tensão de saída v_O cujo valor pode ser variado girando o contato deslizante do potenciômetro de 100 kΩ. Calcule a faixa de variação de v_O. Se o potenciômetro for um dispositivo de "20 voltas", calcule a variação de v_O para cada volta do potenciômetro.

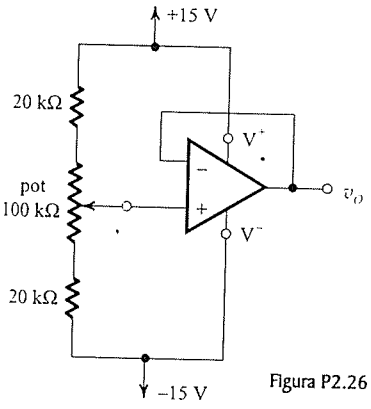


Figura P2.26

Seção 2.6 Exemplos de Circuitos com Amp Op

P2.27 Para o circuito de medição com alta resistência de entrada da Figura 2.20, usando um medidor de bobina móvel de 1 mA, encontre o valor do resistor R cuja leitura máxima na escala seja obtida para v_I = 2,5 V. Se a resistência do instrumento for de 50 Ω, qual a tensão na saída à meia escala?

*2.28 Para o amplificador de diferenças da Figura P2.28, considere todos os resistores com valor de 100 kΩ ± x%. Deduza uma expressão para o pior ganho de modo comum possível. Determine seu valor numérico para x = 0,1; 1 e 5.

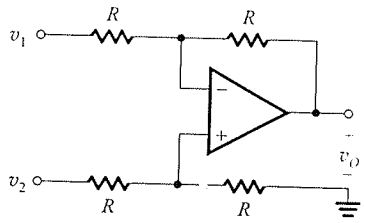


Figura P2.28

2.29 Repita o Exercício 2.14 com as posições de C e R trocadas em relação à Figura E2.15.

*2.30 A Figura P2.30 mostra uma versão modificada do amplificador de diferenças estudado no Exemplo 2.6. O circuito modificado inclui um resistor R_G, que pode ser usado para variar o ganho. Mostre que o ganho de tensão é dado por

$$\frac{v_O}{v_d} = -2\frac{R_2}{R_1}\left[1 + \frac{R_2}{R_G}\right]$$

Sugestão: O curto-circuito virtual na entrada do amp op faz com que a corrente através dos resistores R_1 seja de $v_d/2R_1$.

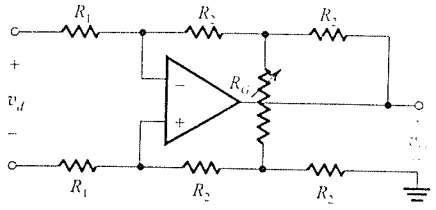


Figura P2.30

**2.31 Para um amplificador de instrumentação do tipo mostrado na Figura 2.25(a), uma projetista sugere utilizar $R_2 = R_3 = R_4 = 100$ kΩ e $R_1 = 10$ kΩ. Para componentes ideais, quais os valores do ganho de modo diferencial, de modo comum e da CMRR? Se os resistores apresentarem tolerância de ± 1%, quais os novos valores para essas características? E se R_1 for reduzido para 1 kΩ? O que você conclui a respeito da importância da diferença (relativa) no valor dos ganhos do primeiro e segundo estágios?

Seção 2.7: Efeito do Ganho Finito em Malha Aberta e da Faixa de Passagem no Desempenho do Circuito

2.32 Os dados da tabela a seguir se aplicam a amp ops compensados internamente. Preencha os espaços em branco.

A_0	f_b (Hz)	f_t (Hz)
10^6	1	
10^6		10^6
	10^6	10^8
	10^{-1}	10^6
2×10^5	10	

2.33 Um amplificador inversor com ganho nominal de –20 V/V usa um amp op com um ganho *cc* de 10^4 e freqüência de ganho unitário de 10^6 Hz. Qual a freqüência de 3 dB f_{3dB} do amplificador em malha fechada? Qual o ganho em 0,1 f_{3dB} e a 10 f_{3dB}?

2.34 Um amp op, caracterizado por um produto ganho-faixa de passagem de 30 MHz, opera em malha fechada com ganho de +100 V/V. Qual a freqüência de corte resultante? Em que freqüência o amplificador em malha fechada apresenta um deslocamento de fase de –67°? E de –84°?

P*2.35 Este problema ilustra o uso em cascata de amplificadores em malha fechada para obter uma faixa de passagem global maior que a alcançada usando um amplificador de estágio simples com o mesmo ganho total.

(a) Mostre que, ao se acoplar dois estágios amplificadores idênticos, tendo cada um a resposta de uma rede CTS passa-baixas com f_1 sendo a freqüência de 3 dB, chega-se a um amplificador global com uma freqüência de 3 dB dada por

$$f_{3dB} = \sqrt{\sqrt{2} - 1}\, f_1$$

(b) Projete um amplificador não-inversor com um ganho *cc* de 40 dB utilizando um amp op simples compensado internamente com $f_t = 1$ MHz. Qual a freqüência de 3 dB obtida?

(c) Reprojete o amplificador do item (b) ligando em cascata dois amplificadores não-inversores idênticos, cada um com ganho de 20 dB. Qual a freqüência de 3 dB do amplificador global? Compare com o valor obtido no item (b) anterior.

2.36 Considere um somador inversor com duas entradas V_1 e V_2 e com $V_o = -(V_1 + V_2)$. Encontre a freqüência de 3 dB para cada uma das funções de ganho V_o/V_1 e V_o/V_2 em termos da freqüência f_t do amplificador. (*Sugestão:* Em cada caso, a outra entrada do somador pode ser colocada em zero – uma aplicação do teorema da superposição.)

*2.37 (a) Mostre que a função de transferência de um integrador Miller montado usando um amp op compensado internamente com freqüência de ganho unitário ω_t é dada aproximadamente por

$$\frac{V_o}{V_i} \cong -\frac{1}{j\omega CR}\,\frac{1}{1 + j(\omega/\omega_t)}$$

em que foi suposto que ω_t é muito maior do que a freqüência do integrador ω_0 ($\omega_0 = 1/CR$).

(b) Qual o "desvio de fase" que o integrador tem devido a ω_t para $\omega = \omega_t/100$? Esse "desvio de fase" é do tipo atraso ou avanço?

Seção 2.8: Operação dos Amp Ops para Grandes Sinais

2.38 Um amp op usando uma alimentação de ±15 V opera linearmente para saídas na faixa de –13 V a +13 V. Se for usado em um amplificador na configuração inversora de ganho –1000, qual o maior valor rms possível da onda senoidal que pode ser aplicado na entrada sem que ocorra ceifamento?

2.39 Qual a máxima freqüência de uma onda triangular com amplitude pico a pico de 20 V que pode ser reproduzida por um amp op cujo slew-rate é 10 V/μs? Para uma senóide de mesma freqüência, qual a máxima amplitude do sinal de saída que permanece sem distorção?

2.40 Para um amplificador com um slew-rate de 10 V/μs, qual a maior freqüência para a qual uma senóide de 20 V pico a pico pode ser obtida na saída?

P*2.41 No projeto com amp ops temos de verificar as limitações nas faixas de freqüência e tensão da operação em malha fechada, impostas pela faixa de passagem finita (f_t), slew-rate (SR) e tensão de saída nominal ($V_{omáx}$). Este problema ilustra esse aspecto considerando o uso de um amp op com f_t = 2 MHz, SR = 1 V/μs e $V_{omáx}$ = 10 V no projeto de um amplificador não-inversor com um ganho nominal de 10. Suponha uma senóide de entrada com uma amplitude de pico de V_i.

(a) Se $V_i = 0,5$ V, qual a freqüência máxima antes que ocorra distorção na saída?

(b) Se $f = 20$ kHz, qual o máximo valor de V_i antes que ocorra distorção na saída?

(c) Se $V_i = 50$ mV, qual a faixa útil de freqüências de operação?

(d) $f = 5$ kHz, qual a faixa útil de tensões de entrada?

Seção 2.9: Imperfeições *CC*

2.42 Um amp op ligado na configuração inversora com a entrada aterrada, tem R_2 = 100 kΩ, R_1 = 1 kΩ e uma tensão *cc* na saída de –0,5 V. Se é sabido que a corrente de polarização é muito pequena, calcule a tensão de offset.

2.43 Um amplificador não-inversor com um ganho de 100 usa um amp op com uma tensão de offset de entrada de ± 2 mV. Calcule a saída quando a entrada for de 0,01 sen ωt, em volts.

2.44 Um amp op conectado em malha fechada usando resistores de valores relativamente baixos tem um ganho de 100 V/V e apresenta uma tensão de saída de –1,4 V quando a entrada está aterrada. Qual a tensão de offset de entrada? Esboçe um modelo incluindo uma fonte de tensão de offset semelhante ao da Figura 2.31. Cuidado com as polaridades.

P*2.45 Um amplificador não-inversor com um ganho de +10 V/V usando um resistor de realimentação de 100 kΩ tem acoplado em sua entrada um gerador com resistência de 5 kΩ. Para uma tensão de offset de 0 mV, mas uma corrente de polarização de 1 μA e uma corrente de offset de 0,1 μA, qual a faixa de valores de saída esperada? Indique onde você adicionaria um resistor para compensar as correntes de polarização. Qual seria a nova faixa de valores de saída? Se a resistência do gerador fosse de 15 kΩ, qual valor de resistor deveria ser utilizado para compensar as correntes de polarização? E onde deveria ser colocado?

*2.46 Considere o circuito amplificador de diferenças da Figura 2.21. Faça $R_1 = R_3$ = 10 kΩ e $R_2 = R_4 = 1$ MΩ. Se o amp op tem $V_{OS} = 3$ mV, $I_B = 0,2$ μA e $I_{OS} = 50$ nA, calcule a tensão de offset na saída para o pior caso (maior valor).

2.47 O circuito mostrado na Figura P2.47 usa um amp op com ± 5 mV de *offset*. Qual a tensão de *offset* de saída? Com a entrada acoplada em *ac* por meio de um capacitor *C*, qual será o valor da tensão de *offset* de saída? Se o resistor de 1 kΩ for acoplado capacitivamente ao terra, qual será o valor da tensão de *offset* de saída?

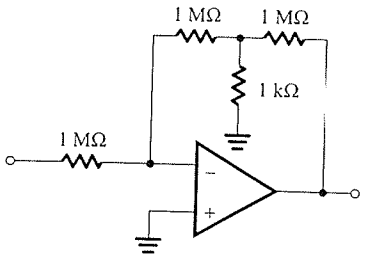


Figura P2.47

2.48 Usando os terminais de zeramento da tensão de offset de um amp op, um amplificador em malha fechada com ganho de +1000 é ajustado para produzir zero volt na saída a 25°C com a entrada aterrada. Se o fator de deriva da tensão de *offset* de entrada do amp op for especificado como sendo de 10 μV/°C, que valor de saída você esperaria a 0°C e a 75°C? Embora nada possa ser dito isoladamente sobre a polaridade da tensão de offset de saída em ambas as temperaturas, que polaridades relativas você espera nesses casos?

CAPÍTULO 3

MAKRON *Books*

Diodos

Introdução
3.1 O Diodo Ideal
3.2 Características Elétricas dos Diodos de Junção
3.3 Operação Física dos Diodos
3.4 Análise de Circuitos com Diodos
3.5 O Modelo para Pequenos Sinais e Suas Aplicações
3.6 Operação na Região de Ruptura Reversa – Os Diodos Zener
3.7 Circuitos Retificadores
3.8 Circuitos Limitadores e Grampeadores
3.9 Tipos Especiais de Diodos
3.10 O Modelo do SPICE para Diodos e Exemplos de Simulação
Resumo
Bibliografia
Problemas

INTRODUÇÃO

Nos capítulos anteriores tratamos quase inteiramente de circuitos lineares; qualquer não-linearidade, como aquela introduzida pela saturação na saída do amplificador, foi considerada como um problema a ser resolvido pelo projetista de circuitos. Contudo, há várias outras funções de processamento de sinais que podem ser implementadas somente por circuitos não-lineares. Citamos como exemplo a geração de tensão *cc* a partir de uma fonte de alimentação *ca* e a geração de sinais de várias formas de onda (por exemplo, senoidal, quadrada, pulsos etc.). Citamos também os circuitos lógicos digitais e de memória que constituem uma classe especial de circuitos não-lineares.

O elemento não-linear fundamental de circuito e também o mais simples é o diodo. Assim como um resistor, o diodo tem dois terminais; mas diferentemente do resistor, o qual tem uma relação linear (direta) entre a corrente que circula por ele e a tensão nele aplicada, o diodo tem uma característica *i–v* não-linear.

Este capítulo trata do estudo dos diodos. A fim de entender a principal função de um diodo, iniciamos com um elemento fictício, o diodo ideal. Introduziremos depois o diodo de junção de silício, explicaremos suas características elétricas e proporemos técnicas para análise de circuitos com diodos. Este último tópico envolve o importante assunto de modelamento do dispositivo.

Para compreender a origem das características elétricas dos diodos, consideraremos sua operação física. Nosso estudo da operação física da junção *pn* e dos conceitos básicos de física de

semicondutores tem o objetivo de fornecer uma base para compreender não apenas as características de diodos de junção, mas também aquelas do transistor bipolar de junção, estudado no próximo capítulo, e de transistores de efeito de campo, estudados no Capítulo 5.

Das várias aplicações dos diodos, a mais comum é o projeto de retificadores (o qual converte *ca* em *cc*). Portanto, estudaremos os circuitos retificadores com mais detalhes e várias outras aplicações serão vistas resumidamente. Circuitos não-lineares adicionais que utilizam diodos e outros dispositivos poderão ser vistos no decorrer deste texto e em particular no Capítulo 12.

Embora a maior parte deste capítulo concentre-se no estudo de diodos de junção *pn* de silício, consideraremos brevemente alguns diodos especiais, como o fotodiodo e o diodo emissor de luz. O capítulo termina com uma descrição do modelo de diodos empregado no programa SPICE de simulação de circuitos. Também apresentaremos um exemplo de projeto que ilustra o uso da simulação com o SPICE.

3.1 O DIODO IDEAL

O diodo ideal pode ser considerado como o elemento não-linear mais fundamental. Ele é um dispositivo de dois terminais, tendo o símbolo de circuito que é mostrado na Figura 3.1(a) e as características *i–v* mostradas na Figura 3.1(b).

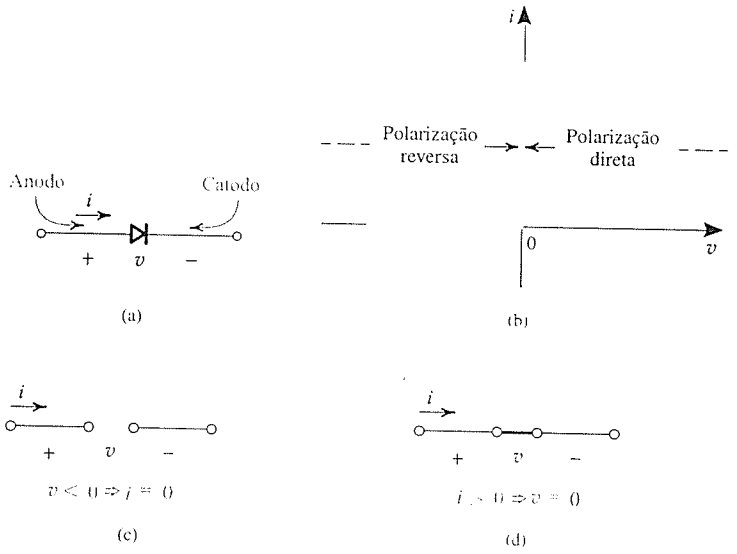


Figura 3.1 O diodo ideal: **(a)** símbolo do diodo; **(b)** característica *i–v*; (c) circuito equivalente na polarização reversa; **(d)** circuito equivalente na polarização direta.

A característica elétrica do diodo ideal pode ser interpretada como segue: se uma tensão negativa – em relação à referência indicada na Figura 3.1(a) – for aplicada no diodo, não haverá circulação de corrente e o diodo se comportará como um circuito aberto [veja a Figura 3.1(c)]. Um diodo que opera nesse modo é dito estar **reversamente polarizado**, ou operando na direção reversa. Em um diodo ideal reversamente polarizado a corrente é zero e é dito que o diodo está em **corte**.

Por outro lado, se uma corrente positiva – em relação à referência indicada na Figura 3.1(a) – for aplicada em um diodo ideal, a queda de tensão no diodo é zero. Em outras palavras, o diodo se comporta como um curto-circuito enquanto *diretamente* polarizado [Figura 3.1(d)]; nesse caso, passa por ele uma corrente qualquer enquanto a queda de tensão é zero. Um diodo em condução direta é dito estar em **condução** ou, simplesmente, **ligado**.

Pela descrição anterior observamos que o circuito externo deve ser projetado para limitar a corrente de condução direta do diodo e para limitar a tensão reversa do diodo em corte, em valores predeterminados. A Figura 3.2 mostra dois circuitos com diodos que ilustram esse ponto. No circuito da Figura 3.2(a), o diodo está obviamente em condução. Logo, a queda de tensão nele é zero e a corrente que circula por ele será determinada pela fonte de alimentação de +10 V e o resistor de 1 kΩ, que resulta em 10 mA. O diodo no circuito da Figura 3.2(b) está obviamente em corte e, portanto, sua corrente é zero, o que por sua vez significa que a tensão total de 10 V aparece sobre o diodo reversamente polarizado.

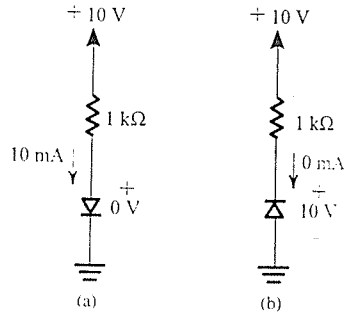


Figura 3.2 Os dois modos de operação do diodo ideal e o uso de um circuito externo para limitar a corrente direta e a tensão reversa.

O terminal positivo do diodo é chamado de **anodo** e o terminal negativo é o **catodo**, uma herança dos dias dos diodos à válvula. A característica *i–v* do diodo ideal (conduzindo em um sentido e não conduzindo em outro) justifica a escolha da seta para seu símbolo.

Como deve estar evidente pelo exposto acima, a característica *i–v* do diodo ideal é altamente não-linear; ela consiste em dois segmentos de linha reta formando 90° um em relação ao outro. Uma curva não-linear que consiste em segmentos de linha reta é dita linear por partes. Se um dispositivo, tendo uma característica linear por partes, for usado em uma aplicação particular de modo que o sinal em seus terminais não ultrapasse os limites de apenas um dos segmentos lineares, então o dispositivo poderá ser considerado como um elemento linear de circuito, enquanto durar tal situação. Por outro lado, se os sinais ultrapassarem um ou mais dos fragmentos quebrados da característica, não será mais possível a aplicação da análise linear.

Uma Aplicação Simples: O Retificador

Uma aplicação fundamental do diodo, que faz uso intenso da curva não-linear i–v, é o circuito retificador mostrado na Figura 3.3(a). O circuito consiste em um diodo D e um resistor R conectados em série. Suponha uma tensão de entrada senoidal v_I, conforme mostra a Figura 3.3(b), e um diodo ideal. Durante os semiciclos positivos da entrada senoidal, a tensão positiva v_I faz com que a corrente circule pelo diodo no sentido direto. Segue que a tensão no diodo v_D será muito pequena – idealmente zero. Portanto, o circuito equivalente será conforme mostrado na Figura 3.3(c) e a tensão de saída v_O será igual à tensão de entrada v_I. Por outro lado, durante os semiciclos negativos de v_I, o diodo não conduzirá. Portanto, o circuito equivalente será conforme mostrado na Figura 3.3(d) e v_O será zero. Logo, a tensão de saída terá a forma de onda mostrada na Figura 3.3(e). Observe que, enquanto v_I alterna em polaridade e tem um valor médio zero, v_O é unidirecional e tem um valor médio finito, ou uma *componente cc*. Portanto, o circuito da Figura 3.3(a) **retifica** o sinal e por isso é chamado de **retificador**. Ele pode ser usado para gerar *cc* a partir de *ca*. Estudaremos os circuitos retificadores em detalhes na Seção 3.7.

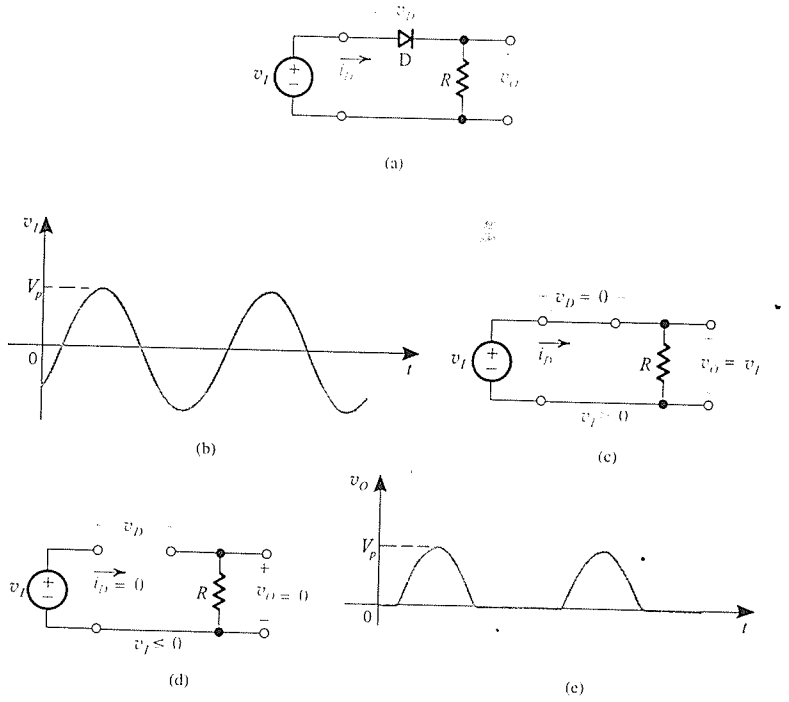


Figura 3.3 **(a)** Circuito retificador. **(b)** Forma de onda de entrada. **(c)** Circuito equivalente para $v_I \geq 0$. **(d)** Circuito equivalente para $v_I \leq 0$. **(e)** Forma de onda de saída.

Exercícios

3.1 Para o circuito da Figura 3.3(a) esboce a característica de transferência de v_O *versus* v_I.

Resposta Veja a Figura E3.1

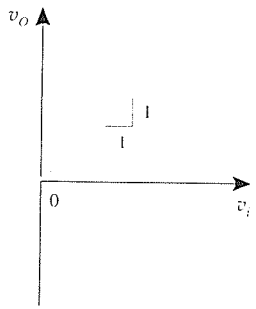


Figura E3.1

3.2 Para o circuito na Figura 3.3(a) esboce a forma de onda de v_D.

Resposta Veja a Figura E3.2

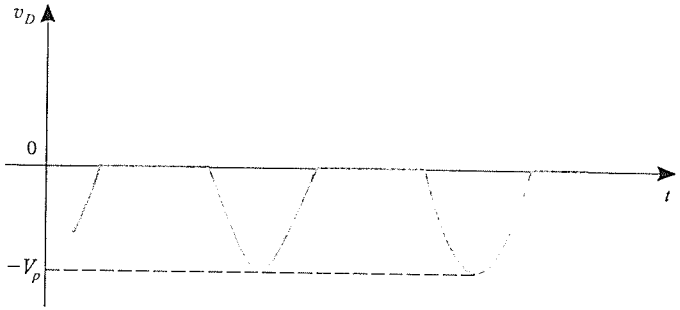


Figura E3.2

3.3 No circuito da Figura 3.3(a), suponha que v_I tem um valor de pico de 10 V e R = 1 kΩ. Calcule o valor de pico de i_D e a componente *cc* de v_O.

Resposta 10 mA; 3,18 V

EXEMPLO 3.1

A Figura 3.4(a) mostra um circuito de carga de bateria de 12 V. Se a amplitude de v_S, senoidal, for de 24 V de pico, determine a fração de tempo de cada ciclo durante o qual o diodo conduz. Determine também o valor de pico da corrente no diodo e a tensão de polarização reversa máxima que aparece sobre o diodo.

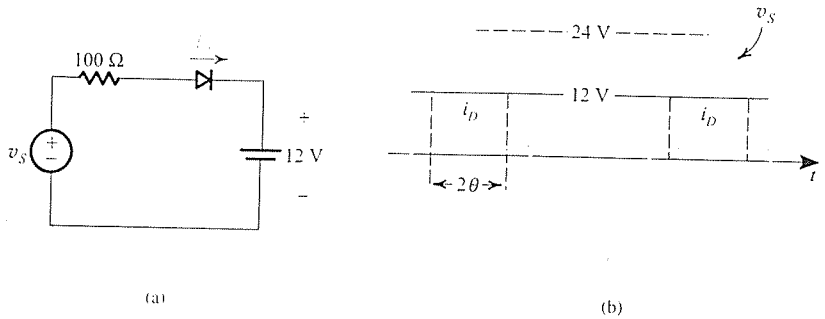


Figura 3.4 (a) Circuito e (b) forma de onda do Exemplo 3.1.

SOLUÇÃO

O diodo conduz quando v_S excede o valor de 12 V, conforme mostra a Figura 3.4(b). O ângulo de condução é de 2θ, em que θ é dado por

$$24 \cos \theta = 12$$

Portanto, $\theta = 60°$ e o ângulo de condução é de 120° ou um terço de um ciclo.

O valor de pico da corrente no diodo é dado por

$$I_d = \frac{24-12}{100} = 0{,}12 \text{ A}$$

A tensão reversa máxima sobre o diodo ocorre quando v_S está em seu pico negativo e é igual a 24 + 12 = 36 V.

Outras Aplicações: Portas Lógicas com Diodos

Diodos juntos com resistores podem ser usados para implementar funções lógicas digitais. A Figura 3.5 mostra duas portas lógicas com diodos. Para ver como esses circuitos funcionam, considere um sistema de lógica positiva no qual um valor de tensão próximo de 0 V corresponde a um valor lógico 0 (ou baixo) e um valor de tensão próximo de +5 V corresponde a um valor lógico 1 (ou alto). O circuito da Figura 3.5(a) tem três entradas, v_A, v_B e v_C. É fácil observar que aqueles diodos das entradas que forem conectados a +5 V conduzirão, grampeando portanto a saída v_Y no valor igual a +5 V. Essa tensão positiva na saída manterá no corte os diodos cujas entradas são baixas (próxima de 0 V). Portanto, a saída será alta se uma ou mais entradas forem altas. Logo, o circuito implementa a função lógica OU, cuja notação Booleana é expressa como

$$Y = A + B + C$$

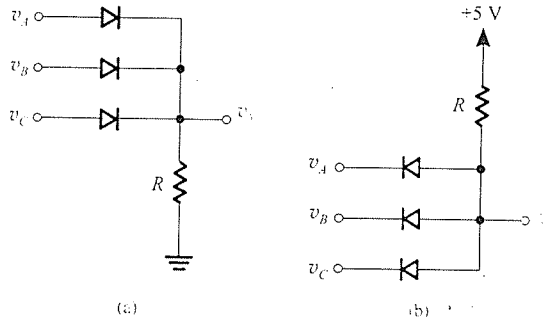


Figura 3.5 Portas lógicas com diodos: (a) porta OU; (b) porta E (sistema de lógica positiva).

De modo similar, o leitor é estimulado a mostrar que, usando o mesmo sistema lógico mencionado anteriormente, o circuito da Figura 3.5(b) implementa a função lógica E,

$$Y = A \cdot B \cdot C$$

EXEMPLO 3.2

Supondo os diodos ideais, calcule os valores de I e V nos circuitos da Figura 3.6.

SOLUÇÃO

Nesses circuitos pode não estar claro, à primeira vista, se nenhum, um ou ambos os diodos estão em condução. Nesse caso, *fazemos uma suposição aceitável, continuamos com a análise e depois verificamos se terminamos com uma solução consistente*. Para o circuito da Figura 3.6(a), devemos supor que ambos os diodos estejam em condução. Isso implica que $V_B = 0$ e $V = 0$. A corrente que circula em D_2 pode ser determinada agora por

$$I_{D2} = \frac{10-0}{10} = 1 \text{mA}$$

Escrevendo a equação do nó B temos:

$$I + 1 = \frac{0-(-10)}{5}$$

o que resulta em $I = 1$ mA. Portanto, D_1 está em condução como suposto anteriormente e o resultado final é $I = 1$ mA e $V = 0$ V.

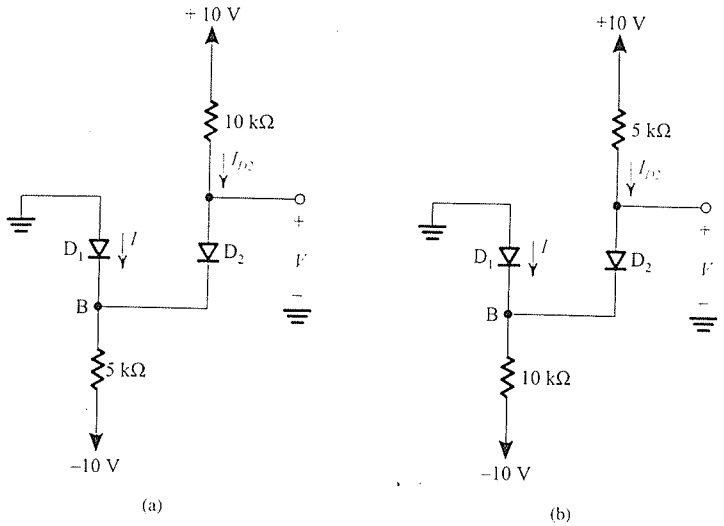


Figura 3.6 Circuitos para o Exemplo 3.2.

Para o circuito da Figura 3.6(b), se fizermos a suposição de que ambos os diodos estão conduzindo, então $V_B = 0$ e $V = 0$. A corrente em D_2 é obtida por

$$I_{D2} = \frac{10-0}{5} = 2 \text{ mA}$$

A equação do nó B é

$$I + 2 = \frac{0-(-10)}{10}$$

a qual produz $I = -1$ mA. Como isso não é possível, nossa suposição anterior não está correta. Reiniciamos, supondo agora que D_1 está em corte e D_2, em condução. A corrente I_{D2} é dada por

$$I_{D2} = \frac{10-(-10)}{15} = 1{,}33 \text{ mA}$$

e a tensão no nó B é

$$V_B = -10 + 10 \times 1{,}33 = +3{,}3 \text{ V}$$

Portanto, D_1 está reversamente polarizado, conforme foi suposto, e o resultado final é $I = 0$ e $V = 3{,}3$ V.

Exercícios

3.4 Calcule os valores de I e V nos circuitos mostrados na Figura E3.4.

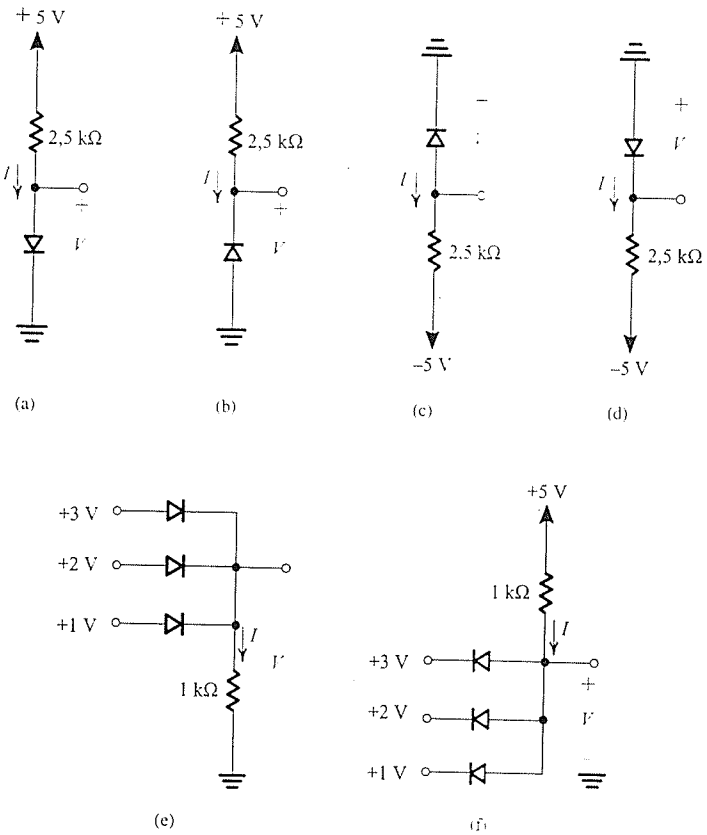


Figura E3.4

Resposta (a) 2mA, 0 V; (b) 0 mA, 5 V; (c) 0 mA, 5 V; (d) 2 mA, 0 V; (e) 3 mA, +3 V; (f) 4 mA, +1 V

3.5 A Figura E3.5 mostra um circuito para um voltímetro *ca*. Ele utiliza um medidor de bobina móvel que dá uma leitura de fundo de escala quando a corrente *média* que circula por ele for de

1 mA. O medidor de bobina móvel tem uma resistência de 50 Ω. Calcule o valor de R que resulta em uma indicação de fundo de escala do medidor quando a tensão de entrada senoidal v_I é de 20 V pico a pico. (*Sugestão*: O valor médio da meia onda senoidal é V_I/π.)

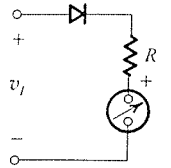


Figura E3.5

Resposta 3,133 kΩ

3.2 CARACTERÍSTICAS ELÉTRICAS DOS DIODOS DE JUNÇÃO

Nesta seção estudaremos as características dos diodos reais – especificamente diodos semicondutores de junção feitos de silício. O comportamento e mecanismos físicos que resultam nas características elétricas do diodo, e o nome "diodo de junção", serão estudados na parte final deste capítulo.

A Figura 3.7 mostra a característica i–v de um diodo de junção de silício. Essa mesma característica é mostrada na Figura 3.8 com uma parte das escalas expandidas e outras comprimidas, a fim de ressaltar os detalhes. Observe que a mudança de escala resultou em uma aparente descontinuidade na origem.

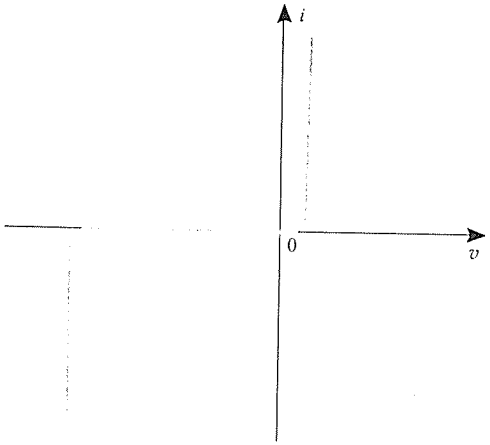


Figura 3.7 Característica i–v de um diodo de junção de silício.

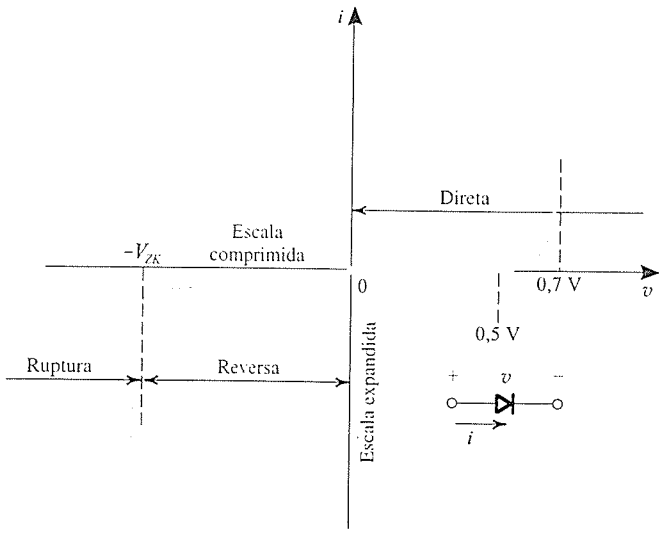


Figura 3.8 A relação i–v do diodo com algumas escalas expandidas e outras comprimidas a fim de revelar certos detalhes.

Conforme indicado, a curva característica consiste em três regiões distintas:

1. A região de polarização direta, determinada por $v > 0$
2. A região de polarização reversa, determinada por $v < 0$
3. A região de ruptura, determinada por $v < -V_{ZK}$

Essas três regiões de operação são descritas a seguir.

A Região de Polarização Direta

A polarização direta – ou, simplesmente, região direta – é uma região de operação estabelecida quando a tensão v for positiva. Na região direta, a relação de i–v é rigorosamente aproximada por

$$i = I_S(e^{v/nV_T} - 1) \tag{3.1}$$

Nessa equação, I_S é uma constante para um dado diodo a uma dada temperatura. A corrente I_S é usualmente chamada de **corrente de saturação** (por razões que brevemente se tornarão evidentes). Um nome melhor é **corrente de escala**. Esse nome surgiu do fato de que I_S é diretamente proporcional à área da seção transversal do diodo. Portanto, dobrando-se a área da junção, chega-se a um diodo com o dobro do valor de I_S e conforme indica a equação do diodo, o dobro

do valor da corrente i para uma dada tensão direta v. Para os diodos de "pequeno sinal" projetados para aplicações de baixa potência, em que as dimensões são reduzidas, I_S é da ordem de 10^{-15} A. O valor de I_S é, contudo, uma função muito dependente da temperatura. Como uma regra prática, I_S dobra de valor a cada 5°C de aumento na temperatura.[1]

A tensão V_T na Equação 3.1 é uma constante chamada de **tensão térmica**, dada por

$$V_T = \frac{kT}{q} \tag{3.2}$$

em que

k = constante de Boltzmann = $1{,}38 \times 10^{-23}$ joules/kelvin
T = temperatura absoluta em kelvin = 273 + temperatura em °C
q = o valor da carga do elétron = $1{,}60 \times 10^{-19}$ coulomb

Na temperatura ambiente (20°C), o valor de V_T é de 25,2 mV. Usaremos o valor de V_T = 25 mV, na temperatura ambiente, para análises rápidas que fornecerão resultados aproximados.[2]

Na equação do diodo, a constante n tem um valor entre 1 e 2, dependendo do material e da estrutura física do diodo. Os diodos feitos usando processos de fabricação de circuitos integrados exibem $n = 1$ quando operados nas condições normais.[3] Diodos disponíveis como componentes discretos de dois terminais geralmente exibem $n = 2$. Em geral, assumiremos $n = 1$, a menos que o contrário seja explicitamente especificado.

Para valores apreciáveis da corrente i no sentido direto, especificamente para $i >> I_S$, a Equação 3.1 pode ser aproximada pela relação exponencial

$$i \simeq I_S e^{v/nV_T} \tag{3.3}$$

Essa relação pode ser expressa alternativamente na forma logarítmica por

$$v = nV_T \ln \frac{i}{I_S} \tag{3.4}$$

em que "ln" representa o logaritmo natural (base e).

A relação exponencial da corrente i com a tensão v se mantém por várias décadas de corrente (em uma faixa de pelo menos sete décadas – isto é, pode ser encontrado um fator de até 10^7). Essa é uma propriedade notável dos diodos de junção que é encontrada também nos transistores bipolares de junção e tem sido explorada em várias aplicações interessantes.

1. Uma discussão excelente sobre a dependência das características do diodo com a temperatura é dada em Hodges e Jackson (1988), pp. 146-148. É dada também uma dedução do coeficiente de temperatura de I_S.
2. Para os equipamentos eletrônicos que operam dentro de painéis, supomos normalmente uma temperatura ligeiramente acima da ambiente (25°C ou mais). Nessa temperatura, $V_T \simeq 25{,}8$ mV. Todavia, por simplicidade e para promover uma análise rápida do circuito, usaremos o valor $V_T \simeq 25$ mV no decorrer deste livro.
3. Nos circuitos integrados, os diodos são obtidos por meio da conexão de dois dos terminais de um transistor bipolar de junção (TBJ), conforme será visto no Capítulo 4.

Vamos considerar a relação direta de i–v na Equação 3.3 e determinar o valor da corrente I_1 correspondente à tensão V_1 no diodo:

$$I_1 = I_S e^{V_1/nV_T}$$

De modo similar, se a tensão é V_2, a corrente I_2 no diodo será

$$I_2 = I_S e^{V_2/nV_T}$$

Essas duas equações podem ser combinadas para produzir

$$\frac{I_2}{I_1} = e^{(V_2 - V_1)/nV_T}$$

a qual pode ser reescrita como

$$V_2 - V_1 = nV_T \ln \frac{I_2}{I_1}$$

ou, em termos de logaritmo na base 10,

$$V_2 - V_1 = 2{,}3nV_T \log \frac{I_2}{I_1} \tag{3.5}$$

Essa equação declara simplesmente que, para uma variação de uma década (fator de 10) na corrente do diodo, a queda de tensão varia de $2{,}3nV_T$, que é aproximadamente 60 mV para $n = 1$ e 120 mV para $n = 2$. Ela sugere também que a relação de i–v do diodo é visualizada de forma mais conveniente se plotada em um papel monolog.

Usando o eixo vertical linear para v e o eixo horizontal log para i, obtém-se uma reta com uma inclinação de $2{,}3nV_T$ por década da corrente. Finalmente, deve ser mencionado que, quando não é conhecido o valor exato de n (o qual pode ser determinado experimentalmente), alguns projetistas usam o número conveniente aproximado de 0,1 V/década para a inclinação da característica logarítmica do diodo.

Observando-se a característica i–v na região direta (Figura 3.8) percebe-se que a corrente é desprezivelmente pequena para v menor que cerca de 0,5 V. Esse valor é usualmente referido como **tensão de corte**. Deve ser enfatizado, contudo, que esse aparente limiar na característica é simplesmente uma conseqüência da relação exponencial. Uma outra conseqüência dessa relação é o rápido aumento de i. Portanto, para uma "condução plena", a queda de tensão no diodo se restringe a uma estreita faixa de aproximadamente 0,6 a 0,8 V. Isso dá origem a um "modelo" simples para o diodo, em que é suposto que a queda de tensão em um diodo em condução é de aproximadamente 0,7 V. Diodos com faixas de valores de correntes diferentes (isto é, diferentes seções e correspondentemente diferentes I_S) exibirão uma queda de tensão de 0,7 V para diferentes valores de correntes. Por exemplo, um diodo de pequeno sinal pode ter 0,7 V de queda de tensão com $i = 1$ mA, enquanto um diodo de potência maior pode ter uma queda de tensão de 0,7 V com $i = 1$ A. Retornaremos a esse tópico de análise de circuitos com diodos e modelos de diodo na Seção 3.4.

EXEMPLO 3.3

Um diodo de silício, feito para operar com 1 mA, apresenta uma queda de tensão direta de 0,7 V para uma corrente de 1 mA. Avalie o valor da constante de I_S nos casos em que n seja 1 ou 2. Que constantes de escalamento você aplicaria para um diodo de 1 A do mesmo fabricante que conduz uma corrente de 1 A para uma queda de 0,7 V?

SOLUÇÃO

Uma vez que

$$i = I_S e^{v/nV_T}$$

então

$$I_S = ie^{-v/nV_T}$$

Para o diodo de 1 mA:

Se $n = 1$: $I_S = 10^{-3}e^{-700/25} = 6{,}9 \times 10^{-16}$ A ou cerca de 10^{-15} A
Se $n = 2$: $I_S = 10^{-3}e^{-700/50} = 8{,}3 \times 10^{-10}$ A ou cerca de 10^{-9} A

O diodo conduzindo 1 A para uma queda de 0,7 V corresponde a 1000 diodos de 1 mA em paralelo com uma seção de junção 1000 vezes maior. Portanto, I_S também é 1000 vezes maior, tendo 1 pA e 1 μA, respectivamente, para $n = 1$ e $n = 2$.

Deste exemplo deve ficar evidente que o valor usado para n pode ser muito importante.

Desde que I_S e V_T são funções da temperatura, a característica direta i–v varia com a temperatura conforme ilustrado na Figura 3.9. Para uma certa corrente de diodo constante, sua queda de tensão diminui de aproximadamente 2 mV para cada 1°C de aumento na temperatura. A variação da tensão no diodo com a temperatura é aproveitada no projeto de termômetros eletrônicos.

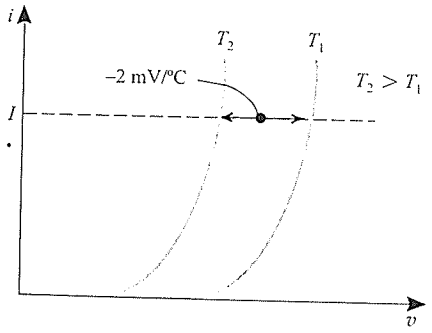


Figura 3.9 Ilustração da dependência da característica direta do diodo com a temperatura. Para uma corrente constante, a queda de tensão diminui de 2 mV aproximadamente para cada 1°C de aumento na temperatura.

Exercícios

3.6 Considere um diodo de silício com $n = 1{,}5$. Determine a variação na tensão se a corrente varia de 0,1 mA a 10 mA.

Resposta 172,5 mV

3.7 Um diodo de junção de silício com $n = 1$ tem $v = 0{,}7$ V e $i = 1$ mA. Calcule a queda de tensão para $i = 0{,}1$ mA e $i = 10$ mA.

Resposta 0,64 V; 0,76 V

3.8 Usando o fato de que um diodo de silício tem $I_S = 10^{-14}$ A a 25°C e que I_S aumenta em 15% por °C de aumento na temperatura, calcule o valor de I_S a 125°C.

Resposta $1{,}17 \times 10^{-8}$ A

A Região de Polarização Reversa

A operação na região de polarização reversa é obtida quando a tensão aplicada v é negativa. A Equação 3.1 indica que, se v é negativa e poucas vezes maior que o valor de V_T (25 mV), o termo exponencial torna-se desprezivelmente pequeno comparado com a unidade, e a corrente no diodo torna-se

$$i = -I_S$$

isto é, a corrente na direção reversa é constante e igual a I_S. Essa é a razão de o termo chamar-se *corrente de saturação*.

Diodos reais exibem corrente reversa que, embora de valor muito pequeno, é muito maior que I_S. Por exemplo, um diodo de pequeno sinal ou de 1 mA cujo valor de I_S é da ordem de 10^{-14} a 10^{-15} A poderia apresentar uma corrente reversa da ordem de 1 nA.

A corrente reversa também aumenta com o aumento da tensão reversa. Observe que, pelo fato de o valor da corrente ser muito pequeno, esses detalhes não estão evidentes nas características i–v do diodo na Figura 3.8.

Uma boa parte da corrente reversa ocorre por efeitos de fuga. Essas correntes de fuga são proporcionais à seção da junção, assim como I_S. Finalmente, deve ser mencionado que a corrente reversa é uma função muito dependente da temperatura, sendo que, como regra prática, ela dobra para cada 10°C de aumento na temperatura, enquanto I_S dobra a cada 5°C de aumento na temperatura.

Exercício

3.9 O diodo no circuito da Figura E3.9 é de um dispositivo grande, capaz de conduzir altas correntes. Sua corrente de fuga reversa é razoavelmente independente da tensão. Se $V = 1$ V a 20°C, calcule o valor de V a 40°C e a 0°C.

Resposta 4 V; 0,25 V

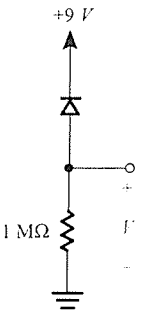


Figura E3.9

A Região de Ruptura

A terceira região de operação do diodo é a região de ruptura, que pode ser facilmente identificada na característica i–v da Figura 3.8. A região de ruptura é obtida quando a tensão reversa excede a um valor de limiar específico para um diodo particular e é chamada de **tensão de ruptura**. Essa é a tensão no "joelho" da curva i–v na Figura 3.8 e é representada por V_{ZK}, em que o subíndice Z lembra o nome Zener (que será explicado brevemente) e K é para indicar o joelho (*knee*) da curva.

Como visto na Figura 3.8, na região de ruptura a corrente reversa aumenta rapidamente, com um aumento muito pequeno na queda de tensão associada. A ruptura no diodo não é normalmente destrutiva, contanto que a potência dissipada no diodo seja limitada pelo circuito externo em um nível "seguro".

Esse valor seguro é normalmente especificado no catálogo do fabricante. Esse valor, portanto, serve para limitar a corrente reversa na região de ruptura a valores consistentes com a dissipação de potência permissível.

O fato de a característica i–v do diodo na região de ruptura ser quase uma linha vertical permite que o diodo seja usado na regulação de tensão. Esse assunto será estudado na Seção 3.6.

3.3 OPERAÇÃO FÍSICA DOS DIODOS

Tendo estudado as características elétricas dos diodos de junção, consideraremos agora, resumidamente, os processos que deram origem a essas características. O tratamento da física do dispositivo a seguir é simplificado; contudo, ele proporciona uma base suficiente para o projeto de circuitos com diodos e outros semicondutores.

3.3.1 Conceitos Básicos de Semicondutores

A Junção *pn*. O diodo semicondutor é basicamente uma junção *pn*, conforme mostrado esquematicamente na Figura 3.10. Como indicado, a junção *pn* consiste em um material semicondutor do tipo *p* (como o silício) posto em contato com um material semicondutor do tipo *n* (também silício). Na prática atual, as regiões *p* e *n* são partes de um mesmo cristal de silício; isto é, a junção *pn* é formada dentro de um cristal simples de silício pela criação de regiões com "dopagens" diferentes (regiões *p* e *n*). O Apêndice A fornece uma descrição breve do processo empregado na fabricação de junções *pn*. Conforme indicado na Figura 3.10, as conexões externas das regiões *p* e *n* (isto é, os terminais do diodo) são feitas através de contatos de metal (alumínio).

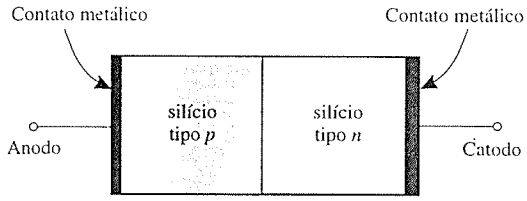


Figura 3.10 Estrutura física simplificada do diodo de junção. (A geometria real é dada no Apêndice A.)

Além de ser essencialmente um diodo, a junção *pn* é o componente básico dos transistores bipolares de junção (TBJs) e dos transistores de efeito de campo (FETs). Portanto, entender a operação física das junções *pn* é importante para entender a operação e as características elétricas dos diodos e dos transistores.

O Silício Intrínseco. Embora tanto o silício quanto o germânio possam ser usados na fabricação de dispositivos semicondutores – na realidade, os primeiros diodos e transistores eram feitos de germânio –, atualmente a tecnologia dos circuitos integrados é baseada quase inteiramente no silício. Por essa razão vamos tratar mais dos dispositivos fabricados em silício no decorrer deste livro.[4]

Um cristal de silício puro ou intrínseco tem uma estrutura com organização atômica regular em que os átomos são mantidos em suas posições por ligações, chamadas de **ligações covalentes**, formadas pelos quatro elétrons de valência associados a cada um dos átomos de silício. A uma temperatura suficientemente baixa, todas as ligações covalentes estão completas e não há (ou há apenas alguns) **elétrons livres** para a condução de corrente elétrica. Contudo, na temperatura ambiente, algumas ligações são rompidas pela ionização térmica e alguns elétrons são libertados. Quando uma ligação é rompida, um elétron sai da órbita de seu átomo original; portanto, uma carga positiva, de valor igual à carga do elétron, fica nesse átomo. Por sua vez, um elétron de um átomo vizinho pode ser atraído por essa carga positiva, deixando a órbita original de seu átomo. Essa ação preenche a "lacuna" que havia no átomo ionizado, mas cria uma nova lacuna no outro átomo. Esse processo pode repetir-se com o resultado que temos efetivamente um portador carregado positivamente, ou **lacuna**, movendo-se por meio da estrutura do cristal de silício, ocasionando condução de corrente elétrica. A carga da lacuna é positiva e igual em valor à carga do elétron.

4. Uma exceção são os circuitos com arseneto de gálio (GaAs), que serão estudados nos Capítulos 5, 6 e 14.

A ionização térmica resulta em números iguais de elétrons livres e lacunas e, portanto, iguais concentrações. Esses elétrons livres e lacunas se movem aleatoriamente através da estrutura do cristal de silício, e nesse processo alguns elétrons podem preencher algumas lacunas. Esse processo, chamado de **recombinação**, resulta no desaparecimento dos elétrons livres e das lacunas. A taxa de recombinação é proporcional ao número de elétrons livres e de lacunas, que por sua vez é determinado pela taxa de ionização. A taxa de ionização é uma função muito dependente da temperatura. No equilíbrio térmico, a taxa de recombinação é igual à de ionização ou taxa de geração térmica, e podemos calcular a concentração de elétrons livres n, que é igual à concentração de lacunas p, como

$$n = p = n_i$$

em que n_i representa a concentração de elétrons livres ou lacunas em um silício intrínseco a uma dada temperatura. O estudo da física de semicondutores mostra que, a uma temperatura absoluta T (em kelvins), a concentração intrínseca n_i (isto é, o número de elétrons livres e lacunas por centímetro cúbico) pode ser encontrada por

$$n_i^2 = BT^3 e^{-E_G/kT} \tag{3.6}$$

em que B é um parâmetro dependente do material = $5{,}4 \times 10^{31}$ para o silício, E_G é um parâmetro conhecido como largura de energia da faixa proibida (bandgap energy) = 1,12 elétron-volts (eV) para o silício e k é a constante de Boltzmann = $8{,}62 \times 10^{-5}$ eV/K. Embora não pretendamos nos aprofundar na análise de E_G nesta exposição introdutória focando circuitos, é interessante notar que E_G representa a energia mínima necessária para romper a ligação covalente, gerando assim o par elétron-lacuna. A substituição dos valores dos parâmetros dados na Equação 3.6 mostra que, para o silício intrínseco à temperatura ambiente ($T \simeq 300$ K), $n_i \simeq 1{,}5 \times 10^{10}$ portadores/cm^3. Para melhor compreensão do significado deste número, observe que o cristal de silício tem aproximadamente 5×10^{22} átomos/cm^3. Então, à temperatura ambiente, apenas um a cada bilhão de átomos está ionizado.

Finalmente, deve ser mencionado que o silício é chamado de **semicondutor** por causa de sua condutividade, que é determinada pelo número de portadores de carga disponíveis para conduzir corrente elétrica, estar entre a dos condutores (como os metais) e a dos isolantes (como o vidro).

Difusão e Deriva. Há dois mecanismos pelos quais as lacunas e os elétrons se movem através de um cristal de silício – **difusão** e **deriva**. A difusão está associada ao movimento aleatório devido à agitação térmica. Em um pedaço de silício com concentração uniforme de elétrons livres e lacunas, esse movimento aleatório não resulta em um fluxo líquido de carga (isto é, corrente). Por outro lado, se por algum mecanismo a concentração de, digamos, elétrons livres se tornar maior em uma parte do cristal de silício do que em outra, então haverá uma difusão de elétrons da região de maior concentração para a de menor concentração. Esse processo dá origem a um fluxo líquido de carga, ou a uma **corrente de difusão**. Como exemplo, considere a barra de silício mostrada na Figura 3.11(a), na qual o **perfil de concentração** de lacunas mostrado na Figura 3.11(b) foi criado ao longo do eixo x por algum mecanismo não especificado. A existência de tal perfil de concentração resulta em uma corrente de difusão de lacunas no sentido x, com o valor da corrente em qualquer ponto sendo proporcional à inclinação da curva de concentração, ou ao gradiente da concentração, naquele ponto:

$$J_p = -qD_p \frac{dp}{dx} \tag{3.7}$$

em que J_p é a densidade de corrente (isto é, a corrente por unidade de área do plano perpendicular ao eixo x) em A/cm^2, q é o valor da carga do elétron = $1{,}6 \times 10^{-19}$ C e D_p é uma constante chamada de **constante de difusão** ou **difusividade** de lacunas. Observe que o gradiente (dp/dx) é negativo, resultando em uma corrente positiva na direção x, como deveria ser esperado. No caso de difusão de elétrons resultante de um gradiente na concentração de elétrons, aplica-se uma relação similar, fornecendo a densidade de corrente de elétrons

$$J_n = qD_n \frac{dn}{dx} \tag{3.8}$$

em que D_n é a difusividade de elétrons. Observe que uma relação (dn/dx) negativa leva a uma corrente negativa, um resultado da convenção de que a direção positiva da corrente é tomada como sendo o fluxo de cargas positivas (e oposta ao do fluxo de cargas negativas). Para elétrons e lacunas em difusão no silício intrínseco, valores típicos para as constantes de difusão são $D_p = 12$ cm^2/s e $D_n = 34$ cm^2/s.

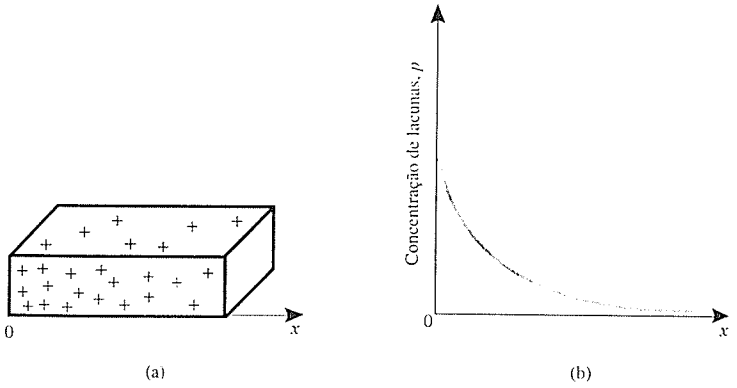


Figura 3.11 Uma barra de silício intrínseco (a) mostrando um perfil de concentração de lacunas (b) criado ao longo do eixo x por algum mecanismo não especificado.

O outro mecanismo para o movimento de portadores em um semicondutor é a deriva. A deriva ocorre quando um campo elétrico é aplicado em um pedaço de silício. Elétrons e lacunas livres são acelerados pelo campo elétrico e adquirem uma componente de velocidade (sobreposta à velocidade de seu movimento térmico) chamada de **velocidade de deriva.** Se o campo elétrico é denotado por E (em V/cm), as cargas positivamente carregadas se deslocarão (derivarão) na direção de E e adquirirão uma velocidade v_{deriva} (em cm/s) dada por

$$v_{deriva} = \mu_p E \tag{3.9}$$

em que μ_p é uma constante chamada de **mobilidade** de lacunas e tem unidade de cm²/Vs. Para silício intrínseco, μ_p é tipicamente 480 cm²/Vs. Os elétrons carregados negativamente derivarão na direção oposta à do campo elétrico, e sua velocidade é dada por uma expressão similar àquela da Equação 3.9, exceto pelo fato de μ_p ser substituído por μ_n, a mobilidade dos elétrons. Para o silício intrínseco, μ_n é tipicamente 1350 cm²/Vs, aproximadamente 2,5 vezes maior que a mobilidade de lacunas.

Considere agora um cristal de silício com uma densidade de lacunas p e uma densidade de elétrons livres n sujeito a um campo elétrico E. As lacunas derivarão na mesma direção de E (direção x) com uma velocidade $\mu_p E$. Então temos uma carga positiva de densidade qp (coulomb/cm³) movendo-se na direção x com velocidade $\mu_p E$ (cm/s). Como conseqüência, em 1 segundo, uma carga $qp\,\mu_p EA$ (coulomb) atravessará o plano de área A (cm²) perpendicular ao eixo x. Esta é a componente da corrente causada pela deriva. Dividindo-a pela área A tem-se a densidade de corrente

$$J_{p\text{-}deriva} = qp\mu_p E \tag{3.10a}$$

Os elétrons livres derivarão na direção oposta àquela de E. Temos então uma carga de densidade $(-qn)$ movendo-se na direção contrária a x, tendo então uma velocidade negativa $(-\mu_n E)$. O resultado é uma componente de corrente positiva, com sua densidade sendo dada por

$$J_{n\text{-}deriva} = qn\mu_n E \tag{3.10b}$$

A densidade total da **corrente de deriva** é obtida combinando-se as Equações 3.10a e 3.10b,

$$J_{deriva} = q(p\mu_p + n\mu_n)E \tag{3.10c}$$

Deve-se notar que essa é uma forma da lei de Ohm com resistividade ρ (em unidades de Ω cm) dada por

$$\rho = 1/\left[q(p\mu_p + n\mu_n)\right] \tag{3.11}$$

Finalmente, é valido mencionar que há uma relação simples, conhecida como **relação de Einstein**, entre a difusividade e a mobilidade dos portadores:

$$\frac{D_n}{\mu_n} = \frac{D_p}{\mu_p} = V_T \tag{3.12}$$

em que V_T é a tensão térmica que havíamos encontrado anteriormente na relação i–v (veja a Equação 3.1). Lembre-se de que, à temperatura ambiente, $V_T \cong 25$ mV. O leitor pode verificar facilmente a validade da Equação 3.12 substituindo os valores típicos dados anteriormente para o silício intrínseco.

Semicondutores Dopados. O cristal de silício intrínseco descrito anteriormente tem concentrações iguais de elétrons livres e lacunas geradas pela ionização térmica. Essas concentrações, representadas por n_i, são muito dependentes da temperatura. Semicondutores dopados são materiais em que um dos tipos de portadores (elétrons ou lacunas) predomina. Um silício dopado em que os portadores de cargas majoritários são os elétrons *negativamente* carregados é chamado de **tipo *n***, enquanto um silício dopado em que os portadores de cargas majoritários são as lacunas positivamente carregadas é chamado de **tipo *p***.

A dopagem de um cristal de silício para torná-lo do tipo n ou do tipo p é obtida pela introdução de um pequeno número de átomos de impurezas. Por exemplo, introduzir átomos de impureza de elemento pentavalente, como o fósforo, resulta em um silício tipo n porque os átomos de fósforo que substituem alguns dos átomos de silício na estrutura do cristal têm cinco elétrons de valência, quatro dos quais formam ligações com seus átomos de silício vizinhos, enquanto o quinto torna-se um elétron livre. Portanto, cada átomo de fósforo *doa* um elétron livre para o cristal de silício, e as impurezas de fósforo são chamadas de **doadoras**. Deve estar claro, contudo, que as lacunas não são geradas por esse processo; portanto, os portadores de cargas majoritários no silício dopado com fósforo serão os elétrons. Na verdade, se a concentração de átomos doadores (fósforo) for N_D, no equilíbrio térmico a concentração de elétrons livres no silício tipo n, n_{n0}, será

$$n_{n0} \simeq N_D \tag{3.13}$$

em que o índice adicional "0" representa o equilíbrio térmico. Da física de semicondutores decorre que, em equilíbrio térmico, o produto da concentração de elétrons pela concentração de lacunas permanece constante, isto é,

$$n_{n0}p_{n0} = n_i^2 \tag{3.14}$$

Então, a concentração de lacunas, p_{n0}, que são geradas pela ionização térmica será

$$p_{n0} \simeq \frac{n_i^2}{N_D} \tag{3.15}$$

Visto que n_i é uma função da temperatura (Equação 3.6), isso implica que a concentração de lacunas **minoritárias** será uma função da temperatura, ao passo que os elétrons **majoritários** são independentes da temperatura.

Para produzir um semicondutor do tipo p, o silício deve ser dopado com uma impureza trivalente como o boro. Cada um dos átomos de impureza do boro *aceita* um elétron do cristal de silício, de modo que eles formam ligações covalentes na rede da estrutura. Portanto, cada átomo de boro dá origem a uma lacuna, e a concentração de lacunas majoritárias dá origem ao silício tipo p, que no equilíbrio térmico é aproximadamente igual à concentração N_A de impurezas **aceitadoras** (boro),

$$p_{p0} \simeq N_A \tag{3.16}$$

Nesse silício tipo p a concentração de elétrons minoritários, os quais são gerados pela ionização térmica, pode ser calculada usando o fato de que o produto das concentrações dos portadores permanece constante, então

$$n_{p0} \simeq \frac{n_i^2}{N_A} \tag{3.17}$$

Deve ser mencionado que um pedaço de silício do tipo n ou do tipo p é eletricamente neutro; os portadores majoritários livres (elétrons no silício tipo n e lacunas no silício tipo p) são neutralizados pelas **cargas fixas** associadas aos átomos de impureza.

Exercícios

3.10 Calcule a densidade intrínseca de portadores n_i a 250 K, 300 K e 350 K.

Resposta $1{,}5 \times 10^8/cm^3$; $1{,}5 \times 10^{10}/cm^3$; $4{,}18 \times 10^{11}/cm^3$

3.11 Considere um silício tipo n no qual a concentração de dopantes N_D é $10^{17}/cm^3$. Encontre as concentrações de elétrons e lacunas a 250 K, 300 K e 350 K. Você pode usar os resultados do Exercício 3.10.

Resposta 10^{17}, $2{,}25 \times 10^{-1}$; 10^{17}, $2{,}25 \times 10^3$; 10^{17}, $1{,}75 \times 10^6$ (todos por cm^3)

3.12 Encontre a resistividade de (a) silício intrínseco e (b) silício tipo p com $N_A = 10^{16}/cm^3$. Use $n_i = 1{,}5 \times 10^{10}/cm^3$ e assuma que, para o silício intrínseco, $\mu_n = 1350\ cm^2/Vs$ e $\mu_p = 480\ cm^2/Vs$, e para o silício dopado, $\mu_n = 1110\ cm^2/Vs$ e $\mu_p = 400\ cm^2/Vs$. (Note que a dopagem resulta em uma redução da mobilidade dos portadores.)

Resposta (a) $2{,}28 \times 10^5\ \Omega cm$; (b) $1{,}56\ \Omega cm$

3.3.2 A Junção *pn* na Condição de Circuito Aberto

A Figura 3.12 mostra uma junção *pn* na condição de circuito aberto, isto é, os terminais externos são deixados abertos. Os sinais "+" no material tipo p representam as lacunas majoritárias.

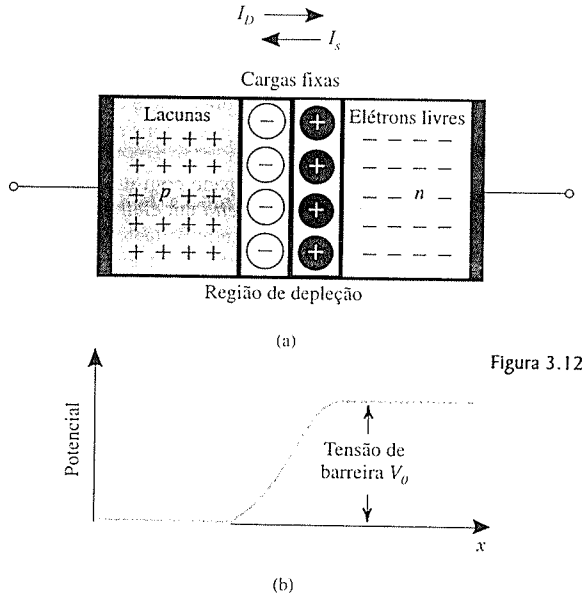


Figura 3.12 **(a)** A junção *pn* sem tensão aplicada (circuito com terminais abertos). **(b)** A distribuição de potencial ao longo do eixo perpendicular à junção.

A carga dessas lacunas é neutralizada por uma quantidade igual de carga fixa negativa associada aos átomos aceitadores. Por simplicidade, essas cargas fixas não estão mostradas no diagrama. Não estão mostrados, também, os elétrons minoritários gerados no material tipo p pela ionização térmica.

No material tipo n, os elétrons majoritários estão indicados pelos sinais "–". Aqui também a carga positiva fixa, a qual neutraliza a carga dos elétrons majoritários, não está mostrada a fim de manter a simplicidade do diagrama. O material tipo n contém também lacunas minoritárias geradas pela ionização térmica que não estão mostradas no diagrama.

A Corrente de Difusão I_D. Pelo fato de a concentração de lacunas ser alta na região p e baixa na região n, as lacunas se difundem através da junção do lado p para o lado n; de modo similar, elétrons se difundem através da junção do lado n para o lado p. Essas duas componentes de corrente são somadas para formar a corrente de difusão I_D, cujo sentido é do lado p para o lado n, conforme indicado na Figura 3.12.

A Região de Depleção. As lacunas que se difundem através da junção para dentro da região n rapidamente se recombinam com alguns elétrons majoritários ali presentes e, portanto, desaparecem de cena. Esse processo de recombinação resulta no desaparecimento de alguns elétrons livres do material tipo n. Logo, algumas cargas de ligações positivas não serão mais neutralizadas pelos elétrons livres, e essa carga é dita estar **descoberta**. Como a recombinação acontece próxima da junção, haverá uma região próxima da junção que estará depletada de elétrons livres e conterá cargas fixas positivas descobertas, conforme indicado na Figura 3.12.

Os elétrons que se difundem através da junção para dentro da região p rapidamente se recombinam com algumas lacunas ali presentes e, portanto, desaparecem de cena. Isso resulta também no desaparecimento de algumas lacunas majoritárias, fazendo com que algumas cargas fixas negativas estejam descobertas (isto é, não são mais neutralizadas pelas lacunas). Portanto, no material tipo p próximo da junção haverá uma região depletada de lacunas contendo cargas fixas negativas descobertas, conforme indicado na Figura 3.12.

Pelo que foi visto anteriormente, isso implica que haverá uma **região de depleção de portadores em** ambos os lados da junção, com o lado n dessa região carregado positivamente e o lado p carregado negativamente. Essa região de depleção de portadores – ou simplesmente, **região de depleção** – é também chamada de região de **carga espacial**. A carga nos dois lados da região de depleção dará origem a um campo elétrico que se estabelecerá através dessa região; portanto, resulta em uma diferença de potencial na região de depleção, tendo o lado n com uma tensão positiva em relação ao lado p, conforme mostrado na Figura 3.12(b). O campo elétrico resultante se opõe à difusão das lacunas na região n e dos elétrons na região p. Na verdade, a queda de tensão na região de depleção age como uma **barreira** que tem de ser superada para que as lacunas se difundam pela região n e os elétrons se difundam pela região p. Quanto maior o valor da tensão da barreira, menor o número de portadores que serão capazes de vencê-la e, portanto, menor o valor da corrente de difusão. Logo, a corrente de difusão I_D é muito dependente da queda de tensão V_0 na região de depleção.

A Corrente de Deriva I_S e o Equilíbrio. Além da componente da corrente I_D devido à difusão dos portadores majoritários, há também uma componente devido à deriva dos portadores minoritários através da junção. Especificamente, algumas lacunas geradas termicamente no material n se difundem através deste pela borda da região de depleção. Nessa região, as lacunas experimentam o efeito do campo elétrico, o qual faz com que elas passem para o lado p rapidamente. De modo similar, alguns elé-

trons minoritários gerados termicamente no material tipo p se difundem pela borda da região de depleção e são acelerados pelo campo elétrico nessa região para o lado n. Essas duas componentes de corrente – elétrons que se movimentam por deriva do lado p para o lado n e lacunas que se movimentam por deriva do lado n para o p – somam-se para formar a corrente de deriva I_S, cujo sentido é do lado n para o lado p da junção, conforme indicado na Figura 3.12. Como a corrente I_S é formada por portadores minoritários gerados termicamente, seu valor depende muito da temperatura; porém, ela é independente do valor da tensão V_0 na camada de depleção.

Nas condições de circuito aberto (Figura 3.12) não há corrente externa; logo, as duas correntes opostas na junção devem ser de valores iguais:

$$I_D = I_S$$

Essa condição de equilíbrio é mantida pela tensão da barreira V_0. Logo, se por alguma razão I_D exceder a I_S, então mais cargas fixas estarão descobertas de ambos os lados da junção, a camada de depleção se tornará mais larga e o valor da tensão sobre ela (V_0) aumentará. Isso, por sua vez, fará com que I_D diminua até que seja atingido o equilíbrio com $I_D = I_S$. Por outro lado, se I_S excede a I_D, então a quantidade de cargas fixas em descoberto diminuirá, a camada de depleção se tornará mais estreita e a tensão nela diminuirá. Isso faz com que I_D aumente até que o equilíbrio de $I_D = I_S$ seja atingido.

A Tensão Interna. Sem a aplicação de uma tensão externa, a tensão V_0 através da junção pn pode ser deduzida (ver Streetman, 1990) como sendo dada por

$$V_0 = V_T \ln\left(\frac{N_A N_D}{n_i^2}\right) \tag{3.18}$$

em que N_A e N_D são as concentrações de dopantes dos lados p e n da junção, respectivamente. Então a tensão V_0 depende de ambos, da concentração de dopantes e da temperatura. Ela é conhecida por tensão interna. Tipicamente, para o silício à temperatura ambiente, V_0 está na faixa de 0,6 a 0,8 V.

Quando os terminais da junção pn são deixados abertos, a tensão medida entre eles é zero. Isto é, a tensão V_0 na região de depleção não aparece entre os terminais do diodo. Isso se deve à existência de tensões de contato nas junções metal-semicondutor nos terminais do diodo, as quais são contrárias a V_0 e fazem o balanço com a tensão da barreira. Se não fosse esse o caso, seríamos capazes de retirar energia da junção pn isolada, o que violaria claramente a lei da conservação da energia.

A Largura da Camada de Depleção. Pelo que foi exposto anteriormente, fica evidente que a região de depleção existe em ambos os materiais, p e n, sendo que há quantidades iguais de cargas em ambos os lados. Contudo, como os níveis de dopagem não são usualmente iguais nos materiais p e n, isso implica que as larguras das camadas de depleção não são iguais nos dois lados. Melhor dizendo, a fim de que haja a mesma quantidade de cargas descobertas, a camada de depleção se estenderá mais profundamente no material mais levemente dopado. Especificamente, se denotarmos a largura da região de depleção no lado p por x_p e no lado n por x_n, esta condição de igualdade de cargas pode ser expressa por

$$qx_p N_A A = qx_n N_D A$$

em que A é a área da seção transversal da junção. Essa equação pode ser reorganizada tal que

$$\frac{x_n}{x_p} = \frac{N_A}{N_D} \tag{3.19}$$

Atualmente é comum fazer um lado da junção muito mais fortemente dopado do que o outro, e como resultado a região de depleção existe quase totalmente em apenas um dos lados (o mais levemente dopado). Finalmente, da física de dispositivos, a largura da região de depleção de uma junção em circuito aberto é dada por

$$W_{dep} = x_n + x_p = \sqrt{\frac{2\varepsilon_s}{q}\left(\frac{1}{N_A} + \frac{1}{N_D}\right)V_0} \tag{3.20}$$

em que ε_s é a permissividade elétrica do silício = 11,7 ε_0 = 1,04 × 10^{-12} F/cm. Tipicamente, W_{dep} está na faixa de de 0,1 a 1 μm.

Exercício

3.13 Para uma junção pn com $N_A = 10^{17}/\text{cm}^3$ e $N_D = 10^{16}/\text{cm}^3$ a $T = 300$ K, determine a tensão interna, a largura da região de depleção e as distâncias pelas quais ela se estende no lado p e no lado n. Utilize $n_i = 1.5 \times 10^{10}/\text{cm}^3$.

Resposta 728 mV; 0,32 μm; 0,03 μm; e 0,29 μm

3.3.3 A Junção *pn* na Condição de Polarização Reversa

O comportamento da junção pn no sentido reverso é explicado mais facilmente em escala microscópica se considerarmos a existência de uma fonte de corrente constante para excitar a junção (em vez de uma fonte de tensão), conforme mostrado na Figura 3.13. A fonte de corrente I é obviamente no sentido reverso. Por hora, suponha que I seja menor do que I_S; se I for maior do que I_S, então ocorrerá a ruptura, conforme explicado na Seção 3.3.4.

A corrente I será constituída por elétrons circulando pelo circuito externo do material n para o material p (isto é, no sentido oposto ao de I). Isso fará com que elétrons deixem o material n e lacunas deixem o material p. Os elétrons livres saindo do material n fazem com que as cargas fixas positivas descobertas aumentem. De modo similar, as lacunas saindo do material p resultam em um aumento das cargas fixas negativas descobertas. Logo, a corrente reversa I resultará em um aumento na largura da camada de depleção e na quantidade de cargas nela armazenadas. Isso, por sua vez, resultará em uma tensão maior na região de depleção – isto é, uma tensão de barreira maior – que faz com que a corrente de difusão I_D diminua. A corrente de deriva I_S, sendo independente da tensão da barreira, permanecerá constante. Finalmente, o equilíbrio (estado estável) será atingido quando

$$I_S - I_D = I$$

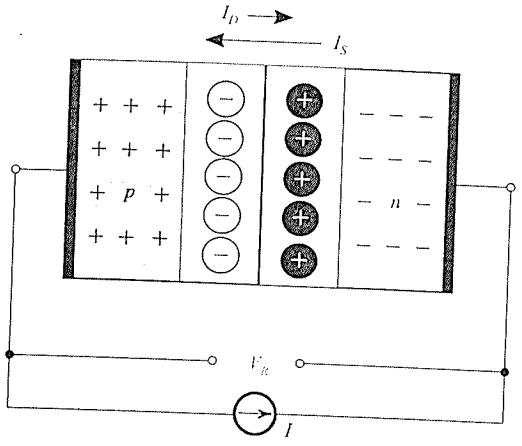


Figura 3.13 A junção *pn* excitada por uma fonte de corrente constante I no sentido reverso. Para evitar a ruptura, I é mantida menor do que I_S. Observe que a camada de depleção aumenta e a tensão da barreira aumenta de V_R volts, a qual aparece entre os terminais como uma tensão reversa.

Em equilíbrio, o aumento da tensão na camada de depleção, acima da tensão interna V_0, aparecerá como uma tensão externa que pode ser medida entre os terminais do diodo, com n sendo positivo em relação a p. Esta tensão é denominada V_R na Figura 3.13.

Podemos considerar agora a excitação da junção *pn* por uma tensão reversa V_R, em que V_R é menor do que a tensão de ruptura V_{ZK}. (Refira-se à Figura 3.8 para a definição de V_{ZK}.) Quando a tensão V_R é inicialmente aplicada, uma corrente reversa circula pelo circuito externo de p para n. Essa corrente aumenta a largura e a quantidade de cargas da camada de depleção. Eventualmente, a tensão na camada de depleção aumentará acima do valor da tensão externa V_R, instante no qual o equilíbrio é atingido com a corrente reversa I igual a $(I_S - I_D)$. Observe, contudo, que inicialmente a corrente externa pode ser maior do que I_S. O propósito desse transiente inicial é o de *carregar* a camada de depleção e aumentar sua tensão para um valor de V_R volts. Eventualmente, ao se atingir o estado estável, I_D torna-se desprezível e a corrente reversa será aproximadamente igual a I_S.

A Capacitância de Depleção. Pelo que foi visto anteriormente, observamos uma analogia entre a camada de depleção de uma junção *pn* e um capacitor. À medida que a tensão na junção *pn* varia, a carga armazenada na camada de depleção varia na mesma razão. A Figura 3.14 mostra um esboço de uma característica típica da carga *versus* tensão externa em uma junção *pn*. Observe que apenas é mostrada a porção da curva da região reversa.

Uma expressão para a carga q_J armazenada na camada de depleção pode ser deduzida encontrando-se a carga armazenada de cada lado da junção (cujos valores são naturalmente iguais). Usando o lado n, escrevemos

$$q_J = q_N = qN_D x_n A$$

em que A é a área da seção transversal da junção (em um plano perpendicular à página). A seguir usamos a Equação 3.19 para expressar x_n em termos da largura da camada de depleção W_{dep} para obter

$$q_J = q\frac{N_A N_D}{N_A + N_D} A W_{dep} \tag{3.21}$$

em que W_{dep} pode ser encontrada pela Equação 3.20 substituindo V_0 pela tensão total ao longo da camada de depleção $(V_0 + V_R)$,

$$W_{dep} = \sqrt{\frac{2\varepsilon}{q}\left(\frac{1}{N_A} + \frac{1}{N_D}\right)(V_0 + V_R)} \tag{3.22}$$

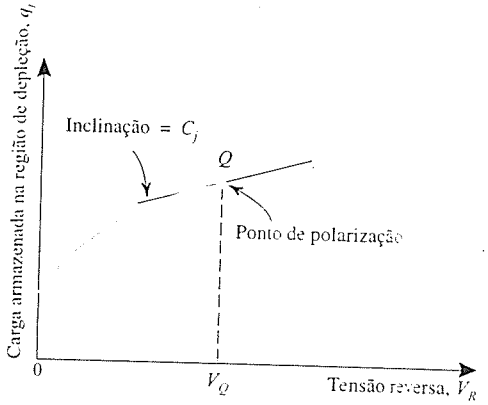


Figura 3.14 A carga armazenada em ambos os lados da camada de depleção como uma função da tensão reversa V_R.

Combinando as Equações 3.21 e 3.22 resulta a expressão para a relação não-linear $q_J - V_R$ apresentada na Figura 3.14. Essa relação obviamente não representa um capacitor linear. Entretanto, uma aproximação por uma capacitância linear pode ser usada se o dispositivo é devidamente polarizado e a excursão do sinal em torno desse ponto de polarização é pequena, conforme ilustrado na Figura 3.14. Essa é a técnica que foi usada na Seção 1.4 para obter uma amplificação linear em um amplificador possuindo uma função de transferência não-linear. Sob esta aproximação de pequenos sinais, a capacitância de depleção (também chamada de capacitância de junção) é simplesmente a inclinação da curva $q_J - V_R$ no ponto de polarização Q

$$C_j = \left.\frac{dq_j}{dV_R}\right|_{V_R = V_Q} \tag{3.23}$$

Podemos facilmente determinar a derivada e encontrar C_j. Alternativamente, podemos tratar a camada de depleção como um capacitor de placas paralelas para obter uma expressão equivalente para C_j usando uma fórmula familiar

$$C_j = \frac{\varepsilon_s A}{W_{dep}} \tag{3.24}$$

em que W_{dep} é dada pela Equação 3.22. A expressão resultante para C_j pode ser escrita na seguinte forma, mais conveniente:

$$C_j = \frac{C_{j0}}{\sqrt{1 + \frac{V_R}{V_0}}} \tag{3.25}$$

em que C_{j0} é o valor de C_j obtido para a aplicação de uma tensão nula:

$$C_{j0} = A\sqrt{\left(\frac{\varepsilon_s q}{2}\right)\left(\frac{N_A N_D}{N_A + N_D}\right)\left(\frac{1}{V_0}\right)} \tag{3.26}$$

A análise anterior e a expressão para C_j aplicam-se a junções nas quais a concentração de portadores muda abruptamente na região limite da junção. Uma fórmula mais geral para C_j é

$$C_j = \frac{C_{j0}}{\left(1 + \frac{V_R}{V_0}\right)^m} \tag{3.27}$$

em que m é uma constante cujo valor depende da maneira pela qual a concentração varia do lado p para o lado n da junção. Ela é chamada de **coeficiente de graduação da junção** e seu valor varia entre 1/3 e 1/2.

Para recapitular, à medida que a tensão de polarização reversa é aplicada a uma junção pn, ocorre um transiente durante o qual a capacitância de depleção está sendo carregada até o novo valor da tensão de polarização. Após o término do transiente, a corrente estável do estado reverso é simplesmente igual a $I_S - I_D$. Usualmente, I_D é muito pequena quando o diodo está polarizado reversamente e a corrente reversa é aproximadamente igual a I_S. Isso, contudo, é somente um modelo teórico que não se aplica muito bem. Na realidade, correntes de valores tão altos quanto alguns nanoampères (10^{-9} A) circulam no sentido reverso, naqueles dispositivos nos quais I_S é da ordem de 10^{-15} A. Essa grande diferença é devida a fugas e outros efeitos. Além disso, a corrente reversa é dependente, até certo ponto, do valor da tensão reversa, o que contraria o modelo teórico, o qual declara que $I = I_S$, independentemente do valor da tensão reversa aplicada. Todavia, pelo fato de estarem envolvidos valores muito baixos de correntes, usualmente não nos interessamos pelos detalhes da característica i–v do diodo no sentido reverso.

Exercício

3.14 Para uma junção pn com $N_A = 10^{17}$/cm³ e $N_D = 10^{16}$/cm³ operando em $T = 300$ K, determine: (a) o valor de C_{j0} por unidade de área da junção (μm² é uma unidade conveniente) e (b) a capacitância C_j para uma tensão de polarização reversa de 2 V assumindo uma área de junção de 2500 μm². Considere $n_i = 1{,}5 \times 10^{10}$/cm³, $m = 1/2$ e o valor de V_0 determinado no Exercício 3.13 ($V_0 = 0{,}728$ V).

Resposta (a) 0,32 fF/μm²; (b) 0,41 pF

3.3.4 A Junção *pn* na Região de Ruptura

Na análise da operação do diodo na região de polarização reversa na Seção 3.3.3 foi suposto que a corrente reversa I (Figura 3.13) é menor do que I_S ou, de modo equivalente, que a tensão reversa V_R é menor do que a tensão de ruptura V_{ZK} (veja a Figura 3.8 para a definição de V_{ZK}). Desejamos agora considerar o mecanismo de ruptura nas junções pn e explicar as razões por trás da reta quase vertical que representa a relação i–v na região de ruptura. Para isso, vamos supor que a junção pn seja excitada por uma fonte de corrente que estabelece uma corrente constante I maior do

que I_S que circula no sentido reverso, como mostrado na Figura 3.15. Essa fonte de corrente movimentará as lacunas do material p por meio do circuito externo[5] para o material n e elétrons do material n por meio do circuito externo para o material p. Essa ação resulta em um aumento de cargas fixas descobertas; portanto, a camada de depleção aumenta em largura e a tensão da barreira também aumenta. Este último efeito faz com que a corrente de difusão diminua: eventualmente, ela será reduzida até próximo de zero. Contudo, isso não é suficiente para atingir um estado estável, visto que I é maior do que I_S. Portanto, o processo inicial de aumento da camada de depleção continua até que uma tensão suficientemente alta se desenvolva na junção, em cujo ponto se estabelece um novo mecanismo para fornecimento dos portadores de carga necessários para sustentar a corrente I. Conforme será explicado a seguir, esse mecanismo para fornecimento da corrente reversa I_S em excesso pode ter uma entre duas formas dependendo do material da junção pn, de sua estrutura e de outros fatores.

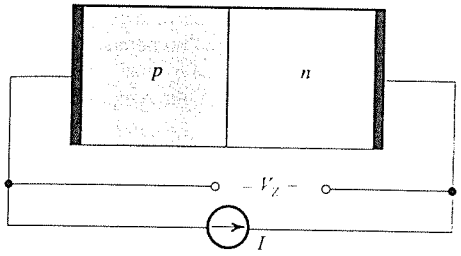


Figura 3.15 A junção pn excitada por uma fonte de corrente reversa I, em que $I > I_S$. A junção rompe e a tensão V_Z, com a polaridade indicada, se desenvolve através da junção.

Os dois mecanismos possíveis de ruptura são o **efeito zener** e o **efeito de avalanche**. Se a ruptura na junção pn ocorre com $V_Z < 5$ V, o mecanismo é normalmente pelo efeito zener. A ruptura por avalanche acontece quando V_Z é maior do que 7 V aproximadamente. Para as junções cujas rupturas estão entre 5 e 7 V, o mecanismo pode ser por efeito zener ou por efeito avalanche ou mesmo uma combinação dos dois.

A ruptura zener ocorre quando o campo elétrico na camada de depleção aumenta até um ponto capaz de quebrar uma ligação covalente e gerar um par elétron–lacuna. Os elétrons gerados dessa forma serão acelerados pelo campo elétrico para dentro do lado n e as lacunas para dentro do lado p. Logo, esses elétrons e lacunas constituem uma corrente reversa através da junção que ajuda a sustentar a corrente externa I. Uma vez iniciado o efeito zener, um grande número de portadores serão gerados com um desprezível aumento na tensão da junção. Logo, a corrente reversa na região de ruptura será determinada pelo circuito externo, enquanto a tensão reversa que aparece entre os terminais do diodo permanecerá próxima ao valor nominal da tensão de ruptura V_Z.

O outro mecanismo é a ruptura por avalanche, que ocorre quando os portadores minoritários que cruzam a região de depleção sob a influência do campo elétrico ganham energia cinética suficiente para serem capazes de quebrar ligações covalentes nos átomos com os quais eles colidem. Os portadores liberados por esse processo devem ter energia suficientemente alta para serem capazes de provocar a liberação de outros portadores em outras colisões ionizantes. Esse processo

5. Naturalmente, a corrente no circuito externo será transportada totalmente por elétrons.

ocorre como uma avalanche e, como resultado, muitos portadores são gerados e sustentam qualquer valor de corrente, conforme determinado pelo circuito externo, com uma variação desprezível na queda de tensão na junção.

Conforme mencionado anteriormente, a ruptura da junção *pn* não é um processo destrutivo, contanto que a potência de dissipação máxima não seja excedida. Essa potência de dissipação máxima nominal, por sua vez, determina o valor máximo da corrente reversa.

3.3.5 A Junção *pn* na Condição de Polarização Direta

A seguir, vamos considerar a operação da junção *pn* na região de polarização direta. Novamente, a explicação se torna mais fácil se excitarmos a junção por uma fonte de corrente constante, fornecendo uma corrente I no sentido direto, como mostrado na Figura 3.16. Isso resulta no fornecimento de portadores majoritários em ambos os lados da junção pelo circuito externo: lacunas do material p e elétrons do material n. Esses portadores majoritários neutralizarão algumas cargas fixas descobertas, fazendo com que um número menor de cargas seja armazenado na camada de depleção. Logo, a camada de depleção se estreita e a barreira de potencial diminui. A redução no potencial da barreira permite que mais lacunas cruzem a barreira do material p para o material n e mais elétrons do lado n cruzem para o lado p. Portanto, a corrente de difusão I_D aumenta até que o equilíbrio seja atingido com $I_D - I_S = I$, a corrente direta fornecida externamente.

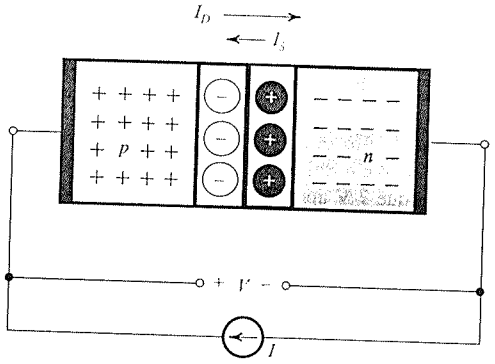


Figura 3.16 A junção *pn* excitada por uma fonte de corrente constante fornecendo uma corrente I no sentido direto. A camada de depleção estreita-se e a barreira de potencial diminui em V volts, que aparece como uma tensão externa no sentido direto.

Vamos examinar mais rigorosamente o fluxo de corrente através da junção *pn* diretamente polarizada no estado estável. A barreira de potencial é agora menor do que V_0 por um valor V que aparece entre os terminais do diodo como uma queda de tensão direta (isto é, o anodo do diodo será mais positivo do que o catodo de V volts). Por causa da diminuição na tensão da barreira ou, alternativamente, devido à queda de tensão direta V, lacunas são **injetadas** através da junção dentro da região n e elétrons são injetados através da junção dentro da região p. As lacunas injetadas na região n provocarão ali uma concentração de portadores minoritários, p_n, que excede o valor térmico de equilíbrio, p_{n0}. O *excesso* de concentração $p_n - p_{n0}$ será maior próximo à borda da camada de depleção e diminuirá (exponencialmente) à medida que se afasta da junção, eventualmente atingindo zero. A Figura 3.17 mostra essa distribuição de excesso de portadores minoritários.

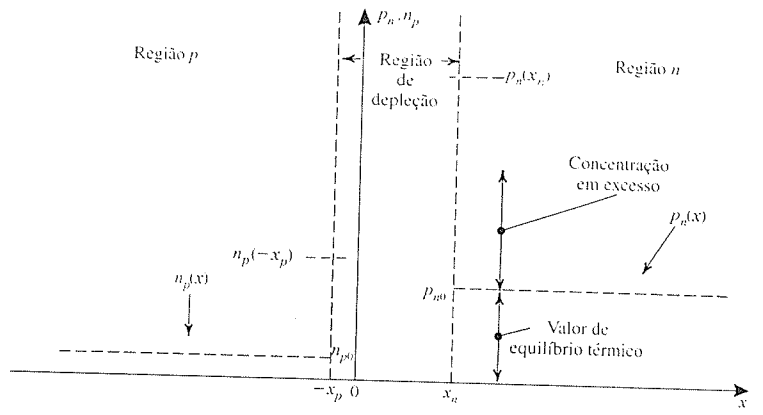


Figura 3.17 Distribuição de excesso de portadores minoritários em uma junção *pn* diretamente polarizada. Assume-se que a região p é mais fortemente dopada que a região n: $N_A >> N_D$.

No estado estável, o perfil de concentração do **excesso de portadores minoritários** permanece constante, e na realidade é essa distribuição que dá origem ao aumento na corrente de difusão I_D acima do valor de I_S. Isso acontece pelo fato de a distribuição mostrada levar as lacunas minoritárias injetadas a se difundirem da junção para dentro da região n e desaparecendo, enfim, pela recombinação. Para manter o equilíbrio, um número igual de elétrons deverá ser fornecido pelo circuito externo, repondo o fornecimento de elétrons no material n.

Uma análise similar pode ser feita para os elétrons minoritários no material p. A corrente de difusão I_D, claro, é a soma das componentes das correntes de elétrons e de lacunas.

A Relação Corrente–Tensão. Mostraremos agora como deduzir a relação i–v da Equação 3.1 para o diodo. Com esse objetivo, consideremos com algum detalhe a componente da corrente causada pelas lacunas injetadas através da junção para dentro da região n. Um importante resultado da física de semicondutores relaciona a concentração de portadores minoritários na borda da região de depleção, denominada $p_n(x_n)$ na Figura 3.17, à tensão direta V,

$$p_n(x_n) = p_{n0} e^{V/V_t} \tag{3.28}$$

Essa expressão é conhecida por **lei da junção**; sua prova é normalmente encontrada em livros-texto tratando de física de dispositivos.

A distribuição do excesso de concentração de lacunas na região n, mostrada na Figura 3.17, é função da distância, com decaimento exponencial, e pode ser expressa como:

$$p_n(x) = p_{n0} + [p_n(x_n) - p_{n0}] e^{-(x - x_n)/L_p} \tag{3.29}$$

em que L_p é uma constante que determina a taxa de decaimento exponencial. Ela é chamada de **comprimento de difusão** de lacunas no silício tipo n. Quanto menor o valor de L_p, mais rapidamente as lacunas injetadas serão recombinadas com os elétrons majoritários, resultando em uma maior taxa de decaimento da concentração de portadores minoritários. Na realidade, L_p está relacionada a outro parâmetro dos semicondutores conhecido por **tempo de vida dos portadores**

minoritários, τ_p, que é o tempo médio que uma lacuna injetada na região n leva para se recombinar com um elétron majoritário. A relação é:

$$L_p = \sqrt{D_p \tau_p} \tag{3.30}$$

em que, como mencionado anteriormente, D_p é a constante de difusão para lacunas no silício tipo n. Valores típicos para L_p estão entre 1 e 100 μm, e os correspondentes valores de τ_p estão na faixa de 1 a 10.000 ns.

As lacunas em difusão na região n darão origem a uma corrente de lacunas cuja densidade pode ser determinada usando as Equações 3.7 e 3.29 com $p_n(x_n)$ obtida da Equação 3.28,

$$J_p = q\frac{D_p}{L_p} p_{n0}(e^{V/V_T} - 1)e^{-(x - x_n)/L_p}$$

Observe que J_p é maior na borda da região de depleção ($x = x_n$) e decai exponencialmente com a distância. Este decaimento é, obviamente, devido à recombinação com os elétrons majoritários. No estado estável, os portadores majoritários terão de ser repostos e, portanto, elétrons serão fornecidos pelo circuito externo para a região n a uma taxa que mantenha a corrente constante em seu valor no ponto $x = x_n$. Então, a densidade de corrente devido às lacunas injetadas será dada por

$$J_p = q\frac{D_p}{L_p} p_{n0}(e^{V/V_T} - 1) \tag{3.31}$$

Uma análise similar pode ser feita para elétrons injetados através da junção para dentro da região p, resultando na componente de elétrons da corrente J_n,

$$J_n = q\frac{D_n}{L_n} n_{p0}(e^{V/V_T} - 1) \tag{3.32}$$

em que L_n é o comprimento da difusão de elétrons na região p. Uma vez que J_p e J_n estão na mesma direção, eles podem ser somados e multiplicados pela área A da seção transversal da junção para obter a corrente total I como

$$I = A\left(\frac{qD_p p_{n0}}{L_p} + \frac{qD_n n_{p0}}{L_n}\right)(e^{V/V_T} - 1)$$

Substituindo $p_{n0} = n_i^2/N_D$ e $n_{p0} = n_i^2/N_A$ na expressão anterior, podemos expressar I como

$$I = Aqn_i^2\left(\frac{D_p}{L_p N_D} + \frac{D_n}{L_n N_A}\right)(e^{V/V_T} - 1) \tag{3.33}$$

Reconhecemos essa expressão como a equação da corrente no diodo, sendo que a corrente de saturação I_S é dada por

$$I_S = Aqn_i^2\left(\frac{D_p}{L_p N_D} + \frac{D_n}{L_n N_A}\right) \tag{3.34}$$

Observe que, como esperado, I_S é diretamente proporcional à área A da junção. Além do mais, I_S é proporcional a n_i^2, que é altamente dependente da temperatura (Equação 3.6). Também note que a exponencial na Equação 3.33 não inclui a constante n; n é um parâmetro de "correção" incluído para considerar efeitos não ideais.

Capacitância de Difusão. Da descrição da operação da junção pn na região direta, notamos que, no estado estável, uma certa quantidade de portadores minoritários em excesso está armazenada em cada uma das regiões n e p do corpo. Se a tensão entre os terminais muda, essa carga precisa ser modificada antes de atingir um novo estado estável. Esse fenômeno de armazenamento de cargas propicia outro efeito capacitivo, claramente distinto daquele devido ao armazenamento de cargas na região de depleção.

Para calcular a carga de portadores minoritários armazenada em excesso, refira-se à Figura 3.17. O excesso de cargas de lacunas armazenadas na região n pode ser encontrado na área sombreada sob a exponencial, como segue:

$$\begin{aligned} Q_p &= A_q \times \text{área embaixo da exponencial } p_n(x) \\ &= Aq \times [p_n(x_n) - p_{n0}]L_p \end{aligned}$$

Substituindo $p_n(x_n)$ pela Equação 3.28 e usando a Equação 3.31 permite expressar Q_p como

$$Q_p = \frac{L_p^2}{D_p} I_p$$

em que $I_p = AJ_p$ é a componente de lacunas da corrente através da seção da junção. Agora, usando a Equação 3.30, podemos substituir $L_p^2/D_p = \tau_p$, o tempo de vida das lacunas, para obter

$$Q_p = \tau_p I_p \tag{3.35}$$

Essa interessante relação diz que a carga de lacunas armazenada em excesso é proporcional tanto à componente de lacunas da corrente como ao tempo de vida das lacunas. Uma relação similar pode ser desenvolvida para a carga de elétrons armazenada na região p,

$$Q_n = \tau_n I_n \tag{3.36}$$

em que τ_n é o tempo de vida dos elétrons na região p. A carga total de portadores minoritários em excesso pode ser obtida somando Q_p e Q_n,

$$Q = \tau_p I_p + \tau_n I_n \tag{3.37}$$

Essa carga pode ser expressa em termos da corrente do diodo $I = I_p + I_n$ como

$$Q = \tau_T I \tag{3.38}$$

em que τ_T é chamado de **tempo médio de trânsito** do diodo. Obviamente, τ_T está relacionado a τ_p e τ_n. Além disso, na maioria dos dispositivos práticos, um lado da junção é muito mais dopado que o outro. Por exemplo, se $N_A >> N_D$, pode-se mostrar que $I_p >> I_n$, $I \cong I_p$, $Q_p >> Q_n$, $Q \cong Q_p$ e, portanto, $\tau_T \cong \tau_p$. Esse caso está ilustrado no Exercício 3.15.

Para pequenas mudanças ao redor do ponto de polarização, podemos definir a capacitância de difusão C_d para pequenos sinais como

$$C_d = \frac{dQ}{dV}$$

e podemos mostrar que

$$C_d = \left(\frac{\tau_T}{V_T}\right) I \tag{3.39}$$

em que I é a corrente do diodo no ponto de polarização. Observe que C_d é diretamente proporcional à corrente I do diodo e, assim, desprezível quando o diodo está reversamente polarizado. Observe também que, para manter C_d pequeno, o tempo de trânsito deve ser pequeno, um importante requisito para diodos que pretendem operar em alta velocidade ou altas freqüências.

Exercício

3.15 Um diodo tem $N_A = 10^{17}/cm^3$, $N_D = 10^{16}/cm^3$, $n_i = 1{,}5 \times 10^{10}/cm^3$, $L_p = 5$ μm, $L_n = 10$ μm, $A = 2500$ μm^2, D_p (na região n) = 10 cm^2/Vs e D_n (na região p) = 18 cm^2/Vs. O diodo está diretamente polarizado e conduzindo uma corrente $I = 0{,}1$ mA. Calcule: (a) I_S; (b) a tensão de polarização direta V; (c) a componente da corrente devida à injeção de lacunas e aquela devida à injeção de elétrons através da junção; (d) τ_p e τ_n; (e) a carga Q_p do excesso de lacunas na região n, a carga Q_n do excesso de elétrons na região p e a carga total Q de portadores minoritários armazenada e o tempo de trânsito τ_T; (f) a capacitância de difusão.

Resposta (a) 2×10^{-15} A; (b) 0,616 V; (c) 91,7 μA, 8,3 μA; (d) 25 ns, 55,6 ns; (e) 2,29 pC, 0,46 pC, 2,75 pC, 27,5 ns; (f) 110 pF

Capacitância de Junção. A capacitância de junção ou da camada de depleção sob polarização direta pode ser encontrada substituindo V_R por $-V$ na Equação 3.27. Decorre, entretanto, que a acurácia dessa relação na região de polarização direta é pobre. Como alternativa, projetistas de circuitos usam a seguinte regra prática:

$$C_j \simeq 2C_{j0} \tag{3.40}$$

3.3.6 Resumo

Para uma referência fácil, a Tabela 3.1 fornece uma lista das relações importantes que descrevem a operação da junção *pn*.

3.4 ANÁLISE DE CIRCUITOS COM DIODOS

Nesta seção estudaremos os métodos de análise de circuitos com diodos. Iremos nos concentrar nos circuitos em que a operação do diodo seja feita na região de polarização direta. A operação na outra região de interesse, a região de ruptura, será considerada na Seção 3.6.

Considere o circuito mostrado na Figura 3.18, que consiste em uma fonte cc V_{DD}, um resistor R e um diodo. Queremos analisar esse circuito para determinar a corrente no diodo I_D e a tensão V_D.

O diodo está obviamente na polarização direta. Supondo que V_{DD} seja maior ou próximo de 0,5 V, a corrente no diodo será muito maior do que I_S e podemos representar a característica i–v pela relação exponencial, o que resulta em

$$I_D = I_S e^{V_D/nV_T} \tag{3.41}$$

A outra equação que rege a operação do circuito é obtida usando-se equação de malha de Kirchhoff, que resulta em

$$I_D = \frac{V_{DD} - V_D}{R} \tag{3.42}$$

Tabela 3.1 Resumo das equações importantes para operação da junção *pn*.

Grandeza	Relação	Valores de constantes e parâmetros (para *Si* intrínseco a $T = 300$ K)
Concentração de portadores no silício intrínseco (/cm^3)	$n_i^2 = BT^3 e^{-E_G/kT}$	$B = 5{,}4 \times 10^{31}$/K^{3}cm^6 $E_G = 1{,}12$ eV $k = 8{,}62 \times 10^{-5}$ eV/K $n_i = 1{,}5 \times 10^{10}$/cm^3
Densidade da corrente de difusão (A/cm^2)	$J_n = -qD_n \frac{dn_p}{dx}$ $J_p = -qD_n \frac{dp_n}{dx}$	$q = 1{,}60 \times 10^{-19}$ coulomb $D_p = 12$ cm^2/s $D_n = 34$ cm^2/s
Densidade da corrente de deriva (A/cm^2)	$J_{deriva} = q(p\mu_p + n\mu_n)E$	$\mu_p = 480$ cm^2/Vs $\mu_n = 1350$ cm^2/Vs
Resistividade (Ω cm)	$\rho = 1/[q(p\mu_p + n\mu_n)]$	μ_p e μ_n diminuem com o aumento na concentração de dopantes
Relação entre mobilidade e difusividade	$\frac{D_n}{\mu_n} = \frac{D_p}{\mu_p} = V_T$	$V_T = kT/q$ $\equiv 25$ mV
Concentração de portadores no silício tipo n (/cm^3)	$n_{n0} \simeq N_D$ $p_{n0} = n_i^2/N_D$	
Concentração de portadores no silício tipo p (/cm^3)	$p_{p0} \simeq N_A$ $n_{p0} = n_i^2/N_A$	
Tensão interna da junção (V)	$V_0 = V_T \ln\left(\frac{N_A N_D}{n_i^2}\right)$	
Largura da região de depleção (cm)	$\frac{x_n}{x_p} = \frac{N_A}{N_D}$ $W_{dep} = x_n + x_p = \sqrt{\frac{2\varepsilon_s}{q}\left(\frac{1}{N_A} + \frac{1}{N_D}\right)(V_0 + V_R)}$	$\varepsilon_S = 11{,}7\,\varepsilon_0$ $\varepsilon_0 = 8{,}85 \times 10^{-14}$ F/cm
Carga armazenada na região de depleção (Coulomb)	$q_J = q\frac{N_A N_D}{N_A - N_D} A W_{dep}$	
Capacitância de depleção (F)	$C_j = \frac{\varepsilon_s A}{W_{dep}}, C_{j0} = \frac{\varepsilon_s A}{W_{dep}\vert_{V_R=0}}$ $C_j = C_{j0}\Big/\left(1 + \frac{V_R}{V_0}\right)^m$ $C_j \equiv 2C_{j0}$ (para polarização direta)	$m = \frac{1}{3}$ a $\frac{1}{2}$
Corrente direta (A)	$I = I_p + I_n$ $I_p = Aq n_i^2 \frac{D_p}{L_p N_D}(e^{V/V_T} - 1)$ $I_n = Aq n_i^2 \frac{D_n}{L_n N_A}(e^{V/V_T} - 1)$	

Tabela 3.1 Resumo das equações importantes para operação da junção *pn*.

Grandeza	Relação	Valores de constantes e parâmetros (para *Si* intrínseco a $T = 300$ K)
Tempo de vida dos portadores minoritários (s)	$\tau_p = L_p^2/D_p \tau_n = L_n^2/D_n$	$L_p, L_n = 1$ a 100 μm $\tau_p, \tau_n = 1$ a 10^4 ns
Carga armazenada devido aos portadores minoritários (C)	$Q_p = \tau_p I_p Q_n = \tau_n I_n$ $Q = Q_p + Q_n = \tau_T I$	
Capacitância de difusão (F)	$C_d = (\tau_T / V_T) I$	

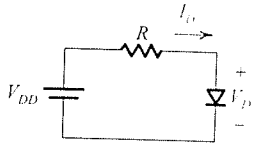


Figura 3.18 Um circuito simples com diodo.

Supondo que os parâmetros do diodo I_S e n sejam conhecidos, as Equações 3.41 e 3.42 são duas equações com duas incógnitas I_D e V_D. Há duas formas alternativas de obter a solução, a análise gráfica e a análise iterativa.

Análise Gráfica

A análise gráfica é feita plotando as relações das Equações 3.41 e 3.42 no plano *i–v*. A solução gráfica é obtida pelas coordenadas do ponto de interseção dos dois gráficos. Um esboço da construção do gráfico está mostrado na Figura 3.19; a curva representa a equação exponencial do diodo (Equação 3.41) e a linha reta representa a Equação 3.42. Essa linha reta é chamada de **reta de carga**, um nome que se tornará mais significativo nos próximos capítulos. A reta de carga intercepta a curva do diodo no ponto Q, o qual representa o **ponto de operação** do circuito. Suas coordenadas fornecem os valores de I_D e de V_D.

A análise gráfica auxilia na visualização da operação do circuito. Contudo, o esforço envolvido na execução de tal análise, particularmente para circuitos complexos, é muito grande para ser justificado na prática.

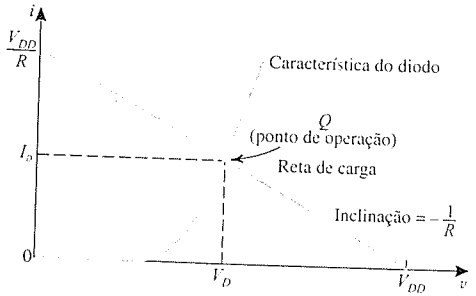


Figura 3.19 Análise gráfica do circuito na Figura 3.18.

Análise Iterativa

As Equações 3.41 e 3.42 podem ser solucionadas usando-se um procedimento iterativo simples, conforme ilustrado no exemplo a seguir.

EXEMPLO 3.4

Determine os valores da corrente I_D e da tensão V_D para o circuito da Figura 3.18 com $V_{DD} = 5$ V e $R = 1$ kΩ. Suponha que a corrente do diodo seja de 1 mA para uma tensão de 0,7 V e que a queda de tensão varia de 0,1 V para cada década de variação na corrente.

SOLUÇÃO

Para iniciar a iteração supomos que $V_D = 0{,}7$ V e usamos a Equação 3.41 para determinar a corrente

$$I_D = \frac{V_{DD} - V_D}{R}$$
$$= \frac{5 - 0{,}7}{1} = 4{,}3 \text{ mA}$$

Usamos então a equação do diodo para obter um valor mais preciso de V_D. Isso pode ser feito empregando a Equação 3.5, ou seja,

$$V_2 - V_1 = 2{,}3 n V_T \log \frac{I_2}{I_1}$$

Em nosso caso, $2{,}3\, nV_T = 0{,}1$ V; logo

$$V_2 = V_1 + 0{,}1 \log \frac{I_2}{I_1}$$

Substituir $V_1 = 0{,}7$ V, $I_1 = 1$ mA e $I_2 = 4{,}3$ mA resulta em $V_2 = 0{,}763$ V. Então, no resultado da primeira iteração, $I_D = 4{,}3$ mA e $V_D = 0{,}763$ V. Na segunda iteração procedemos de modo similar:

$$I_D = \frac{5 - 0{,}763}{1} = 4{,}237 \text{ mA}$$

$$V_2 = 0{,}763 + 0{,}1 \log \left[\frac{4{,}237}{4{,}3} \right]$$
$$= 0{,}762 \text{V}$$

Portanto, a segunda iteração produz $I_D = 4{,}237$ mA e $V_D = 0{,}762$ V. Visto que esses valores não são muito diferentes dos valores obtidos na primeira iteração, não são necessárias outras iterações e a solução é $I_D = 4{,}237$ mA e $V_D = 0{,}762$ V.

A Necessidade de uma Análise Rápida

O procedimento da análise iterativa usado no exemplo anterior é simples e produz resultados precisos após duas ou três iterações. Contudo, há situações em que o esforço e o tempo exigidos são maiores do que o que pode ser justificado. Especificamente, em um projeto inicial de um circuito com relativa complexidade, uma análise rápida de um circuito é uma necessidade. Por meio dessa análise rápida, o projetista é capaz de avaliar várias possibilidades antes de optar por um

circuito. Para acelerar o processo de análise, o projetista deve se contentar com resultados menos precisos. Isso, contudo, raramente é um problema, visto que análises mais precisas podem ser adiadas até o final, ou quase final, do projeto. Análises precisas quase no final de um projeto podem ser feitas com o auxílio de um programa de computador para análise de circuitos como o SPICE (veja a Seção 3.10 e o Apêndice C). Os resultados de tais análises podem ser usados para melhorar ou "otimizar" o projeto.

Modelos Simplificados de Diodos

Embora a relação exponencial de i–v seja um modelo preciso da característica do diodo na região direta, sua natureza não-linear complica a análise de circuitos com diodos. A análise pode ser grandemente simplificada se encontrarmos uma relação linear para descrever as características terminais do diodo. Uma tentativa nesse sentido é ilustrada na Figura 3.20, em que a curva exponencial é aproximada por duas linhas retas, a reta A com inclinação zero e a reta B com inclinação de $1/r_D$. Como pode ser visto para esse diodo em particular, sobre a faixa de corrente de 0,1 mA até 10 mA, os valores de tensão dados pelo modelo de linha reta diferem dos valores dados pelo modelo exponencial por uma diferença abaixo de 50 mV. Obviamente, a escolha dessas duas linhas retas não é única; uma melhor aproximação pode ser obtida restringindo-se a faixa da corrente sobre a qual a aproximação é exigida.

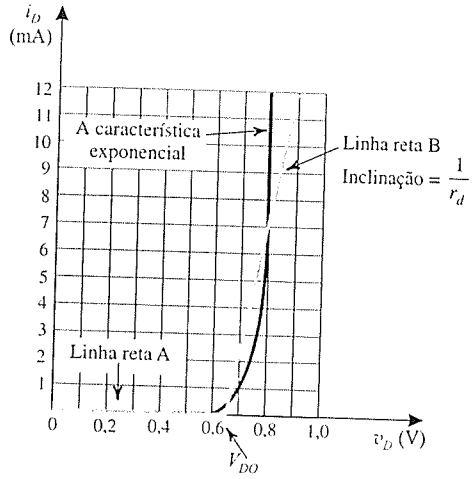


Figura 3.20 Aproximação da característica direta do diodo por duas linhas retas.

O modelo de retas (ou segmentos lineares) da Figura 3.20 pode ser descrito por

$$i_D = 0, \quad v_D \le V_{D0}$$
$$i_D = (v_D - V_{D0})/r_D, \quad v_D \ge V_{D0} \tag{3.43}$$

em que V_{D0} é a interseção da reta B com o eixo de tensão e r_D é o inverso da inclinação da reta B. Para o exemplo particular mostrado, $V_{D0} = 0{,}65$ V e $r_D = 20\ \Omega$.

O modelo de segmentos lineares descrito pelas Equações 3.43 pode ser representado pelo circuito equivalente mostrado na Figura 3.21. Observe que um diodo ideal está incluído nesse modelo para forçar i_D a circular somente no sentido direto. Esse modelo é conhecido também como modelo de "bateria com resistência".

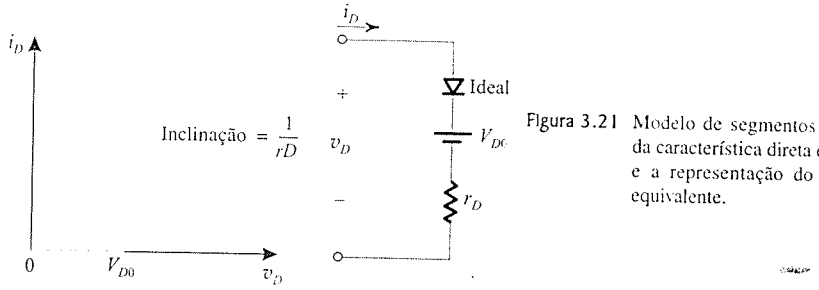


Figura 3.21 Modelo de segmentos lineares da característica direta do diodo e a representação do circuito equivalente.

EXEMPLO 3.5

Repita o problema do Exemplo 3.4 utilizando o modelo de segmentos lineares cujos parâmetros são dados na Figura 3.20 ($V_{D0} = 0{,}65$ V e $r_D = 20\ \Omega$). Observe que as características representadas nessa figura são as mesmas do diodo descrito no Exemplo 3.4 (1 mA com 0,7 V e 0,1 V/década).

SOLUÇÃO

Substituir o diodo no circuito da Figura 3.18 pelo modelo de circuito da Figura 3.21 resulta no circuito da Figura 3.22, a partir do qual podemos escrever para a corrente I_D,

$$I_D = \frac{V_{DD} - V_{D0}}{R + r_D}$$

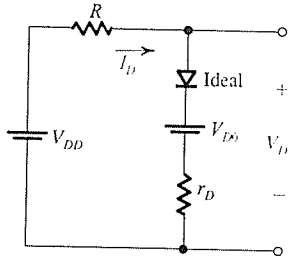


Figura 3.22 O circuito da Figura 3.18 com o diodo substituído pelo modelo de segmentos lineares da Figura 3.21.

em que os parâmetros V_{D0} e r_D do modelo são vistos pela Figura 3.20 como sendo $V_{D0} = 0{,}65$ V e $r_D = 20\ \Omega$. Portanto,

$$I_D = \frac{5 - 0{,}65}{1 + 0{,}02} = 4{,}26 \text{ mA}$$

A tensão no diodo V_D pode ser agora computada como:

$$V_D = V_{D0} + I_D r_D$$
$$= 0{,}65 + 4{,}26 \times 0{,}02 = 0{,}735 \text{ V}$$

O Modelo da Queda de Tensão Constante

Um modelo ainda mais simples das características diretas do diodo pode ser obtido se usarmos uma reta vertical como aproximação da parte da curva exponencial que aumenta rapidamente, conforme mostrado na Figura 3.23. O modelo resultante diz simplesmente que o diodo na condução direta exibe uma queda de tensão V_D constante. O valor de V_D é usualmente de 0,7 V. Observe que, para um diodo particular cujas características estão representadas na Figura 3.23, esse modelo prevê a tensão do diodo dentro de ± 0,1 V sobre a faixa da corrente de 0,1 até 10 mA. O modelo da queda de tensão constante pode ser representado pelo circuito equivalente mostrado na Figura 3.24.

O modelo de queda de tensão constante é o mais freqüentemente empregado nas fases iniciais de análise e projeto. Isso se torna especialmente verdadeiro se nesses estágios não tivermos informações detalhadas sobre as características do diodo, o que quase sempre é o caso.

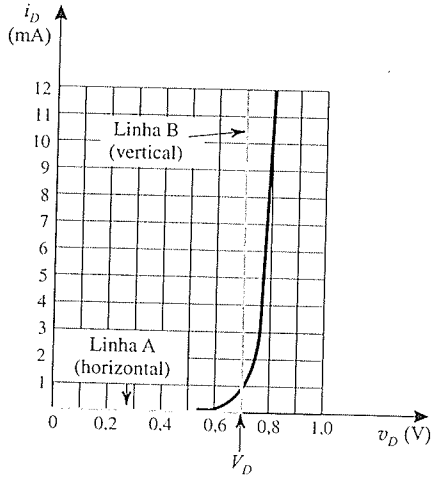


Figura 3.23 Construção do modelo de queda de tensão constante para as características diretas do diodo. A linha vertical (B) é usada como aproximação da parte exponencial de aumento rápido.

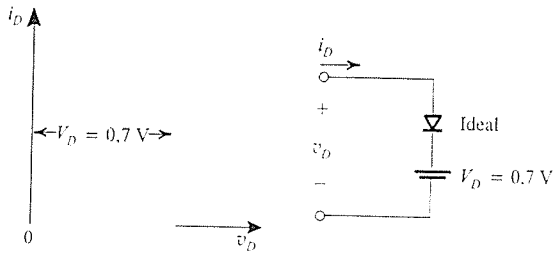


Figura 3.24 O modelo da queda de tensão constante para as características diretas do diodo e sua representação por circuito equivalente.

Finalmente, observe que, se empregarmos o modelo de queda de tensão constante para resolvermos o problema dado nos Exemplos 3.4 e 3.5, obteremos como resultado

$$I_D = \frac{V_{DD} - 0{,}7}{R}$$
$$= \frac{5 - 0{,}7}{1} = 4{,}3 \text{ mA}$$

o que não é muito diferente dos valores obtidos anteriormente com os modelos mais elaborados.

O Modelo do Diodo Ideal

Em aplicações envolvendo tensões muito maiores do que a queda de tensão no diodo (0,6-0,8 V), podemos desprezar a queda de tensão no diodo quando estivermos calculando a corrente no diodo. O resultado é o modelo de diodo ideal, que foi estudado na Seção 3.1.

Um Comentário Final

A questão sobre que modelo usar em uma aplicação particular é algo que o projetista enfrenta repetidamente, não somente com diodos, mas com qualquer elemento de circuito.

O problema está em encontrar um compromisso adequado entre acurácia e complexidade. A capacidade de escolher o modelo apropriado para um dispositivo aumenta com a prática e com a experiência.

Exercícios

3.16 Para o circuito da Figura 3.18 calcule I_D e V_D para o caso em que $V_{DD} = 5$ V e $R = 10$ kΩ. Suponha que o diodo tem uma tensão de 0,7 V e uma corrente de 1 mA e que a variação de tensão seja de 0,1 V/década de variação da corrente. Use (a) o método iterativo, (b) o modelo de segmentos lineares com $V_{D0} = 0{,}65$ V e $r_D = 20\ \Omega$ e (c) o modelo de queda de tensão constante com $V_D = 0{,}7$ V.

Resposta (a) 0,434 mA, 0,663 V; (b) 0,434 mA, 0,659 V; (c) 0,43 mA, 0,7 V

3.17 Considere um diodo que é 100 vezes maior (na seção da junção) do que aqueles cujas características estão mostradas na Figura 3.20. Se aproximarmos as características de modo similar ao da Figura 3.20 (mas para uma faixa de corrente 100 vezes maior), como variarão os parâmetros V_{D0} e r_D do modelo?

Resposta V_{D0} não variará; r_D diminuirá por um fator de 100, indo para 0,2 Ω

P3.18 Projete o circuito da Figura E3.18 para proporcionar uma tensão de saída de 2,4 V. Suponha que os diodos disponíveis tenham 0,7 V de queda com uma corrente de 1 mA e que $\Delta V = 0{,}1$ V/década de variação na corrente.

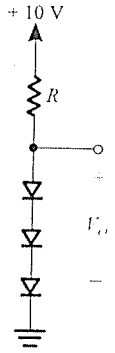


Figura E3.18

Resposta R = 760 Ω

3.19 Repita o Exercício 3.4 para obter uma melhor estimativa de I e V (em relação aos valores encontrados no Exercício 3.4), mas supondo que nada mais seja conhecido sobre os diodos a não ser que eles sejam diodos para pequenos sinais próprios para trabalhar na faixa de mA.

Resposta (a) 1,72 mA, 0,7 V; (b) 0 mA, 5 V; (c) 0 mA, 5 V; (d) 1,72 mA, 0,7 V; (e) 2,3 mA, +2,3 V; (f) 3,3 mA, +1,7 V

3.5 O MODELO PARA PEQUENOS SINAIS E SUAS APLICAÇÕES

Há aplicações em que o diodo é polarizado para operar em um ponto sobre a característica direta i–v e um pequeno sinal *ca* é sobreposto aos valores *cc*. Para essa situação, o diodo é melhor modelado por uma resistência de valor igual ao inverso da inclinação da tangente à curva característica i–v no ponto de polarização. O conceito de polarização de um dispositivo não-linear e de restrição da excursão do sinal a um pequeno segmento, praticamente linear, nas proximidades do ponto de operação foi introduzido na Seção 1.4 para os quadripolos. Vamos a seguir desenvolver tal modelo para pequenos sinais para o diodo de junção e ilustrar sua aplicação.

Considere o circuito idealizado na Figura 3.25(a) e sua representação gráfica correspondente na Figura 3.25(b). Uma tensão *cc*, V_D, representada por uma bateria é aplicada ao diodo; e um sinal variável no tempo $v_d(t)$, suposto (arbitrariamente) como sendo uma forma de onda triangular, é sobreposto à tensão *cc*, V_D. Na ausência do sinal $v_d(t)$, a tensão no diodo é igual a V_D e ele conduzirá uma corrente *cc*, I_D, correspondentemente dada por

$$I_D = I_S e^{V_D/nV_t} \tag{3.44}$$

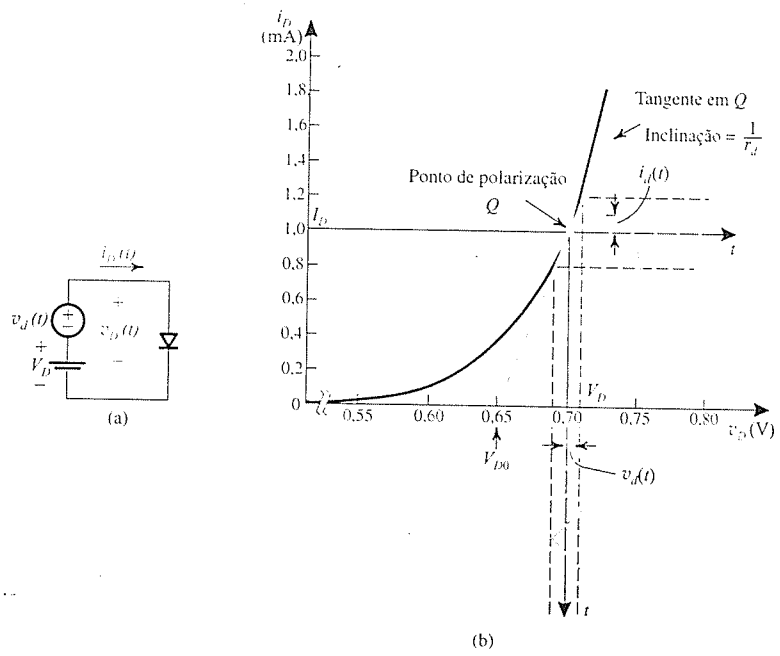


Figura 3.25 Construção do modelo para pequenos sinais do diodo. Observe que os valores numéricos mostrados são para um diodo com $n = 2$.

Quando o sinal $v_d(t)$ for aplicado, a tensão total instantânea no diodo $v_D(t)$ será dada por

$$v_D(t) = V_D + v_d(t) \tag{3.45}$$

Correspondentemente, a corrente total instantânea $i_D(t)$ será

$$i_D(t) = I_S e^{v_D/nV_T} \tag{3.46}$$

Substituindo para v_D a partir da Equação 3.45, obtemos

$$i_D(t) = I_S e^{(V_D + v_d)/nV_T}$$

que pode ser reescrita como

$$i_D(t) = I_S e^{V_D/nV_T} e^{v_d/nV_T}$$

Usando a Equação 3.44, obtemos

$$i_D(t) = I_D e^{v_d/nV_T} \tag{3.47}$$

Agora, se a amplitude do sinal $v_d(t)$ for mantida suficientemente pequena tal que

$$\frac{v_d}{nV_T} << 1 \tag{3.48}$$

então podemos expandir a equação exponencial (3.47) em uma série truncada após os dois primeiros termos para obter a seguinte expressão aproximada

$$i_D(t) = I_D\left(1 + \frac{v_d}{nV_T}\right) \tag{3.49}$$

Essa é a **aproximação para pequenos sinais**. Ela é válida para sinais cujas amplitudes são menores do que 10 mV (veja a Equação 3.48 e lembre-se de que $V_T = 25$ mV).[6]

Pela Equação 3.49 temos

$$i_D(t) = I_D + \frac{I_D}{nV_T} v_d \tag{3.50}$$

Portanto, superposta à corrente *cc* I_D, temos uma componente de sinal da corrente diretamente proporcional ao sinal da tensão v_d. Isto é,

$$i_D = I_D + i_d \tag{3.51}$$

em que

$$i_d = \frac{I_D}{nV_T} v_d \tag{3.52}$$

A grandeza que relaciona o sinal da corrente i_d com o sinal da tensão v_d tem dimensão de condutância, siemens (℧), e é chamada de **condutância do diodo para pequenos sinais**. O inverso desse parâmetro é a **resistência do diodo para pequenos sinais**, ou **resistência incremental**, r_d,

$$r_d = \frac{nV_T}{I_D} \tag{3.53}$$

Observe que o valor de r_d é inversamente proporcional à corrente de polarização I_D.

Vamos retornar à representação gráfica da Figura 3.25(b). É fácil perceber que usar a aproximação para pequenos sinais é equivalente a supor *que a amplitude do sinal é suficientemente pequena de modo que a excursão ao longo da curva i–v é limitada a um pequeno segmento, quase linear*. A inclinação desse segmento, a qual é igual à inclinação da curva *i–v* no ponto de operação *Q*, é igual à condutância para pequenos sinais. O leitor deve provar que a inclinação da curva *i–v* em $i = I_D$ é igual a I_D/nV_T, ou $1/r_d$, isto é,

$$r_d = 1/\left[\frac{\partial i_D}{\partial v_D}\right]_{i_D = I_D} \tag{3.54}$$

6. N.T.: Embora, rigorosamente, devamos ter $|v_d| << nV_T$, isto é, $|v_d| << 25$ mV, observamos **na prática** que para v_d com uma amplitude **de pico** de até 10 mV podemos utilizar a aproximação para pequenos sinais.

Agora, se denominarmos o ponto onde a tangente intercepta o eixo v_D por V_{D0}, podemos descrever a tangente pela equação

$$i_D = \frac{1}{r_d}(v_D - V_{D0}) \tag{3.55}$$

Essa equação é um modelo para o diodo operando com pequenas variações próximas do ponto de polarização ou **ponto quiescente** *Q*. O modelo pode ser representado pelo circuito equivalente mostrado na Figura 3.26, de que podemos escrever

$$\begin{aligned} v_D &= V_{D0} + i_D r_d \\ &= V_{D0} + (I_D + i_d) r_d \\ &= (V_{D0} + I_D r_d) + i_d r_d \\ &= V_D + i_d r_d \end{aligned}$$

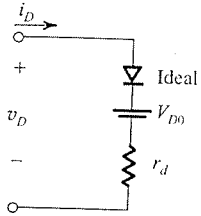


Figura 3.26 Modelo de circuito equivalente do diodo para pequenas variações próximas do ponto de polarização *Q*. A resistência incremental (ou dinâmica) r_d é o inverso da inclinação da tangente em *Q*, e V_{D0} é a interseção da reta tangente com o eixo v_D (veja a Figura 3.25).

Logo, como previmos, o sinal de tensão, ou sinal incremental, no diodo é dado por $v_d = i_d r_d$. Para ilustrar a aplicação do modelo para pequenos sinais do diodo, considere o circuito mostrado na Figura 3.27(a). Nesse circuito temos um sinal de tensão v_s conectado em série com uma fonte *cc*, V_{DD}. Com $v_s = 0$, a corrente *cc* é representada por I_D e a tensão *cc* no diodo é representada por V_D. Queremos determinar o sinal de corrente i_d e o sinal de tensão v_d no diodo. Para isso substituiremos o diodo pelo modelo da Figura 3.26, obtendo então o circuito equivalente da Figura 3.27(b). A equação de malha para esse circuito produz

$$\begin{aligned} V_{DD} + v_s &= i_D R + V_{D0} + i_D r_d \\ &= (I_D + i_d) R + V_{D0} + (I_D + i_d) r_d \\ &= I_D R + (V_{D0} + I_D r_d) + i_d (R + r_d) \\ &= I_D R + V_D + i_d (R + r_d) \end{aligned}$$

Separando os valores *cc* do sinal de ambos os lados dessa equação, obtemos para *cc*

$$V_{DD} = I_D R + V_D$$

que é representado pelo circuito da Figura 3.27(c), e para o sinal,

$$v_s = i_d (R + r_d)$$

que, por sua vez, é representado pelo circuito da Figura 3.27(d). Concluímos que a aproximação para pequenos sinais nos permite realizar separadamente a análise *cc* da análise de sinal. *A aná-*

lise de sinal é executada pela eliminação de todas as fontes cc[7] *e substituindo-se o diodo por sua resistência para pequenos sinais* r_d. Pelo circuito equivalente para pequenos sinais, o sinal de tensão no diodo pode ser encontrado simplesmente usando a regra do divisor de tensão

$$v_d = v_s \frac{r_d}{R + r_d}$$

A separação da análise dos valores *cc*, ou de polarização, da análise de sinal é uma técnica muito usada que será empregada várias vezes neste livro.

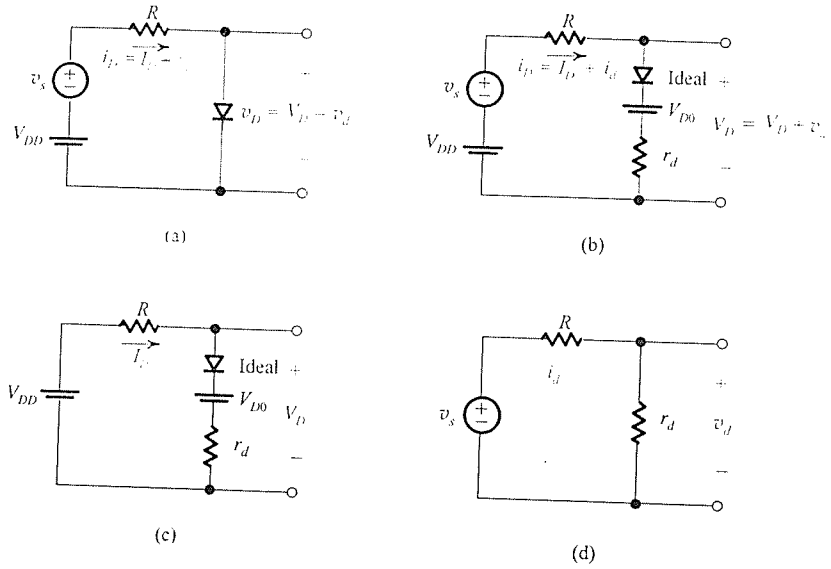


Figura 3.27 A análise do circuito em **(a)**, que contém os valores *cc* e de sinal, pode ser executada substituindo-se o diodo pelo modelo da Figura 3.26, conforme mostrado em **(b)**. Isso permite separar a análise *cc* [o circuito em (c)] da análise do sinal [o circuito em **(d)**].

EXEMPLO 3.6

Considere o circuito mostrado na Figura 3.28 para o caso de $R = 10\ \text{k}\Omega$. A fonte de alimentação V^+ tem um valor *cc* de 10 V, o qual tem sobreposto uma senóide de 60 Hz com amplitude de 1 V de pico. (Essa componente do "sinal" da fonte de alimentação é devida

7. Isso pode ser feito curto-circuitando-se as fontes de tensão *cc* e abrindo-se as fontes de corrente *cc*.

a uma imperfeição no projeto da fonte de alimentação. Ela é conhecida como **ondulação (*ripple*) da fonte de alimentação**. Continuaremos esse assunto mais adiante.) Calcule os valores da tensão *cc* e do sinal senoidal sobre o diodo. Suponha que o diodo tem 0,7 V de queda e 1 mA de corrente e $n = 2$.

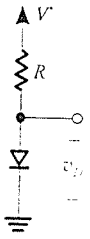


Figura 3.28 Circuito para o Exemplo 3.6.

SOLUÇÃO

Considerando apenas valores *cc*, supomos $V_D \cong 0{,}7$ V e calculamos a corrente *cc* no diodo

$$I_D = \frac{10 - 0{,}7}{10} = 0{,}93\ \text{mA}$$

Como esse valor é muito próximo de 1 mA, a tensão no diodo será muito próxima de 0,7 V, o valor adotado. Neste ponto de operação, a resistência dinâmica r_d é

$$r_d = \frac{nV_T}{I_D} = \frac{2 \times 25}{0{,}93} = 53{,}8\ \Omega$$

A tensão pico a pico do sinal sobre o diodo é obtida usando a regra do divisor de tensão:

$$v_d(\text{pico a pico}) = 2\frac{r_d}{R + r_d}$$

$$= 2\frac{0{,}0538}{10 + 0{,}0538} = 10{,}7\ \text{mV}$$

Então a amplitude do sinal senoidal no diodo é de 5,35 mV. Como esse valor é muito pequeno (menor que 10 mV), o uso do modelo para pequenos sinais está justificado.

Uso da Queda de Tensão Direta no Diodo para Regulação de Tensão

Um regulador de tensão é um circuito cujo objetivo é proporcionar uma tensão *cc* constante em seus terminais de saída. Exige-se que a tensão de saída seja mantida constante apesar (a) das variações na corrente da carga drenada dos terminais de saída do regulador e (b) das variações na tensão *cc* da fonte de alimentação que alimenta o circuito regulador. Como a queda de tensão direta do diodo permanece quase constante em aproximadamente 0,7 V, enquanto a corrente atra-

vés dele varia em quantias relativamente altas, um diodo diretamente polarizado pode servir como um regulador de tensão simples. Por exemplo, vimos no Exemplo 3.6 que, enquanto a tensão da fonte de alimentação de 10 V tem uma ondulação de 2 V pico a pico (± 10% de variação), a ondulação correspondente na tensão do diodo foi de ± 5,4 mV (ou ± 0,8% de variação). Tensões reguladas acima de 0,7 V podem ser obtidas pela conexão de vários diodos em série. Por exemplo, o uso de três diodos diretamente polarizados conectados em série proporciona uma tensão de cerca de 2 V. Esse circuito é estudado no exemplo seguinte.

EXEMPLO 3.7

Considere o circuito mostrado na Figura 3.29. Uma série de três diodos é usada para proporcionar uma tensão constante de cerca de 2,1 V. Queremos calcular em porcentagem a variação nesse regulador de tensão provocada por (a) uma variação de ± 10% na tensão da fonte de alimentação e (b) a ligação de uma resistência de carga de 1 kΩ. Suponha $n = 2$.

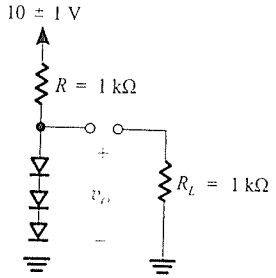


Figura 3.29 Circuito para o Exemplo 3.7.

SOLUÇÃO

Sem carga, o valor nominal da corrente nos diodos em série é dada por

$$I = \frac{10 - 2{,}1}{1} = 7{,}9 \text{ mA}$$

Portanto, cada diodo terá uma resistência dinâmica de

$$r_d = \frac{nV_T}{I}$$

Usando $n = 2$, obtemos

$$r_d = \frac{2 \times 25}{7{,}9} = 6{,}3\ \Omega$$

Os três diodos em série terão uma resistência dinâmica total de

$$r = 3r_d = 18{,}9\ \Omega$$

Essa resistência total junto com a resistência R forma um divisor de tensão cuja razão pode ser usada para calcular a variação na tensão de saída devida à variação de ± 10% (isto é, ± 1 V) na fonte de alimentação. Então a variação pico a pico na saída será

$$\Delta v_O = 2\frac{r}{r+R} = 2\frac{0{,}0189}{0{,}0189+1} = 37{,}1 \text{ mV}$$

isto é, para ± 1 V (± 10%) de variação na tensão da fonte de alimentação haverá uma variação correspondente na saída de ± 18,5 mV ou ± 0,9%. Como isso implica uma variação de cerca de ± 6,2 mV por diodo, nosso uso do modelo de pequenos sinais está então justificado.

Quando uma resistência de carga 1 kΩ é conectada em paralelo com a cadeia de diodos, ela drena uma corrente de aproximadamente 2,1 mA. Portanto, a corrente nos diodos decresce de 2,1 mA, resultando em um decréscimo de tensão sobre a cadeia de diodos de:

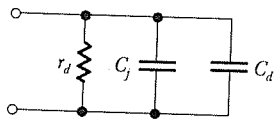
$$\Delta v_O = -2{,}1 \times r = -2{,}1 \times 18{,}9 = 39{,}7 \text{ mV}$$

Como isso implica que a tensão sobre cada diodo se reduz em 13,2 mV, o uso que fizemos do modelo para pequenos sinais não é plenamente justificado. Apesar disso, um cálculo detalhado da mudançana queda de tensão empregando-se o modelo exponencial resulta em $\Delta v_O = -35{,}5$ mV, que não é tão diferente do valor aproximado obtido usando o modelo incremental.

O Modelo para Altas Freqüências do Diodo

O modelo do diodo para pequenos sinais desenvolvido anteriormente é resistivo. Ele é aplicado quando a freqüência do sinal é suficientemente baixa, de modo que se pode desprezar os efeitos de acúmulo de cargas no diodo. Tais efeitos foram estudados na seção anterior e modelados para pequenos sinais por duas capacitâncias: a capacitância da camada de depleção C_j e a capacitância de difusão C_d. Incluir essas duas capacitâncias em paralelo com a resistência de pequenos sinais r_d resulta no modelo do diodo apresentado na Tabela 3.2 juntamente com as fórmulas para os parâmetros do modelo. Este modelo pode ser usado na análise de circuitos com diodos que envolvam sinais de alta freqüência. A análise de circuitos eletrônicos em altas freqüências será estudada em um capítulo posterior.

Tabela 3.2 Modelo do diodo em altas freqüências para pequenos sinais.

	Ponto de polarização: I_D, V_D $r_d = nV_T/I_D$ $C_d = (\tau_T/V_T)I_D$ $C_j = C_{j0}/\left(1 - \frac{V_D}{V_0}\right)^m$ para $V_D < 0$ $C_j = 2C_{j0}$, para $V_D > 0$

Finalmente, deve ser observado que para aplicações de chaveamento, como as encontradas nos circuitos digitais, são empregadas adaptações de C_d e C_j para grandes sinais.

Exercícios

3.20 Determine o valor da resistência r_d do diodo para pequenos sinais com as seguintes correntes de polarização: 0,1, 1 e 10 mA. Suponha $n = 1$.

Resposta 250 Ω; 25 Ω; 2,5 Ω

3.21 Para um diodo que conduz uma corrente de 1 mA e tem uma queda de tensão direta de 0,7 V com $n = 1$, encontre a equação da reta tangente em $I_D = 1$ mA.

Resposta $i_D = (1/25\ \Omega)(v_D - 0{,}675)$

3.22 Considere um diodo com $n = 2$ e polarizado em 1 mA. Encontre a variação na corrente como resultado da variação da tensão de (a) –20 mV; (b) –10 mV; (c) –5 mV; (d) +5 mV; (e) +10 mV; (f) +20 mV. Para cada caso faça o cálculo usando: (i) o modelo para pequenos sinais e (ii) o modelo exponencial.

Resposta (a) –0,40, –0,33 mA; (b) –0,20, –0,18 mA; (c) –0,10, –0,10 mA; (d) +0,10, +0,11 mA; (e) +0,20, +0,22 mA; (f) +0,40, +0,49 mA

P3.23 Projete os circuitos da Figura E3.23 de modo que $V_O = 3$ V quando $I_L = 0$ e V_O varia em 40 mV por 1 mA de corrente na carga. Calcule o valor de R e a seção da junção de cada diodo (suponha que os quatro diodos sejam idênticos) em relação a um diodo com queda de tensão de 0,7 V para 1 mA de corrente e $n = 1$.

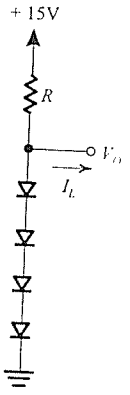


Figura E3.23

Resposta $R = 4{,}8$ kΩ; 0,34

3.6 OPERAÇÃO NA REGIÃO DE RUPTURA REVERSA – OS DIODOS ZENER

A parte muito inclinada da curva i–v que o diodo exibe na região de ruptura (Figura 3.8) e a queda de tensão quase constante que ela indica sugerem que os diodos operando na região de ruptura podem ser usados no projeto de reguladores de tensão. Isso realmente tornou-se uma aplicação muito importante dos diodos. Diodos especiais são fabricados para operar especificamente na região de ruptura. Esses diodos são chamados **diodos de ruptura** ou, mais comumente, **diodos zener**, por terem sido os primeiros a ser empregados na área, embora o mecanismo de ruptura seja normalmente baseado no mecanismo de avalanche e não no efeito zener.

A Figura 3.30 mostra o símbolo de circuito para o diodo zener. Nas aplicações normais dos diodos Zener, a corrente circula entrando pelo catodo, ou seja, o catodo é positivo em relação ao anodo; portanto, I_Z e V_Z na Figura 3.30 são valores positivos.

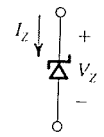


Figura 3.30 Símbolo de circuito para o diodo zener.

Especificando e Modelando o Diodo Zener

A Figura 3.31 mostra os detalhes das características i–v do diodo na região de ruptura.

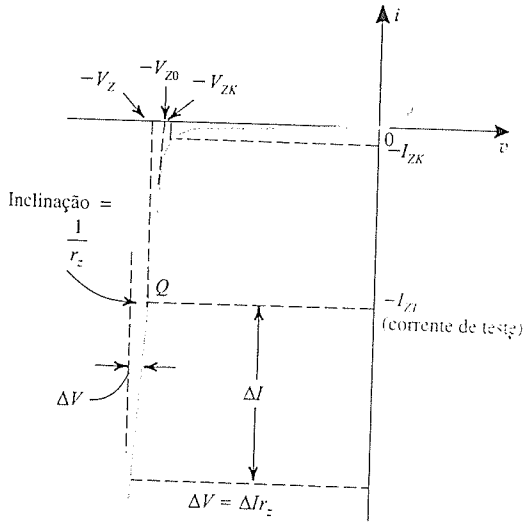


Figura 3.31 As características i–v do diodo com detalhes da região de ruptura.

Observamos que, para valores de correntes acima da corrente de joelho I_{ZK} (valor especificado no catálogo do diodo zener), a característica i–v é quase uma reta. O fabricante normalmente especifica o valor da tensão no diodo V_Z para uma determinada corrente de teste, I_{ZT}. Indicamos esses parâmetros na Figura 3.31 como coordenadas do ponto indicado por Q. Portanto, um diodo zener de 6,8 V exibirá uma queda de tensão de 6,8 V com uma determinada corrente de teste, digamos de 10 mA. Quando a corrente que circula pelo zener desvia de I_{ZT}, a tensão sobre ele também muda, embora ligeiramente. A Figura 3.31 mostra que a variação de corrente ΔI corresponde a uma variação da tensão zener ΔV, cujo valor é relacionado a ΔI por

$$\Delta V = r_z \Delta I$$

em que r_z é o inverso da inclinação da linha quase reta da curva i–v no ponto Q. A resistência r_z é a **resistência incremental** do diodo zener no ponto de operação Q. Ela é conhecida também como **resistência dinâmica** do zener e seu valor é especificado no catálogo do dispositivo. Tipicamente, r_z é da ordem de poucos ohms a poucas dezenas de ohms. Obviamente, quanto menor o valor de r_z, mais constante será a tensão zener com as variações de sua corrente e, portanto, seu funcionamento se aproxima mais do ideal. Com essas considerações, observamos pela Figura 3.31 que, enquanto r_z permanece baixa e quase constante sobre uma extensa faixa de corrente, seu valor aumenta consideravelmente nas vizinhanças do joelho. Portanto, como um guia de projeto, em geral devemos evitar que o zener opere nessa região de baixa corrente.

Os diodos zener são fabricados com valores de tensão V_Z na faixa de alguns volts até algumas centenas de volts. Além das especificações de V_Z (para um valor particular de I_{ZT}), r_z e I_{ZK}, o fabricante também especifica a potência máxima que o dispositivo pode dissipar com segurança. Portanto, um diodo zener de 0,5 W e 6,8 V pode operar seguramente com corrente de até 70 mA no máximo. A característica quase linear i–v do diodo zener sugere que o dispositivo pode ser modelado conforme indicado na Figura 3.32. Nessa figura, V_{Z0} representa o ponto em que a reta de inclinação $1/r_z$ intercepta o eixo da tensão (veja a Figura 3.31). Embora o valor mostrado para V_{Z0} seja ligeiramente diferente da tensão de joelho V_{ZK}, na prática esses valores são quase iguais. O modelo de circuito equivalente da Figura 3.32 pode ser descrito analiticamente por

$$V_Z = V_{Z0} + r_z I_Z \tag{3.56}$$

que se aplica para $I_Z > I_{ZK}$ e, obviamente, $V_Z > V_{Z0}$. O uso do modelo do zener em análises é ilustrado no exemplo seguinte.

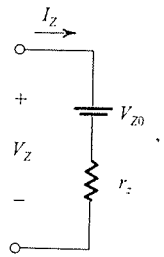


Figura 3.32 Modelo para o diodo zener.

EXEMPLO 3.8

O diodo zener de 6,8 V no circuito da Figura 3.33(a) é especificado para ter $V_Z = 6{,}8$ V com $I_Z = 5$ mA, $r_z = 20\ \Omega$ e $I_{ZK} = 0{,}2$ mA. A fonte de alimentação V^+ é de 10 V nominal, mas pode variar em ± 1 V.

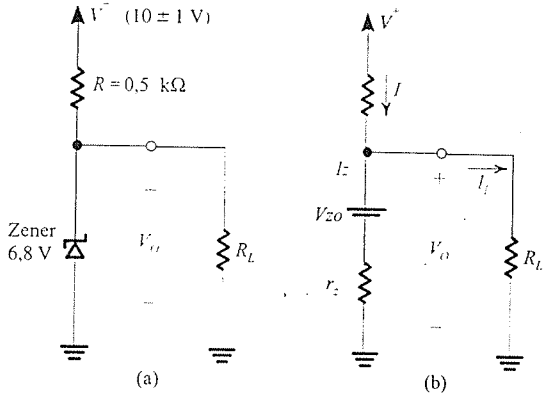


Figura 3.33 (a) Circuito para o Exemplo 3.8. (b) O circuito com o diodo zener substituído pelo modelo de circuito equivalente.

(a) Calcule o valor de V_O sem carga e com o valor de V^+ nominal.
(b) Calcule a variação em V_O resultante da variação de ± 1 V em V^+.
(c) Calcule a variação em V_O resultante da conexão de uma carga $R_L = 2$ kΩ.
(d) Calcule a variação em V_O quando $R_L = 0{,}5$ kΩ.
(e) Qual o valor mínimo de R_L com o qual o diodo continua operando na região de ruptura?

SOLUÇÃO

Primeiro, precisamos determinar o valor do parâmetro V_{Z0} do modelo do diodo zener. Substituir $V_Z = 6.8$ V, $I_Z = 5$ mA e $r_z = 20\ \Omega$ na Equação 3.56 resulta em $V_{Z0} = 6{,}7$ V. A Figura 3.33(b) mostra o circuito com o diodo zener substituído por seu modelo.

(a) Sem carga conectada, a corrente pelo zener é dada por

$$I_Z = I = \frac{V^+ - V_{Z0}}{R + r_z}$$

$$= \frac{10 - 6{,}7}{0{,}5 + 0{,}02} = 6{,}35 \text{ mA}$$

Portanto,

$$V_O = V_{Z0} + I_Z r_z$$
$$= 6,7 + 6,35 \times 0,02 = 6,83 \text{ V}$$

(b) Para uma variação de ± 1 V em V⁺, a variação na tensão de saída pode ser encontrada por

$$\Delta V_O = \Delta V^+ \frac{r_z}{R + r_z}$$
$$= \pm 1 \times \frac{20}{500 + 20} = \pm 38,5 \text{ mV}$$

(c) Quando uma resistência de carga de 2 kΩ for conectada, a corrente na carga será de aproximadamente 6,8 V/2 kΩ = 3,4 mA. Portanto, a variação na corrente zener será de $\Delta I_Z = -3,4$ mA, e a correspondente variação na tensão zener (tensão de saída) será então de

$$\Delta V_O = r_z \Delta I_Z$$
$$= 20 \times 3,4 = -68 \text{ mV}$$

Um valor estimado mais preciso de ΔV_O pode ser obtido pela análise do circuito na Figura 3.33(b). O resultado dessa análise é $\Delta V_O = -70$ mV.

(d) R_L de 0,5 kΩ deve drenar uma corrente de carga de 6,8/0,5 = 13,6 mA. Isso não é possível, visto que a corrente I que circula por R é de apenas 6,4 mA (para $V^+ = 10$ V). Portanto, o zener deve estar em corte. Se esse for realmente o caso, então V_O é determinado pelo divisor de tensão formado por R_L e R:

$$V_O = V^+ \frac{R_L}{R + R_L}$$
$$= 10 \frac{0,5}{0,5 + 0,5} = 5 \text{ V}$$

Como essa tensão é menor do que a tensão de ruptura do Zener, o diodo não está realmente operando na região de ruptura.

(e) Para o zener operar na borda da região de ruptura, $I_Z = I_{ZK} = 0,2$ mA e $V_Z = V_{ZK} \simeq 6,7$ V. Nesse ponto, a menor (pior caso) corrente fornecida a R é (9 – 6,7)/0,5 = 4,6 mA e, portanto, a corrente na carga é de 4,6 – 0,2 = 4,4 mA. O valor correspondente de R_L é

$$R_L = \frac{6,7}{4,4} \simeq 1,5 \text{ kΩ}$$

Projeto do Regulador Zener Paralelo

A função do regulador de tensão foi descrita anteriormente. Um circuito regulador de tensão usando um diodo zener está mostrado na Figura 3.34. Esse circuito é conhecido como regulador *shunt* porque o diodo zener está conectado em paralelo (*shunt*) com a carga. O regulador é alimentado por uma fonte de tensão que, conforme indicado na figura, não é muito constante; ela inclui uma componente de alto valor de ondulação. Essa fonte de tensão rudimentar pode ser obtida na saída de um circuito retificador, como será visto nas próximas seções. A carga pode ser um simples resistor ou um circuito eletrônico mais complexo.

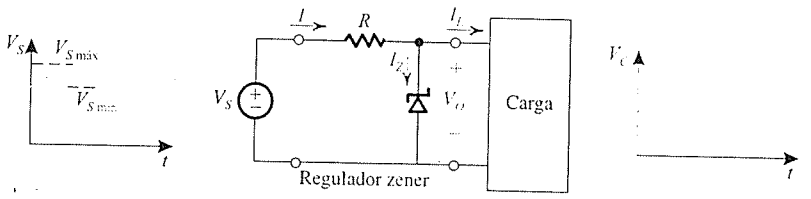


Figura 3.34 Um regulador zener paralelo. Observe que, enquanto a fonte rudimentar V_S tem uma componente de alto valor de ondulação, a tensão regulada V_O tem um valor de ondulação muito pequeno.

A função do regulador é fornecer uma tensão de saída V_O que seja a mais constante possível, apesar da ondulação em V_S e das variações na corrente I_L da carga. Dois parâmetros podem ser usados para medir se um regulador está funcionando de acordo com sua função: a regulação de linha e a regulação de carga. A regulação de linha é definida como a variação em V_O correspondente à variação de 1 V em V_S,

$$\text{Regulação de linha} \equiv \frac{\Delta V_O}{\Delta V_S} \tag{3.57}$$

e é usualmente expressa em mV/V. A regulação de carga é definida como a variação em V_O correspondente à variação de 1 mA na corrente I_L,

$$\text{Regulação de carga} \equiv \frac{\Delta V_O}{\Delta I_L} \tag{3.58}$$

As expressões para essas medidas no funcionamento podem ser deduzidas para o regulador paralelo da Figura 3.34, substituindo-se o zener por seu modelo de circuito equivalente, obtendo, portanto, o circuito da Figura 3.35. A análise direta desse circuito produz

$$V_O = V_{Z0} \frac{R}{R + r_z} + V_S \frac{r_z}{R + r_z} - I_L (r_z // R) \tag{3.59}$$

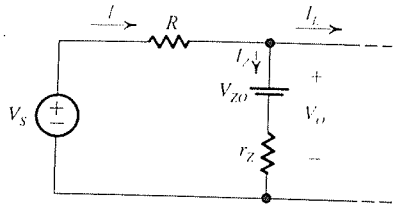


Figura 3.35 O circuito regulador paralelo com o diodo zener substituído pelo modelo de circuito.

Na Equação 3.59, apenas o primeiro termo do lado direito é desejável. O segundo e o terceiro termos representam a dependência com a fonte de alimentação e com a carga, respectivamente, e então devem ser minimizados. Pela Equação 3.59 e das definições nas Equações 3.57 e 3.58, obtemos

$$\text{Regulação de linha} = \frac{r_z}{R + r_z} \tag{3.60}$$

e

$$\text{Regulação de carga} = -(r_z // R) \tag{3.61}$$

Observe que ambos os resultados podem ser deduzidos examinando-se o circuito.

Usualmente, $r_z << R$, e a regulação de carga é determinada quase totalmente pelo valor de r_z; selecionar um zener com uma baixa resistência incremental reduz a regulação de carga. Reduz também a regulação de linha, conforme pode ser visto na Equação 3.60. Essa equação também indica que um alto valor de R é desejável. Entretanto, há um limite máximo no valor de R para assegurar que a corrente através do diodo nunca seja muito baixa; caso contrário, r_z aumenta e o desempenho degrada. Observamos que o menor valor de corrente zener ocorre quando V_S está em seu valor mínimo e I_L está em seu valor máximo de corrente de carga. Usando essa combinação de valores no circuito da Figura 3.35, podemos mostrar que R deve ser selecionado de modo que

$$R = \frac{V_{S\text{mín}} - V_{Z0} - r_z I_{Z\text{mín}}}{I_{Z\text{mín}} + I_{L\text{máx}}} \tag{3.52}$$

EXEMPLO 3.9

É preciso projetar um regulador zener paralelo que proporcione uma tensão de saída de 7,5 V aproximadamente. A fonte de alimentação rudimentar varia entre 15 e 25 V e a corrente na carga varia em uma faixa de 0 a 15 mA. O diodo zener disponível é de $V_Z = 7{,}5$ V com uma corrente de 20 mA e $r_z = 10\ \Omega$. Calcule o valor necessário para R e determine as regulações de linha e de carga. Determine também, em porcentagem, a variação em V_O correspondente à variação máxima em V_S e em I_L.

SOLUÇÃO

Primeiro, determinamos o valor do parâmetro V_{Z0} do modelo do diodo zener pela substituição de $V_Z = 7{,}5$ V, $I_Z = 20$ mA e $r_z = 10\ \Omega$ na Equação 3.56. O resultado é $V_{Z0} = 7{,}3$ V. A seguir, usamos a Equação 3.62 para determinar o valor de R substituindo-se $V_{S\text{mín}} = 15$ V e $I_{L\text{máx}} = 15$ mA e projetando (de certa forma arbitrariamente) para $I_{Z\text{mín}} = (1/3)I_{L\text{máx}} = 5$ mA. Portanto,

$$R = \frac{15 - 7{,}3 - 0{,}01 \times 5}{5 + 15} = 383\ \Omega$$

A regulação de linha pode ser determinada usando a Equação 3.60,

$$\text{Regulação de linha} = \frac{r_z}{r_z + R} = \frac{10}{10 + 383} = 25{,}4\ \text{mV/V}$$

e a regulação de carga pode ser encontrada usando a Equação 3.61,

$$\text{Regulação de carga} = -(r_z // R) = -(10 // 383) = -9{,}7\ \text{mV/mA}$$

A variação total em V_S (15 a 25 V) resulta em

$$\Delta V_O = 25{,}4 \times 10 = 0{,}254\ \text{V ou } 3{,}4\%$$

e a variação total em I_L (de 0 a 15 mA) resulta em

$$\Delta V_O = -9{,}7 \times 15 = -0{,}15\ \text{V ou } -2\%$$

O Efeito da Temperatura

A dependência da tensão zener V_Z com a temperatura é especificada em termos de seu coeficiente de temperatura TC ou **temco**, como é conhecido normalmente, o qual é usualmente expresso em mV/°C. O valor de TC depende da tensão zener, e para um dado diodo o TC varia com a corrente de operação. Os diodos zener cujo V_Z está abaixo de 5 V exibem um TC negativo. Por outro lado, os diodos zener de valor alto de tensão exibem um TC positivo. O TC de um diodo zener com V_Z próximo de 5 V pode ser igual a zero pela operação do diodo com uma corrente especificada. Uma outra técnica, comumente usada para obtenção de uma tensão de referência com um coeficiente de temperatura baixo, é pela conexão de um diodo zener com um coeficiente de temperatura de cerca de 2 mV/°C em série com um diodo conduzindo diretamente. Como este diodo tem uma queda de tensão de ≃ 0,7 V e um TC de cerca de –2 mV/°C, essa combinação em série proporcionará uma tensão de (V_Z + 0,7) com um TC de aproximadamente 0.

Exercícios

3.24 Um diodo zener cuja tensão nominal é de 10 V com 10 mA tem uma resistência dinâmica de 50 Ω. Que valor de tensão você espera para V_{Z0} se a corrente no diodo cair pela metade? E se a corrente dobrar? Qual o valor de V_{Z0} do modelo do diodo?

Resposta 9,75 V; 10,5 V; 9,5 V

P3.25 Um diodo zener exibe uma tensão constante de 5,6 V para co ntes acima de cinco vezes a corrente de joelho. O valor de I_{ZK} é especificado como sendo de 1 m. le é para ser usado no pro-

jeto de um regulador paralelo no qual a fonte de alimentação é de 15 V. A corrente na carga varia em uma faixa de 0 a 15 mA. Encontre um valor conveniente para o resistor R. Qual a máxima potência de dissipação do diodo zener?

Resposta 470 Ω; 112 mW

3.26 Um regulador paralelo utiliza um diodo zener cuja tensão é de 5,1 V com uma corrente de 50 mA e cuja resistência dinâmica é de 7 Ω. O diodo recebe alimentação de uma tensão nominal de 15 V através de um resistor de 200 Ω. Qual a tensão de saída sem carga? Calcule a regulação de linha e a regulação de carga.

Resposta 5,1 V; 33,8 mV/V; –6,8 mV/mA

3.7 CIRCUITOS RETIFICADORES

Uma das aplicações mais importantes do diodo é no projeto de circuitos retificadores. Um diodo retificador forma um bloco elementar essencial de uma fonte *cc* exigida para alimentar um equipamento eletrônico. Um diagrama de blocos dessa fonte de alimentação é mostrado na Figura 3.36. Conforme indicado, a fonte é alimentada por uma rede elétrica *ca* de 60 Hz com 120 V (eficaz ou rms), e ela entrega uma tensão *cc* V_O (usualmente na faixa de 5 a 20 V) para um circuito eletrônico representado pelo bloco de carga. É necessário que a tensão *cc* V_O seja a mais constante possível apesar das variações na tensão da linha e na corrente drenada pela carga.

O primeiro bloco em uma fonte de alimentação *cc* é o **transformador de potência**. Ele consiste em duas bobinas enroladas separadamente em um núcleo de ferro que acopla magneticamente os dois enrolamentos. O **enrolamento primário**, tendo um número de espiras N_1, é conectado à alimentação *ca* de 120 V; e o **enrolamento secundário**, tendo um número de espiras N_2, é conectado ao circuito da fonte de alimentação *cc*. Portanto, uma tensão *ca* v_S de $120(N_2/N_1)$ volts (rms) desenvolve-se entre os terminais do enrolamento secundário. Pela escolha adequada da razão (N_1/N_2) para o transformador, o projetista pode baixar o valor da tensão da linha até um valor conveniente para produzir uma determinada tensão *cc* pela fonte. Por exemplo, uma tensão de 8 V rms é usualmente necessária para uma saída de 5 V. Isso pode ser obtido com uma relação de espiras de 15:1.

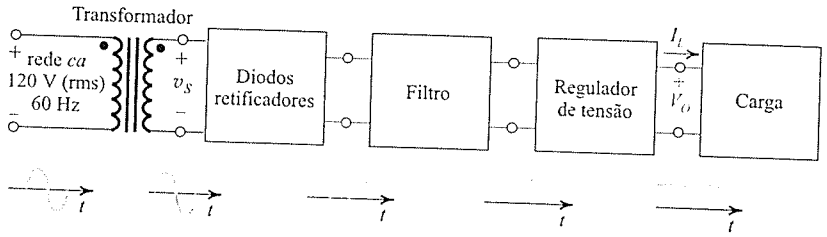


Figura 3.36 Diagrama de blocos de uma fonte de alimentação *cc*.

Além de proporcionar uma senóide com amplitude apropriada para a fonte de alimentação, o transformador promove um isolamento elétrico entre o equipamento eletrônico e o circuito de potência da linha. Essa isolação diminui o risco de choque elétrico para o usuário do equipamento.

O diodo retificador converte a senóide de entrada v_S em uma saída unipolar, a qual pode ter uma forma pulsante, conforme indicado na Figura 3.36. Embora essa forma de onda tenha um valor médio diferente de zero ou, em outras palavras, uma componente *cc*, sua natureza pulsante faz com que a fonte *cc* seja inconveniente para os circuitos eletrônicos, daí a necessidade de um filtro. As variações na saída do retificador são reduzidas consideravelmente pelo bloco de filtro na Figura 3.36. Em seguida, estudaremos alguns circuitos retificadores e uma implementação simples de filtro na saída.

Embora a saída de um retificador com filtro seja muito mais constante do que sem filtro, ela ainda contém uma componente dependente do tempo, conhecida como **ondulação**. Para reduzir a ondulação e estabilizar a tensão de saída *cc* da fonte contra as variações causadas pela variação da corrente na carga, empregamos um regulador de tensão. Tal regulador pode ser implementado pelo regulador zener paralelo estudado na Seção 3.6. Alternativamente, um regulador com circuito integrado (CI) pode ser usado [veja, por exemplo, Soclof (1985)].

O Retificador de Meia Onda

O retificador de meia onda utiliza metade dos semiciclos da senóide de entrada. A Figura 3.37(a) mostra o circuito de um retificador de meia onda. Esse circuito foi analisado na Seção 3.1 (veja a Figura 3.3) supondo um diodo ideal. Usando o modelo mais realista do diodo, composto de bateria e resistência, obtemos o circuito equivalente mostrado na Figura 3.37(b), do qual podemos escrever

$$v_O = 0, \qquad v_S < V_{D0} \tag{3.63a}$$

$$v_O = \frac{R}{R+r_D} v_S - V_{D0} \frac{R}{R+r_D}, \qquad v_S \geq V_{D0} \tag{3.63b}$$

A característica de transferência representada por essas equações está esboçada na Figura 3.37(c). Em muitas aplicações temos $r_D << R$ e a segunda equação pode ser simplificada para

$$v_O = v_S - V_{D0} \tag{3.64}$$

em que V_{D0} = 0,7 V ou 0,8 V. A Figura 3.37(d) mostra a tensão de saída quando a entrada v_S é uma senóide.

Ao escolher os diodos no projeto de um retificador, dois parâmetros importantes devem ser especificados: a capacidade de condução de corrente exigida do diodo, determinada pelo maior valor de corrente que o diodo pode conduzir, e a **tensão de pico inversa** (peak inverse voltage – PIV) que o diodo deve ser capaz de suportar sem atingir a região de ruptura, determinada pelo maior valor de tensão reversa que pode aparecer no diodo. No circuito retificador da Figura 3.37(a) observamos que, quando v_S é negativo, o diodo corta e v_O é igual a zero. Concluímos que a PIV é igual ao valor de pico de v_S,

$$\text{PIV} = V_s$$

Contudo, em geral é prudente escolher o diodo com uma tensão de ruptura reversa, pelo menos 50% maior do que o valor esperado da PIV.

Antes de deixar o estudo do retificador de meia onda, o leitor deve observar dois pontos. Primeiro, é possível usar a característica exponencial do diodo para determinar a exata característica de transferência do retificador (veja o Problema 3.82). Porém, o trabalho envolvido é usualmente muito grande para ser justificado na prática. É claro que a análise pode ser feita usando um programa de análise de circuito como o SPICE (veja a Seção 3.10 e o Apêndice C).

Segundo, ao analisarmos o circuito, com precisão ou não, é óbvio que ele não funcionará corretamente quando o sinal de entrada for pequeno.

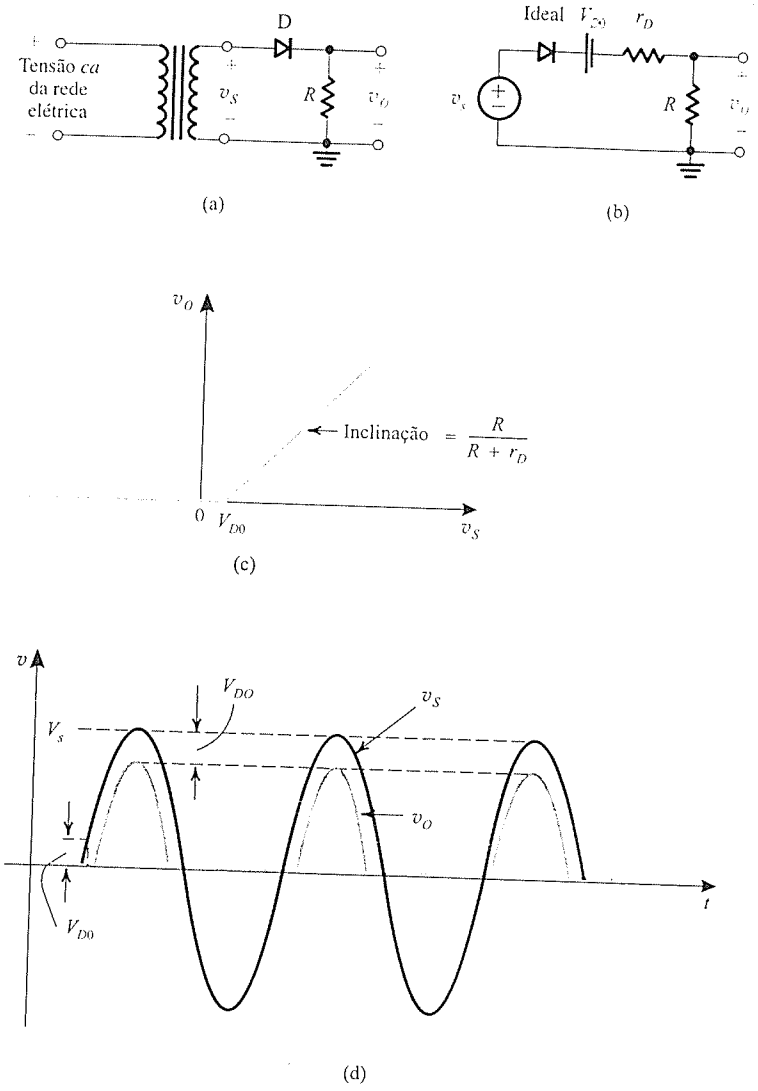


Figura 3.37 (a) O retificador de meia onda. (b) Circuito equivalente do retificador de meia onda com o diodo substituído pelo modelo de segmentos lineares (bateria mais resistência). (c) Característica de transferência do circuito retificador. (d) Formas de onda de entrada e saída, supondo $r_D << R$.

Por exemplo, esse circuito não pode ser usado para retificar uma entrada senoidal de 100 mV de amplitude. Para tal aplicação, recorra aos circuitos de precisão apresentados no Capítulo 12.

Exercício

3.27 Para o circuito retificador de meia onda na Figura 3.37(a), desprezando o efeito de r_D, mostre o seguinte: (a) Para o semiciclo no qual o diodo conduz, a condução começa no ângulo $\theta = \text{sen}^{-1}(V_{D0}/V_s)$ e termina em $(\pi - \theta)$, com um ângulo total de condução de $(\pi - 2\theta)$. (b) O valor médio (componente *cc*) de v_O é dado por $V_O = (1/\pi)V_s - V_{D0}/2$. (c) A corrente de pico no diodo é $(V_s - V_{D0})/R$.

Determine os valores numéricos dessas grandezas para o caso de uma entrada senoidal de 12 V (rms), $V_{D0} = 0{,}7$ V e $R = 100\ \Omega$. Determine também o valor da PIV.

Resposta (a) $\theta = 2{,}4°$, ângulo de condução = 175°; (b) 5,05 V; (c) 163 mA; 17 V

O Retificador de Onda Completa

O retificador de onda completa utiliza ambos os semiciclos da senóide de entrada. Para proporcionar uma saída unipolar, ele inverte o semiciclo negativo da onda senoidal. Uma implementação possível está mostrada na Figura 3.38(a). Nessa figura, o enrolamento secundário do transformador é dividido ao meio para proporcionar duas tensões iguais v_S em cada uma das metades dos enrolamentos secundários com as polaridades indicadas. Observe que, quando a tensão da linha de entrada (alimentação do primário) é positiva, ambos os sinais denominados de v_S serão positivos. Nesse caso, D_1 conduzirá e D_2 estará reversamente polarizado. A corrente através de D_1 circulará também através de R e retornará pelo terminal central do secundário. O circuito então se comporta como um retificador de meia onda e a saída durante o semiciclo positivo será idêntica à produzida pelo retificador de meia onda.

Agora, durante o semiciclo negativo da tensão da linha *ca*, ambas as tensões denominadas de v_S serão negativas. Portanto, D_1 estará em corte enquanto D_2 conduzirá. A corrente conduzida por D_2 circulará por R e retornará pelo terminal central do transformador. Isso implica que, durante o semiciclo negativo, o circuito também se comporta como um retificador de meia onda, exceto que o diodo D_2 é quem conduz. O ponto principal, contudo, é que a corrente através de R sempre circula no mesmo sentido e, portanto, v_O será unipolar, conforme indicado na Figura 3.38(c). A forma de onda mostrada na saída é obtida supondo que o diodo que conduz tem uma queda de tensão constante V_{D0}. Em outras palavras, desprezamos, por simplicidade, o efeito da resistência do diodo r_D. Portanto, a característica de transferência do retificador de onda completa tem a forma mostrada na Figura 3.38(b).

O retificador de onda completa obviamente produz uma forma de onda mais "energética" do que a proporcionada pelo retificador de meia onda. Na maioria das aplicações de retificação, optamos pelo tipo de onda completa.

Para determinar a PIV dos diodos no circuito retificador de onda completa, considere a situação durante os semiciclos positivos. O diodo D_1 está conduzido e D_2 está em corte. A tensão no catodo de D_2 é v_O, e em seu anodo temos $-v_S$. Portanto, a polarização reversa em D_2 será $(v_O + v_S)$, que será máxima quando v_O estiver em seu valor de pico $(V_s - V_{D0})$ e v_S em seu valor de pico V_s; então

$$\text{PIV} = 2V_s - V_{D0}$$

cujo valor é aproximadamente o dobro daquele do caso do retificador de meia onda.

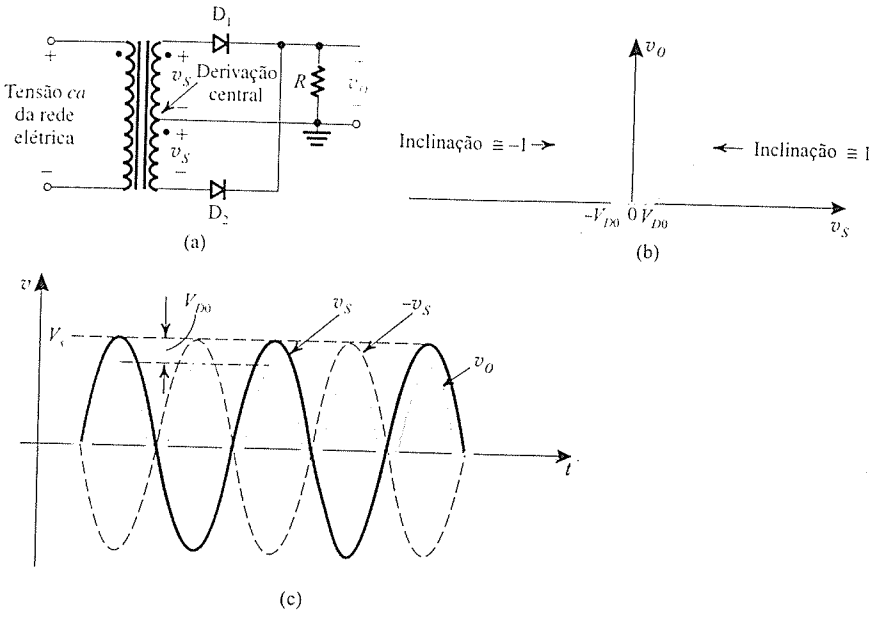


Figura 3.38 Circuito retificador de onda completa utilizando um transformador com o enrolamento secundário com tomada central. **(a)** Circuito. **(b)** Característica de transferência supondo o modelo de queda de tensão constante para os diodos. **(c)** Formas de onda de entrada e saída.

Exercício

3.28 Para o circuito retificador de onda completa na Figura 3.38(a), desprezando o efeito de r_D, mostre que: (a) a saída é zero para um ângulo de 2 sen^{-1} (V_{D0}/V_s) centralizado em torno do ponto de cruzamento por zero da senóide de entrada. (b) O valor médio (componente *cc*) de v_O é $V_O = (2/\pi)V_s - V_{D0}$. (c) A corrente de pico de cada diodo é $(V_s - V_{D0})/R$. Calcule a fração (em porcentagem) de cada ciclo durante a qual $v_O > 0$, o valor de V_O, a corrente de pico do diodo e o valor da PIV, para o caso em que v_S é de 12 V (rms) senoidal, $V_{D0} \simeq 0{,}7$ V e $R = 100\ \Omega$.

Resposta 97,4%; 10,1 V; 163 mA; 33,2 V

O Retificador em Ponte

Uma implementação alternativa para o retificador de onda completa está mostrada na Figura 3.39(a). O circuito, conhecido como retificador em ponte devido à similaridade com a configuração da ponte de Wheatstone, não exige o transformador com tomada central, uma vantagem considerável sobre o regulador de onda completa da Figura 3.38. O retificador em ponte, contudo, requer quatro diodos em comparação com os dois do circuito anterior. Essa desvantagem não é grande, os diodos apresentam custo menor e ainda podemos comprar uma ponte de diodos em um único encapsulamento.

O circuito retificador em ponte opera do seguinte modo: durante os semiciclos positivos da tensão de entrada, v_S é positiva e a corrente é conduzida pelo diodo D_1, resistor R e diodo D_2. Enquanto isso, os diodos D_3 e D_4 estarão reversamente polarizados. Observe que há dois diodos em série no caminho da condução e, portanto, v_O será duas quedas de tensão menor do que v_S (comparado a uma queda apenas no circuito discutido anteriormente). Isso é de certa forma uma desvantagem do circuito em ponte.

A seguir, considere a situação durante os semiciclos negativos da tensão de entrada. A tensão v_S no secundário será negativa e, portanto, $-v_S$ será positiva, forçando a corrente a circular por D_3, R e D_4. Enquanto isso, os diodos D_1 e D_2 estarão reversamente polarizados.

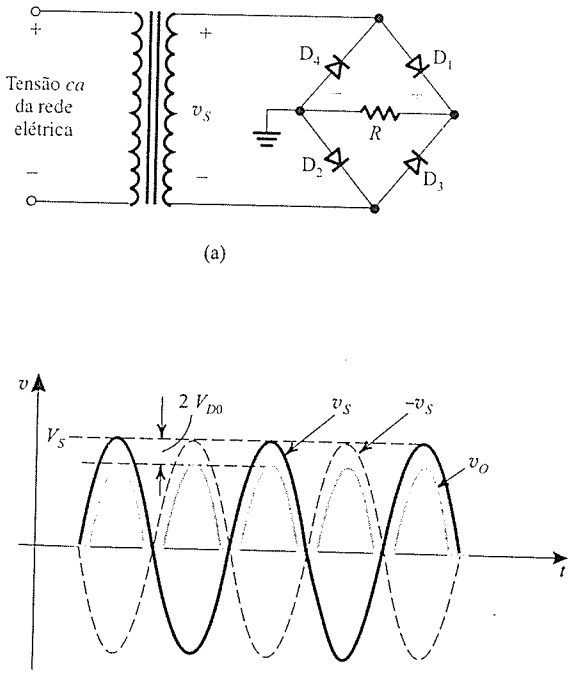


Figura 3.39 O retificador em ponte; **(a)** circuito e **(b)** formas de onda de entrada e de saída.

O ponto principal a ser observado, porém, é que durante ambos os semiciclos a corrente circula por R no mesmo sentido (da direita para a esquerda) e então v_O será sempre positiva, conforme indicado na Figura 3.39(b).

Para determinar a tensão de pico inversa (PIV) de cada diodo, considere o circuito durante os semiciclos positivos. A tensão reversa sobre o diodo D_3 pode ser determinada pela malha formada por D_3, R e D_2 como

$$v_{D3}(\text{reverso}) = v_O + v_{D2}(\text{direto})$$

Logo, o valor máximo de v_{D3} ocorre no pico de v_O e é dado por

$$\text{PIV} = V_s - 2V_{D0} + V_{D0} = V_s - V_{D0}$$

Observe que aqui a PIV está próxima da metade do valor do retificador de onda completa com transformador de tomada central. Essa é outra vantagem do retificador em ponte.

Uma outra vantagem do circuito retificador em ponte sobre a utilização do transformador com tomada central é que se reduz o número de espiras do secundário do transformador pela metade. Uma outra forma de ver esse ponto é que, no caso do enrolamento de secundário com tomada central, somente metade do enrolamento é utilizado a cada semiciclo, ou seja, essa metade é utilizada apenas metade do tempo. Concluindo, o retificador em ponte é a configuração mais popular para o circuito retificador.

Exercício

3.29 Para o circuito retificador em ponte da Figura 3.39(a), use o modelo de queda de tensão constante para o diodo para mostrar o seguinte: (a) Que o valor médio da tensão de saída (ou componente *cc*) é $V_O \simeq (2/\pi)V_S - 2V_{D0}$. (b) Que a corrente de pico no diodo é $(V_s - 2V_{D0})/R$. Calcule os valores numéricos das grandezas em (a) e (b) e a PIV para o caso em que v_S é 12 V (rms) senoidal, $V_{D0} \simeq 0{,}7$ V e $R = 100\ \Omega$.

Resposta 9,4 V; 156 mA; 16,3 V

O Retificador com Capacitor de Filtro – O Retificador de Pico

A natureza pulsante da tensão de saída produzida pelos circuitos retificadores discutidos anteriormente torna-os inadequados como fontes de alimentação *cc* para circuitos eletrônicos. Uma forma simples de reduzir a variação da tensão de saída é conectar um capacitor em paralelo com o resistor de carga. Será mostrado que esse **capacitor de filtro** serve para reduzir substancialmente as variações nas tensões de saída.

Para ver como o circuito retificador com capacitor de filtro trabalha, consideremos primeiro o circuito simples mostrado na Figura 3.40. Usemos uma entrada v_I senoidal com um valor de pico V_p e suponhamos um diodo ideal. Quando v_I se torna positivo, o diodo conduz e o capacitor é carregado de modo que $v_O = v_I$. Essa situação continua até que v_I atinja seu valor de pico V_p. Além desse valor de pico, como v_I diminui, o diodo fica reversamente polarizado e a tensão de saída permanece constante com o valor de V_p. Na verdade, em termos teóricos, a tensão no capacitor reterá sua carga indefinidamente e, portanto, sua tensão, visto que não há caminho para sua descarga. Portanto, o circuito produz uma tensão *cc* igual ao valor de pico da senóide de entrada. Essa é uma situação muito animadora, tendo em vista nosso desejo de produzir uma tensão de saída *cc*.

Consideremos a seguir uma situação mais prática na qual uma resistência de carga R é conectada em paralelo com o capacitor C, como mostrado na Figura 3.41(a).

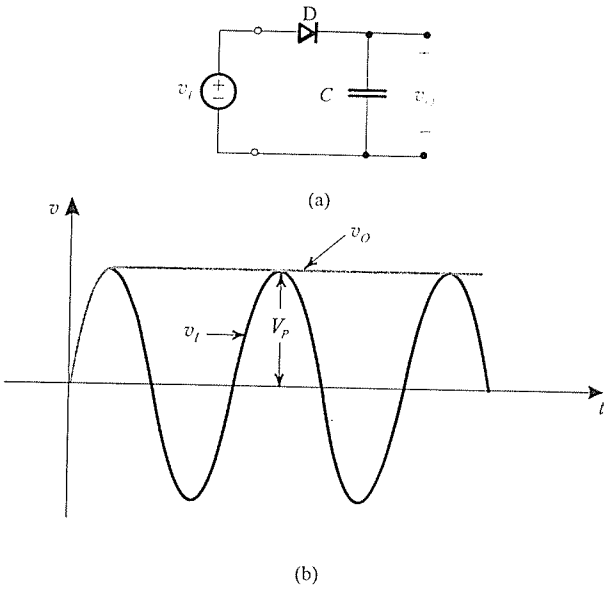


Figura 3.40 (a) Um circuito simples para ilustrar o efeito de um capacitor de filtro. (b) Formas de onda de entrada e de saída supondo um diodo ideal. Observe que o circuito gera uma tensão *cc* igual ao valor de pico da tensão de entrada senoidal. O circuito é, portanto, conhecido como um retificador de pico ou detetor de pico.

Porém, continuaremos supondo o diodo ideal. Como antes, para uma entrada senoidal, o capacitor carrega até o valor de pico V_p. Então, o diodo corta e o capacitor descarrega através da resistência de carga R. A descarga do capacitor continuará por quase todo o ciclo, até o instante em que v_I exceda o valor da tensão no capacitor. Então, o diodo conduz novamente, carrega o capacitor até o valor de pico de v_I e o processo se repete. Observe que, para manter a tensão de saída, sem que esta diminua significativamente durante a descarga do capacitor, escolhemos o valor de C de modo que a constante de tempo CR seja muito maior do que o intervalo de tempo de descarga.

Agora estamos prontos para analisar o circuito em detalhes. A Figura 3.41(b) mostra o estado estável (regime permanente) das formas de onda de entrada e saída pela suposição de que $CR >> T$, em que T é o período da senóide de entrada. As formas de onda da corrente na carga

$$i_L = v_O/R \tag{3.65}$$

e da corrente no diodo (quando em condução)

$$i_D = i_C + i_L \tag{3.66}$$

$$= C\frac{dv_I}{dt} + i_L \tag{3.67}$$

são mostradas na Figura 3.41(c).

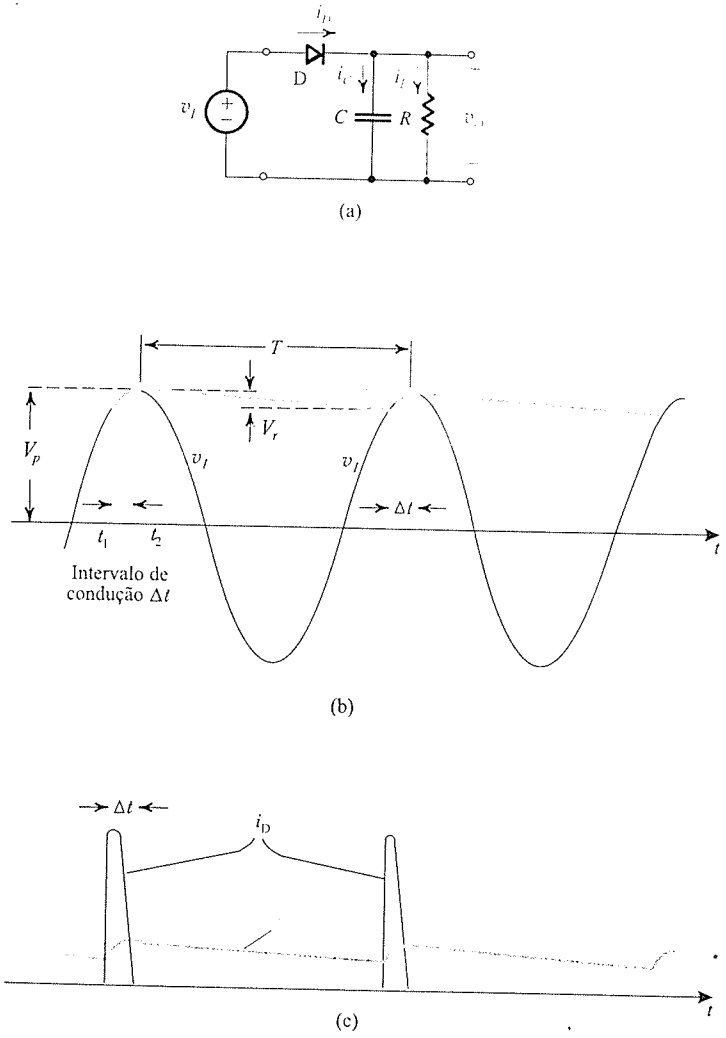


Figura 3.41 Formas de onda da tensão e da corrente em um circuito retificador de pico com $CR >> T$. O diodo é suposto como ideal.

As observações estão na seguinte ordem:

1. O diodo conduz por um breve intervalo, Δt, próximo do pico da senóide de entrada e alimenta o capacitor com carga igual à perdida durante o longo intervalo de descarga. Este último intervalo é aproximadamente igual ao período T.
2. Supondo um diodo ideal, ele começa a conduzir no instante t_1, no qual a entrada v_I se iguala ao valor da queda exponencial da saída v_O. A condução cessa em t_2 imediatamente após o pico de v_I; o valor exato de t_2 pode ser determinado fazendo $i_D = 0$ na Equação 3.67.
3. Durante o intervalo de corte do diodo, o capacitor C descarrega através de R e então v_O cai exponencialmente com uma constante de tempo CR. O intervalo de descarga começa próximo do pico de v_I. Ao final do intervalo de descarga, o qual dura quase todo o período T, $v_O = V_p - V_r$, em que V_r é a tensão pico a pico da ondulação. Quando $CR >> T$, o valor de V_r é pequeno.
4. Quando V_r é pequeno, v_O é quase constante e igual ao valor de pico de v_I. Então, a tensão de saída *cc* é aproximadamente igual V_p. De modo similar, a corrente i_L é quase constante e sua componente *cc* I_L é dada por

$$I_L = \frac{V_p}{R} \tag{3.68}$$

Uma expressão mais precisa para a tensão *cc* de saída pode ser obtida tomando-se a média dos valores extremos de v_O,

$$V_O = V_p - \frac{1}{2}V_r \tag{3.69}$$

Com essas observações em mãos, deduzimos agora as expressões para V_r, para a média e para o valor de pico da corrente no diodo. Durante o intervalo de corte do diodo, v_O pode ser expressa como

$$v_O = V_p e^{-t/CR}$$

Ao final do intervalo de descarga temos

$$V_p - V_r \simeq V_p e^{-T/CR}$$

Agora, visto que $CR >> T$, podemos usar a aproximação $e^{-T/CR} \cong 1 - T/CR$ para obter

$$V_r \simeq V_p \frac{T}{CR} \tag{3.70}$$

Observamos que, para manter V_r pequeno, devemos escolher C, de modo que $CR >> T$. A tensão de ondulação V_r na Equação 3.70 pode ser expressa em termos da freqüência $f = 1/T$ como

$$V_r = \frac{V_p}{fCR} \tag{3.71}$$

Observe que uma interpretação alternativa da aproximação feita anteriormente é que o capacitor descarrega por meio da corrente constante $I_L = V_p/R$. Essa aproximação é válida enquanto $V_r << V_p$.

Usando a Figura 3.41(b) e supondo que a condução do diodo cessa praticamente no pico de v_I, podemos determinar o intervalo de condução Δt a partir de

$$V_p \cos(\omega\Delta t) = V_p - V_r$$

em que $\omega = 2\pi f = 2\pi/T$ é a freqüência angular de v_I. Visto que $(\omega\Delta t)$ é um ângulo pequeno, podemos usar a aproximação $\cos(\omega\Delta t) \simeq 1 - 1/2(\omega\Delta t)^2$ para obter

$$\omega\Delta t \simeq \sqrt{2V_r/V_p} \tag{3.72}$$

Observamos que, quando $V_r << V_p$, o ângulo de condução $\omega\Delta t$ é pequeno, conforme suposto.

Para determinar a corrente média no diodo durante a condução, $i_{D\text{méd}}$, igualamos a carga que o diodo fornece ao capacitor,

$$Q_{\text{fornecido}} = i_{C\text{méd}}\Delta t$$

à carga que o capacitor perde durante o intervalo de descarga,

$$Q_{\text{perdido}} = CV_r$$

para obter

$$i_{D\text{méd}} = I_L(1 + \pi\sqrt{2V_p/V_r}) \tag{3.73}$$

Na dedução dessa expressão fizemos uso da Equação 3.66 e assumimos que $i_{L\text{méd}}$ é dada pela Equação 3.68. Usamos também as Equações 3.71 e 3.72. Observe que, quando $V_r << V_p$, a corrente média do diodo na condução é muito maior do que a corrente *cc* na carga. Isso não surpreende, visto que o diodo conduz por um intervalo de tempo muito pequeno e deve repor a carga perdida pelo capacitor durante o longo intervalo no qual ele é descarregado por I_L.

O valor de pico na corrente do diodo, $i_{D\text{máx}}$, pode ser determinado a partir da expressão na Equação 3.67 na condução do diodo, isto é, em $t = t_1 = -\Delta t$ (em que $t = 0$ é o pico). Supondo que i_L é quase constante no valor dado pela Equação 3.68, obtemos

$$i_{D\text{máx}} = I_L(1 + 2\pi\sqrt{2V_p/V_r}) \tag{3.74}$$

Pelas Equações 3.73 e 3.74 vemos que, para $V_r << V_p$, $i_{D\text{máx}} \cong 2i_{D\text{méd}}$, que corresponde ao fato de que a forma de onda de i_D é quase um triângulo reto (veja a Figura 3.41c).

EXEMPLO 3.10

Considere um retificador de pico alimentado por uma senóide de 60 Hz tendo um valor de pico de $V_p = 100$ V. Suponha uma resistência de carga $R = 10$ kΩ. Calcule o valor da capacitância C que resultará em uma ondulação de pico a pico de 2 V. Calcule também a fração do ciclo durante a qual o diodo conduz, além do valor médio e de pico da corrente no diodo.

SOLUÇÃO

Pela Equação 3.71 obtemos o valor de C como

$$C = \frac{V_p}{V_r f R} = \frac{100}{2 \times 60 \times 10 \times 10^3} = 83{,}3\ \mu\text{F}$$

O ângulo de condução $\omega\Delta t$ é obtido pela Equação 3.72 como

$$\omega\Delta t = \sqrt{2 \times 2/100} = 0{,}2 \text{ rad}$$

Logo, o diodo conduz por $(0{,}2/2\pi) \times 100 = 3{,}18\%$ do ciclo. A corrente média no diodo é obtida pela Equação 3.73, em que $I_L = 100/10 = 10$ mA,

$$i_{D\text{méd}} = 10(1 + \pi\sqrt{2 \times 100/2}) = 324 \text{ mA}$$

A corrente de pico no diodo é encontrada usando a Equação 3.74,

$$i_{D\text{máx}} = 10(1 + 2\pi\sqrt{2 \times 100/2}) = 638 \text{ mA}$$

O circuito da Figura 3.41(a) é conhecido como um **retificador de pico** de meia onda. Os circuitos da Figura 3.38(a) e 3.39(a) podem ser convertidos para retificadores de pico incluindo-se um capacitor em paralelo com o resistor de carga. Assim, como no caso de meia onda, a tensão *cc* na saída será quase igual ao valor de pico da entrada senoidal (veja a Figura 3.42). A freqüência da ondulação, contudo, será o dobro daquela da entrada. A tensão pico a pico da ondulação, para esse caso, pode ser deduzida usando-se um procedimento idêntico ao anterior, porém com o período de descarga T substituído por $T/2$, o que resulta em

$$V_r = \frac{V_p}{2fCR} \tag{3.75}$$

Enquanto o intervalo de condução, Δt, ainda será dado pela Equação 3.72, as correntes média e de pico em cada diodo serão dadas por

$$i_{D\text{méd}} = I_L(1 + \pi\sqrt{V_p/2V_r}) \tag{3.76}$$

$$i_{D\text{máx}} = I_L(1 + 2\pi\sqrt{V_p/2V_r}) \tag{3.77}$$

Comparando essas expressões às correspondentes para o caso de meia onda, observamos que, para os mesmos valores de V_p, f, R e V_r (e, portanto, a mesma I_L), necessitamos de um capacitor com a metade do valor em relação ao do retificador de meia onda. Observamos também que a corrente em cada diodo no retificador de onda completa é aproximadamente a metade da que circula no diodo do circuito de meia onda.

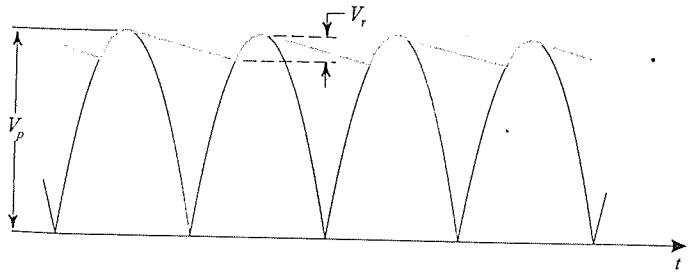


Figura 3.42 Formas de onda no retificador de pico de onda completa.

A análise anterior supunha os diodos ideais. A precisão dos resultados pode ser melhorada levando em consideração a queda de tensão do diodo. Isso pode ser feito facilmente substituindo-se o valor de pico da tensão V_p, para a qual o capacitor carrega, por $(V_p - V_{D0})$ para o circuito de meia onda e para o circuito de onda completa, usando o transformador com tomada central, e por $(V_p - 2V_{D0})$ para o caso do retificador em ponte.

Concluímos esta seção observando que os circuitos retificadores de pico encontram aplicação nos sistemas de processamento de sinal em que é necessário detectar o pico de um sinal de entrada. Neste caso, o circuito é referido como um **detector de pico**. Uma aplicação particularmente popular do detector de pico é no projeto de um demodulador para sinais de amplitude modulada (AM). Não discutiremos essa aplicação aqui.

Exercício

P3.30 Considere um circuito retificador em ponte com um capacitor de filtro C ligado em paralelo com o resistor de carga R, para o caso em que o secundário do transformador fornece uma senóide de 12 V (rms), tendo uma freqüência de 60 Hz e supondo $V_{D0} = 0{,}8$ V e uma resistência de carga $R = 100\ \Omega$. Calcule o valor de C que resulta em uma tensão de ondulação máxima de 1 V pico a pico. Qual a tensão *cc* na saída? Calcule a corrente na carga. Encontre o ângulo de condução do diodo. Qual a corrente média no diodo? Qual a tensão de pico inversa em cada diodo? Especifique o diodo em termos de sua corrente de pico e de sua PIV.

Resposta 1281 μF; 15,4 V ou (em uma melhor aproximação) 14,9 V; 0,15 A; 0,36 rad (20,7°); 1,45 A; 2,72 A; 16,2 V. Logo, escolha um diodo com corrente de pico de 3,5 a 4 A e de 20 V de PIV nominal.

3.8 CIRCUITOS LIMITADORES E GRAMPEADORES

Nesta seção apresentaremos aplicações adicionais não-lineares de circuitos com diodos.

Circuitos Limitadores

A Figura 3.43 mostra a característica de transferência geral de um circuito limitador. Conforme indicado, para entradas em uma certa faixa, $L_-/K \le v_I \le L_+/K$, o limitador age como um circuito linear, fazendo com que a saída seja proporcional à entrada, $v_O = Kv_I$. Embora K, em geral, possa ser maior do que 1, os circuitos discutidos nesta seção têm $K \le 1$ e são conhecidos como limitadores passivos. (Exemplos de limitadores ativos serão apresentados no Capítulo 12.) Se v_I exceder o *limiar* superior (L_+/K), a tensão na saída será *limitada* ou grampeada no nível do limite superior L_+. Por outro lado, se v_I for reduzido a um valor abaixo do limiar inferior de (L_-/K), a tensão de saída v_O será limitada a seu nível mais baixo L_-.

A característica de transferência geral da Figura 3.43 descreve um **limitador duplo**, isto é, um limitador que trabalha sobre ambos os picos, positivo e negativo, da forma de onda de entrada. É claro que existem os **limitadores simples**. Finalmente, observe que, se uma forma de onda de entrada como a mostrada na Figura 3.44 alimentar um limitador duplo, seus dois picos serão *ceifados*. Portanto, limitadores são às vezes referidos como **ceifadores**.

O limitador cujas características estão representadas na Figura 3.43 é descrito como um **limitador rígido** (*hard limiter*). O **limitador suave** (*soft limiter*) é caracterizado pela transição

suave entre a região linear e a região de saturação e uma inclinação maior do que zero na região de saturação, conforme ilustrado na Figura 3.45. Dependendo da aplicação, um dos dois limitadores, rígido ou suave, é o mais adequado.

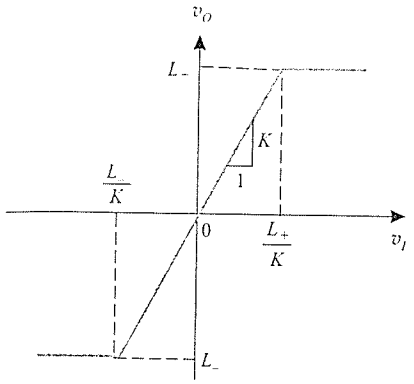


Figura 3.43 Característica de transferência genérica para um circuito limitador.

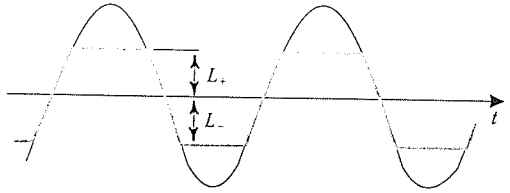


Figura 3.44 Aplicação de uma senóide em um limitador pode resultar no ceifamento de seus dois picos.

Os limitadores têm uma variedade de aplicações em sistemas de processamento de sinais. Uma de suas aplicações mais simples é na limitação de tensão entre os dois terminais de entrada de um amp op a um valor abaixo da tensão de ruptura dos transistores que fazem parte do estágio de entrada de seu circuito. Teremos mais a dizer sobre isso e sobre outras aplicações de limitadores mais adiante neste livro.

Os diodos podem ser combinados com resistores para proporcionar uma implementação simples da função limitadora. Alguns exemplos estão representados na Figura 3.46. Em cada parte da figura foram dados o circuito e sua característica de transferência. As características de transferência foram obtidas usando o modelo de circuito com queda de tensão constante do diodo ($V_D = 0{,}7$ V), mas supomos a transição suave entre as regiões linear e de saturação das características de transferências. Melhores aproximações das características de transferência podem ser obtidas usando o modelo de segmentos lineares do diodo. Se isso for feito, a região de saturação das características terá uma ligeira inclinação (devido ao efeito de r_D).

O circuito na Figura 3.46(a) é o mesmo do retificador de meia onda, exceto que, nesse caso, a saída é tomada em paralelo com o diodo. Para $v_I < 0{,}5$ V, o diodo está em corte, não há corrente e a queda de tensão em R é zero; logo $v_O = v_I$.

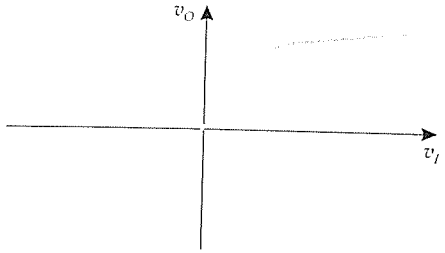


Figura 3.45 Limitador suave.

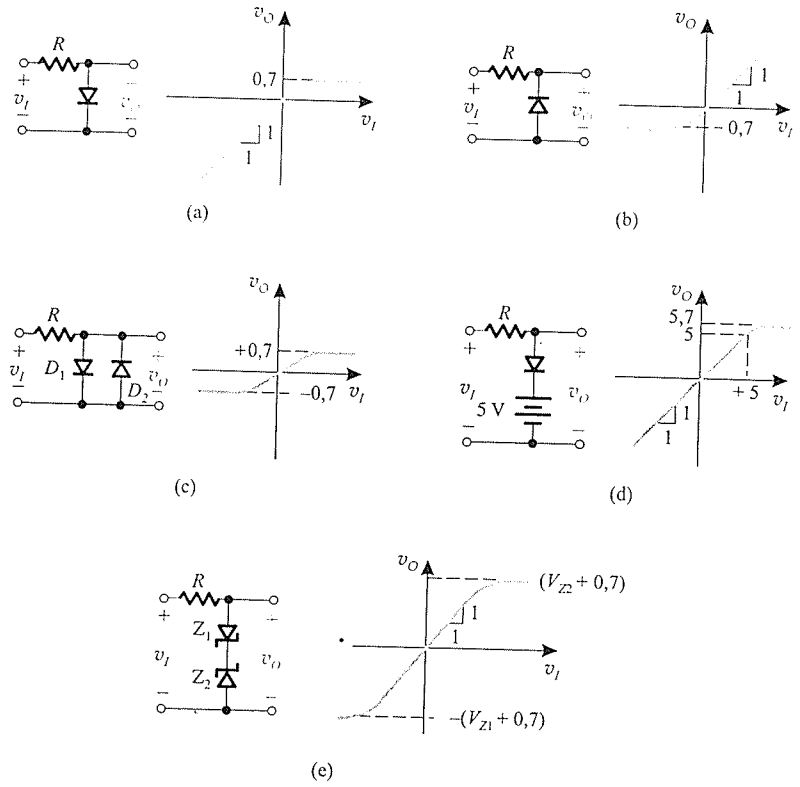


Figura 3.46 Uma variedade de circuitos limitadores básicos.

Quando v_I excede 0,5 V, o diodo entra em condução, limitando eventualmente v_O ao valor da queda de um diodo (0,7 V). O circuito da Figura 3.46(b) é similar ao anterior, exceto que o diodo está invertido.

O limitador duplo pode ser implementado colocando-se dois diodos com polaridades opostas em paralelo, conforme mostrado na Figura 3.46(c). Nessa figura, a região linear da característica é obtida para $-0.5\ V \leq v_I \leq 0,5\ V$. Para essa faixa de v_I, os dois diodos estão cortados e $v_O = v_I$. Quando v_I excede 0,5 V, D_1 conduz e limita definitivamente v_O em +0.7 V. De modo similar, quando v_I se torna mais negativo do que –0.5 V, D_2 conduz e limita definitivamente v_O em –0,7 V.

Os níveis de limiar e de saturação dos diodos limitadores podem ser controlados usando uma série de diodos e/ou pela conexão de uma fonte *cc* em série com o(s) diodo(s). Essa última idéia é mostrada na Figura 3.46(d). Finalmente, em vez de usar uma série de diodos retificadores, podemos usar diodos zener em série, conforme mostrado na Figura 3.46(e). Nesse circuito, o limite ocorre no sentido positivo da tensão de $(V_{Z2} + 0,7)$, em que 0,7 V representa a queda de tensão direta do diodo zener Z_1 quando está conduzindo no sentido *direto*. Para entradas negativas, Z_1 age como um zener, enquanto Z_2 conduz no sentido direto. Deve ser mencionado que o par de diodos conectados em série é comercialmente encontrado para aplicações desse tipo com o nome de **zener de duplo anodo**.

Circuitos limitadores mais flexíveis são possíveis se combinarmos um amp op com diodos e resistores. Exemplos de tais circuitos serão discutidos no Capítulo 12.

Exercício

3.31 Supondo diodos ideais, descreva a característica de transferência do circuito mostrado na Figura E3.31.

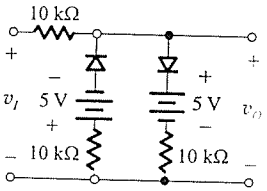


Figura E3.31

Resposta $v_O = v_I$ para $-5 \leq v_I \leq +5$

$v_O = \frac{1}{2} v_I - 2,5$ para $v_I \leq -5$

$v_O = \frac{1}{2} v_I + 2,5$ para $v_I \geq +5$

O Circuito Grampeador ou Restaurador de *cc*

Se, no circuito retificador de pico básico, a saída for tomada em paralelo com o diodo, em vez do capacitor, chega-se a um circuito interessante, com muitas aplicações. O circuito, chamado de restaurador de *cc*, é mostrado na Figura 3.47 alimentado com uma onda quadrada. Devido à polaridade à qual o diodo é conectado, o capacitor carregará com o valor de tensão v_C (veja a Figura 3.47) igual ao valor negativo do pico da tensão de entrada. Subseqüentemente, o diodo corta

e o capacitor mantém sua tensão indefinidamente. Se, por exemplo, a entrada for uma onda quadrada com um nível arbitrário de –6 V e +4 V, então v_C será igual a 6 V. Agora, visto que a tensão de saída v_O é dada por

$$v_O = v_I + v_C$$

isso implica que a forma de onda de saída será idêntica à da entrada, exceto que deslocada para cima por um valor de v_C volts. Em nosso exemplo, a saída será uma onda quadrada com níveis de 0 V e +10 V.

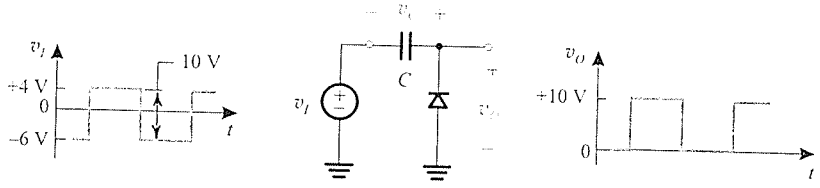


Figura 3.47 O capacitor grampeado ou restaurador de *cc* com uma onda quadrada na entrada e sem carga.

Uma outra forma de visualizar a operação do circuito na Figura 3.47 é observar que, pelo fato de o diodo estar conectado em paralelo com a saída e com a polaridade mostrada, ele evita que a tensão na saída seja menor do que 0 V (pela condução e carga do capacitor, fazendo então com que a saída seja maior que 0 V), mas essa conexão não limita a excursão positiva de v_O. A forma de onda de saída terá, portanto, seu pico mais baixo *grampeado* em 0 V, razão pela qual o circuito é chamado de **circuito grampeador**. Deve estar claro que inverter a polaridade do diodo proporcionará uma forma de onda na saída cujo pico mais alto é grampeado em 0 V. Em ambos os casos, a forma de onda na saída terá um valor médio ou componente *cc*. Essa componente *cc* não possui relação com o valor médio da forma de onda de entrada. Como aplicação, considere um sinal de pulso sendo transmitido através de um acoplamento capacitivo ou um sistema de acoplamento *ca*. O acoplamento capacitivo fará com que o trem de pulsos perca a componente *cc* original. Alimentando um circuito grampeador com a forma de onda pulsada resultante, acrescenta-se ao sinal uma componente *cc* bem determinada, em um processo conhecido como *restauração cc*. Essa é a razão de o circuito ser chamado de *restaurador cc*.

O restaurador *cc* é útil porque a componente *cc* de uma onda em forma de pulso é uma medida eficiente de seu ciclo de trabalho. O ciclo de trabalho de uma onda pulsada pode ser modulado (em um processo chamado modulação por largura de pulso) e usado para transportar informações. Em tal sistema, a detecção ou a demodulação pode ser obtida simplesmente injetando-se a onda pulsada em um restaurador *cc* e então usando um filtro passa-baixas RC simples para separar na forma de onda de saída o valor médio dos pulsos sobrepostos.

Quando uma resistência de carga R é conectada em paralelo com o diodo em um circuito grampeador, conforme mostrado na Figura 3.48, a situação muda significativamente. Enquanto a saída está acima do terra, uma corrente *cc* circula por R. Visto que nesse tempo o diodo está em corte, essa corrente, obviamente, vem do capacitor, fazendo com que o capacitor descarregue e a tensão na saída caia. Isso é mostrado na Figura 3.48 para uma onda quadrada na entrada. Durante o intervalo t_0 a t_1, a tensão na saída cai exponencialmente com uma constante de tempo CR. Em t_1, a entrada diminui de V_a volts e a saída tenta segui-la. Isso faz com que o diodo entre fortemente em condução e logo carregue o capacitor. No final do intervalo de t_1 a t_2, a tensão na saída

seria normalmente de alguns décimos de um volt negativo (digamos, –0,5 V). Portanto, como a entrada aumenta de V_a volts (em t_2), a saída acompanha e o ciclo se repete. No estado estável, a carga perdida pelo capacitor durante o intervalo de t_0 a t_1 é recuperada no intervalo de t_1 a t_2. Esse equilíbrio de cargas nos permite calcular a corrente média, assim como os detalhes da forma de onda de saída.

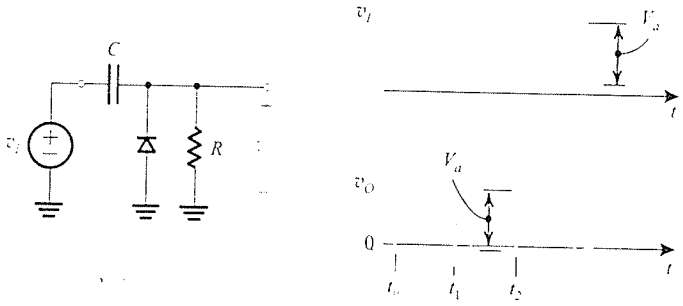


Figura 3.48 O capacitor grampeado com uma resistência de carga R.

O Dobrador de Tensão

A Figura 3.49(a) mostra um circuito composto de duas seções em cascata: um grampeador formado por C_1 e D_1 e um retificador de pico formado por C_2 e D_2. Quando excitada por uma senóide de amplitude V_p, a seção do grampeador proporciona, assumindo diodos ideais, a forma de onda de tensão mostrada na Figura 3.49(b). Observe que, enquanto os picos positivos são grampeados em 0 volts, o pico negativo atinge $-2V_p$. Em resposta a essa forma de onda, a seção do detetor de pico proporciona, através do capacitor C_2, uma tensão *cc* negativa de valor igual a $2V_p$. Devido ao fato de a tensão na saída ser o dobro da tensão de pico na entrada, o circuito é conhecido como dobrador de tensão. Essa técnica pode ser estendida para proporcionar tensões *cc* na saída, com valores múltiplos de V_p.

Exercício

3.32 Se o diodo no circuito da Figura 3.47 for invertido, qual será o valor da componente *cc* de v_O?

Resposta –5 V

3.9 TIPOS ESPECIAIS DE DIODOS[8]

Nesta seção discutiremos resumidamente alguns importantes tipos de diodos.

8. Esta seção pode ser deixada de lado sem comprometer a continuidade.

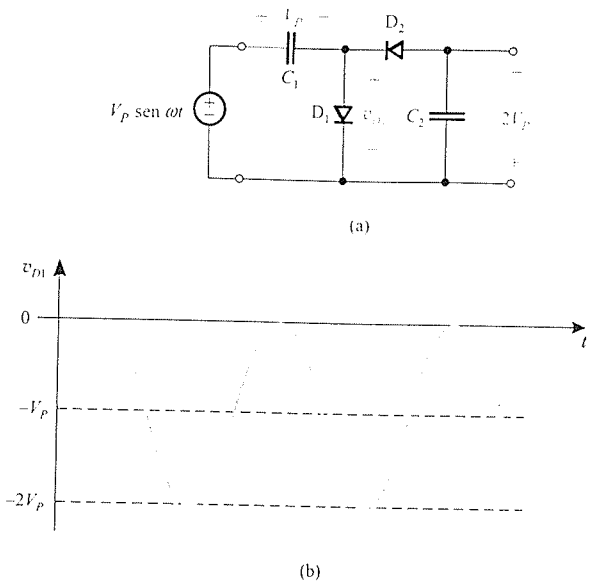


Figura 3.49 O dobrador de tensão: (a) circuito; (b) forma de onda da tensão em D_1.

O Diodo de Barreira Schottky (SBD)

O diodo de barreira Schottky (SBD) é formado colocando-se um metal em contato com um material semicondutor tipo *n* moderadamente dopado. A junção resultante comporta-se como um diodo, conduzindo corrente em uma direção (do anodo do metal para o catodo do semicondutor) e atuando como um circuito aberto na outra, sendo conhecido por diodo de barreira Schottky ou simplesmente diodo Schottky. Na realidade, a característica tensão-corrente do SBD é notoriamente similar à do diodo de junção *pn*, com duas importantes exceções:

1. No SBD, a corrente é conduzida por portadores majoritários (elétrons). Assim, o SBD não exibe os efeitos de armazenamento de carga de portadores minoritários encontrados na junção *pn* diretamente polarizada. Como resultado, os diodos Schottky podem ser comutados de ligado para desligado, e vice-versa, muito mais rapidamente do que é possível com diodo de junção *pn*.
2. A queda de tensão direta de um diodo SBD em condução é menor do que aquela em um diodo de junção *pn*. Por exemplo, um diodo SBD feito de silício exibe uma queda de tensão direta de 0,3-0,5 V, comparada à queda de 0,6-0,8 V encontrada em um diodo de silício de junção *pn*. Os diodos SBD podem também ser feitos de arseneto de gálio (GaAs) e, na verdade, representam um papel importante no projeto de circuitos de GaAs, como veremos nos Capítulos 5, 6 e 14. Diodos SBD de arseneto de gálio exibem uma queda de tensão direta de aproximadamente 0,7 V.

Neste livro, devemos encontrar diodos Schottky em duas importantes aplicações: em circuitos de GaAs, conforme já mencionado, e no projeto de formas especiais de circuitos lógicos com transistores bipolares, conhecidos como Schottky-TTL, em que TTL significa lógica transistor-transistor (Capítulo 14).

Antes de terminar o assunto de diodos Schottky, é importante notar que nem todo contato entre um metal e um semicondutor é um diodo. Na verdade, metais são normalmente depositados sobre a superfície do semicondutor para construir terminais para os dispositivos semicondutores e para integrar diversos componentes em uma pastilha (*chip*) de circuito integrado. Estes contatos entre metal e semicondutor são conhecidos por **contatos ôhmicos** de modo a distingui-los dos contatos retificadores que resultam nos SBDs. Contatos ôhmicos são usualmente feitos pela deposição de metal sobre regiões semicondutoras altamente dopadas (e portanto de baixa resistividade).

Varactores

Anteriormente, aprendemos que junções *pn* reversamente polarizadas exibem um efeito de armazenamento de cargas que é modelado pela capacitância da camada de depleção C_j. Como a Equação 3.27 indica, C_j é uma função da tensão reversa V_R. Essa dependência é útil em uma série de aplicações, como na sintonia automática de receptores de rádios. Diodos especiais são então fabricados para serem usados como capacitores de tensão variável e são conhecidos por varactores. Esses dispositivos são otimizados de modo a fazer da capacitância uma forte função da tensão, conseguida fazendo-se com que o coeficiente de graduação da junção *m* seja de 3 ou 4.

Fotodiodos

Se uma junção *pn* reversamente polarizada é iluminada, isto é, exposta à luz incidente, o impacto de fótons sobre a junção causa a quebra de ligações covalentes e, portanto, gera pares elétron–lacuna na camada de depleção. O campo elétrico na camada de depleção atrai os elétrons livres para o lado *n* e as lacunas para o lado *p*, levando a uma corrente reversa através da junção. Esta corrente, conhecida por fotocorrente, é proporcional à intensidade da luz incidente. Tal diodo, conhecido por fotodiodo, pode ser usado para converter sinais luminosos em sinais elétricos.

Fotodiodos são usualmente fabricados usando um semicondutor composto,[9] como o arseneto de gálio. O fotodiodo é um componente importante pertencente a uma família cada vez maior de circuitos conhecida por **circuitos optoeletrônicos** ou **fotônicos**. Como o nome sugere, esses circuitos utilizam uma combinação ótima entre eletrônica e óptica para processamento de sinais, armazenamento e transmissão. Usualmente, a eletrônica é o meio preferido para processamento de sinais, enquanto a óptica é mais apropriada para transmissão e armazenamento. Exemplos incluem transmissão por fibras ópticas de sinais telefônicos e de televisão e o uso de armazenamento óptico em CD-ROMs. A transmissão óptica caracteriza-se por possuir faixas muito amplas e baixa atenuação de sinal. O armazenamento óptico permite o armazenamento de enormes quantidades de dados de modo confiável em um espaço reduzido.

9. Enquanto um semicondutor elementar, como o silício, usa elementos da quarta coluna da tabela periódica, um semicondutor composto usa uma combinação de elementos das colunas III e V ou II e VI. Por exemplo, GaAs é formado de gálio (coluna III) e arsênio (coluna V) e é, portanto, conhecido como um composto III-V.

Finalmente, devemos notar que, sem polarização reversa, os fotodiodos iluminados funcionam como **células solares**. Usualmente fabricadas em silício de baixo custo, elas convertem luz em energia elétrica.

Diodos Emissores de Luz (LEDs)

O diodo emissor de luz (LED) realiza a função inversa do fotodiodo; ele converte corrente direta em luz. O leitor lembrará que, em uma junção *pn* diretamente polarizada, portadores minoritários são injetados através da junção e difundidos nas regiões *p* e *n*. Os portadores minoritários em difusão recombinam-se, então, com os portadores majoritários. Tal recombinação pode ser feita de modo a levar à emissão de luz. Isso pode ser feito pela fabricação da junção *pn* usando semicondutores que possuem a faixa proibida no modo de transição direta (*direct bandgap*). O arseneto de gálio pertence a esse grupo e pode, portanto, ser usado para fabricar diodos emissores de luz.

A luz emitida por um LED é proporcional ao número de recombinações que ocorrem, as quais são proporcionais à corrente direta no diodo.

Os LEDs são dispositivos muito populares. Eles encontram aplicação no projeto de numerosos tipos de mostradores (*displays*), incluindo aqueles de instrumentos laboratoriais como um voltímetro digital. Eles podem ser feitos para produzir luzes de diversas cores. Além disso, LEDs podem ser projetados para produzir luz coerente com um comprimento de onda bem determinado. O dispositivo resultante é um **diodo LASER**. Diodos laser encontram aplicação em sistemas de comunicação óptica e em CD players, entre outras. Combinando um LED com um fotodiodo chega-se a um dispositivo chamado **isolador óptico**. O LED converte um sinal elétrico aplicado ao isolador óptico em luz, que é detectada pelo fotodiodo e convertida novamente em um sinal elétrico na saída do isolador óptico. O uso do isolador óptico permite o total isolamento elétrico entre o circuito elétrico conectado à entrada do isolador óptico e o circuito elétrico conectado à sua saída. Essa isolação pode ser útil na redução do efeito de interferência elétrica na transmissão do sinal dentro de um sistema e, portanto, isoladores ópticos são freqüentemente empregados no projeto de sistemas digitais. Eles também podem ser usados no projeto de instrumentação médica para reduzir o risco de choque elétrico nos pacientes.

Observe que o acoplamento óptico entre um LED e um fotodiodo não precisa estar fechado dentro de um pequeno encapsulamento. Na realidade, ele pode ser implementado usando uma fibra óptica de longa distância, como feito em canais de comunicação baseados em fibra óptica.

3.10 O MODELO DO SPICE PARA DIODOS E EXEMPLOS DE SIMULAÇÃO

O uso do computador para simular a operação de circuitos eletrônicos é um passo essencial no processo de projeto de circuitos. Ele permite ao projetista verificar se o projeto atenderá às especificações quando componentes reais, cheios de imperfeições, forem usados. Ele também fornece meios para uma melhor apreciação da operação do circuito e assim permite ao projetista ajustar o projeto de forma refinada. Devemos, entretanto, enfatizar que a simulação computadorizada não substitui a plena compreensão da operação do circuito, devendo portanto ser utilizada apenas em um estágio avançado do processo de projeto e, certamente, somente após ter sido feito um projeto com papel e lápis.

Dentre os vários programas de simulação de circuitos disponíveis, o SPICE é sem dúvida o mais amplamente usado. O SPICE (*simulation program with integrated circuit emphasis*) foi desenvolvido na Universidade da Califórnia, Berkeley, no início dos anos 70 e atualmente está

disponível em um grande número de empresas comerciais. Uma breve introdução ao SPICE é dada no Apêndice C. Não é nosso objetivo aqui ensinar ao leitor a usar o SPICE; em vez disso são nossos objetivos: descrever o modelo que o SPICE usa para o diodo e ilustrar o uso do SPICE em problemas típicos de projeto.

O Modelo do Diodo

A qualidade dos resultados da simulação que são passados para o projetista são uma função direta da qualidade dos modelos empregados para descrever os dispositivos. Quanto mais detalhado é o modelo na representação das diversas características do dispositivo, mais próximos os resultados da simulação estão da descrição da operação do circuito real. Em outras palavras, de modo a ser capaz de observar os efeitos das diversas imperfeições na operação do dispositivo sobre o desempenho do circuito, essas imperfeições devem ser incluídas no modelo do dispositivo usado pelo simulador de circuitos. Esses comentários sobre modelamento de dispositivos naturalmente se aplicam a quaisquer dispositivos e não apenas aos diodos.

O SPICE inclui um modelo interno para o diodo. O modelo é o de grandes sinais e é mostrado na Figura 3.50. O comportamento estático é modelado pela relação exponencial *i–v*, e o comportamento dinâmico é representado pelo capacitor não-linear C_D. Este último é uma soma da capacitância de difusão C_d (que é proporcional à corrente do diodo i_D) e da capacitância de junção C_j. A resistência em série R_S representa a resistência das regiões *p* e *n* de ambos os lados da junção; R_S é uma resistência parasitária cujo valor ideal é zero e está tipicamente na faixa de poucos ohms a poucas dezenas de ohms. Para análise de pequenos sinais, o SPICE usa a resistência incremental do diodo, r_d, e os valores incrementais de C_d e C_j.

A Tabela 3.3 fornece uma lista dos parâmetros de modelo de diodo usados pelo SPICE, todos aqueles que devem ser familiares ao leitor. Também listados estão os valores-padrão ("default") para esses parâmetros; esses são os valores usados pelo SPICE na ausência de um valor especificado pelo usuário para um parâmetro em particular.

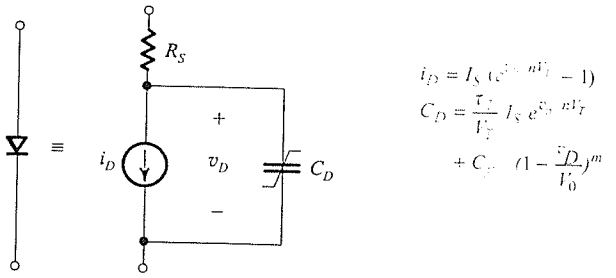


Figura 3.50 O modelo do diodo do SPICE. Observe o símbolo usado no circuito para descrever a não-linearidade do capacitor C_D.

Tabela 3.3 Parâmetros do modelo SPICE para o diodo.

Nome do parâmetro	Símbolo	Nome no SPICE	Unidades	Valor-padrão
Corrente de saturação	I_S	IS	A	1×10^{-14}
Coeficiente de emissão	n	N	—	1
Resistência ôhmica	R_S	RS	Ω	0
Tensão interna	V_0	VJ	V	1
Capacitância de junção para polarização zero	C_{j0}	CJ0	F	0
Coeficiente de graduação da junção	m	M	—	0,5
Tempo de trânsito	τ_T	TT	s	0
Tensão de ruptura	V_{ZK}	BV	V	∞
Corrente reversa em V_{ZK}	I_{ZK}	IBV	A	1×10^{-10}

Ter um bom modelo para o dispositivo resolve apenas metade do problema de modelamento; a outra metade é determinar valores apropriados para os parâmetros do modelo. Isso não é de forma alguma uma tarefa fácil. Os valores dos parâmetros do modelo são determinados usando uma combinação da caracterização do processo de fabricação do dispositivo e de medidas específicas executadas sobre dispositivos reais. Fabricantes de semicondutores empregam enormes quantias de dinheiro e esforços para determinar os parâmetros dos modelos de seus dispositivos. Felizmente, atualmente, os parâmetros do modelo SPICE para muitos dos dispositivos disponíveis comercialmente são também encontrados nas versões comerciais do SPICE.

Antes de deixar o modelo do diodo, devemos mencionar que ele não descreve bem a operação do diodo na região de ruptura; isto é, ele não oferece um modelo satisfatório para o diodo zener. No entanto, o usuário do SPICE pode empregar o modelo mostrado na Figura 3.51 para o zener pela definição do zener como um subcircuito (veja o Apêndice C). Aqui, D_1 é o modelo de um diodo ideal que pode ser implementado no SPICE usando um valor bem pequeno para n (digamos $n = 0{,}01$) e D_2 é o modelo de um diodo regular para a região direta do zener (para a maioria das aplicações os parâmetros de D_2 têm pouca importância).

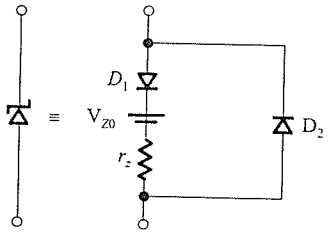


Figura 3.51 Modelo para o diodo Zener. Esse modelo pode ser usado no SPICE definindo-se o Zener como um subcircuito. O Diodo D_1 é ideal e pode ser aproximado no SPICE fazendo-se $n = 0{,}01$.

EXEMPLO 3.11: PROJETO DE UMA FONTE REGULADA

Deseja-se projetar uma fonte regulada usando o circuito da Figura 3.52. Este circuito deve ser familiar ao leitor. O único componente que talvez possa confundir é o resistor de 100 MΩ entre o enrolamento secundário do transformador e o terra. Esse resistor é incluído para fornecer continuidade *cc* e, portanto, "manter o SPICE feliz"; ele tem pouca influência na operação do circuito.

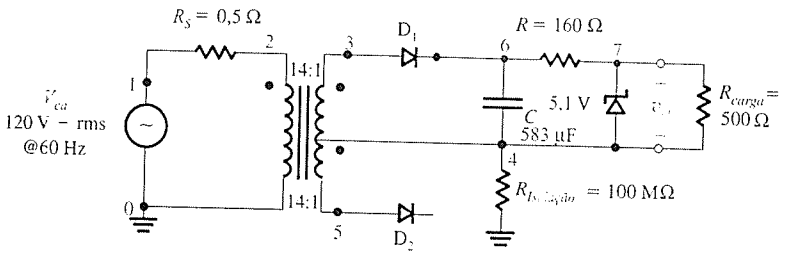


Figura 3.52 Uma fonte regulada de 5 V.

SOLUÇÃO

Suponha que é necessário que esta fonte seja capaz de fornecer uma tensão nominal de 5 V e seja capaz de suprir uma corrente de 25 mA (isto é, R_L pode ser tão pequena quanto 200 Ω). Assuma a disponibilidade de diodos zener de 5,1 V tendo $r_z = 10\ \Omega$ a $I_Z = 20$ mA (e portanto $V_{Z0} = 4{,}9$ V), e que a mínima corrente através do zener deva ser de pelo menos 5 mA.

Um primeiro projeto aproximado pode ser obtido como segue: a fonte de 120 V (rms) é reduzida para fornecer uma senóide de 12 V de pico no enrolamento secundário usando uma relação de redução de 14:1 em um secundário com terminal central. A escolha de 12 V é um compromisso razoavelmente adequado entre a necessidade de ter uma tensão suficiente (acima de 5 V) para operar o retificador e o regulador, enquanto mantém o PIV dos diodos relativamente baixo.

Para determinar um valor para R, usamos a Equação 3.62. Uma estimativa para $V_{Smín}$ é obtida subtraindo-se a queda no diodo (digamos, 0,8 V) de 12 V e permitindo uma tensão de ondulação (*ripple*) sobre o capacitor de, digamos, 1 V; então, $V_{Smín} = 10{,}2$ V. Notamos que $I_{Lmáx} = 25$ mA, $I_{Zmín} = 5$ mA, $V_{Z0} = 4.9$ V e $r_z = 10\ \Omega$. O resultado é $R = 166\ \Omega$. Usaremos $R = 160\ \Omega$.

A seguir determinamos C usando uma rede[illegible]nição da Equação 3.75 com V_p/R substituído pela corrente através do resistor de 160 Ω [illegible]sa corrente pode ser estimada notando que a tensão através de C varia de 10,2 a 11,2 [illegible]ssuindo então uma média de 10,7 V, e que a tensão através do zener é de aproximadam[illegible]e 5,1 V. O resultado é $C = 291{,}5$ μF. Usando um fator de segurança de 2, obtemos em [illegible] projeto conservador $C = 583$ μF.

Agora, com um projeto aproximado em mãos, podemos seguir com a simulação SPICE. Para o diodo zener, usamos o modelo da Figura 3.51 e assumimos (arbitrariamente) que D_2 é um diodo de 1 mA com inclinação de 0,1 V/década. Para os diodos retificadores, usamos os parâmetros do modelo para o diodo 1N4148 disponível comercialmente; especificamente, $I_S = 0{,}1$ pA, $R_S = 16\ \Omega$; $C_{j0} = 2$ pF, $\tau_T = 12$ ns, $BV = 100$ V e $IBV = 0{,}1$ pA. Solicitamos ao SPICE para realizar a análise transiente e apresentar as formas de onda tanto da tensão no capacitor quanto na saída para vários valores de R_L (500 Ω, 250 Ω, 200 Ω e 150 Ω). A listagem do arquivo de entrada do SPICE é fornecida no Apêndice D. (O leitor deve notar como o transformador é descrito.)

Os resultados da simulação são apresentados nas Figuras 3.53 e 3.54. A Figura 3.53 mostra v_C e v_O para $R_L = 500\ \Omega$ ($I_L = 10$ mA). Observe que v_C possui um valor médio de 9,5 V e uma ondulação de ± 0,25 V. Então $V_r = 0{,}5$ V, o valor que deveríamos esperar para o capacitor C usado.

O valor médio de 9,5 V é menor que o esperado, talvez devido à resistência em série relativamente alta dos diodos ($R_S = 16\ \Omega$). A tensão de saída é muito próxima à requerida de 5 V. Usando a facilidade "Probe" do PSPICE (ou facilidades equivalentes oferecidas em outras versões comercialmente disponíveis), vemos que v_O varia entre 5,065 e 5,080 V para uma ondulação de apenas 15 mV. A variação de v_O com I_L é ilustrada na Figura 3.54. Vemos que v_O permanece próxima ao valor nominal de 5 V para R_L tão baixo quanto 200 Ω ($I_L = 25$ mA).

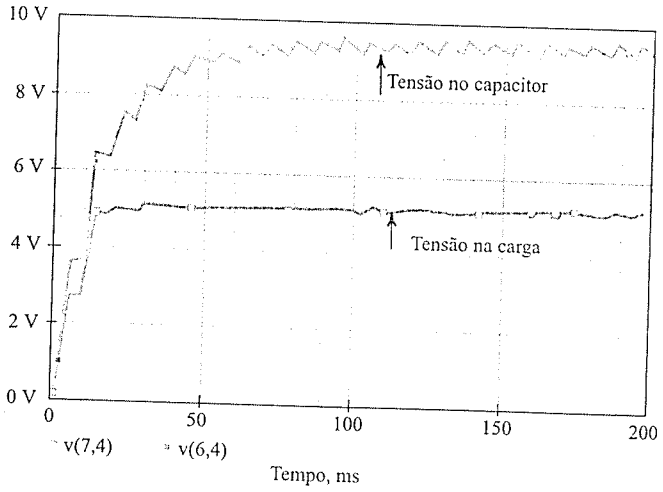


Figura 3.53 A tensão no capacitor de atenuação C, pertencente ao retificador de pico, e a tensão de saída na resistência de carga de 500 Ω.

Para $R_L = 150\ \Omega$ (requerendo $I_L = 33{,}3$ mA, maior que o máximo projetado), temos uma queda significativa em v_O (para aproximadamente 4,5 V), bem como um grande aumento na tensão de ondulação. Isso se deve ao fato de o zener não estar mais operacional; o zener está de fato em corte.

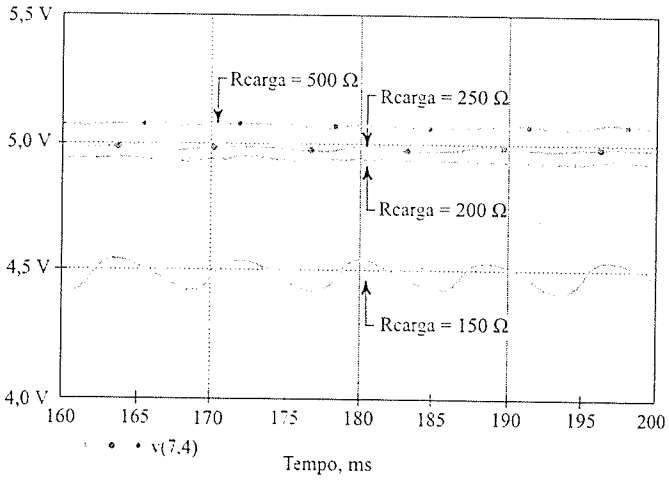


Figura 3.54 A forma de onda da tensão de saída a partir da fonte de tensão de 5 V para uma resistência de carga de 150, 200, 250 e 500 Ω. A regulação da tensão é perdida para uma resistência de carga de 150 Ω.

Concluímos que o projeto atende à especificação, e podemos parar por aqui. Alternativamente, poderíamos considerar um refinamento do projeto usando novamente o SPICE para nos auxiliar nesta tarefa.

Por exemplo, podemos considerar o que acontece se usarmos um valor menor de C, e assim por diante. Podemos também investigar outros aspectos do projeto; por exemplo, qual a máxima corrente em cada diodo e se esta se encontra dentro da faixa especificada para o diodo.

Exercício

3.33 Use o SPICE para investigar a operação do dobrador de tensão mostrado na Figura E.33(a). Especificamente, plote o comportamento transiente das tensões v_2 e v_O quando a entrada for uma senóide de 10 V de pico e 1 KHz de freqüência. Assuma que os diodos são do tipo 1N4148 ($I_S = 0{,}1$ pA, $R_S = 16\ \Omega$; $C_{j0} = 2$ pF, $\tau_T = 12$ ns, $BV = 100$ V, $IBV = 0{,}1$ pA) e que $C_1 = C_2 = 1\ \mu$F.

Resposta O arquivo de entrada do SPICE está listado no Apêndice D. A forma de onda da tensão está mostrada na Figura E3.33(b).

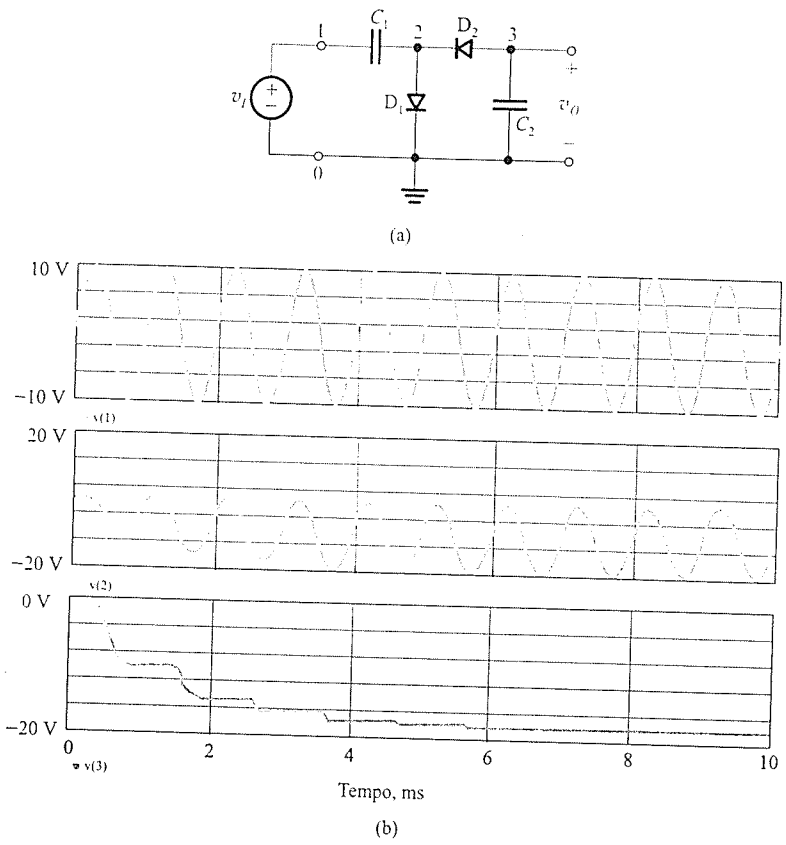


Figura E3.33 (a) Circuito dobrador de tensão. (b) Várias formas de onda de tensão do circuito dobrador. O gráfico superior mostra o sinal de tensão da senóide de entrada, o gráfico intermediário mostra a tensão através do diodo D_1 e o gráfico inferior mostra a tensão que aparece na saída.

RESUMO

- No sentido direto, o diodo ideal conduz qualquer valor de corrente imposto pelo circuito externo enquanto exibe uma queda de tensão zero. O diodo ideal não conduz no sentido reverso: toda tensão aplicada aparece como polarização reversa no diodo.
- A propriedade de fluxo de corrente unidirecional torna o diodo muito útil no projeto de circuitos retificadores.
- A condução direta dos diodos de silício na prática é precisamente caracterizada pela relação $i = I_S e^{v/nV_T}$.
- Um diodo de silício conduz uma corrente desprezível enquanto a tensão direta for menor que aproximadamente 0,5 V. Acima desse valor, a corrente aumenta rapidamente, com um aumento da queda de tensão de 60 para 120 mV (dependendo do valor de n) para cada década de variação na corrente.
- No sentido reverso, um diodo de silício conduz uma corrente da ordem de 10^{-9} A. Essa corrente é muito maior do que I_S e aumenta com o aumento da tensão reversa.
- Além de um certo valor de tensão reversa (que depende do diodo), ocorre a ruptura, e a corrente aumenta rapidamente com um pequeno aumento correspondente da tensão.
- Os diodos projetados para operar na região de ruptura são chamados de diodos zener. Eles são usados no projeto de reguladores de tensão cuja função é fornecer uma tensão *cc* que varia muito pouco com as variações na tensão da fonte de alimentação e/ou na corrente da carga.
- Há uma hierarquia de modelos de diodos, sendo a escolha do modelo apropriado ditada pela aplicação.
- Em muitas aplicações, a condução do diodo é modelada tendo uma queda de tensão constante, usualmente cerca de 0,7 V.
- Um diodo polarizado para operar com uma corrente *cc* I_D tem uma pequena resistência $r_d = nV_T/I_D$.
- O diodo de junção de silício é basicamente uma junção *pn*. Essa junção é formada em um cristal de silício simples.
- Em um silício tipo *p* há uma abundância de lacunas (portadores positivamente carregados), enquanto em um silício tipo *n* os elétrons é que são abundantes.
- Uma região depletada de portadores surge na interface de uma junção *pn*, com o lado *n* positivamente carregado e o lado *p* negativamente carregado. A diferença de tensão resultante é chamada de barreira de potencial.
- Uma corrente de difusão I_D circula no sentido direto (transportada por lacunas do lado *p* e elétrons do lado *n*) e uma corrente I_S circula no sentido reverso (transportada por portadores minoritários gerados termicamente). Em uma junção em circuito aberto, $I_D = I_S$ e a barreira de potencial é representada por V_0. V_0 também é chamada de tensão interna da junção.
- Aplicar uma tensão reversa $|V|$ em uma junção *pn* faz com que a região de depleção se torne mais larga e a barreira de potencial aumente para $(V_0 + |V|)$. A corrente de difusão diminui e circula uma corrente reversa resultante de $(I_S - I_D)$.
- Aplicar uma tensão direta $|V|$ em uma junção *pn* faz com que a região de depleção se torne mais estreita e a barreira de potencial diminua para $(V_0 - |V|)$. A corrente de difusão aumenta e circula uma corrente direta resultante de $(I_D - I_S)$.
- Para um resumo das relações que governam a operação da junção *pn*, refira-se à Tabela 3.1.
- O modelo de pequenos sinais do diodo é dado na Tabela 3.2.
- O modelo do diodo no SPICE é dado na Figura 3.50 e na Tabela 3.3.

BIBLIOGRAFIA

E. J. Angelo, Jr., *Electronics: BJTs, FETs and Microcircuits*, New York, McGraw-Hill, 1969.

S. B. Burns e P. R. Bond, *Principles of Electronic Circuits*, St. Paul, West, 1987.

S. Franco, *Design with Operacional Amplifiers and Analog Integrated Circuits*, New York, McGraw-Hill, 1988.

P. E. Gray e C. L. Searle, *Electronic Principles*, New York, Wiley, 1969.
D. A. Hodges e H. G. Jackson, *Analysis and Design of Digital Integrated Circuits*, Second Edition, New York, McGraw-Hill, 1988.
D. H. Navon, *Semiconductor Microdevices and Materials*, New York, Holt, Rinehart and Winston, 1986.
J. M. Rabaey, *Digital Integrated Circuits*, Englewood Cliffs, NJ, Prentice-Hall, 1996.
G. W. Roberts e A. S. Sedra, *SPICE*, Second Edition, New York, Oxford University Press, 1997.
S. Soclof, *Applications of Analog Integrated Circuits*, Englewood Cliffs, NJ, Prentice-Hall, 1985.
B. J. Streetman, *Solid-State Electronic Devices*, Third Edition, Englewood Cliffs, NJ, Prentice-Hall, 1990.
S. M. Sze, *Semiconductor Devices, Physics and Technology*, New York, Wiley, 1985.

PROBLEMAS

Seção 3.1: O Diodo Ideal

3.1 Uma pilha tipo AA para flash fotográfico, cujo equivalente Thévenin é uma fonte de tensão de 1,5 V e uma resistência de 1 Ω, está conectada aos terminais de um diodo ideal. Descreva as duas situações possíveis. Quais são a corrente do diodo e a tensão em seus terminais quando (a) a conexão é feita entre o catodo do diodo e o positivo da bateria? (b) O anodo do diodo e o positivo da bateria?

3.2 Para os circuitos mostrados na Figura P3.2 usando diodos ideais, calcule os valores das tensões e correntes indicadas.

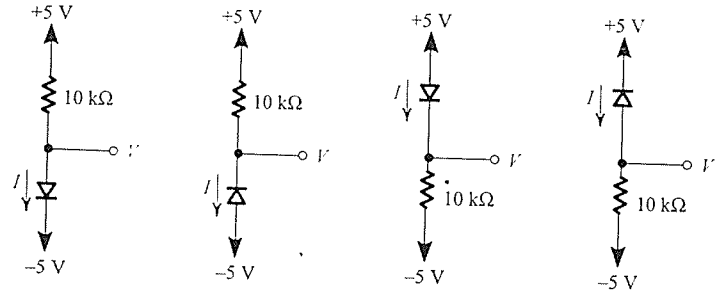


Figura P3.2

3.3 Para os circuitos mostrados na Figura P3.3 usando diodos ideais, calcule os valores das tensões e das correntes denominadas.

3.4 Supondo que os diodos nos circuitos da Figura P3.4 sejam ideais, calcule os valores das tensões e correntes indicadas.

3.5 Supondo que os diodos nos circuitos da Figura P3.5 sejam ideais, utilize o teorema de Thévenin para simplificar os circuitos e calcular os valores das correntes e das tensões indicadas.

3.6 O circuito da Figura P3.6 pode ser usado em um sistema de sinalização empregando um fio, tendo como retorno o terra comum.

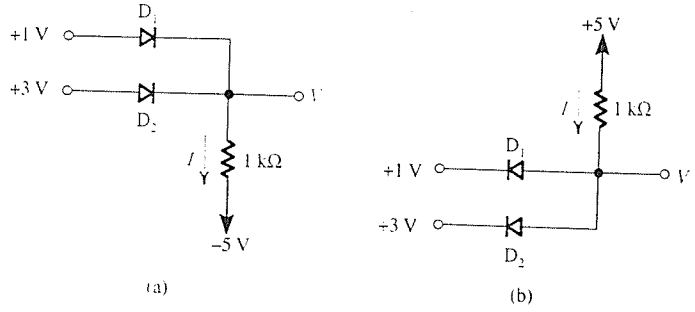


Figura P3.3

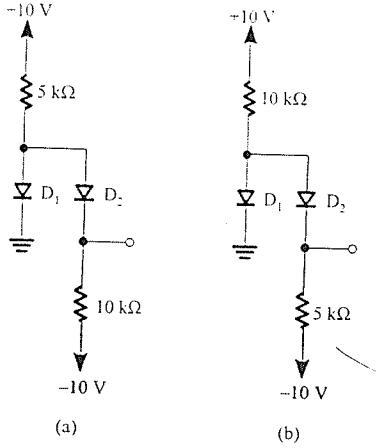


Figura P3.4

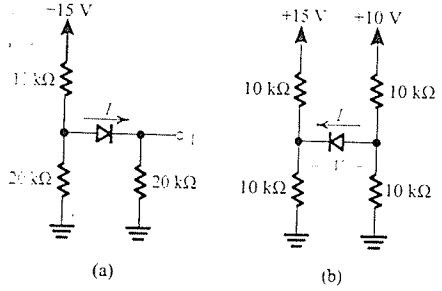
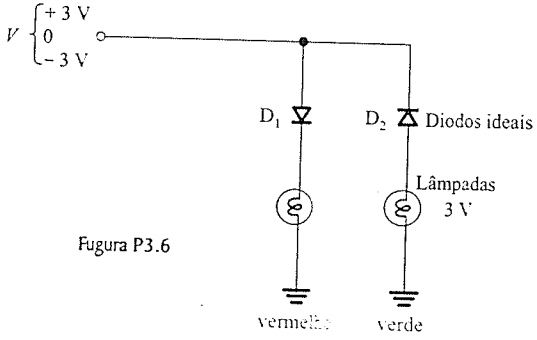


Figura P3.5



Fugura P3.6

Em qualquer instante, a entrada pode assumir um de três valores: +3 V, 0, –3 V. Qual o estado da lâmpada para cada um desses valores de entrada? (Observe que as lâmpadas podem ser colocadas separadas uma das outras e que pode haver várias conexões de cada tipo, todas com apenas um fio!)

Seção 3.2: Características Elétricas dos Diodos de Junção

3.7 Qual a queda de tensão direta em um diodo cujo $n = 2$ e conduz uma corrente de $1000\ I_S$? Em termos de I_S, qual corrente circula no mesmo diodo quando a queda de tensão direta é de 0,7 V?

3.8 Um diodo com $n = 1$ conduz 3 mA para uma tensão de junção de 0,7 V. Qual a corrente de saturação I_S? Que corrente fluirá nesse diodo se a tensão de junção subir para 0,71 V? E para 0,8 V? Se a tensão de junção diminuir para 0,69 V? E para 0,6 V? Que aumento de tensão na junção aumenta a corrente por um fator de 10?

3.9 O circuito na Figura P3.9 utiliza três diodos idênticos tendo $n = 1$ e $I_S = 10^{-14}$ A. Calcule o valor da corrente I necessária para obter uma tensão de saída $V_O = 2$ V. Se uma corrente de 1 mA for drenada do terminal de saída por uma carga, qual a variação na tensão de saída?

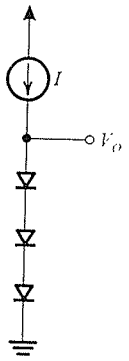


Figura P3.9

3.10 No circuito mostrado na Figura P3.10, ambos os diodos têm $n = 2$, mas o diodo D_1 tem uma área de junção dez vezes maior que D_2. Qual o valor de V? Para obter um valor de V de 50 mV, que corrente I_2 é necessária?

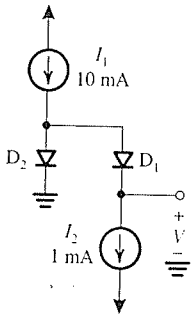


Figura P3.10

*3.11 Um projetista de um instrumento que precisa operar para uma faixa ampla de tensões de alimentação, percebendo que a queda de tensão em um diodo é relativamente independente da corrente da junção, considera o uso de um diodo de grandes dimensões para obter uma uma tensão relativamente constante. Ele emprega um diodo de potência, para o qual a tensão é de 0,8 V para uma corrente nominal de 10 A. Além disso, ele acredita que $n = 2$. Para a fonte de corrente que ele tem disponível, que pode variar de 0,5 a 1,5 mA, que tensão ele deve esperar? Que variação na tensão ele deve esperar para uma variação de ± 20°C?

Seção 3.3: Operação Física dos Diodos

Nota: Consulte a Tabela 3.1 sempre que houver a necessidade de obter o valor de um parâmetro ou constante física que não tenha sido fornecido.

3.12 Lacunas estão sendo injetadas sistematicamente em uma região de silício tipo n (conectada a outras regiões, que não têm importância neste exercício). No estado estacionário, o perfil da concentração em excesso de lacunas mostrada na Figura P3.12 é obtido na região de silício tipo n. Aqui, "excesso" significa acima da concentração p_{n0}. Se $N_D = 10^6/\text{cm}^3$, $n_i = 1{,}5 \times 10^{10}/\text{cm}^3$ e $W = 5$ μm, determine a densidade de corrente que fluirá na direção x.

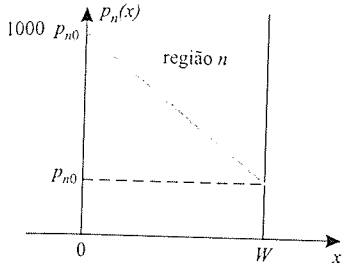


Figura P3.12

3.13 Determine o fluxo de corrente em uma barra de silíco de comprimento 10 μm e seção de corte de 5 μm × 5 μm, tendo densidades de elétrons livres de $10^5/\text{cm}^3$ e de lacunas de $10^{15}/\text{cm}^3$, com 1 V aplicado de ponta a ponta. Use $\mu_n = 1350\ \text{cm}^2/\text{Vs}$ e $\mu_p = 480\ \text{cm}^2/\text{Vs}$.

3.14 Tanto a mobilidade de portadores quanto a difusividade diminuem com o aumento da concentração de portadores no silício. A tabela a seguir fornece alguns pontos para μ_n e μ_p *versus* concentração de dopantes. Use a relação de Einstein para obter os valores correspondentes para D_n e D_p.

Concentração de dopantes	μ_n cm²/Vs	μ_p cm²/Vs	D_n cm²/s	D_p cm²/s
Intrínseco	1350	480		
10^{16}	1100	400		
10^{17}	700	260		
10^{18}	360	150		

3.15 Estime a carga total armazendada em uma camada de depleção de 0,1 μm em um dos lados de uma junção de 10 μm × 10 μm. A concentração de dopantes nesse lado da junção é de $10^{16}/\text{cm}^3$.

3.16 Para uma junção na qual $C_{j0} = 0{,}5$ pF, $V_0 = 0{,}8$ V e $m = 1/3$, determine as capacitâncias para tensões reversas de 1 e 10 V.

3.17 Um diodo p^+-n é aquele em que a concentração de dopantes na região p é muito maior que aquela da região n. Nesse diodo, a corrente direta é devida basicamente à injeção de lacunas através da junção. Mostre que

$$I = I_p = Aqn_i^2 \frac{D_p}{L_p N_D}(e^{V/V_T} - 1)$$

Para o caso em que $N_D = 5 \times 10^{16}/\text{cm}^3$, $D_p = 10\ \text{cm}^2/\text{s}$, $\tau_p = 0{,}1$ μs e $A = 10^{-4}\ \text{cm}^2$, determine I_S e a tensão V obtida quando $I = 0{,}1$ mA. Assuma operação a 300 K, em que $n_i = 1{,}5 \times 10^{10}/\text{cm}^3$. Calcule também a carga de portadores minoritários em excesso e o valor da capacitância de difusão para $I = 0{,}1$ mA.

**3.18 Um diodo de base curta é aquele em que as larguras das regiões p e n são muito menores que L_n e L_p, respectivamente. Como resultado, a distribuição de portadores minoritários em excesso em cada região é uma linha reta e não uma exponencial, como mostrado na Figura 3.17.

(a) Para o diodo de base curta, esboce uma figura correspondente à Figura 3.17 e assuma, como na Figura 3.17, que $N_A >> N_D$.

(b) Seguindo uma dedução similar àquela utilizada para deduzir a Equação 3.33, mostre que, se as larguras das regiões p e n forem chamadas de W_p e W_n, então,

$$I = Aqn_i^2\left[\frac{D_p}{(W_n - x_n)N_D} + \frac{D_n}{(W_p - x_p)N_A}\right](e^{V/V_T} - 1)$$

e

$$Q_p = \frac{1}{2}\frac{(W_n - x_n)^2}{D_p} I_p$$

$$\cong \frac{1}{2}\frac{W_n^2}{D_p} I_p, \qquad \text{para } W_n >> x_n$$

(c) Também, assumindo $Q = Q_p$, $I = I_p$, mostre que

$$C_d = \frac{\tau_T}{V_T} I$$

em que $\tau_T = \frac{1}{2}\frac{W_n^2}{D_p}$

(d) Se um projetista deseja limitar C_d em 10 pF para $I = 1$ mA, qual deve ser o valor de W_n? Assuma $D_p = 10$ cm²/s.

Seção 3.4: Análise de Circuitos com Diodos

*3.19 Considere a análise gráfica do circuito com diodo na Figura 3.18 com $V_{DD} = 1$ V, $R = 1$ kΩ e um diodo tendo $I_S = 10^{-15}$ A e $n = 1$. Calcule alguns pontos, sobre a curva característica do diodo nas proximidades, que você supõe que a reta de carga intercepta e use um processo gráfico para melhorar seus valores estimados de corrente. Que valores você encontrou para a tensão e a corrente no diodo? Calcule analiticamente a tensão correspondente ao valor da corrente que você estimou. Qual foi a diferença em relação ao valor estimado graficamente?

3.20 Um diodo de 1 mA (isto é, um diodo que tem $v_D = 0{,}7$ V com $i_D = 1$ mA) está conectado em série com um resistor de 200 Ω e uma alimentação de 1,0 V.
(a) Forneça um valor estimado aproximado da corrente no diodo.
(b) Se o diodo for caracterizado por $n = 2$, estime a corrente no diodo, o mais próximo possível, usando a análise iterativa.

3.21 Usando uma cópia da curva do diodo apresentada na Figura 3.20, aproxime a característica do diodo empregando uma linha reta que se ajuste perfeitamente na característica do diodo para 10 mA e 1 mA. Qual a inclinação? Qual o r_D? Qual o V_{D0}?

3.22 Usando uma cópia da curva do diodo apresentada na Figura 3.20, desenhe uma reta de carga que corresponda a um circuito externo consistindo em uma fonte de tensão de 0,9 V e um resistor de 100 Ω. Quais os valores da queda de tensão no diodo e da corrente de malha, considerando:
(a) A curva característica real?
(b) O modelo de dois segmentos?

P3.23 Uma projetista tem um número considerável de diodos para os quais flui uma corrente de 20 mA quando a queda de tensão é de 0,7 V e a aproximação de 0,1 V/década é razoavelmente boa. Usando uma fonte de corrente de 10 mA, ela desejará criar uma tensão de referência de 1,25 V. Sugira uma combinação de diodos em série e em paralelo que forneça o resultado esperado. Quantos diodos são necessários? Que tensão efetivamente se obtém?

3.24 Para os circuitos mostrados na Figura P3.3, usando o modelo da queda de tensão constante para o diodo ($V_D = 0{,}7$ V), calcule os valores das tensões e correntes indicadas.

3.25 Repita o Problema no Exemplo 3.1 supondo que o diodo tem 10 vezes a área do dispositivo cujas características e modelo de segmentos lineares estão mostrados na Figura 3.20. Represente o diodo por seu modelo de segmentos lineares ($v_D = 0{,}65 + 2i_D$).

Seção 3.5: O Modelo para Pequenos Sinais e Suas Aplicações

3.26 O modelo para pequenos sinais é dito válido para variações de tensão de cerca de 10 mV. A que valor em porcentagem de variação de corrente isso corresponde (considere os sinais negativos e positivos) para (a) $n = 1$? (b) $n = 2$?

P*3.27 Considere o circuito regulador de tensão mostrado na Figura 3.28 na condição de que a corrente da carga I_L seja drenada a partir do terminal de saída. Represente a tensão de saída (no diodo) por V_O.
(a) Se o valor de I_L for suficientemente pequeno, de modo que a variação correspondente na tensão de saída do regulador Δv_O seja suficientemente pequena para justificar o uso do modelo de pequenos sinais para o diodo, mostre que:

$$\frac{\Delta V_O}{I_L} = -(r_d /\!/ R)$$

Essa relação é conhecida como regulação de carga e é expressa usualmente em mV/mA.
(b) Se o valor de R for escolhido de modo que sem carga a tensão no diodo seja de 0,7 V e a corrente no diodo seja I_D, mostre que a expressão em (a) se transforma em

$$\frac{\Delta V_O}{I_L} = -\frac{nV_T}{I_D}\frac{V^+ - 0{,}7}{V^+ - 0{,}7 + nV_T}$$

Escolha o menor valor possível para I_D que resulte em uma regulação de carga ≤ 5 mV/mA. Suponha $n = 2$. Se o valor nominal de V^+ for de 10 V, qual o valor necessário para R? Especifique também o diodo necessário.
(c) Generalize a expressão deduzida em (b) para o caso de m diodos conectados em série e R ajustado de modo a obter $V_O = 0{,}7m$ volts sem carga.

*3.28 No circuito mostrado na Figura P3.28, I é uma corrente cc e v_i é uma senóide de pequena amplitude (menor que 10 mV) e freqüência de 100 kHz. Representando o diodo por sua resistência para pequenos sinais r_d, que é função de I, esboce o circuito para determinar a tensão senoidal de saída V_o e encontre o deslocamento de fase (defasagem) entre V_i e V_o. Determine o valor de I que resulta em uma defasagem de –45° e determine a faixa de defasagem obtida quando I é variada de 0,1 a 10 vezes de seu valor nominal. Assuma $n = 1$.

Seção 3.6: Operação na Região de Ruptura Reversa – Os Diodos Zener

3.29 Um zener de 9,1 V, caracterizado para $I_{ZT} = 25$ mA, tem uma tensão de joelho de 0,95 V_Z para uma corrente de joelho de 5% de I_{ZT}. Considere dois modelos de bateria com resistor e determine r_z e V_{Z0} quando:
(a) a característica passa pelos pontos (V_Z, I_{ZT}) e (V_{ZK}, I_{ZK});
(b) a característica passa pelo ponto (V_Z, I_{ZT}) mas com metade da resistência obtida em (a).

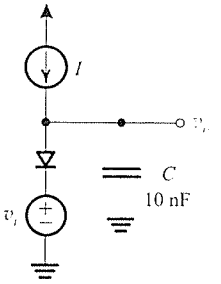


Figura P3.28

P3.30 Um projetista necessita de um regulador de cerca de 20 V. Estão disponíveis dois tipos de diodos zener: dispositivos de 6,8 V com r_z de 10 Ω e dispositivos de 5,1 V com r_z de 30 Ω. Para as duas principais escolhas, determine a regulação de carga. Despreze em seus cálculos o efeito da resistência R do regulador.

Seção 3.7: Circuitos Retificadores

3.31 Considere o circuito retificador de meia onda da Figura 3.37(a) com o diodo invertido. Suponha que v_S seja senoidal com amplitude de 20 V de pico e suponha $R = 2$ kΩ. Use o modelo de queda de tensão constante do diodo com $V_D = 0{,}7$ V.
(a) Esboce a característica de transferência.
(b) Esboce a forma de onda em v_O.
(c) Calcule o valor médio de v_O.
(d) Calcule o valor da corrente de pico no diodo.
(e) Calcule a PIV no diodo.

3.32 Um circuito retificador de meia onda com $R = 1$ kΩ opera a partir de uma rede elétrica de 120 V(rms)/60 Hz por meio de um transformador rebaixador de 10:1. Ele utiliza um diodo de silício que tem uma queda de 0,7 V para qualquer corrente. Qual a tensão de pico da saída retificada? Para qual fração do ciclo o diodo conduz? Qual

a tensão média de saída? Qual a corrente média na carga?

3.33 Um circuito retificador de onda completa com $R = 1\ k\Omega$ opera a partir de uma rede elétrica de 120 V(rms)/60 Hz por meio de um transformador rebaixador de 5:1 com terminal central. Ele utiliza dois diodos de silício que têm uma queda de 0,7 V para qualquer corrente. Qual a tensão de pico da saída retificada? Para qual fração do ciclo o diodo conduz? Qual a tensão média de saída? Qual a corrente média na carga?

3.34 Um circuito retificador de onda completa com $R = 1\ k\Omega$ opera a partir de uma rede elétrica de 120 V(rms)/60 Hz por meio de um transformador rebaixador de 10:1. Ele utiliza quatro diodos de silício que têm uma queda de 0,7 V para qualquer corrente. Qual a tensão de pico da saída retificada? Para qual fração do ciclo o diodo conduz? Qual a tensão média de saída? Qual a corrente média na carga?

P3.35 Incremente o circuito retificador do Problema 3.32 com um capacitor escolhido para fornecer uma ondulação de tensão de pico a pico de (i) 10% do valor de pico de saída, (ii) 1% do valor de pico de saída. Para cada caso:

(a) Qual a tensão média resultante?
(b) Para qual fração do ciclo o diodo conduz?
(c) Qual a tensão média no diodo?
(d) Qual a corrente de pico no diodo?

P3.36 Repita o Problema 3.35 para o retificador do Problema 3.33.

P3.37 Repita o Problema 3.35 para o retificador do Problema 3.34.

Seção 3.8: Circuitos Limitadores e Grampeadores

*3.38 Esboce e indique claramente a característica de transferência do circuito na Figura P3.38 para $-20\ V \le v_I \le +20\ V$. Suponha que os diodos possam ser representados pelo modelo de segmentos lineares com $V_{D0} = 0.65\ V$ e $r_D = 20\ \Omega$. Supondo que a tensão zener especificada seja (8,2 V) medida para uma corrente de 10 mA e que $r_z = 20\ \Omega$, represente o zener pelo modelo de segmentos lineares.

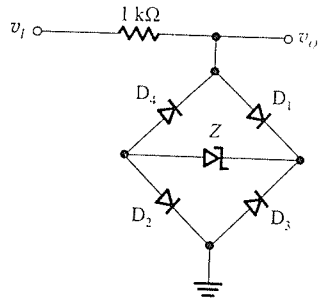


Figura P3.38

*3.39 No circuito mostrado na Figura P3.39, os diodos exibem uma queda de tensão de 0,7 V para 0,1 mA com uma característica de 0,1 V/década. Para entradas na faixa de ± 5 V, forneça um esboço calibrado das tensões nas saídas B e C. Para uma senóide de 100 Hz com 5 V de pico aplicada em A, esboce os sinais para os nós B e C.

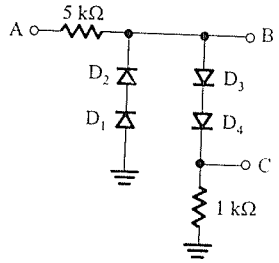


Figura P3.39

CAPÍTULO 4

MAKRON Books

Transistores Bipolares de Junção (TBJ)

Introdução
4.1 Estrutura Física e Modos de Operação
4.2 Operação do Transistor *npn* no Modo Ativo
4.3 O Transistor *pnp*
4.4 Símbolos para Circuitos e Convenções
4.5 Representação Gráfica das Características do Transistor
4.6 Análise *cc* de Circuitos com Transistores
4.7 O Transistor como Amplificador
4.8 Modelos Equivalentes para Pequenos Sinais
4.9 Análise Gráfica
4.10 Polarização do TBJ para Projetos de Circuitos Discretos
4.11 Configurações Básicas de Amplificadores de Estágio Simples com TBJ
4.12 O Transistor como Chave – O Corte e a Saturação
4.13 Um Modelo Genérico do TBJ para Grandes Sinais: O Modelo de Ebers–Moll (EM)
4.14 O Inversor Lógico Básico Empregando TBJ
4.15 Características Estáticas Completas, Capacitâncias Internas e Efeitos de Segunda Ordem
4.16 O Modelo do SPICE para o TBJ e Exemplos de Simulação
Resumo
Bibliografia
Problemas

INTRODUÇÃO

Após o estudo do diodo de junção, que é o principal dispositivo semicondutor de dois terminais, vamos agora concentrar nossa atenção nos dispositivos semicondutores de três terminais. Os dispositivos de três terminais são muito mais usados do que os de dois terminais, porque eles podem ser usados em várias aplicações, que se estendem desde a amplificação de sinais até o projeto de circuitos lógicos digitais e de memória. O princípio básico envolvido nesses dispositivos é o

uso de uma tensão entre dois terminais para controlar o fluxo de corrente no terceiro terminal. Desse modo, um dispositivo de três terminais pode ser usado como uma fonte controlada, a qual, como já aprendemos no Capítulo 1, é a base para o projeto de amplificadores. Também, no caso extremo, o sinal de controle pode ser usado para fazer a corrente no terceiro terminal variar de zero até um valor significativo, permitindo, portanto, que o dispositivo funcione como uma chave. Como também já vimos no Capítulo 1, a chave é o elemento básico dos circuitos digitais.

Há dois tipos principais de dispositivos de três terminais: o transistor bipolar de junção (TBJ), abordado neste capítulo, e o transistor de efeito de campo (FET), que estudaremos no Capítulo 5. Os dois tipos de transistores são igualmente importantes, e cada um oferece vantagens distintas e têm áreas específicas de aplicação.

O transistor bipolar consiste em duas junções *pn* construídas de um modo especial e conectadas em série e em oposição. A condução de corrente se dá tanto por elétrons quanto por lacunas, daí o termo bipolar.

O TBJ, sempre referido simplesmente como "o transistor", é amplamente usado em circuitos discretos, assim como no projeto de CIs, tanto analógicos quanto digitais. As características do dispositivo são tão bem compreendidas que é possível projetar circuitos com transistores cujo funcionamento é consideravelmente previsível e bastante insensível às variações nos parâmetros do dispositivo.

Vamos iniciar apresentando uma descrição qualitativa simples da operação do transistor. Embora simples, essa descrição física possibilita a compreensão adequada do funcionamento do transistor como elemento de circuito. Mudaremos rapidamente da descrição do fluxo de corrente em termos de elétrons e de lacunas para um estudo das características elétricas do transistor. Serão desenvolvidos e utilizados modelos de primeira ordem para a operação do transistor em diferentes modos para a análise de circuitos com transistores. Um dos principais objetivos deste capítulo é desenvolver no leitor um alto grau de familiaridade com o transistor. Assim, ao final do capítulo, o leitor será capaz de executar uma rápida análise de primeira ordem de circuitos com transistores, assim como projetar amplificadores de estágio simples e inversores lógicos empregando transistores bipolares.

4.1 ESTRUTURA FÍSICA E MODOS DE OPERAÇÃO

A Figura 4.1 mostra uma estrutura simplificada de um TBJ. Uma estrutura prática do transistor será mostrada mais adiante (veja também o Apêndice A, o qual trata da tecnologia de fabricação).

Conforme mostrado na Figura 4.1, o TBJ constitui-se de três regiões semicondutoras: a região do emissor (tipo *n*), a região da base (tipo *p*) e a região do coletor (tipo *n*). Esse dispositivo é chamado de transistor *npn*. Um outro transistor, o dual do *npn*, mostrado na Figura 4.2, tem um emissor tipo *p*, uma base tipo *n* e um coletor tipo *p* e é apropriadamente chamado de transistor *pnp*.

Um terminal é conectado em cada uma das três regiões do transistor, sendo estes terminais denominados de **emissor** (E), **base** (B) e **coletor** (C).

O transistor consiste em duas junções *pn*, a junção emissor–base (JEB) e a junção coletor–base (JCB). Dependendo da condição de polarização (direta ou reversa) de cada uma dessas junções, são obtidos diferentes modos de operação do TBJ, conforme mostrado na Tabela 4.1.

O modo ativo é aquele em que o transistor é usado para operar como um amplificador. As aplicações de chaveamento (por exemplo, circuitos lógicos) utilizam os modos de corte e de saturação.

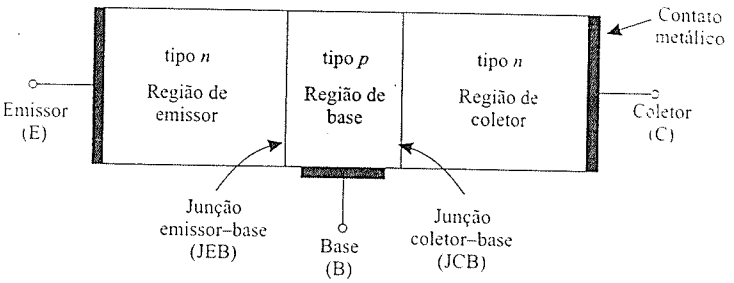


Figura 4.1 Uma estrutura simplificada do transistor *npn*.

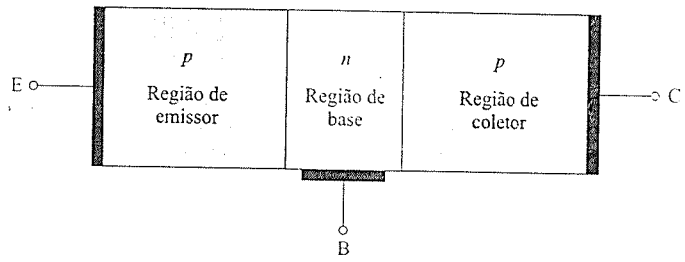


Figura 4.2 Uma estrutura simples do transistor *pnp*.

Tabela 4.1 Modos de operação do TBJ.

Modo	JEB	JCB
Corte	Reversa	Reversa
Ativo	Direta	Reversa
Saturação	Direta	Direta

4.2 OPERAÇÃO DO TRANSISTOR *npn* NO MODO ATIVO

Começaremos considerando a operação física do transistor no modo ativo.[1] Essa situação é ilustrada na Figura 4.3 para o transistor *npn*. Duas fontes de tensões externas (mostradas como baterias) são usadas para estabelecer as condições necessárias para operação no modo ativo. A tensão V_{BE} faz com que a base tipo *p* esteja em um potencial mais alto do que o emissor tipo *n*, portanto polarizando diretamente a junção emissor–base. A tensão na junção coletor–base V_{CB} faz com que o coletor tipo *n* esteja em um potencial mais alto do que a base tipo *p*, portanto polarizando reversamente a junção coletor–base.

1. O material desta seção assume que o leitor está familiarizado com a operação da junção *pn* sob condições de polarização direta (Seção 3.3).

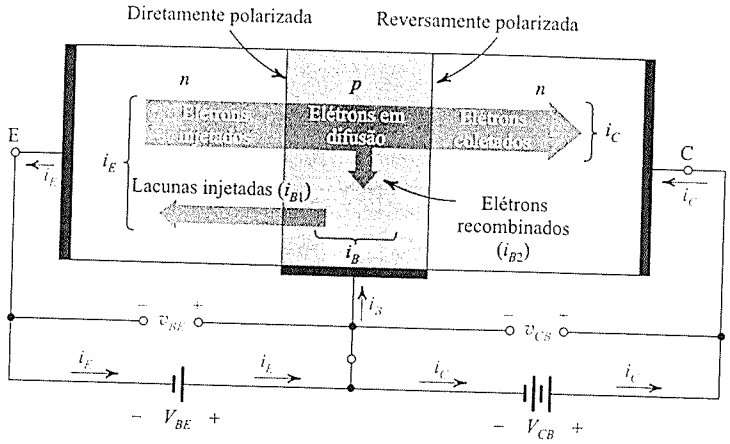


Figura 4.3 Fluxo de corrente em um transistor *npn* polarizado para operar no modo ativo. (As componentes das correntes reversas devidas à deriva dos portadores minoritários gerados termicamente não estão mostradas.)

O Fluxo de Corrente

Na descrição a seguir do fluxo de corrente serão consideradas apenas as componentes referentes à corrente de difusão. As correntes de deriva devidas aos portadores minoritários gerados termicamente são usualmente muito pequenas e podem ser desprezadas. Teremos mais o que dizer sobre essas componentes de correntes reversas em um estágio futuro.

A polarização direta da junção emissor–base fará com que a corrente circule através dessa junção. A corrente consistirá em duas componentes: elétrons injetados do emissor na base e lacunas injetadas da base no emissor. Como ficará evidente brevemente, é altamente desejável ter a primeira componente (elétrons do emissor para a base) em um nível muito mais alto do que a segunda componente (lacunas da base para o emissor). Isso pode ser obtido fabricando-se dispositivos com um emissor fortemente dopado e uma base levemente dopada; isto é, o dispositivo é projetado para ter uma alta densidade de elétrons no emissor e uma baixa densidade de lacunas na base.

A corrente que circula através da junção emissor–base é a chamada corrente de emissor i_E, conforme indicado na Figura 4.3. O sentido de i_E é saindo do terminal de emissor, no sentido da corrente de lacunas e em oposição ao sentido da corrente de elétrons, com a corrente de emissor i_E sendo igual à soma dessas duas componentes. Contudo, visto que a componente de elétrons é muito maior do que a componente de lacunas, a corrente de emissor será composta predominantemente pela componente referente à corrente de elétrons.

Vamos considerar agora os elétrons injetados do emissor na base. Esses elétrons serão **portadores minoritários** na região da base tipo *p*. Pelo fato de a base ser usualmente muito estreita, no estado estacionário a concentração do excesso de portadores minoritários (elétrons) na base terá aproximadamente o perfil de uma linha reta, conforme indicado pela linha cheia na Figura 4.4. A concentração será mais alta [representada por $n_p(0)$] no lado do emissor e mais baixa (zero) no lado do coletor.[2] Como no caso de qualquer junção *pn* polarizada diretamente (Capítulo 3), a concentração $n_p(0)$ será proporcional a e^{v_{BE}/V_T},

$$n_p(0) = n_{p0} e^{v_{BE}/V_T} \tag{4.1}$$

em que n_{p0} é o valor em equilíbrio térmico da concentração de portadores minoritários (elétrons) na região da base, v_{BE} é a tensão base–emissor de polarização direta e V_T é a tensão térmica, aproximadamente igual a 25 mV na temperatura ambiente. A razão para a concentração zero na interface coletor–base é que a tensão de coletor v_{CB} positiva faz com que os elétrons sejam varridos da região de depleção JCB daquela interface.

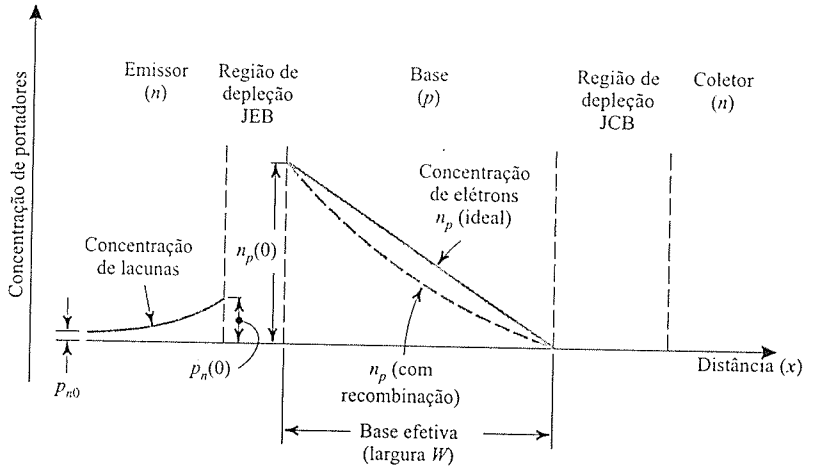


Figura 4.4 Perfis das concentrações de portadores minoritários na base e no emissor de um transistor *npn* operando no modo ativo; $v_{BE} > 0$ e $v_{CB} \geq 0$.

O perfil de concentração de portadores minoritários linearmente decrescentes na base (Figura 4.4) faz com que os elétrons injetados na base se difundam através da região da base em direção ao coletor. Essa corrente de difusão I_n é diretamente proporcional à inclinação da reta que representa o perfil de concentração,

$$I_n = A_E q D_n \frac{dn_p(x)}{dx}$$
$$= A_E q D_n \left(-\frac{n_p(0)}{W} \right) \tag{4.2}$$

2. A distribuição de portadores minoritários na base resulta das condições de contorno impostas pelas duas junções. Ela não é uma distribuição exponencial decrescente, a qual resultaria se a região de base fosse infinitamente espessa. Ao contrário, a base fina obriga a distribuição a decrescer linearmente. Além disso, a polarização reversa na junção coletor–base obriga a concentração de elétrons na interface coletor–base a ser zero.

em que A_E é a área da seção de corte da junção base–emissor, q é o valor da carga do elétron, D_n é a constante de difusão dos elétrons na base e W é a largura efetiva da base. Observe que a inclinação negativa da concentração de portadores minoritários na base resulta em uma corrente I_n negativa ao longo da base; isto é, I_n flui da direita para a esquerda (na direção negativa de x).

Alguns elétrons que estão se difundindo através da região da base se recombinarão com as lacunas, as quais são os portadores majoritários na base. Contudo, visto que a base é usualmente muito estreita, a porcentagem de elétrons "perdidos" nesse processo de recombinação será muito pequena. Todavia, a recombinação na região da base acarreta um desvio no perfil de concentração de portadores minoritários, que deixa de ser linearmente decrescente para tomar uma forma ligeiramente côncava, como indicado pela linha tracejada na Figura 4.4. A inclinação do perfil de concentração é ligeiramente maior na JEB que na JCB, sendo a diferença oriunda do pequeno número de elétrons perdidos na região da base pela recombinação.

A Corrente do Coletor

Pelo que foi exposto anteriormente, podemos ver que a maioria dos elétrons que se difundem alcançará os limites da região de depleção coletor–base. Pelo fato de o coletor ser mais positivo do que a base (por v_{CB} volts), esses elétrons bem-sucedidos serão arremessados através da região de depleção da JCB para o coletor. Eles serão, portanto, "coletados" para constituir a corrente do coletor i_C. Por convenção, adotaremos o sentido de i_C como o oposto ao do fluxo de elétrons; logo, i_C fluirá *entrando* pelo terminal do coletor. Assim, $i_C = I_n$, e uma vez que o sentido positivo de i_C é entrando no terminal de coletor, podemos eliminar o sinal negativo na Equação 4.2. Fazendo isso e substituindo-se $n_p(0)$ pela Equação 4.1, podemos expressar a corrente de coletor i_C como,

$$i_C = I_S e^{v_{BE}/V_t} \tag{4.3}$$

em que a **corrente de saturação** I_S é dada por

$$I_S = A_E q D_n n_{p0}/W$$

Substituindo-se $n_{p0} = n_i^2/N_A$, em que n_i é a concentração intrínseca de portadores e N_A é a concentração de dopantes na base, podemos expressar I_S como

$$I_S = \frac{A_E q D_n n_i^2}{N_A W} \tag{4.4}$$

Uma observação importante a ser feita aqui é que o valor de i_C é independente de v_{CB}. Isto é, enquanto o coletor for positivo em relação à base, os elétrons que atingem a interface base–coletor do lado da região da base serão arremessados ao coletor e serão registrados como corrente do coletor.

A corrente de saturação I_S é inversamente proporcional à largura da base W e é diretamente proporcional à área da JEB. A faixa típica de valores de I_S é de 10^{-12} a 10^{-15} A (dependendo das dimensões do dispositivo). Como I é proporcional a n_i^2, ela é fortemente dependende da temperatura, dobrando a cada 5°C de aumento na temperatura. (Para analisar a dependência de n_i^2 com a temperatura, verifique a Equação 3.6.)

Pelo fato de I_S ser diretamente proporcional à área da junção (isto é, às dimensões do dispositivo), ela também será chamada de **fator de escala de corrente**. Dois transistores idênticos,

com exceção de que um tem o dobro da área de JEB do outro, implicarão uma corrente de saturação na mesma razão (isto é, 2). Logo, para o mesmo valor de v_{BE}, o dispositivo maior terá o dobro da corrente de coletor em relação ao dispositivo menor. Esse conceito é freqüentemente empregado no projeto de circuitos integrados.

A Corrente da Base

A corrente da base i_B tem duas componentes. A primeira componente, i_{B1}, é devida às lacunas injetadas da região da base na região do emissor. Essa componente da corrente é proporcional a e^{v_{BE}/V_t},

$$i_{B1} = \frac{A_E q D_p n_i^2}{N_D L_p} e^{v_{BE}/V_t} \tag{4.5}$$

em que D_p é a constante de difusão de lacunas no emissor, L_p é o comprimento de difusão de lacunas no emissor e N_D é a concentração de dopantes no emissor. A segunda componente da corrente da base, i_{B2}, é devida às lacunas da base que são fornecidas pelo circuito externo para repor as lacunas perdidas na base pelo processo de recombinação.

Uma expressão para i_{B2} pode ser obtida considerando-se que, se o tempo médio que um elétron minoritário leva para se recombinar na base com uma lacuna majoritária for chamado de τ_b (**tempo de vida de portadores minoritários**), então em τ_b segundos a carga de portadores minoritários na base, Q_n, se recombina com as lacunas. Naturalmente, em estado estacionário, Q_n é reabastecido por elétrons injetados a partir do emissor. Para repor as lacunas, a corrente i_{B2} precisa fornecer à base uma carga positiva igual a Q_n a cada segundo,

$$i_{B2} = \frac{Q_n}{\tau_b} \tag{4.6}$$

A carga de portadores minoritários armazenada na base, Q_n, pode ser obtida a partir da Figura 4.4. Especificamente, Q_n é representada pela área do triângulo sob a distribuição linearmente decrescente da base e portanto

$$Q_n = A_E q \times \frac{1}{2} n_p(0) W$$

Substituindo-se $n_p(0)$ pela Equação 4.1 e n_{p0} por n_i^2/N_A, obtém-se

$$Q_n = \frac{A_E q W n_i^2}{2N_A} e^{v_{BE}/V_t} \tag{4.7}$$

que pode ser substituído na Equação 4.6 para obter

$$i_{B2} = \frac{1}{2} \frac{A_E q W n_i^2}{\tau_b N_A} e^{v_{BE}/V_t} \tag{4.8}$$

Combinando as Equações 4.5 e 4.8 e utilizando a Equação 4.4, obtemos para a corrente total de base i_B

$$i_B = I_S \left(\frac{D_p}{D_n} \frac{N_A}{N_D} \frac{W}{L_p} + \frac{1}{2} \frac{W^2}{D_n \tau_b} \right) e^{v_{BE}/V_t} \tag{4.9}$$

Combinando as Equações 4.3 e 4.8 observamos que i_B pode ser representado como uma parcela de i_C, tal que

$$i_B = \frac{i_C}{\beta} \tag{4.10}$$

Ou seja,

$$i_B = \left(\frac{I_S}{\beta}\right) e^{v_{BE}/V_T} \tag{4.11}$$

em que β é dado por

$$\beta = 1/\left(\frac{D_p}{D_n}\frac{N_A}{N_D}\frac{W}{L_p} + \frac{1}{2}\frac{W^2}{D_n \tau_b}\right) \tag{4.12}$$

da qual vemos que β é uma constante para um dado transistor. Para transistores *npn* modernos, β fica na faixa de 100 a 200, podendo eventualmente ser da ordem de 1000 para dispositivos especiais. Por razões que ficarão claras logo a seguir, a constante β é chamada de **ganho de corrente de emissor comum**.

A Equação 4.12 indica que o valor de β é influenciado significativamente por dois fatores: a largura da região da base, W, e a razão de dopagem das regiões de base e emissor (N_A/N_D). Para obter um β elevado (que é altamente desejável, já que β representa um parâmetro de ganho), a base deve ser estreita (W pequeno) e levemente dopada, ao passo que o emissor deve ser altamente dopado (N_A/N_D pequeno). Finalmente, observe que a discussão até agora assume uma situação idealizada, em que β é constante para um determinado transistor.

A Corrente do Emissor

Já que a corrente que entra no transistor deve sair dele, pode ser visto na Figura 4.3 que a corrente do emissor i_E é igual à soma da corrente do coletor i_C e da corrente da base i_B,

$$i_E = i_C + i_B \tag{4.13}$$

Usando as Equações 4.10 e 4.13, obtemos

$$i_E = \frac{\beta+1}{\beta} i_C \tag{4.14}$$

isto é,

$$i_E = \frac{\beta+1}{\beta} I_S e^{v_{BE}/V_T} \tag{4.15}$$

Alternativamente, podemos expressar a Equação 4.14 na forma

$$i_C = \alpha i_E \tag{4.16}$$

em que a constante α é relacionada a β por

$$\alpha = \frac{\beta}{\beta+1} \tag{4.17}$$

Portanto, a corrente no emissor dada pela Equação 4.15 pode ser escrita como

$$i_E = (I_S/\alpha) e^{v_{BE}/V_T} \tag{4.18}$$

Finalmente, podemos usar a Equação 4.17 para expressar β em termos de α, isto é,

$$\beta = \frac{\alpha}{1-\alpha} \tag{4.19}$$

Podemos ver pela Equação 4.17 que α é uma constante (para um dado transistor) menor que a unidade, porém muito próximo dela. Por exemplo, se $\beta = 100$, então $\alpha \cong 0{,}99$. A Equação 4.19 revela um fato importante: pequenas variações em α correspondem a grandes variações em β. Essa observação matemática manifesta-se fisicamente, visto que transistores de mesmo tipo podem ter valores de β muito diferentes. Por razões que se tornarão evidentes mais tarde, α é chamado de **ganho de corrente em base comum**.

Recapitulação

Acabamos de apresentar um modelo de primeira ordem para a operação do transistor *npn* no modo ativo. Basicamente, a tensão de polarização direta v_{BE} faz com que uma corrente i_C com relação exponencial flua pelo terminal do coletor. A corrente de coletor i_C é independente do valor da tensão do coletor enquanto a junção coletor–base permanecer polarizada reversamente, isto é, $v_{CB} \geq 0$. Portanto, no modo ativo, o terminal do coletor se comporta como uma fonte de corrente ideal em que o valor da corrente é determinado por v_{BE}. A corrente da base i_B é um fator $1/\beta$ da corrente de coletor, e a corrente do emissor é igual à soma das correntes do coletor e da base. Como i_B é muito menor do que i_C (isto é, $\beta >> 1$), $i_E \cong i_C$. Sendo mais preciso, a corrente do coletor é uma fração α da corrente do emissor, com α ligeiramente menor que a unidade, mas muito próximo dela.

Modelos Equivalentes

O modelo de primeira ordem da operação do transistor descrito anteriormente pode ser representado pelo circuito equivalente mostrado na Figura 4.5(a). Nessa figura, o diodo D_E tem fator de escala de corrente igual a (I_S/α) e, portanto, proporciona uma corrente i_E relacionada a v_{BE} de acordo com a Equação 4.18. A corrente da fonte controlada, que é igual à corrente do coletor, é também controlada por v_{BE} de acordo com a relação exponencial indicada na Equação 4.3. Esse modelo é, em essência, uma fonte de corrente controlada por tensão não-linear. Ele pode ser convertido em um modelo empregando uma fonte de corrente controlada por corrente, como mostrado na Figura 4.5(b), expressando-se a corrente da fonte controlada como αi_E. Observe que esse modelo também é não-linear por causa da relação exponencial da corrente i_E que flui pelo diodo D_E com a tensão v_{BE}. Por esse modelo observamos que, se o transistor for usado como um quadripolo com os terminais de entrada entre E e B e os terminais de saída entre C e B (isto é, com o terminal B comum), então o ganho de corrente observado é igual a α. Portanto, α é chamado de ganho de corrente em base comum.

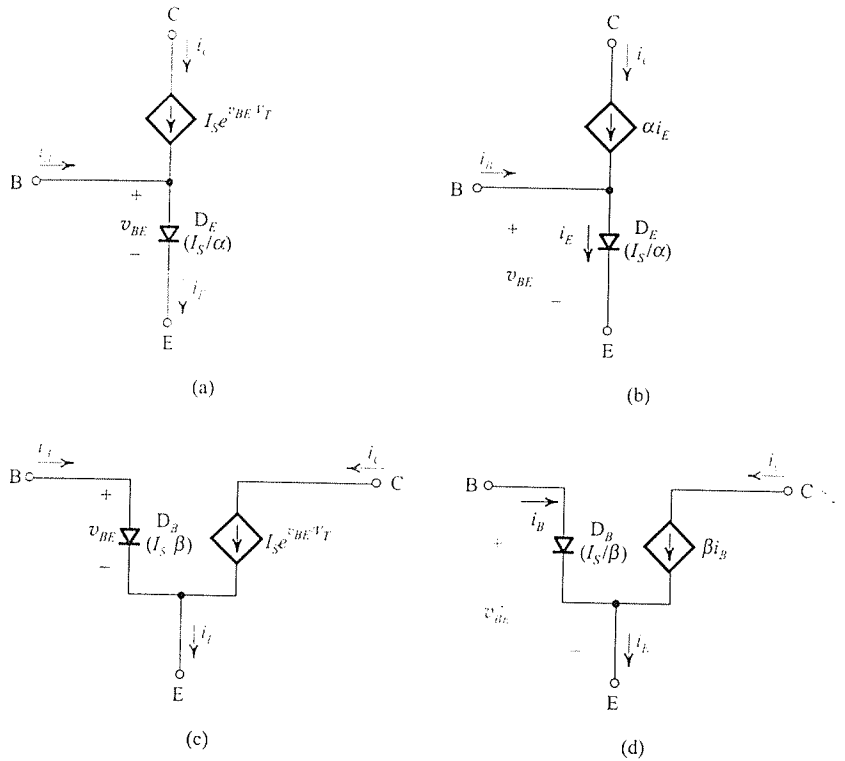


Figura 4.5 Modelos de circuitos equivalentes para grandes sinais do TBJ *npn* operando no modo ativo.

Dois outros modelos de circuitos equivalentes, mostrados na Figura 4.5(c) e (d), podem ser usados para representar a operação em grandes sinais do TBJ. O modelo da Figura 4.5(c) é essencialmente uma fonte de corrente controlada por tensão. Contudo, nesse modelo, o diodo D_B conduz a corrente de base e, portanto, seu fator de escala de corrente é I_S/β, resultando na relação i_B–v_{BE} dada pela Equação 4.11. Simplesmente expressando a corrente de coletor como βi_B obtemos o modelo da fonte de corrente controlada por corrente mostrado na Figura 4.5(d). Por esse último modelo observamos que, se o transistor for usado como um quadripolo com a entrada entre os terminais B e E e a saída entre os terminais C e E (isto é, com o terminal E comum), então o ganho de corrente observado é igual a β. Portanto, β é chamado de ganho de corrente em emissor comum.

A Constante *n*

Na equação do diodo (Capítulo 3), usamos uma constante n no expoente e mencionamos que esse valor está entre 1 e 2. Para os transistores bipolares de junção modernos, a constante n é próxima da unidade, exceto em casos especiais: (1) em altas correntes (isto é, alta em relação à faixa normal de operação de um dado transistor), em que a relação i_C–v_{BE} exibe um valor de n que é próximo de 2, e (2) em baixas correntes, em que a relação i_C–v_{BE} também exibe um valor para n de aproximadamente 2. Observe que, para nossos propósitos, podemos sempre assumir que $n = 1$.

A Corrente Reversa de Coletor–Base (I_{CBO})

Em nossa discussão do fluxo de corrente nos transistores, havíamos ignorado os pequenos valores de correntes reversas transportadas pelos portadores minoritários gerados termicamente. Embora tais correntes possam ser seguramente desprezadas nos transistores modernos, a corrente reversa na junção coletor–base merece ser mencionada. Essa corrente, denominada de I_{CBO}, é a corrente reversa que circula do coletor para a base com o emissor em aberto (por isso usamos o subscrito O, do inglês *open*). Essa corrente está usualmente na faixa de nanoampères, um valor que muitas vezes é maior do que o previsto teoricamente. Do mesmo modo que a corrente reversa no diodo, I_{CBO} contém uma componente de fuga substancial e seu valor depende de v_{CB}. I_{CBO} depende muito da temperatura, aproximadamente dobrando de valor para cada 10°C de aumento na temperatura.[3]

A Estrutura dos Transistores Reais

A Figura 4.6 mostra uma seção transversal simplificada, mas realista, de um TBJ *npn*. Observe que o coletor, virtualmente, cerca a região do emissor, fazendo com que elétrons injetados na base estreita dificilmente escapem de ser coletados. Desse modo, o valor resultante de α é próximo da unidade e β é elevado. Observe também que o dispositivo não é simétrico. Para outros detalhes sobre a estrutura física dos dispositivos reais, o leitor deve se referir ao Apêndice A.

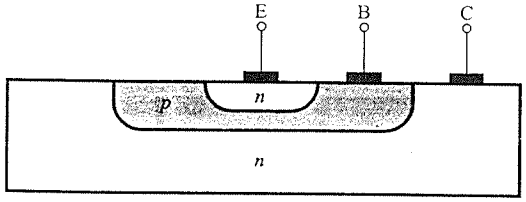


Figura 4.6 Seção transversal de um TBJ *npn*.

Exercícios

4.1 Considere um transistor *npn* com $v_{BE} = 0{,}7$ V e $i_C = 1$ mA. Calcule v_{BE} para $i_C = 0{,}1$ mA e 10 mA.

Resposta 0,64 V; 0,76 V

3. O coeficiente de temperatura de I_{CBO} é diferente de I_S porque I_{CBO} contém um componente de fuga substancial.

4.2 Um certo tipo de transistor foi especificado para ter β com valores na faixa de 50 a 150. Encontre a faixa de valores de α.

Resposta 0,980 a 0,993

4.3 Medições em um TBJ *npn* de um dado circuito mostram que a corrente da base é de 14,46 μA, a corrente do emissor é de 1,460 mA e a tensão de emissor–base é de 0,7 V. Para essas condições, calcule α, β e I_S.

Resposta 0,99; 100; 10^{-15} A

4.4 Calcule o valor de β para dois transistores que possuem $\alpha = 0,99$ e 0,98. Para correntes de coletor de 10 mA, calcule a corrente da base para cada transistor.

Resposta 99; 49; 0,1 mA; 0,2 mA

4.5 Considere o modelo do TBJ mostrado na Figura 4.5(d). Calcule o valor do fator de escala de corrente do diodo D_B sabendo que $I_S = 10^{-14}$ A e $\beta = 100$. Se esse transistor está operando na configuração emissor comum, com a base alimentada com uma fonte de corrente constante fornecendo uma corrente de 10 μA e com o coletor conectado em uma fonte *cc* de +10 V (E está aterrado), calcule os valores de V_{BE} e I_C.

Resposta 10^{-16} A; 0,633 V; 1 mA

4.3 O TRANSISTOR *pnp*

O transistor *pnp* opera de modo similar ao dispositivo *npn* descrito na Seção 4.2. A Figura 4.7 mostra um transistor *pnp* polarizado para operar no modo ativo. Nessa figura, V_{EB} faz com que o emissor tipo *p* esteja em um potencial mais alto do que a base tipo *n*, polarizando, portanto, diretamente a junção emissor–base. A junção coletor–base está reversamente polarizada por V_{BC}, que mantém a base tipo *n* em um potencial maior do que o coletor tipo *p*.

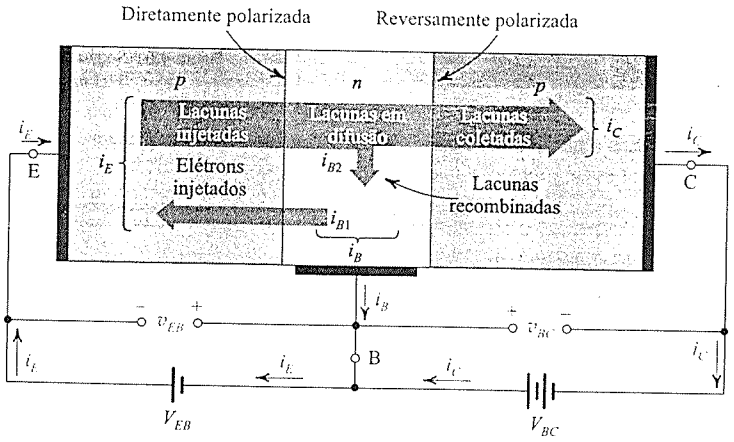


Figura 4.7 Fluxo de corrente em um transistor *pnp* polarizado para operar no modo ativo.

Ao contrário do transistor *npn*, a corrente no dispositivo *pnp* é constituída principalmente por lacunas injetadas na base pelo emissor como resultado da tensão de polarização direta V_{EB}. Visto que a componente da corrente de emissor constituída por elétrons injetados da base para o emissor é mantida pequena pelo fato de a base ser levemente dopada, a maior parte da corrente do emissor será devida às lacunas. Os elétrons injetados da base para o emissor dão origem à primeira componente da corrente da base, i_{B1}. Ainda, uma quantidade de lacunas injetadas na base se recombinarão com os portadores majoritários na base (elétrons) e será, portanto, perdida. Os elétrons da base que desaparecerem devem ser repostos pelo circuito externo, dando origem à segunda componente da base, i_{B2}. As lacunas que obtiverem sucesso e alcançarem os limites da região de depleção da junção coletor–base serão atraídas pela tensão negativa do coletor. Portanto, essas lacunas serão arremessadas através da região de depleção dentro do coletor e aparecerão como corrente do coletor.

Pode ser facilmente observado da descrição anterior que as relações corrente–tensão do transistor *pnp* serão idênticas às do transistor *npn*, exceto que v_{BE} é substituída por v_{EB}. Ainda, a operação do transistor *pnp* para grandes sinais pode ser modelada por um dos quatro modelos de circuitos equivalentes possíveis, semelhantes àqueles apresentados para o transistor *npn* na Figura 4.5. Para ilustração, dois dos quatro modelos *pnp* estão representados na Figura 4.8.

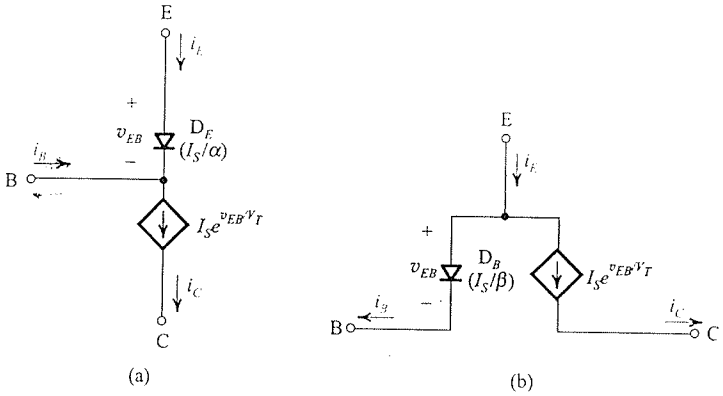


Figura 4.8 Dois modelos para grandes sinais para o transistor *pnp* operando no modo ativo.

Exercícios

4.6 Considere o modelo na Figura 4.8(a) aplicado no caso de um transistor *pnp* cuja base está aterrada, o emissor é alimentado por uma fonte de corrente constante que fornece uma corrente de 2 mA para o terminal de emissor e o coletor está ligado a uma fonte de alimentação *cc* de –10 V. Calcule a tensão no emissor, a corrente na base e a corrente no coletor, se para esse transistor $\beta = 50$ e $I_S = 10^{-14}$ A.

Resposta 0,650 V; 39,2 μA; 1,96 mA

4.7 Para um transistor *pnp* tendo $I_S = 10^{-11}$ A e $\beta = 100$, calcule v_{EB} para $i_C = 1,5$ A.

Resposta 0,643 V

4.4 SÍMBOLOS PARA CIRCUITOS E CONVENÇÕES

A estrutura física usada até agora para explicar a operação do transistor é muito incômoda para ser empregada nos diagramas esquemáticos de um circuito com vários transistores. Felizmente, há um símbolo de circuito muito conveniente para o TBJ. A Figura 4.9(a) mostra o símbolo de um transistor *npn*; o símbolo do *pnp* é mostrado na Figura 4.9(b). Em ambos os símbolos, o emissor é identificado por uma seta. Essa distinção é importante porque os TBJs práticos não são dispositivos simétricos. Isto é, uma troca do emissor com o coletor resultará em um valor diferente para α, muito baixo, um valor chamado de **α inverso** ou **α reverso**.[4]

A polaridade do dispositivo – *npn* ou *pnp* – está indicada pelo sentido da ponta da seta no emissor. Essa seta aponta para o sentido que a corrente flui no emissor, que é o sentido direto da junção emissor–base. Como adotamos uma convenção esquemática, na qual o fluxo de corrente é de cima para baixo, desenharemos sempre os transistores *pnp* conforme mostrado na Figura 4.9 (isto é, com o emissor em cima).

A Figura 4.10 mostra os transistores *npn* e *pnp* polarizados para operar no modo ativo. Deve ser mencionado que o arranjo de polarização mostrado, utilizando duas fontes *cc*, não é usual e foi utilizado apenas para ilustrar a operação. Esquemas práticos de polarização serão apresentados na Seção 4.10. A Figura 4.10 indica também o sentido de referência e o sentido real do fluxo de corrente no transistor. Nossa convenção utilizará o sentido de referência que coincide com o sentido normal do fluxo de corrente. Por isso, normalmente, não deveremos encontrar valores negativos para i_E, i_B ou i_C.

A conveniência de desenhar o circuito conforme a convenção adotada deve estar óbvia pela Figura 4.10. Note que os fluxos de correntes são de cima para baixo e que os potenciais são mais altos em cima do que embaixo. Com isso, a seta do emissor também indica a polaridade da tensão emissor–base que deve ser aplicada a fim de polarizar diretamente a junção emissor–base. No símbolo do transistor *pnp*, por exemplo, verifica-se que devemos fazer o potencial do emissor mais alto do que a base (de v_{EB}) a fim de fazer circular uma corrente no emissor (para baixo). Observe que o símbolo v_{EB} representa a tensão pela qual o emissor (E) é mais elevado que a base (B). Logo, para um transistor *pnp* operando no modo ativo, v_{EB} é positivo, enquanto em um transistor *npn* v_{BE} é positivo.

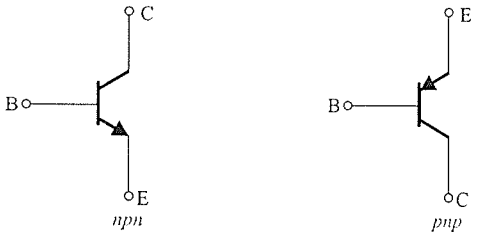


Figura 4.9 Símbolos de circuito para TBJs.

4. O modo de operação inverso do TBJ será estudado na Seção 4.13.

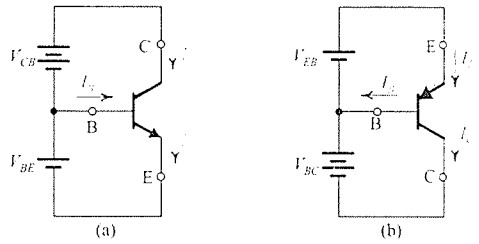


Figura 4.10 Polaridades das tensões e fluxos de corrente para os transistores polarizados no modo ativo.

Pela discussão da Seção 4.3, segue-se que um transistor *npn* cuja JEB está diretamente polarizada operará no modo ativo *enquanto o potencial no coletor for mais elevado do que o potencial da base*. A operação no modo ativo será mantida mesmo se a tensão de coletor for levemente menor que aquela da base, uma vez que uma junção *pn* de silício mantém-se essencialmente não conduzindo mesmo para tensões diretas menores que cerca de 0,5 V. A tensão de coletor, no entanto, deve ser maior que a tensão de base se o objetivo for manter a operação em modo ativo. Se ela cair abaixo da tensão de base, a junção coletor–base ficará diretamente polarizada, com o transistor entrando em novo modo de operação, chamado de saturação. Discutiremos a operação no modo saturado mais tarde; por enquanto, consideraremos o limite para operação no modo ativo como $v_{CB} = 0$.

De maneira semelhante, o transistor *pnp* operará no modo ativo *se o potencial do coletor for mais baixo do que (ou apenas levemente superior a) aquele da base*. Não deve ser permitido que a tensão de coletor se eleve muito acima da tensão de base, se o objetivo é manter a operação em modo ativo. Novamente, adiando nosso estudo da operação no modo saturado para mais tarde, consideraremos por enquanto o limite para operação no modo ativo como $v_{BC} = 0$.

Para referência rápida, apresentamos na Tabela 4.2 um resumo das relações corrente–tensão para o TBJ no modo ativo de operação.

Tabela 4.2 Resumo das relações corrente–tensão para o TBJ no modo ativo.

$$i_C = I_S e^{v_{BE}/V_T}$$

$$i_B = \frac{i_C}{\beta} = \left(\frac{I_S}{\beta}\right) e^{v_{BE}/V_T}$$

$$i_E = \frac{i_C}{\alpha} = \left(\frac{I_S}{\alpha}\right) e^{v_{BE}/V_T}$$

Nota: Para o transistor *pnp*, substitua v_{BE} por v_{EB}.

$$i_C = \alpha i_E \qquad i_B = (1-\alpha) i_E = \frac{i_E}{\beta+1}$$

$$i_C = \beta i_B \qquad i_E = (\beta+1) i_B$$

$$\beta = \frac{\alpha}{1-\alpha} \qquad \alpha = \frac{\beta}{\beta+1}$$

V_T = tensão térmica = $kT/q \simeq 25$ mV à temperatura ambiente

EXEMPLO 4.1

O transistor no circuito da Figura 4.11(a) tem $\beta = 100$ e exibe um v_{BE} de 0,7 V quando $i_C = 1$ mA. Projete o circuito de modo que uma corrente de 2 mA circule pelo coletor e a tensão no coletor seja de +5 V.

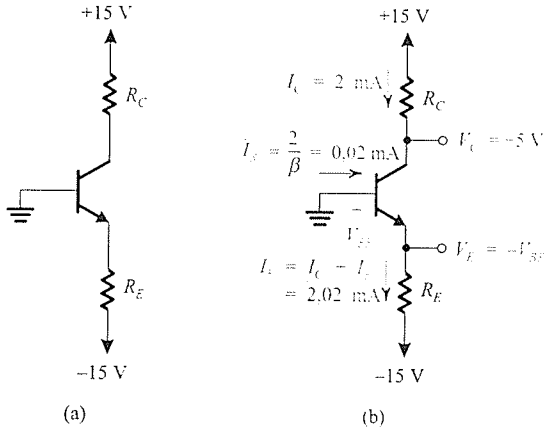


Figura 4.11 Circuito para o Exemplo 4.1.

SOLUÇÃO

Refira-se à Figura 4.11(b). Para obter um valor V_C de +5 V, a queda de tensão em R_C deve ser de 15 – 5 = 10 V. Agora, como $I_C = 2$ mA, o valor de R_C deve ser escolhido tal que

$$R_C = \frac{10\text{ V}}{2\text{ mA}} = 5\text{ k}\Omega$$

Visto que $v_{BE} = 0{,}7$ V quando $i_C = 1$ mA, o valor de v_{BE} quando $i_C = 2$ mA deve ser

$$V_{BE} = 0{,}7 + V_T \ln\left(\frac{2}{1}\right) = 0{,}717\text{ V}$$

Como a base está em 0 V, a tensão no emissor deve ser

$$V_E = -0{,}717\text{ V}$$

Para $\beta = 100$, $\alpha = 100/101 = 0{,}99$. Logo, a corrente do emissor deve ser

$$i_E = \frac{I_C}{\alpha} = \frac{2}{0{,}99} = 2{,}02\text{ mA}$$

Assim, o valor necessário para R_E pode ser determinado por

$$R_E = \frac{V_E - (-15)}{I_E}$$
$$= \frac{-0{,}717 + 15}{2{,}02} = 7.07\text{ k}\Omega$$

Isso completa o projeto. Contudo, deve ser observado que os cálculos anteriores foram feitos com um grau de precisão que normalmente não é nem justificado nem necessário na prática, tendo em vista, por exemplo, as tolerâncias esperadas nos valores dos componentes. Entretanto, resolvemos fazer o projeto com precisão a fim de ilustrar os passos envolvidos.

Exercícios

4.8 No circuito mostrado na Figura E4.8, a tensão no emissor foi medida como sendo de –0,7 V. Se $\beta = 50$, calcule I_E, I_B, I_C e V_C.

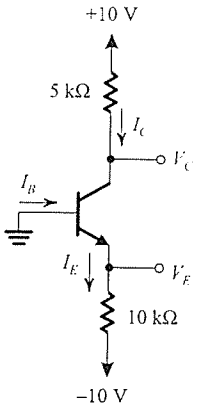


Figura E4.8

Resposta 0,93 mA; 18,2 μA; 0,91 mA; +5,45 V

4.9 No circuito mostrado na Figura E4.9, as medições indicam V_B sendo de +1,0 V e V_E sendo de +1,7 V. Quais os valores de α e β para esse transistor? Qual o valor de V_C no coletor?

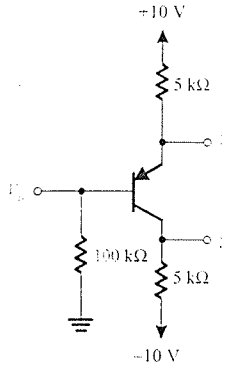


Figura E4.9

Resposta 0,994; 165; −1,75 V

4.5 REPRESENTAÇÃO GRÁFICA DAS CARACTERÍSTICAS DO TRANSISTOR

Às vezes, é útil descrever as características *i–v* do transistor graficamente. A Figura 4.12 mostra a característica i_C–v_{BE}, cuja relação exponencial é

$$i_C = I_S e^{v_{BE}/V_T}$$

que é idêntica (exceto pelo valor da constante n) à relação i–v do diodo. As características i_E–v_{BE} e i_B–v_{BE} também são exponenciais, porém com diferentes fatores de escala de correntes: I_S/α para i_E e I_S/β para i_B. Visto que a constante da característica exponencial, $1/V_T$, é muito alta (= 40), a curva tem uma inclinação bastante elevada. Para v_{BE} menor do que 0,5 V aproximadamente, a corrente é desprezivelmente pequena. Além disso, v_{BE} limita-se a uma faixa de 0,6 V a 0,8 V para correntes normais de operação.

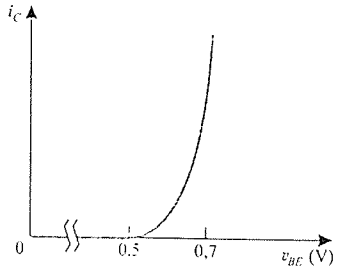


Figura 4.12 A característica i_C–v_{BE} para um transistor *npn*.

Ao realizarmos cálculos rápidos para determinar grandezas *cc*, assumiremos normalmente que v_{BE} = 0,7 V, que é similar à aproximação usada na análise de circuitos com diodo (Capítulo 3). Para o transistor *pnp* a característica i_C–v_{EB} será idêntica em aparência à característica da Figura 4.12.

Como nos diodos de silício, a tensão na junção emissor–base diminui cerca de 2 mV para cada 1°C de aumento na temperatura, considerando que a junção esteja operando em um valor constante de corrente. A Figura 4.13 ilustra a dependência com a temperatura representando a curva i_C–v_{BE} em três temperaturas diferentes para um transistor *npn*.

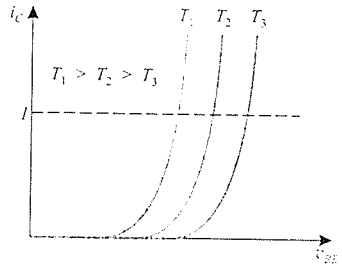


Figura 4.13 Efeito da temperatura sobre a característica i_C–v_{BE}. Com uma corrente de emissor constante (linha tracejada), v_{BE} muda de −2 mV/°C.

A Figura 4.14(b) mostra as características i_C–v_{CB} de um transistor *npn* para vários valores de corrente de emissor i_E. Essas características podem ser medidas usando-se o circuito mostrado na Figura 4.14(a). É mostrada apenas a operação no modo ativo, visto que apenas a parte de $v_{CB} \geq 0$ está desenhada. Como pode ser visto, as curvas são retas horizontais, corroborando o fato de que o coletor se comporta como uma fonte de corrente constante. Nesse caso, o valor da corrente do coletor é controlada pela corrente do emissor ($i_C = \alpha i_E$) e o transistor pode ser visto como uma fonte de corrente controlada por corrente (veja o modelo da Figura 4.5(b)).

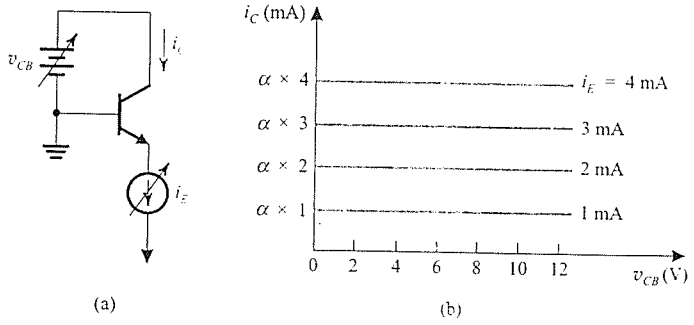


Figura 4.14 As características i_C–v_{CB} de um transistor *npn* no modo ativo.

Dependência de i_C da Tensão de Coletor – O Efeito Early

Quando operados na região ativa, os TBJs mostram uma certa dependência da corrente de coletor com a tensão de coletor, com o resultado de que suas características i_C–v_{CB} não são retas per-

feitamente horizontais. Para perceber essa dependência mais claramente, considere o circuito conceitual mostrado na Figura 4.15(a). O transistor está conectado à configuração emissor comum e sua tensão V_{BE} pode ter qualquer valor desejado, variando-se a tensão da fonte *cc* conectada entre a base e o emissor. Para cada valor de V_{BE}, a curva característica correspondente $i_C - v_{CE}$ pode ser medida ponto a ponto variando-se a fonte *cc* conectada entre o coletor e o emissor e anotando-se os valores correspondentes da corrente de coletor. O resultado é uma família de curvas características i_C–v_{CE} mostradas na Figura 4.15(b).

Para valores baixos de v_{CE}, visto que a tensão de coletor cai abaixo do valor da tensão da base, a junção coletor–base fica diretamente polarizada, deixando o modo ativo e entrando no modo de saturação. Estudaremos a operação no modo de saturação em uma seção posterior. Neste momento estamos interessados em examinar as curvas características na região ativa em detalhes. Observamos que as curvas características, embora ainda sejam retas, apresentam uma inclinação finita. Na verdade, quando extrapoladas, as linhas características encontram-se em um ponto do eixo negativo de v_{CE}, em $v_{CE} = -V_A$. A tensão V_A, um número positivo, é um parâmetro para um dado TBJ, com valores típicos na faixa de 50 a 100 V. Ela é chamada de **tensão Early**, em homenagem ao primeiro cientista a estudar tal fenômeno.

Para um dado valor de v_{BE}, aumentando-se v_{CE} aumenta-se a tensão de polarização reversa sobre a junção coletor–base e, portanto, aumenta-se a largura da região de depleção dessa junção (refira-se à Figura 4.3). Isso, por sua vez, resulta em uma diminuição da largura efetiva da base, W. Lembrando que I_S é inversamente proporcional a W, vemos que I_S e i_C aumentarão proporcionalmente. Esse é o efeito Early.

A dependência linear de i_C com v_{CE} pode ser levada em consideração supondo-se que I_S permanece constante e incluindo-se o fator $(1 + v_{CE}/V_A)$ na equação de i_C como segue:

$$i_C = I_S e^{v_{BE}/V_T}\left(1+\frac{v_{CE}}{V_A}\right) \tag{4.20}$$

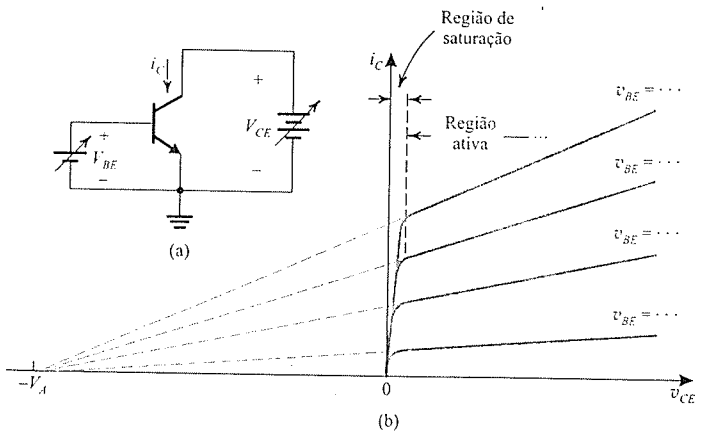


Figura 4.15 (a) Circuito conceitual para medição das características de i_C–v_{CE} do TBJ. (b) As características i_C–v_{CE} de um TBJ real.

A inclinação diferente de zero das retas i_C–v_{CE} indica que a **resistência de saída** vista no coletor não é infinita. Pelo contrário, é finita e definida por

$$r_o \equiv \left[\left.\frac{\partial i_C}{\partial v_{CE}}\right|_{v_{BE}=\text{constante}}\right]^{-1} \tag{4.21}$$

Usando a Equação 4.11 podemos mostrar que

$$r_o \simeq \frac{V_A}{I_C} \tag{4.22}$$

em que I_C é o nível de corrente correspondente ao valor constante de v_{BE}, próximo aos limites da região ativa.

Raramente necessitaremos incluir a dependência de i_C com v_{CE} nos projetos e análises de polarização *cc*. Contudo, a resistência de saída finita r_o pode ter um efeito significativo sobre o ganho de amplificadores transistorizados, como será visto nas próximas seções e capítulos.

Exercícios

4.10 Considere um transistor *pnp* com $v_{EB} = 0{,}7$ V e $i_E = 1$ mA. Suponha que a base esteja aterrada, o emissor seja alimentado por uma fonte de corrente constante de 2 mA e o coletor esteja conectado a uma alimentação de –5 V através de uma resistência de 1 kΩ. Se a temperatura aumentar em 30°C, calcule as variações nas tensões de coletor e de emissor. Despreze o efeito de I_{CBO}.

Resposta –60 mV; 0 V

4.11 Calcule a resistência de saída de um TBJ para o qual $V_A = 100$ V, quando $I_C = 0{,}1$, 1 e 10 mA.

Resposta 1 MΩ; 100 kΩ; 10 kΩ

4.12 Considere o circuito na Figura 4.15(a). Sendo $V_{CE} = 1$ V, V_{BE} é ajustado para manter uma corrente de coletor de 1 mA. A seguir, enquanto V_{BE} é mantido constante, V_{CE} é aumentado para 11 V. Calcule o novo valor de I_C. Para esse transistor, $V_A = 100$ V.

Resposta 1,1 mA

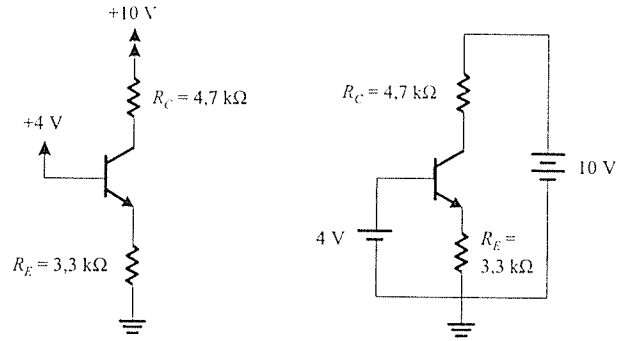
4.6 ANÁLISE *cc* DE CIRCUITOS COM TRANSISTORES

Agora estamos prontos para analisar alguns circuitos simples com transistor nos quais apenas tensões *cc* estão aplicadas. Nos exemplos a seguir, usaremos o modelo simplificado de tensão v_{BE} constante, o qual é similar ao modelo discutido na Seção 3.4 para o diodo de junção. Especificamente, assumiremos que $V_{BE} = 0{,}7$ V, independente do valor exato da corrente.

Se necessário, essa aproximação pode ser melhorada usando técnicas similares àquelas já empregadas no caso do diodo. A ênfase aqui, contudo, é apreciar a essência da análise de circuitos com transistor.

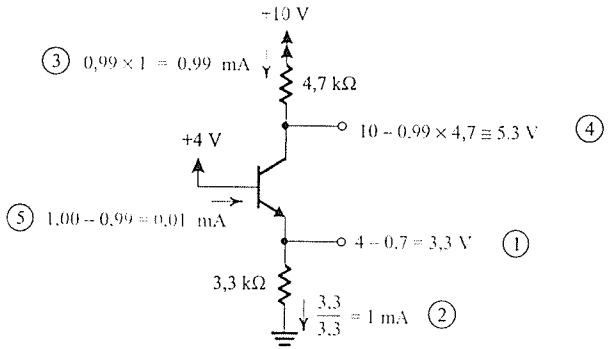
EXEMPLO 4.2

Considere o circuito mostrado na Figura 4.16(a), o qual está redesenhado na Figura 4.16(b), para lembrar ao leitor da convenção empregada no decorrer deste livro para indicar as conexões das fontes *cc*. Desejamos analisar esse circuito para determinar todas as tensões nodais e correntes dos ramos. Vamos supor que β é especificado com um valor de 100.



(a)

(b)



(c)

Figura 4.16 Análise do circuito para o Exemplo 4.2: (a) circuito; (b) circuito redesenhado para lembrar ao leitor a convenção usada neste livro para indicar as conexões das fontes de alimentação; (c) análise com os passos numerados.

SOLUÇÃO

Não sabemos inicialmente se o transistor está ou não no modo ativo. Uma abordagem simplificada seria supor que o dispositivo está no modo ativo, continuar com a resolução e finalmente checar se realmente o transistor está ou não no modo ativo. Se descobrirmos que as condições de operação no modo ativo foram satisfeitas, então nosso trabalho estará completo. Caso contrário, o dispositivo estará em outro modo de operação e teremos de resolver o problema novamente. Obviamente, até este estágio só aprendemos sobre o modo ativo de operação e, portanto, não seremos capazes de tratar com circuitos que não se encontram no modo ativo.

Olhando para o circuito da Figura 4.16(a), observamos que a base está conectada ao ponto +4 V e o emissor está conectado ao terra por meio da resistência R_E. Isso, portanto, permite-nos concluir com segurança que a junção emissor–base estará diretamente polarizada. Supondo que seja esse o caso e supondo que V_{BE} é aproximadamente 0,7 V, concluímos que a tensão no emissor será

$$V_E = 4 - V_{BE} = 0{,}7 = 3{,}3 \text{ V}$$

Estamos agora em uma posição favorável; conhecemos as tensões nos dois terminais de R_E e, portanto, podemos determinar a corrente I_E através de

$$I_E = \frac{V_E - 0}{R_E} = \frac{3{,}3}{3{,}3} = 1 \text{ mA}$$

Como o coletor está conectado através de R_C à fonte de alimentação de +10 V, parece possível que a tensão no coletor seja maior do que a tensão na base, o que é essencial para a operação no modo ativo. Supondo que seja esse o caso, podemos obter a corrente no coletor de

$$I_C = \alpha I_E$$

O valor de α é obtido de

$$\alpha = \frac{\beta}{\beta + 1} = \frac{100}{101} \simeq 0{,}99$$

Portanto, I_C será dada por

$$I_C = 0{,}99 \times 1 = 0{,}99 \text{ mA}$$

Estamos agora em posição de usar a lei de Ohm para determinar a tensão no coletor V_C,

$$V_C = 10 - I_C R_C = 10 - 0{,}99 \times 4{,}7 \simeq +5{,}3 \text{ V}$$

Como a base está em +4 V, a junção coletor–base está reversamente polarizada por 1,3 V e o transistor está realmente no modo ativo, como havíamos suposto.

Resta apenas determinar a corrente de base I_B, como segue:

$$I_B = \frac{I_E}{\beta + 1} = \frac{1}{101} \simeq 0{,}01 \text{ mA}$$

Antes de encerrar este exemplo, desejamos enfatizar novamente a importância de realizar a análise diretamente sobre o diagrama do circuito. Apenas desse modo seremos capazes de analisar circuitos complexos em um espaço de tempo razoável. A Figura 4.16(c) ilustra a análise anterior no diagrama do circuito com a seqüência dos passos da análise indicados pelos números nos círculos.

EXEMPLO 4.3

Desejamos analisar o circuito da Figura 4.17(a) para determinar todas as tensões nodais e todas as correntes nos ramos. Observe que esse circuito é idêntico ao da Figura 4.16, exceto que a tensão na base agora é de +6 V.

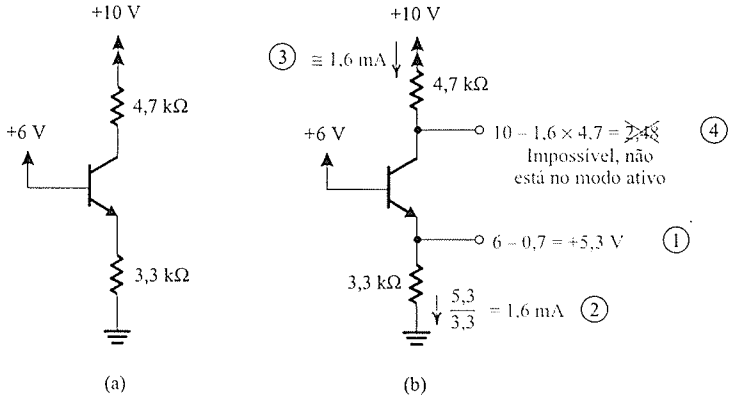


Figura 4.17 Análise do circuito para o Exemplo 4.3. Observe que os números dentro dos círculos indicam a ordem dos passos da análise.

SOLUÇÃO

Supondo a operação no modo ativo, temos

$$V_E = +6 - V_{BE} = 6 - 0.7 = 5{,}3 \text{ V}$$

$$I_E = \frac{5{,}3}{3{,}3} = 1{,}6 \text{ mA}$$

$$V_C = +10 - 4{,}7 \times I_C = 10 - 7{,}52 = 2{,}48 \text{ V}$$

Visto que a tensão de coletor calculada parece ser menor que a tensão de base por 3,52 V, concluímos que a suposição original da operação no modo ativo está incorreta. Na realidade, o transistor deve estar no modo de *saturação*. Como ainda não estudamos o modo de operação em saturação, devemos adiar a análise do circuito para uma seção futura.

Os detalhes da análise feita aqui estão ilustrados na Figura 4.17(b).

EXEMPLO 4.4

Desejamos analisar o circuito da Figura 4.18(a) para determinar todas as tensões nodais e todas as correntes nos ramos. Observe que esse circuito é idêntico ao considerado nos Exemplos 4.2 e 4.3, exceto que agora a tensão na base é zero.

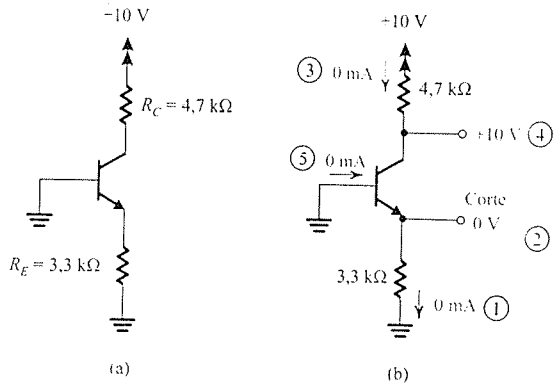


Figura 4.18 Exemplo 4.4: (a) circuito; (b) análise com a ordem dos passos indicados pelos círculos numerados.

SOLUÇÃO

Como a tensão na base é zero volts, a junção emissor–base não pode conduzir e a corrente de emissor é zero. Além disso, a junção coletor–base não pode conduzir, visto que o coletor tipo *n* está conectado através de R_C ao terminal positivo da fonte de alimentação, enquanto a base tipo *p* está no potencial de terra. Isso implica que a corrente no coletor é zero. A corrente da base também deverá ser zero e o transistor está operando no modo de *corte*.

A tensão no emissor será obviamente zero, enquanto a tensão no coletor será igual a +10 V, visto que a queda de tensão em R_C é zero. A Figura 4.18(b) mostra os detalhes dessa análise.

Exercícios

P4.13 Para o circuito na Figura 4.16(a), calcule o maior valor de tensão que a base pode ter para que o transistor permaneça no modo ativo. Suponha $\alpha = 1$.

Resposta +4,54 V

P4.14 Reprojete o circuito da Figura 4.16(a) (isto é, calcule novos valores para R_E e R_C) para estabelecer uma corrente de coletor de 0,5 mA e uma tensão de polarização reversa na junção coletor–base de 2 V. Suponha $\alpha = 1$.

Resposta $R_E = 6{,}6$ kΩ; $R_C = 8$ kΩ

EXEMPLO 4.5

Desejamos analisar o circuito da Figura 4.19(a) para determinar todas as tensões nodais e todas as correntes nos ramos.

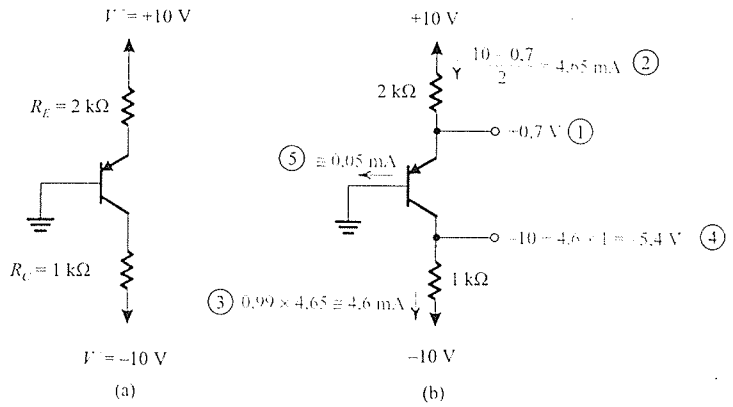


Figura 4.19 Exemplo 4.5: (a) circuito; (b) análise com a ordem dos passos indicados pelos círculos numerados.

SOLUÇÃO

A base desse transistor *pnp* está aterrada, enquanto o emissor está conectado ao terminal positivo da fonte de alimentação ($V^+ = +10$ V) através de R_E. Isso implica que a junção emissor–base ficará diretamente polarizada com

$$V_E = V_{EB} = 0{,}7 \text{ V}$$

Portanto, a corrente de emissor será dada por

$$I_E = \frac{V^+ - V_E}{R_E} = \frac{10 - 0{,}7}{2} = 4{,}65 \text{ mA}$$

Como o coletor está conectado a uma fonte negativa (mais negativa do que a base) através de R_C, *é possível* que esse transistor esteja operando no modo ativo. Supondo esse o caso, obtemos

$$I_C = \alpha I_E$$

Como não foi dado nenhum valor para β, suporemos um valor $\beta = 100$, que resulta em $\alpha = 0{,}99$. Visto que grandes variações em β resultam em pequenas diferenças em α, essa suposição não será crítica a ponto de afetar a determinação do valor de I_C. Portanto,

$$I_C = 0{,}99 \times 4{,}65 = 4{,}6 \text{ mA}$$

A tensão de coletor será

$$\begin{aligned} V_C &= V^- + I_C R_C \\ &= -10 + 4{,}6 \times 1 = -5{,}4 \text{ V} \end{aligned}$$

Logo, a junção coletor–base está reversamente polarizada com 5,4 V e o transistor está realmente no modo ativo, o que confirma nossa suposição original.

Resta apenas calcular a corrente da base,

$$I_B = \frac{I_E}{\beta + 1} = \frac{4{,}65}{101} = 0{,}05 \text{ mA}$$

Obviamente, o valor de β afeta de forma crítica o valor da corrente da base. Observe, contudo, que nesse circuito o valor de β não terá efeito no modo de operação do transistor. Visto que β é geralmente um parâmetro mal especificado, esse circuito representa um bom projeto.

Como regra, devemos nos esforçar para *projetar o circuito de tal modo que seu funcionamento seja independente do valor de β o tanto quanto possível*. Os detalhes dessa análise estão ilustrados na Figura 4.19(b).

Exercícios

P4.15 Para o circuito na Figura 4.19(a), calcule o maior valor de R_C de modo que o transistor permaneça no modo ativo.

Resposta 2,17 kΩ

P4.16 Reprojete o circuito da Figura 4.19(a) (isto é, calcule novos valores para R_E e R_C) a fim de estabelecer uma corrente de coletor de 1 mA e uma polarização reversa da junção coletor–base de 4 V. Suponha $\alpha \simeq 1$.

Resposta $R_E = 9{,}3$ kΩ; $R_C = 6$ kΩ

EXEMPLO 4.6

Desejamos analisar o circuito da Figura 4.20(a) para determinar todas as tensões nodais e todas as correntes nos ramos. Suponha $\beta = 100$.

SOLUÇÃO

A junção emissor–base está claramente polarizada diretamente. Logo

$$I_B = \frac{+5 - V_{BE}}{R_B} = \frac{5 - 0{,}7}{100} = 0{,}043 \text{ mA}$$

Suponha que o transistor esteja operando no modo ativo. Podemos então escrever

$$I_C = \beta I_B = 100 \times 0{,}043 = 4{,}3 \text{ mA}$$

A tensão de coletor pode agora ser determinada como

$$V_C = +10 - I_C R_C = 10 - 4{,}3 \times 2 \simeq +1{,}4 \text{ V}$$

Como a tensão da base V_B é

$$V_B = V_{BE} \simeq +0{,}7 \text{ V}$$

segue-se que a junção coletor–base está reversamente polarizada com 0,7 V e o transistor está realmente no modo ativo. A corrente de emissor será dada por

$$I_E = (\beta+1)I_B = 101\times 0{,}043 = 4{,}3 \text{ mA}$$

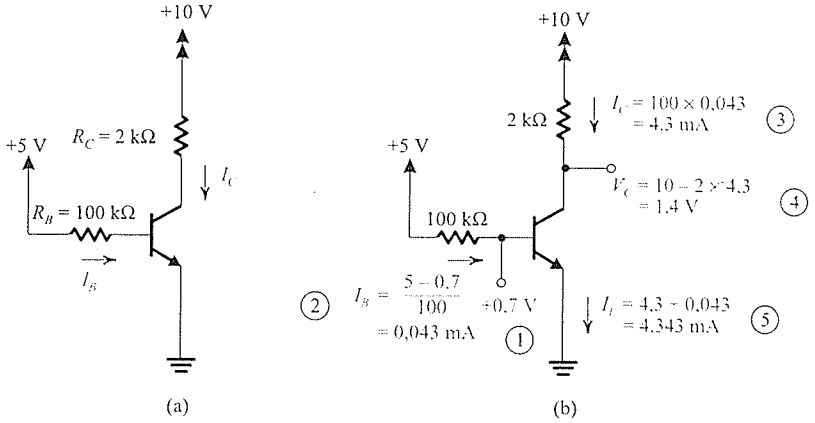


Figura 4.20 Exemplo 4.6: **(a)** circuito; **(b)** análise com a ordem dos passos indicada pelos círculos numerados.

Observamos neste exemplo que as correntes de coletor e de emissor dependem fortemente do valor de β. Na verdade, se β fosse 10% maior, o transistor deixaria o modo ativo e entraria na saturação. Portanto, esse é claramente um mau projeto. Os detalhes da análise estão ilustrados na Figura 4.20(b).

Exercício

P4.17 O circuito da Figura 4.20(a) deve ser fabricado usando um tipo de transistor cujo β é especificado em uma faixa de 50 a 150. (Isto é, unidades individuais desse mesmo transistor podem ter qualquer valor de β dentro dessa faixa.) Reprojete o circuito escolhendo um novo valor para R_C de modo que todo circuito fabricado tenha seu funcionamento garantido no modo ativo. Qual a faixa de tensões de coletor que o circuito fabricado poderá apresentar?

Resposta $R_C = 1{,}44$ kΩ; $V_C = 0{,}7$ V até 6,9 V

EXEMPLO 4.7

Queremos analisar o circuito da Figura 4.21(a) para determinar todas as tensões nodais e todas as correntes nos ramos. Suponha $\beta = 100$.

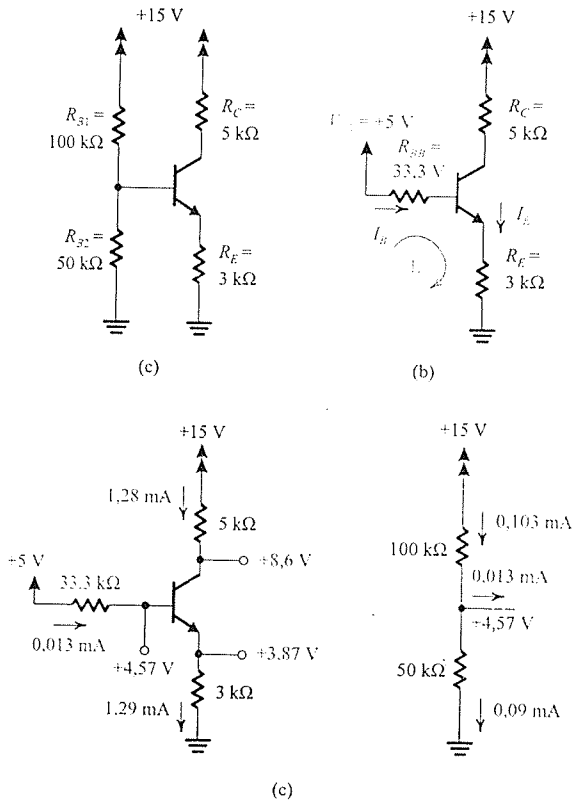


Figura 4.21 Circuitos para o Exemplo 4.7.

SOLUÇÃO

O primeiro passo da análise consiste em simplificar o circuito da base usando o teorema de Thévenin. O resultado é mostrado na Figura 4.21(b), em que

$$V_{BB} = +15\frac{R_{B2}}{R_{B1}+R_{B2}} = 15\frac{50}{100+50} = +5 \text{ V}$$

$$R_{BB} = (R_{B1}//R_{B2}) = (100//50) = 33{,}3 \text{ kΩ}$$

Para determinar a corrente de base ou de emissor temos de escrever a equação de malha em torno da malha marcada por L na Figura 4.21(b). Observe, contudo, que a corrente através de R_{BB} é diferente da corrente através de R_E. A equação de malha será

$$V_{BB} = I_B R_{BB} + V_{BE} + I_E R_E$$

Substituindo I_B por

$$I_B = \frac{I_E}{\beta + 1}$$

e rearranjando a equação obtemos

$$I_E = \frac{V_{BB} - V_{BE}}{R_E + [R_{BB}/(\beta + 1)]}$$

Para os valores numéricos fornecidos, temos

$$I_E = \frac{5 - 0{,}7}{3 + (33{,}3/101)} = 1{,}29 \text{ mA}$$

A corrente de base será

$$I_B = \frac{1{,}29}{101} = 0{,}0128 \text{ mA}$$

A tensão na base é dada por

$$V_B = V_{BE} + I_E R_E$$
$$= 0{,}7 + 1{,}29 \times 3 = 4{,}57 \text{ V}$$

Suponha a operação no modo ativo. Podemos determinar a corrente no coletor como

$$I_C = \alpha I_E = 0{,}99 \times 1{,}29 = 1{,}28 \text{ mA}$$

A tensão no coletor pode ser agora determinada como

$$V_C = +15 - I_C R_C = 15 - 1{,}28 \times 5 = 8{,}6 \text{ V}$$

Isso significa que o potencial no coletor está mais alto do que a base de 4,03 V, o que implica que o transistor está no modo ativo, como supusemos inicialmente. Os resultados da análise estão ilustrados na Figura 4.21(c).

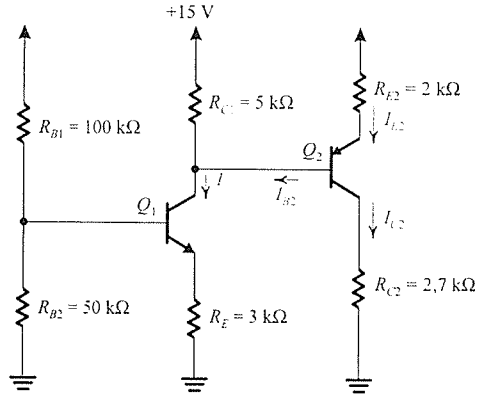
Exercício

4.18 . Se o transistor no circuito da Figura 4.21(a) for substituído por outro, tendo metade do valor de β (isto é, $\beta = 50$), calcule o novo valor de I_C e expresse a variação em I_C na forma de porcentagem.

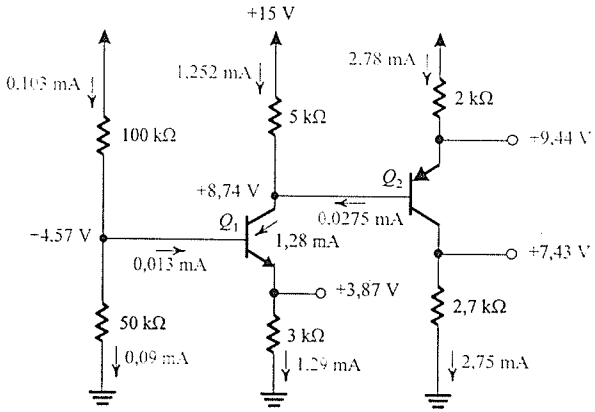
Resposta $I_C = 1{,}15$ mA; –10%

EXEMPLO 4.8

Desejamos analisar o circuito da Figura 4.22(a) determinando todas as tensões nodais e todas as correntes nos ramos.



(a)



(b)

Figura 4.22 Circuitos para o Exemplo 4.8.

SOLUÇÃO

Primeiro reconhecemos que parte desse circuito é idêntico ao circuito que analisamos no Exemplo 4.7 – isto é, o circuito da Figura 4.21(a). A diferença, é claro, é que no novo circuito temos um transistor Q_2 adicional junto com os resistores R_{E2} e R_{C2} associados. Suponha que Q_1 ainda esteja no modo ativo. Os valores a seguir são idênticos aos já obtidos no exemplo anterior:

$$V_{B1} = +4{,}57 \text{ V} \qquad I_{E1} = 1{,}29 \text{ mA}$$
$$I_{B1} = 0{,}0128 \text{ mA} \qquad I_{C1} = 1{,}28 \text{ mA}$$

Contudo, a corrente no coletor será diferente do cálculo anterior, visto que parte da corrente de I_{C1} circulará na base de Q_2 (I_{B2}). Como uma primeira aproximação, podemos supor que I_{B2} é muito menor do que I_{C1}; isto é, podemos supor que a corrente através de R_{C1} é quase igual a I_{C1}. Isso nos permitirá calcular V_{C1}:

$$V_{C1} \simeq +15 - I_{C1}R_{C1}$$
$$= 15 - 1{,}28 \times 5 = +8{,}6 \text{ V}$$

Portanto, Q_1 está no modo ativo, como foi suposto.

Quanto a Q_2, é interessante observarmos que seu emissor está conectado a +15 V através de R_{E2}. Logo, o emissor de Q_2 terá uma tensão V_{E2} dada por

$$V_{E2} = V_{C1} + V_{EB}\big|_{Q2} \simeq 8{,}6 + 0{,}7 = +9{,}3 \text{ V}$$

A corrente do emissor de Q_2 pode ser agora calculada como

$$I_{E2} = \frac{+15 - V_{E2}}{R_{E2}} = \frac{15 - 9{,}3}{2} = 2{,}85 \text{ mA}$$

Visto que o coletor de Q_2 está ligado ao terra via R_{C2}, é possível que Q_2 esteja operando no modo ativo. Suponha que seja esse o caso. Encontramos agora o valor de I_{C2} como

$$I_{C2} = \alpha_2 I_{E2}$$
$$= 0{,}99 \times 2{,}85 = 2{,}82 \text{ mA} \qquad \text{(assumindo } \beta_2 = 100\text{)}$$

A tensão no coletor de Q_2 será

$$V_{C2} = I_{C2}R_{C2} = 2{,}82 \times 2{,}7 = 7{,}62 \text{ V}$$

que é menor do que V_{B2} por 0,98 V. Portanto, Q_2 está no modo ativo, conforme suposto.

Nesse estágio, é importante determinar o erro decorrente de nossos cálculos pela suposição de que I_{B2} pode ser desprezado. O valor de I_{B2} é dado por

$$I_{B2} = \frac{I_{E2}}{\beta_2 + 1} = \frac{2{,}85}{101} = 0{,}028 \text{ mA}$$

cujo valor é realmente muito menor do que I_{C1} (1,28 mA). Se for desejado, podemos obter mais precisão nos resultados fazendo-se mais uma iteração, considerando I_{B2} como sendo de 0,028 mA. Os novos valores serão

$$\text{Corrente em } R_{C1} = I_{C1} - I_{B2} = 1{,}28 - 0{,}028 = 1{,}252 \text{ mA}$$
$$V_{C1} = 15 - 5 \times 1{,}252 = 8{,}74 \text{ V}$$
$$V_{E2} = 8{,}74 + 0{,}7 = 9{,}44 \text{ V}$$
$$I_{E2} = \frac{15 - 9{,}44}{2} = 2{,}78 \text{ mA}$$
$$I_{C2} = 0{,}99 \times 2{,}78 = 2{,}75 \text{ mA}$$
$$V_{C2} = 2{,}75 \times 2{,}7 = 7{,}43 \text{ V}$$
$$I_{B2} = \frac{2{,}78}{101} = 0{,}0275 \text{ mA}$$

Observe que o novo valor de I_{B2} está muito próximo do valor usado em nossa iteração, e iterações adicionais não se justificam. O resultado final está indicado na Figura 4.22(b).

O leitor deve estar admirado pela necessidade de usar um esquema de iteração na solução de um problema linear (ou linearizado). Realmente, podemos obter a solução exata (se pudermos chamar de exato qualquer cálculo que fizermos com um modelo de primeira ordem!) escrevendo as equações apropriadas. O leitor é aconselhado a determinar essa resposta e comparar os resultados com os obtidos anteriormente. É importante enfatizar, contudo, que em muitos desses problemas é suficiente obter uma solução aproximada, desde que possamos obtê-la rapidamente e, claro, corretamente.

Observação Importante

Nos Exemplos 4.2 até 4.8 usamos freqüentemente um valor preciso de α para calcular a corrente de coletor. Como α é aproximadamente 1, o erro em nossos cálculos será muito pequeno se fizermos a suposição de que $\alpha = 1$ e $i_C = i_E$. Portanto, exceto para cálculos que dependem de forma crítica do valor de α (como a corrente da base, por exemplo), usaremos sempre a suposição de que $\alpha = 1$.

Exercícios

4.19 Para o circuito na Figura 4.22, calcule a corrente total drenada da fonte de alimentação. Depois, calcule a potência dissipada no circuito.

Resposta 4,135 mA; 62 mW

4.20 O circuito na Figura E4.20 deve ser conectado ao circuito da Figura 4.22(a) conforme está indicado; especificamente, a base de Q_3 deve ser conectada ao coletor de Q_2. Se Q_3 tem $\beta = 100$, calcule o novo valor de V_{C2} e os valores de V_{E3} e I_{C3}.

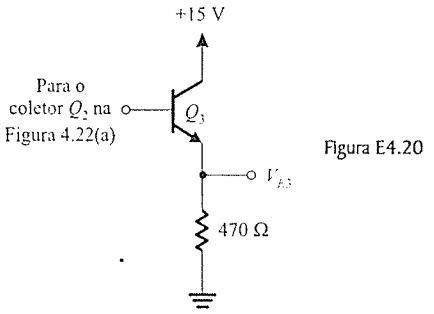


Figura E4.20

Resposta +7,06 V; +6,36 V; 13,4 mA

4.7 O TRANSISTOR COMO AMPLIFICADOR

Para operar como amplificador, um transistor deve ser polarizado na região ativa. O objetivo da polarização é estabelecer uma corrente *cc* constante no emissor (ou no coletor). Essa corrente deve

ser previsível e insensível às variações de temperatura, valores de β etc. Embora tenhamos adiado o estudo detalhado das técnicas de polarização para a Seção 4.10, demonstraremos a seguir a necessidade de polarizar o transistor com uma corrente constante no coletor. Essa exigência provém do fato de que a operação do transistor como amplificador é altamente influenciada pelo valor quiescente (ou de polarização) da corrente, conforme mostrado a seguir.

Para compreender como o transistor opera como um amplificador, considere o circuito idealizado na Figura 4.23(a). Nessa figura, a junção emissor–base está diretamente polarizada por uma tensão *cc* V_{BE} (bateria). A polarização reversa da junção coletor–base é estabelecida pela conexão do coletor com uma outra fonte de alimentação V_{CC} através do resistor R_C. O sinal de entrada a ser amplificado está representado pela fonte de tensão v_{be} que é sobreposta a V_{BE}.

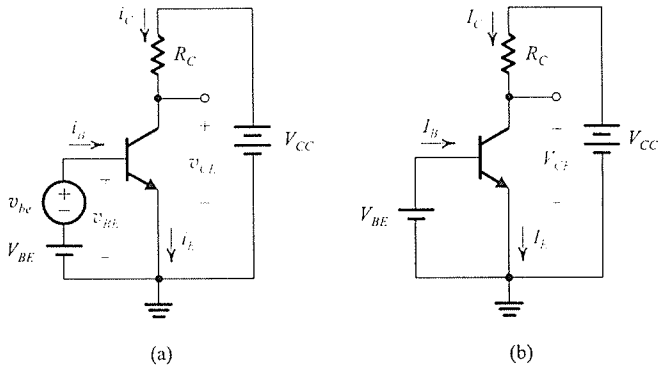


Figura 4.23 (a) Circuito conceitual, idealizado para ilustrar a operação do transistor como amplificador. (b) O circuito em (a) com a fonte de sinal v_{be} eliminada, para fazer a análise *cc* (polarização).

As Condições *cc*

Consideraremos primeiro as condições de polarização *cc* fazendo o sinal v_{be} igual a zero. O circuito fica reduzido ao da Figura 4.23(b), e podemos escrever as seguintes relações para as correntes e tensões *cc*:

$$I_C = I_S e^{V_{BE}/V_T} \tag{4.23}$$

$$I_E = I_C/\alpha \tag{4.24}$$

$$I_B = I_C/\beta \tag{4.25}$$

$$V_C = V_{CE} = V_{CC} - I_C R_C \tag{4.26}$$

Obviamente, para a operação no modo ativo, V_C deve ser maior do que V_B por um valor que permita oscilações com amplitudes razoáveis no sinal de coletor e ainda mantenha o transistor na região ativa o tempo todo. Mais tarde, voltaremos a esse ponto.

A Corrente de Coletor e a Transcondutância

Se um sinal v_{be} for aplicado conforme mostrado na Figura 4.23(a), a tensão emissor–base instantânea total v_{BE} torna-se

$$v_{BE} = V_{BE} + v_{be}$$

Correspondentemente, a corrente do coletor torna-se

$$i_C = I_S e^{v_{BE}/V_T} = I_S e^{(V_{BE}+v_{be})/V_T}$$

$$= I_S e^{(V_{BE}/V_T)} e^{(v_{be}/V_T)}$$

O uso da Equação 4.23 produz

$$i_C = I_C e^{v_{be}/V_T} \tag{4.27}$$

Agora, se $v_{be} << V_T$, podemos aproximar a Equação 4.27 como

$$i_C = I_C\left(1 + \frac{v_{be}}{V_T}\right) \tag{4.28}$$

Aqui, expandimos a exponencial na Equação 4.27 em uma série e ficamos apenas com os dois primeiros termos. Essa aproximação, que é válida apenas para v_{be} menores que cerca de 10 mV, está referenciada como **aproximação para pequenos sinais**. Com essa aproximação, a corrente total no coletor é dada pela Equação 4.28 e pode ser reescrita como

$$i_C = I_C + \frac{I_C}{V_T} v_{be} \tag{4.29}$$

Logo, a corrente no coletor é composta do valor da corrente de polarização I_C e de uma componente de sinal i_c,

$$i_c = \frac{I_C}{V_T} v_{be} \tag{4.30}$$

Essa equação relaciona a corrente de sinal no coletor a um sinal de tensão emissor–base correspondente. Ela pode ser reescrita como

$$i_c = g_m v_{be} \tag{4.31}$$

em que g_m é chamada de **transcondutância**, e pela Equação 4.30 ela é dada por

$$g_m = \frac{I_C}{V_T} \tag{4.32}$$

Observamos que a transcondutância do TBJ é diretamente proporcional à corrente de polarização do coletor I_C. Logo, para obter um valor previsível e constante para g_m, necessitamos de um valor I_C constante e previsível. Finalmente, observamos que os TBJs têm uma transcondutância relativamente alta (quando comparada aos FETs, que serão estudados no próximo capítulo); por exemplo, para $I_C = 1$ mA, $g_m = 40$ mA/V.

Uma interpretação gráfica para g_m é dada na Figura 4.24, na qual é mostrado que g_m é igual à inclinação da curva característica i_C–v_{BE} para $i_C = I_C$ (isto é, no ponto de polarização Q). Logo,

$$g_m = \left.\frac{\partial i_C}{\partial v_{BE}}\right|_{i_C = I_C} \tag{4.33}$$

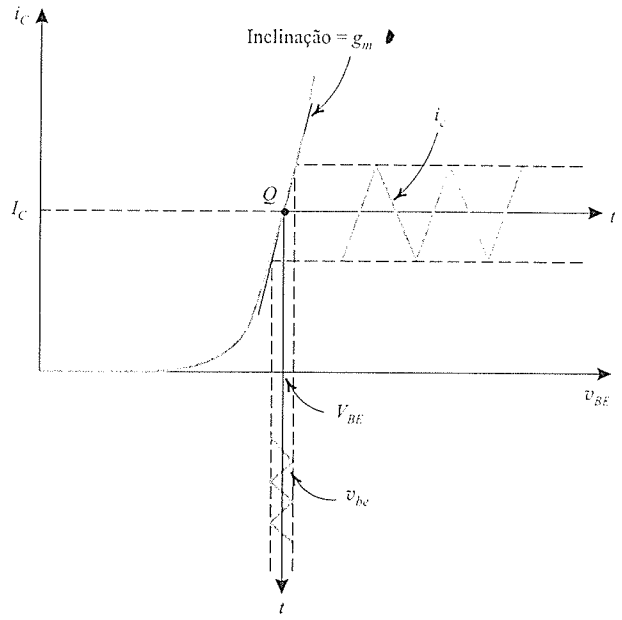


Figura 4.24 Operação linear do transistor na condição de pequenos sinais: um sinal pequeno v_{be} com uma forma de onda triangular é sobreposto à tensão *cc* V_{BE}. Ela dá origem ao sinal de corrente de coletor i_c com forma de onda também triangular, sobreposta à corrente *cc* I_C. $i_c = g_m v_{be}$, em que g_m é a inclinação da curva i_C–v_{BE} no ponto de polarização Q.

A aproximação para pequenos sinais implica manter a amplitude do sinal suficientemente pequena, de modo que a *operação fique restrita ao segmento quase linear da curva exponencial de* i_C–v_{BE}. Aumentar a amplitude do sinal resultará em uma corrente de coletor com componentes não-lineares relacionadas a v_{be}. Um tipo similar de aproximação foi empregado para diodos (Seção 3.5).

A análise anterior sugere que, para pequenos sinais ($v_{be} << V_T$), o transistor se comporta como uma fonte de corrente controlada por tensão. A entrada do quadripolo dessa fonte controlada é entre a base e o emissor e a saída é entre o coletor e o emissor. A transcondutância da fonte controlada é g_m e a resistência de saída é infinita. Essa última propriedade ideal é resultado de nosso modelo de primeira ordem para a operação do transistor, no qual a tensão de coletor não tem efeito sobre a corrente de coletor no modo ativo. Como veremos na Seção 4.5, TBJs práticos têm resistência de saída finita. O efeito da resistência de saída no funcionamento do amplificador será considerado mais tarde.

Exercício

4.21 Use a Equação 4.33 para deduzir a expressão para g_m na Equação 4.32.

A Corrente de Base e a Resistência de Entrada da Base

Para determinar a corrente de base vista por v_{be}, primeiro temos de avaliar a corrente total na base i_B usando a Equação 4.29, como segue:

$$i_B = \frac{i_C}{\beta} = \frac{I_C}{\beta} + \frac{1}{\beta}\frac{I_C}{V_T} v_{be}$$

Logo

$$i_B = I_B + i_b \tag{4.34}$$

em que I_B é igual a I_C/β e a componente de sinal i_b é dada por

$$i_b = \frac{1}{\beta}\frac{I_C}{V_T} v_{be} \tag{4.35}$$

Substituindo-se I_C/V_T por g_m obtemos

$$i_b = \frac{g_m}{\beta} v_{be} \tag{4.36}$$

A resistência de entrada para pequenos sinais entre a base e o emissor, *olhando para o terminal da base*, é representada por r_π e definida como

$$r_\pi \equiv \frac{v_{be}}{i_b} \tag{4.37}$$

Usando a Equação 4.36, temos

$$r_\pi = \frac{\beta}{g_m} \tag{4.38}$$

Logo, r_π é diretamente proporcional a β e inversamente proporcional à corrente de polarização I_C. Substituindo g_m na Equação 4.38 pela Equação 4.32 e substituindo I_C/β por I_B, temos uma expressão alternativa para r_π,

$$r_\pi = \frac{V_T}{I_B} \tag{4.39}$$

A Corrente de Emissor e a Resistência de Entrada do Emissor

A corrente total no emissor i_E pode ser determinada a partir de

$$i_E = \frac{i_C}{\alpha} = \frac{I_C}{\alpha} + \frac{i_c}{\alpha}$$

Logo

$$i_E = I_E + i_e \tag{4.40}$$

em que I_E é igual a I_C/α e a componente de sinal de corrente, i_e, é dada por

$$i_e = \frac{i_c}{\alpha} = \frac{I_C}{\alpha V_T} v_{be} = \frac{I_E}{V_T} v_{be} \tag{4.41}$$

Se representarmos a resistência para pequenos sinais entre base e emissor, *olhando para o terminal do emissor*, como r_e, ela pode ser definida como

$$r_e \equiv \frac{v_{be}}{i_e} \tag{4.42}$$

Usando a Equação 4.41 determinamos que r_e, chamada de **resistência de emissor**, é dada por

$$r_e = \frac{V_T}{I_E} \tag{4.43}$$

A comparação com a Equação 4.32 revela que

$$r_e = \frac{\alpha}{g_m} \simeq \frac{1}{g_m} \tag{4.44}$$

A relação entre r_π e r_e pode ser encontrada pela combinação de suas respectivas definições nas Equações 4.37 e 4.42 como

$$v_{be} = i_b r_\pi = i_e r_e$$

Logo

$$r_\pi = (i_e/i_b) r_e$$

o que produz

$$r_\pi = (\beta + 1) r_e \tag{4.45}$$

Exercício

4.22 Um TBJ tendo $\beta = 100$ está polarizado com uma corrente *cc* de coletor de 1 mA. Calcule os valores de g_m, r_e e r_π no ponto de polarização.

Resposta 40 mA/V; 25 Ω; 2,5 kΩ

O Ganho de Tensão

Até agora estabelecemos apenas que o transistor é excitado pelo sinal v_{be} na base–emissor e faz com que uma corrente proporcional a $g_m v_{be}$ circule pelo terminal de coletor em uma alta impedância (idealmente infinita). Desse modo, o transistor age como uma fonte de corrente controlada por tensão. Para obter um sinal de tensão na saída, devemos forçar essa corrente a circular por um resistor, conforme foi feito na Figura 4.23(a). Então a tensão total no coletor v_C será

$$\begin{aligned} v_C &= V_{CC} - i_C R_C \\ &= V_{CC} - (I_C + i_c) R_C \\ &= (V_{CC} - I_C R_C) - i_c R_C \\ &= V_C - i_c R_C \end{aligned} \tag{4.46}$$

Aqui, a grandeza V_C é a tensão de polarização do coletor e a componente de sinal da tensão é dada por

$$\begin{aligned} v_c &= -i_c R_C = -g_m v_{be} R_C \\ &= (-g_m R_C) v_{be} \end{aligned} \tag{4.47}$$

Portanto, o ganho de tensão desse amplificador é

$$\text{Ganho de tensão} \equiv \frac{v_c}{v_{be}} = -g_m R_C \tag{4.48}$$

Aqui, observamos novamente que g_m é diretamente proporcional à corrente de polarização do coletor e o ganho será tão estável quanto a corrente de polarização do coletor.

Exercício

4.23 No circuito da Figura 4.23(a), V_{BE} é ajustado para fornecer uma corrente de coletor *cc* de 1 mA. Suponha que $V_{CC} = 15$ V, $R_C = 10$ kΩ e $\beta = 100$. Calcule o ganho de tensão v_c/v_{be}. Se $v_{be} = 0{,}005$ sen ωt volts, calcule $v_c(t)$ e $i_B(t)$.

Resposta −400 V/V; 5 − 2 sen ωt volts; 10 − 2 sen ωt μA

4.8 MODELOS EQUIVALENTES PARA PEQUENOS SINAIS

A análise na seção anterior indica que cada corrente e cada tensão no circuito amplificador da Figura 4.23(a) é composta de duas componentes: a componente *cc* e a componente do sinal. Por exemplo, $v_{BE} = V_{BE} + v_{be}$, $i_c = I_C + i_c$ e assim por diante. As componentes *cc* são determinadas pelo circuito *cc* dado na Figura 4.23(b) e pelas relações impostas pelo transistor (Equações 4.23 a 4.26). Por outro lado, a representação da operação com sinais do TBJ pode ser obtida eliminando-se as fontes *cc*, conforme mostrado na Figura 4.25. Observe que, como a tensão de uma fonte *cc* ideal não varia, a tensão de sinal nela será zero. Por essa razão, substituímos V_{CC} e V_{BE} por um curto-circuito. Se no circuito houver fontes de corrente *cc* ideais, elas devem ser substituídas por circuitos abertos. Observe, contudo, que o circuito da Figura 4.25 é útil apenas para mostrar as componentes de sinais de correntes e de tensões; ele não é um circuito amplificador real, visto que a polarização *cc* do circuito não aparece.

A Figura 4.25 também mostra as expressões para os incrementos de correntes i_c, i_b e i_e obtidas quando um pequeno sinal v_{be} for aplicado. Essas relações podem ser representadas por um circuito. Tal circuito deve ter três terminais, C, B e E, e deve manter as mesmas correntes indicadas nos terminais da Figura 4.25. O circuito resultante é então *equivalente a um transistor enquanto permanecer a operação para pequenos sinais*, podendo ser considerado um modelo de circuito equivalente para pequenos sinais.

O Modelo π-Híbrido

A Figura 4.26(a) mostra um modelo de circuito equivalente para o TBJ. Esse modelo representa o TBJ como uma fonte de corrente controlada por tensão e inclui explicitamente a resistência de entrada de base, r_π. O modelo obviamente produz $i_c = g_m v_{be}$ e $i_b = v_{be}/r_\pi$. Contudo, não tão óbvio é o fato de que o modelo também produz a expressão correta para i_e. Isso pode ser mostrado como segue: no nó do emissor, temos

$$i_c = \frac{v_{be}}{r_\pi} + g_m v_{be} = \frac{v_{be}}{r_\pi}(1 + g_m r_\pi)$$
$$= \frac{v_{be}}{r_\pi}(1+\beta) = v_{be}/\left(\frac{r_\pi}{1+\beta}\right)$$
$$= v_{be}/r_e$$

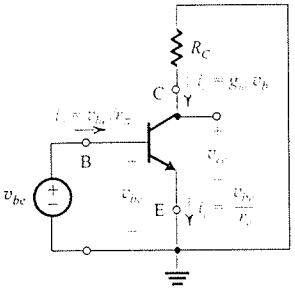


Figura 4.25 O circuito amplificador da Figura 4.23(a) com as fontes cc V_{BE} e V_{CC} eliminadas (curto-circuitadas). Logo, apenas os componentes de sinal estão presentes. Observe que essa é a representação da operação do TBJ para sinais e não um circuito amplificador real.

Um modelo de circuito equivalente, ligeiramente diferente, pode ser obtido expressando-se a corrente da fonte controlada ($g_m v_{be}$) em termos da corrente da base i_b como segue:

$$g_m v_{be} = g_m(i_b r_\pi)$$
$$= (g_m r_\pi) i_b = \beta i_b$$

Isso resulta no modelo de circuito equivalente alternativo mostrado na Figura 4.26(b). Nessa figura, o transistor está representado como uma fonte de corrente controlada por corrente, sendo i_b a corrente de controle.

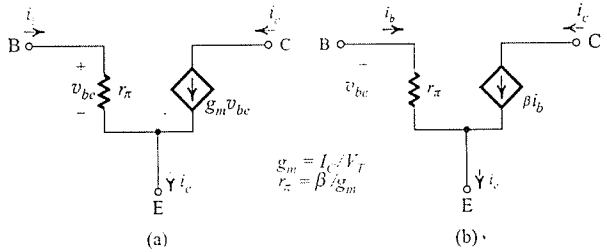


Figura 4.26 Duas versões ligeiramente diferentes do modelo π-híbrido simplificado para operação do TBJ com pequenos sinais. O circuito equivalente em **(a)** representa o TBJ como uma fonte de corrente controlada por tensão (um amplificador de transcondutância) e em **(b)** representa o TBJ como uma fonte de corrente controlada por corrente (um amplificador de corrente).

Os dois modelos na Figura 4.26 são versões simplificadas do que chamamos de modelo π-híbrido. Esse é o modelo mais usado para o TBJ. O modelo π-híbrido completo, como será mostrado mais adiante neste capítulo, inclui componentes adicionais que modelam efeitos de segunda ordem presentes no TBJ.

É importante observar que os circuitos equivalentes para pequenos sinais da Figura 4.26 modelam a operação do TBJ em um dado ponto de polarização. Isso deve ficar claro considerando o fato de que os valores dos parâmetros de modelo g_m e r_π dependem do valor da corrente de polarização I_C, conforme indicado na Figura 4.26. Finalmente, embora os modelos tenham sido desenvolvidos para um transistor *npn*, eles se aplicam igualmente a transistores *pnp*, *sem troca de polaridades*.

O Modelo T

Embora usemos, na maioria das vezes, o modelo π–híbrido (em uma das duas formas variantes mostradas na Figura 4.26) para executar a análise para pequenos sinais de circuitos com transistores, há situações nas quais um modelo alternativo, mostrado na Figura 4.27, é, às vezes, mais conveniente. Esse modelo, chamado de **modelo T**, é mostrado em duas versões na Figura 4.27. O modelo da Figura 4.27(a) representa o TBJ como uma fonte de corrente controlada por tensão, sendo v_{be} a tensão de controle. Nesse caso, contudo, a resistência entre base e emissor, olhando para dentro do emissor, é explicitamente mostrada. Pela Figura 4.27(a) vemos claramente que o modelo produz as expressões corretas para i_c e i_e. Para i_b observamos que no nó da base temos

$$i_b = \frac{v_{be}}{r_e} - g_m v_{be} = \frac{v_{be}}{r_e}(1 - g_m r_e)$$
$$= \frac{v_{be}}{r_e}(1-\alpha) = \frac{v_{be}}{r_e}\left(1 - \frac{\beta}{\beta+1}\right)$$
$$= \frac{v_{be}}{(\beta+1)r_e} = \frac{v_{be}}{r_\pi}$$

como deveria ser.

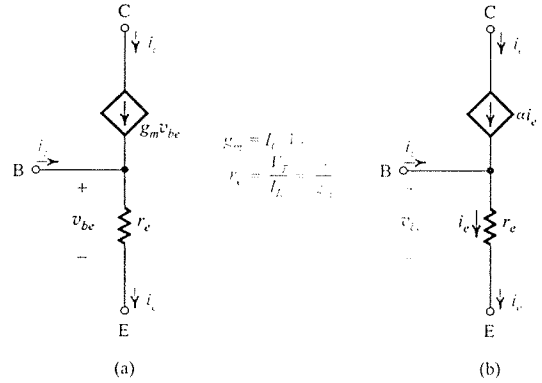


Figura 4.27 Duas versões ligeiramente diferentes do que é conhecido como *modelo T* do TBJ. O circuito em **(a)** é a representação com fonte de corrente controlada por tensão e em **(b)** é a representação com fonte de corrente controlada por corrente. Esses modelos mostram explicitamente a resistência do emissor r_e, diferente do modelo π-híbrido, o qual mostra a resitência de base r_π.

Se no modelo da Figura 4.27(a) a corrente da fonte controlada for expressa em termos da corrente de emissor, como segue:

$$g_m v_{be} = g_m(i_e r_e)$$
$$= (g_m r_e) i_e = \alpha i_e$$

obtemos o modelo T alternativo mostrado na Figura 4.27(b). Nessa figura, o TBJ é representado como uma fonte de corrente controlada por corrente, mas com i_e sendo o sinal de controle.

Aplicação dos Modelos Equivalentes para Pequenos Sinais

A disponibilidade dos modelos equivalentes do TBJ para operação com pequenos sinais faz da análise de circuitos amplificadores com transistores um processo sistemático. O processo consiste nos seguintes passos:

1. Determine o ponto de operação *cc* do TBJ e em particular o valor da corrente *cc* de coletor, I_C.
2. Calcule os valores dos parâmetros do modelo para pequenos sinais: $g_m = I_C/V_T$, $r_\pi = \beta/g_m$ e $r_e = V_T/I_E \simeq 1/g_m$.
3. Elimine as fontes *cc* substituindo cada fonte *cc* de tensão por um curto-circuito e cada fonte *cc* de corrente por um circuito aberto.
4. Substitua o TBJ por um de seus modelos equivalentes. Embora qualquer um dos modelos possa ser utilizado, um deles deve ser mais conveniente dependendo do circuito a ser analisado. Esse ponto ficará claro mais adiante neste capítulo.
5. Analise o circuito resultante para determinar as grandezas de interesse (por exemplo, ganho de tensão, resistência de entrada). Esse processo será ilustrado nos exemplos a seguir.

EXEMPLO 4.9

Desejamos analisar o amplificador com transistor mostrado na Figura 4.28(a) para determinar seu ganho de tensão. Suponha $\beta = 100$.

SOLUÇÃO

O primeiro passo da análise consiste em determinar o ponto quiescente de operação. Para isso vamos supor que $v_i = 0$. A corrente *cc* na base será

$$I_B = \frac{V_{BB} - V_{BE}}{R_{BB}}$$
$$\simeq \frac{3 - 0{,}7}{100} = 0{,}023 \text{ mA}$$

A corrente *cc* no coletor será

$$I_C = \beta I_B = 100 \times 0{,}023 = 2{,}3 \text{ mA}$$

A tensão *cc* no coletor será

$$V_C = V_{CC} - I_C R_C$$
$$= +10 - 2{,}3 \times 3 = +3{,}1 \text{ V}$$

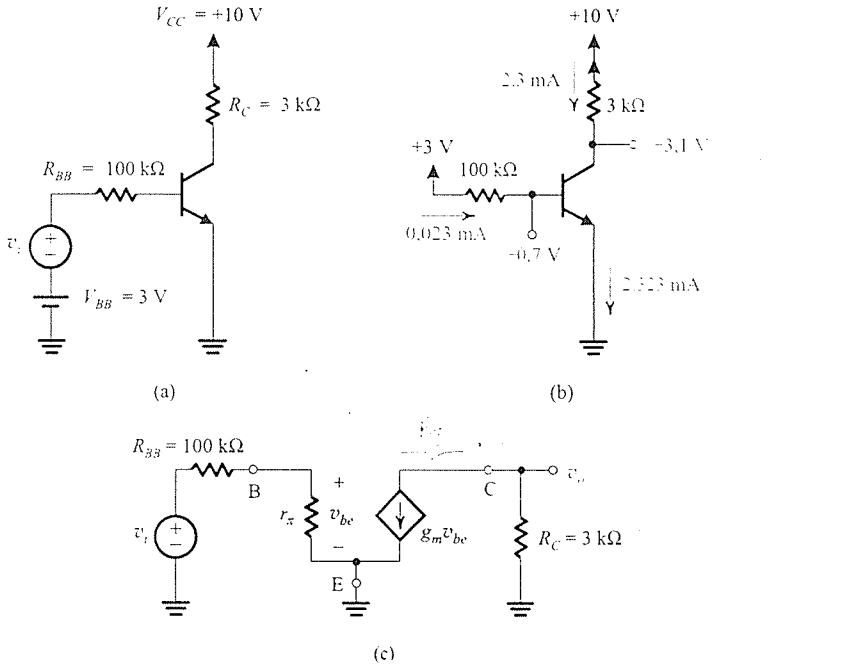


Figura 4.28 Exemplo 4.9: (a) circuito; (b) análise *cc*; (c) modelo para pequenos sinais.

Como V_B = +0,7 V, concluímos que na condição quiescente o transistor estará operando no modo ativo. A análise *cc* está ilustrada na Figura 4.28(b).

Tendo determinado o ponto de operação, podemos agora continuar, determinando os parâmetros do modelo para pequenos sinais:

$$r_e = \frac{V_T}{I_E} = \frac{25 \text{ mV}}{(2{,}3/0{,}99) \text{ mA}} = 10{,}8 \ \Omega$$

$$g_m = \frac{I_C}{V_T} = \frac{2{,}3 \text{ mA}}{25 \text{ mV}} = 92 \text{ mA/V}$$

$$r_\pi = \frac{\beta}{g_m} = \frac{100}{92} = 1{,}09 \text{ k}\Omega$$

Para fazer a análise para pequenos sinais, é igualmente conveniente usar qualquer dos dois modelos π-híbridos de circuitos equivalentes da Figura 4.26. Usando o primeiro dos modelos chega-se ao circuito equivalente do amplificador dado na Figura 4.28(c). Ob-

serve que os valores *cc* não estão incluídos nesse circuito equivalente. É muito importante observar que a fonte de alimentação *cc* V_{CC} foi substituída por um *curto-circuito* no circuito equivalente para sinais porque o terminal do circuito conectado a V_{CC} será sempre uma tensão constante. Isto é, a tensão de sinal nesse terminal será zero. Em outras palavras, *um nó de circuito conectado a uma fonte cc constante pode sempre ser considerado como um terra para sinais.*

A análise do circuito equivalente na Figura 4.28(c) continua como segue:

$$\begin{aligned} v_{be} &= v_i \frac{r_\pi}{r_\pi + R_{BB}} \\ &= v_i \frac{1{,}09}{101{,}09} = 0{,}011 v_i \end{aligned} \tag{4.49}$$

A tensão na saída v_o é dada por

$$\begin{aligned} v_o &= -g_m v_{be} R_C \\ &= -92 \times 0{,}011 v_i \times 3 = -3{,}04 v_i \end{aligned}$$

Logo, o ganho de tensão será

$$\frac{v_o}{v_i} = -3{,}04 \text{ V/V} \tag{4.50}$$

em que o sinal menos indica uma inversão de fase.

EXEMPLO 4.10

A fim de nos habituarmos um pouco mais com a operação de amplificadores com transistor, vamos considerar as formas de onda em vários pontos do circuito analisado no exemplo anterior. Para isso, suponha que v_i tenha uma forma de onda triangular. Determine primeiro a amplitude máxima permitida a v_i. Depois, com a amplitude de v_i em seu valor máximo, determine as formas de onda de $i_B(t)$, $v_{BE}(t)$, $i_C(t)$ e $v_C(t)$.

SOLUÇÃO

Uma restrição à amplitude do sinal v_i é a aproximação para pequenos sinais, a qual estipula que v_{be} não deve exceder cerca de 10 mV. Se tomarmos v_{be} como uma onda triangular de 20 mV de pico a pico e trabalharmos de trás para frente, a Equação 4.49 pode ser usada para determinar o valor máximo de pico possível para v_i,

$$\hat{V}_i = \frac{\hat{V}_{be}}{0{,}011} = 0{,}91 \text{ V}$$

Para verificar se o transistor permanece ou não no modo ativo quando v_i tem um valor de pico de $\hat{V}_i = 0{,}91$ V, devemos determinar o valor da tensão de coletor. A tensão de coletor irá constituir-se em uma onda triangular v_c sobreposta a um valor *cc* $V_C = 3{,}1$ V. A tensão de pico da forma de onda triangular será

$$\hat{V}_c = \hat{V}_i \times \text{ganho} = 0{,}91 \times 3{,}04 = 2{,}77 \text{ V}$$

Isso implica que, quando a saída excursiona no sentido negativo, a tensão no coletor atinge o valor mínimo de 3,1 – 2,77 = 0,33 V, que é menor do que a tensão na base ≈ 0,7 V.

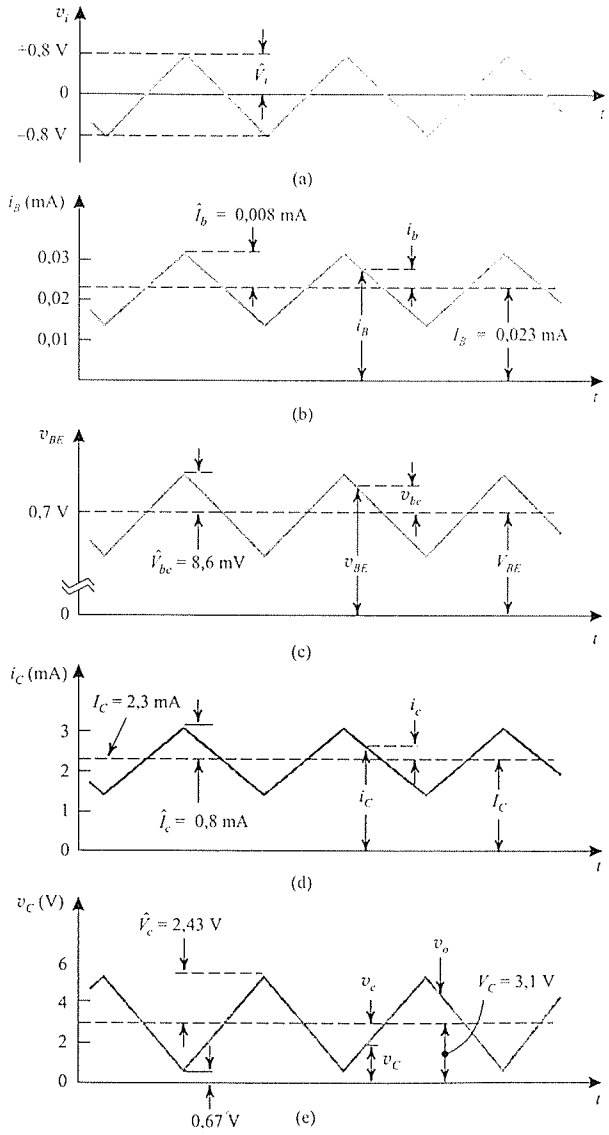


Figura 4.29 Formas de onda dos sinais no circuito da Figura 4.28.

Portanto, o transistor não permanecerá no modo ativo para v_i tendo um valor de pico de 0,91 V. Podemos determinar facilmente que é necessário, nesse caso, o valor máximo do pico do sinal de entrada para o qual transistor permanece no modo ativo durante todo o tempo. Isso pode ser feito calculando-se o valor de $\hat{V}_i$ que corresponde ao valor mínimo da tensão de coletor, igual à tensão de base, que é aproximadamente 0,7 V. Logo

$$\hat{V}_i = \frac{3{,}1 - 0{,}7}{3{,}04} = 0{,}79 \text{ V}$$

Escolheremos $\hat{V}_i$ com aproximadamente 0,8 V, conforme mostrado na Figura 4.29(a), e completaremos a análise deste problema. O sinal da corrente de base será triangular, com um valor de pico $\hat{I}_b$ de

$$\hat{I}_b = \frac{\hat{V}_i}{R_{BB} + r_\pi} = \frac{0{,}8}{100 + 1{,}09} = 0{,}008 \text{ mA}$$

Essa corrente com forma de onda triangular será sobreposta à corrente quiescente na base I_B, conforme mostrado na Figura 4.29(b). A tensão emissor–base consistirá em uma componente com forma de onda triangular sobreposta ao valor *cc* V_{BE} que é de aproximadamente 0,7 V. O valor de pico da forma de onda triangular será

$$\hat{V}_{be} = \hat{V}_i \frac{r_\pi}{r_\pi + R_{BB}} = 0{,}8 \frac{1{,}09}{100 + 1{,}09} = 8{,}6 \text{ mV}$$

A tensão total v_{BE} está esboçada na Figura 4.29(c).

A componente de sinal da corrente no coletor terá uma forma de onda triangular, com um valor de pico $\hat{I}_c$ dado por

$$\hat{I}_c = \beta \hat{I}_b = 100 \times 0{,}008 = 0{,}8 \text{ mA}$$

Essa corrente será sobreposta à corrente quiescente do coletor I_C (= 2,3 mA), como mostra a Figura 4.29(d).

Finalmente, a componente de sinal de tensão no coletor pode ser obtida multiplicando-se v_i pelo ganho de tensão; isto é,

$$\hat{V}_c = 3{,}04 \times 0{,}8 = 2{,}43 \text{ V}$$

A Figura 4.29(e) mostra um esboço da tensão total no coletor v_C *versus* tempo. Observe a inversão de fase entre o sinal de entrada v_i e o sinal de saída v_c. Observe também que, embora a tensão mínima do coletor seja ligeiramente menor do que a tensão na base, o transistor permanecerá no modo ativo. Na verdade, os TBJs permanecem no modo ativo mesmo com suas junções coletor–base diretamente polarizadas até próximo de 0,3 ou 0,4 V.

EXEMPLO 4.11

Desejamos analisar o circuito da Figura 4.30(a) para determinar o ganho de tensão e as formas de onda nos vários pontos do circuito. O capacitor C é um capacitor de acoplamento cuja função é acoplar o sinal v_i ao emissor e ao mesmo tempo bloquear grandezas *cc*. Desse modo, a polarização *cc* estabelecida juntamente por V^+, V^-, R_E e R_C não será alterada quando o sinal v_i for conectado. Para o objetivo deste exemplo, suporemos C como tendo valor infinito – isto é, agirá como um perfeito curto-circuito nas freqüências de interesse. De forma similar, um outro capacitor de valor muito alto será usado para acoplar o sinal de saída v_o a outras partes do sistema.

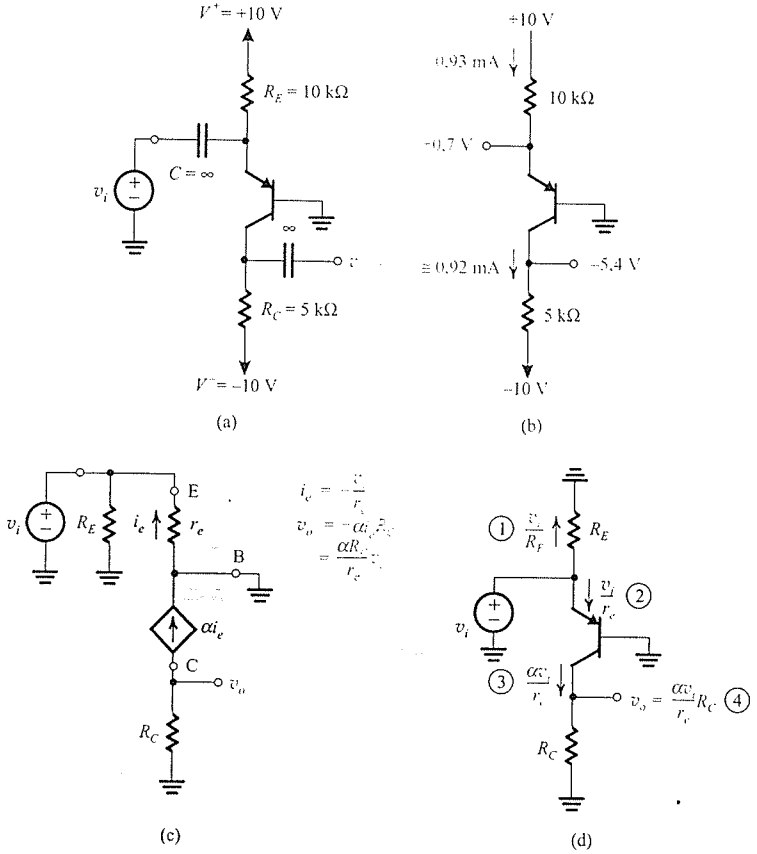


Figura 4.30 Exemplo 4.11: **(a)** circuito; **(b)** análise *cc*; **(c)** modelo para pequenos sinais; **(d)** análise para pequenos sinais executada diretamente no circuito.

SOLUÇÃO

Devemos iniciar determinando o ponto de operação *cc* como segue (veja a Figura 4.30b):

$$I_E = \frac{+10 - V_E}{R_E} \simeq \frac{+10 - 0{,}7}{10} = 0{,}93 \text{ mA}$$

Supondo $\beta = 100$, então $\alpha = 0{,}99$ e

$$I_C = 0{,}99 I_E = 0{,}92 \text{ mA}$$
$$V_C = -10 + I_C R_C$$
$$= -10 + 0{,}92 \times 5 = -5{,}4 \text{ V}$$

Logo, o transistor está no modo ativo. Além disso, o sinal no coletor pode excursionar de –5,4 V até zero (que é a tensão na base) sem que o transistor entre na saturação. Contudo, uma excursão negativa de 5,4 V na tensão de coletor fará com que a tensão mínima de coletor seja de –10,8 V (teoricamente), que é mais negativa do que a tensão da fonte de alimentação. Isso implica que, se tentarmos aplicar uma entrada que resulte nesse sinal de saída, o transistor entrará no corte e os picos negativos do sinal de saída serão ceifados, conforme ilustrado na Figura 4.31. A forma de onda na Figura 4.31, contudo, tem um comportamento linear (exceto para o pico ceifado); isto é, o efeito não-linear da característica de i_C–v_{BE} não está sendo levado em consideração. Isso não é correto, visto que estamos levando o transistor para o corte nos picos negativos do sinal e, portanto, teremos seguramente excedido o limite para pequenos sinais, como será mostrado mais tarde.

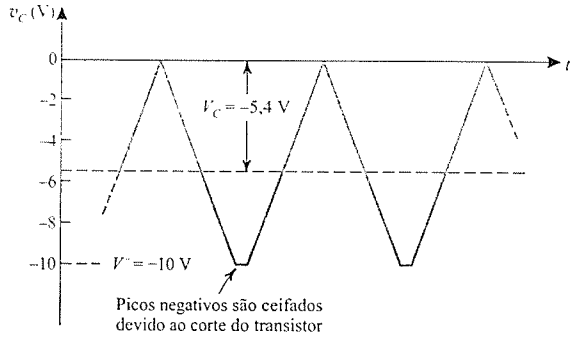


Figura 4.31 Distorção no sinal de saída devido ao corte do transistor. Observe que foi suposto que não há distorção devido às características não-lineares do transistor.

Prosseguiremos determinando o ganho de tensão para pequenos sinais. Para isso, eliminamos as fontes *cc* e substituímos o TBJ por seu circuito equivalente T da Figura 4.27(b). Observe que, devido ao aterramento da base, o modelo T é mais conveniente do que o modelo π-híbrido. Contudo, resultados idênticos podem ser obtidos usando-se ambos os modelos.

A Figura 4.30(c) mostra o circuito equivalente para pequenos sinais resultante para o amplificador. Os parâmetros desse modelo são

$$\alpha = 0{,}99$$
$$r_e = \frac{V_T}{I_E} = \frac{25 \text{ mV}}{0{,}93 \text{ mA}} = 27\ \Omega$$

A análise do circuito da Figura 4.30(c) para determinar a tensão de saída v_o e conseqüentemente o ganho de tensão v_o/v_i é direta e está mostrada na figura. O resultado é

$$\frac{v_o}{v_i} = 183{,}3 \text{ V/V}$$

Observe que o ganho de tensão é positivo, indicando que a saída está em fase com o sinal de entrada. Essa propriedade se deve ao fato de o sinal de entrada estar aplicado no emissor em vez de na base, como foi feito no Exemplo 4.9. Devemos enfatizar que o ganho positivo nada tem a ver com o fato de o transistor utilizado neste exemplo ser do tipo *pnp*.

Retornando à questão sobre a máxima amplitude permitida para o sinal, observamos pela Figura 4.30(c) que $v_{eb} = v_i$. Logo, se for desejada a operação para pequenos sinais (para que haja linearidade), então o valor de pico de v_i deve ser limitado a cerca de 10 mV. Com $\hat{V}_i$ ajustado nesse valor, conforme mostrado na Figura 4.32 para uma entrada senoidal, a amplitude de pico no coletor, $\hat{V}_c$, será

$$\hat{V}_c = 183{,}3 \times 0{,}01 = 1{,}833 \text{ V}$$

e a tensão total instantânea $v_C(t)$ no coletor terá a representação mostrada na Figura 4.32(b).

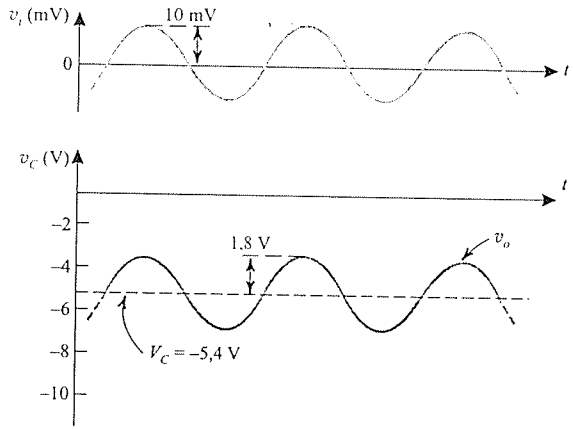


Figura 4.32 Formas de onda de entrada e de saída para o circuito da Figura 4.30.

Executando a Análise para Pequenos Sinais Diretamente no Diagrama do Circuito

Em muitos casos, podemos substituir explicitamente cada TBJ por um modelo para pequenos sinais e analisar o circuito resultante, como fizemos nos exemplos anteriores. Esse procedimento sistemático é particularmente recomendado para os estudantes principiantes. Projetistas de circuitos experientes, contudo, fazem sempre uma análise de primeira ordem diretamente no circuito. A Figura 4.30(d) ilustra esse processo para o circuito que acabamos de analisar. O leitor deve seguir esse processo direto de análise (os passos estão numerados). Observe que o modelo equivalente é utilizado *implicitamente*; estamos apenas economizando o passo de redesenhar o circuito com o TBJ substituído por seu modelo. A análise direta, contudo, traz um benefício adicional muito importante: ela fornece a idéia da transmissão do sinal ao longo do circuito. Essa idéia pode

dar uma contribuição inestimável ao projeto, particularmente no estágio de seleção da configuração apropriada para uma dada aplicação.

Expandindo o Modelo π-Híbrido para Considerar o Efeito Early

O efeito Early, discutido na Seção 4.5, faz com que a corrente de coletor dependa não apenas de v_{BE} mas também de v_{CE}. A dependência de v_{CE} pode ser modelada atribuindo-se uma resistência finita na saída da fonte de corrente controlada do modelo π-híbrido, conforme mostrado na Figura 4.33. A resistência de saída r_o foi definida na Equação 4.21; seu valor é dado por $r_o = V_A/I_C$, em que V_A é a tensão Early e I_C, a corrente *cc* de polarização do coletor. Observe que nos modelos da Figura 4.33 renomeamos v_{be} como v_π, a fim de concordar com a literatura.

Consideremos então o efeito de r_o na operação do transistor como amplificador. Nos circuitos amplificadores, nos quais o emissor é aterrado (como no circuito da Figura 4.28), r_o aparece simplesmente em paralelo com R_C. Logo, se incluirmos r_o no circuito equivalente da Figura 4.28(c), por exemplo, a tensão v_o na saída será

$$v_o = -g_m v_{be}(R_C // r_o)$$

Logo, o ganho será parcialmente reduzido. Obviamente, se $r_o >> R_C$, a redução no ganho será desprezível e poderemos ignorar o efeito de r_o. Em geral, nessa configuração, podemos desprezar r_o se ela for maior do que 10 R_C.

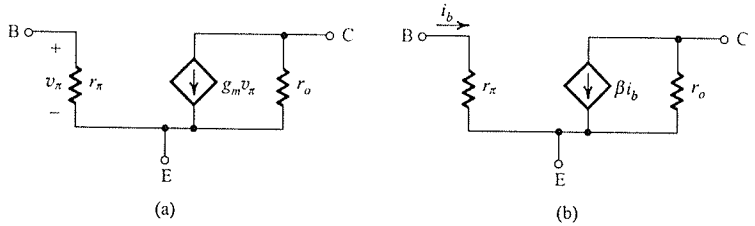


Figura 4.33 O modelo π-híbrido para pequenos sinais, em suas duas versões, com a resistência r_o incluída. Note que $r_o = \left[\frac{\partial i_C}{\partial v_{CE}}\right]^{-1}_{v_{be}=0} = \frac{V_A}{I_C}$, em que V_A é a tensão Early e I_C, a corrente *cc* de coletor. Observe que v_{be} foi renomeada para v_π, de acordo com a literatura.

Quando o emissor do transistor não for aterrado, a inclusão de r_o no modelo pode complicar a análise. Faremos comentários a respeito de r_o e sua inclusão ou exclusão em várias ocasiões no decorrer deste livro. É claro, se alguém está executando uma análise precisa, quase ao final de um projeto, usando a análise auxiliada por computador, então r_o pode ser facilmente incluída (veja a Seção 4.16).

Finalmente, deve ser mencionado que ambos os modelos T da Figura 4.27 podem ser expandidos para levar em conta o efeito Early, incluindo-se r_o entre o coletor e o emissor.

Resumo dos Parâmetros dos Modelos

A análise e projeto de circuitos amplificadores com TBJ são muito facilitados se o projetista tem à disposição as relações entre os vários parâmetros dos modelos para pequenos sinais. Para referência rápida, essas relações são apresentadas na Tabela 4.3. Com o passar do tempo, no entanto, esperamos que o leitor seja capaz de memorizar essas relações.

Tabela 4.3 Relações entre os parâmetros do modelo para pequenos sinais do TBJ.

Parâmetros do modelo em termos das correntes de polarização *cc*:
$g_m = \frac{I_C}{V_T}$ $\qquad r_e = \frac{V_T}{I_E} = \alpha\left(\frac{V_T}{I_C}\right)$
$r_\pi = \frac{V_T}{I_B} = \beta\left(\frac{V_T}{I_C}\right)$ $\qquad r_o = \frac{V_A}{I_C}$
Em termos de g_m:
$r_e = \frac{\alpha}{g_m}$ $\qquad r_\pi = \frac{\beta}{g_m}$
Em termos de r_e:
$g_m = \frac{\alpha}{r_e}$ $\qquad r_\pi = (\beta+1)r_e$ $\qquad g_m + \frac{1}{r_\pi} = \frac{1}{r_e}$
Relações entre α e β:
$\beta = \frac{\alpha}{1-\alpha}$ $\qquad \alpha = \frac{\beta}{\beta+1}$ $\qquad \beta + 1 = \frac{1}{1-\alpha}$

Exercício

4.24 O transistor na Figura E4.24 está polarizado com uma fonte de corrente constante $I = 1$ mA, tendo $\beta = 100$ e $V_A = 100$ V. (a) Calcule as tensões *cc* na base, emissor e coletor. (b) Determine g_m, r_π e r_o.

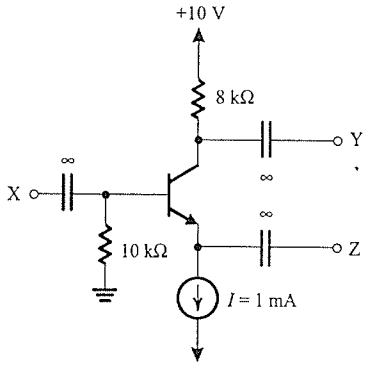


Figura E4.24

(c) Se o terminal Z for conectado ao terra, X, à fonte de sinal v_s com uma resistência $R_s = 2$ kΩ e Y, a uma resistência de carga de 8 kΩ, use o modelo π-híbrido da Figura 4.33(a) para desenhar o circuito equivalente para pequenos sinais do amplificador. (Observe que a fonte de corrente I deve ser substituída por um circuito aberto.) Calcule o ganho de tensão v_o/v_i. Se r_o for desprezada, qual o erro na estimativa do valor do ganho? *Dica*: uma capacitância infinita é usada para indicar que a capacitância é suficientemente elevada para atuar como um curto-circuito para todas as freqüências de interesse. Por outro lado, o capacitor bloqueia *cc*.

Resposta (a) –0,1 V, –0,8 V, +2 V; (b) 40 mA/V, 2,5 kΩ, 100 kΩ; (c) –77 V/V, +3,9 V

4.9 ANÁLISE GRÁFICA

Embora métodos gráficos formais sejam de pouco valor prático na análise e no projeto da maioria dos circuitos com transistores, é ilustrativo retratar graficamente a operação de um circuito amplificador simples com transistor. Considere o circuito da Figura 4.34, para o qual já fizemos a análise no Exemplo 4.9. Uma análise gráfica da operação desse circuito pode ser feita como segue: primeiro, devemos determinar o ponto *cc* de polarização. Para esse fim, consideremos $v_i = 0$ e utilizemos a técnica ilustrada na Figura 4.35 para determinar a corrente de polarização da base I_B (já usamos essa técnica na análise de circuitos com diodos do Capítulo 3). A seguir, passamos a usar as características i_C–v_{CE} mostradas na Figura 4.36. Observe que cada uma dessas curvas características é obtida ajustando-se a corrente da base i_B para um valor constante, variando v_{CE} e medindo os valores correspondentes de i_C. Essa família de curvas características i_C–v_{CE} deve ser contrastada com as curvas mostradas na Figura 4.15; essas últimas foram obtidas ajustando-se v_{BE} para valores constantes.

Determinada a corrente de polarização da base I_B, sabemos que o ponto de operação estará sobre a curva i_C–v_{CE}, correspondendo ao valor da corrente de base (a curva para $i_B = I_B$). Onde esse valor se encontra na curva será determinado pelo circuito do coletor. Especificamente, o circuito do coletor impõe a restrição

$$v_{CE} = V_{CC} - i_C R_C$$

que pode ser reescrita como

$$i_C = \frac{V_{CC}}{R_C} - \frac{1}{R_C} v_{CE}$$

e que representa uma relação linear entre v_{CE} e i_C. Essa relação pode ser representada por uma reta, conforme mostrado na Figura 4.36.

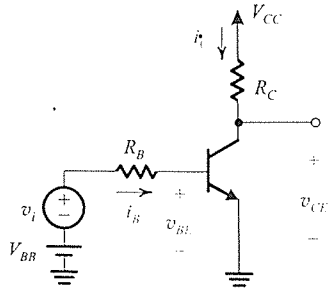


Figura 4.34 Circuito cuja operação será analisada graficamente.

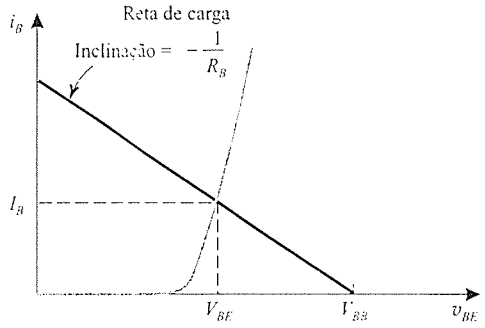


Figura 4.35 Construção gráfica para a determinação da corrente *cc* da base no circuito da Figura 4.34.

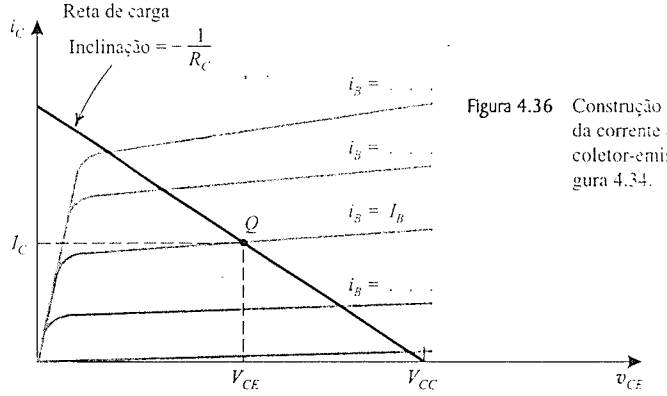


Figura 4.36 Construção gráfica para a determinação da corrente *cc* do coletor I_C e da tensão coletor-emissor V_{CE} no circuito da Figura 4.34.

Como R_C pode ser considerada a carga do amplificador, a reta com inclinação $-1/RC$ é conhecida como reta de carga.[5] O ponto de polarização *cc*, ou ponto quiescente Q, será a interseção da reta de carga com a curva i_C–v_{CE} correspondente à corrente de base I_B. As coordenadas do ponto Q fornecem a corrente do coletor I_C e a tensão *cc* coletor-emissor V_{CE}. Observe que, para a operação do amplificador, Q deve estar na região ativa e mais, deve estar no meio da região ativa para permitir que um sinal excursione razoavelmente quando o sinal de entrada v_i for aplicado. Isso ficará claro logo a seguir.

A situação quando v_i é aplicado é ilustrada na Figura 4.37. Considere primeiro a Figura 4.37(a), que mostra um sinal v_i tendo uma forma de onda triangular sobreposta a uma tensão *cc* V_{BB}. Correspondendo a cada valor instantâneo de $V_{BB} + v_i(t)$, podemos desenhar uma reta com inclinação $-1/R_B$. Essa "reta de carga instantânea" intercepta a curva i_B–v_{BE} no ponto cujas coordenadas fornecem os valores instantâneos de i_B e de v_{BE} correspondentes ao valor particular de $V_{BB} + v_i(t)$.

5. O termo *reta de carga* é também empregado para a reta da Figura 4.35.

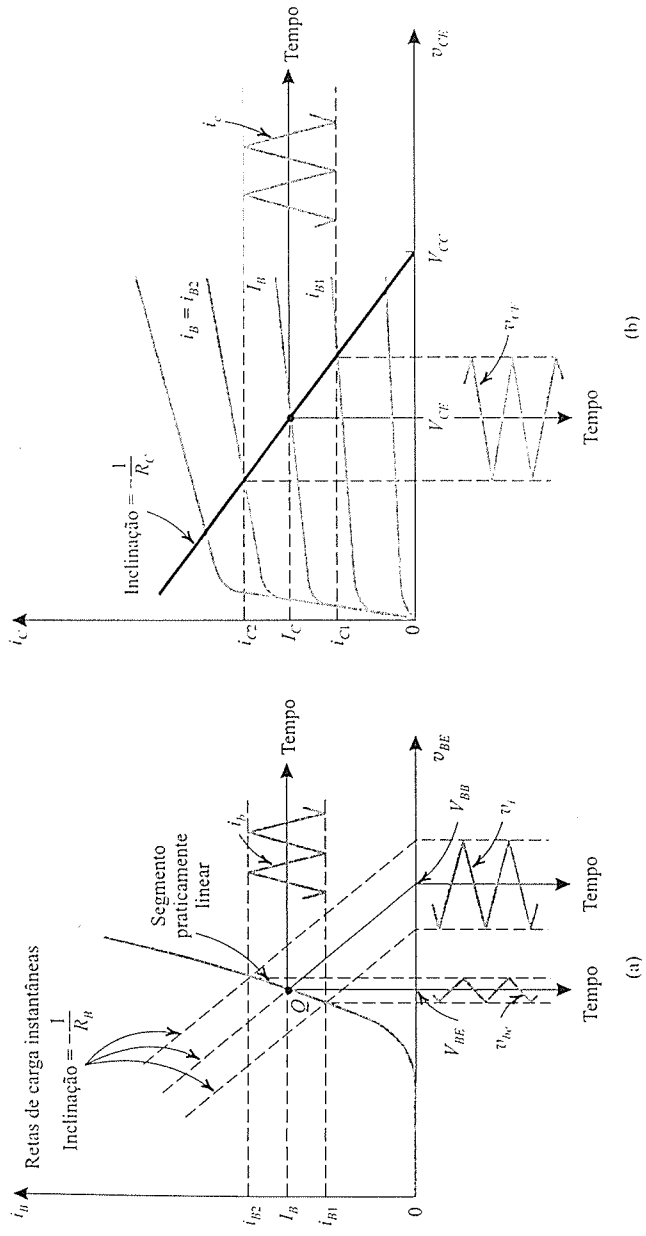


Figura 4.37 Determinação gráfica das componentes de sinal v_{be}, i_b, i_c e v_{ce} quando um sinal v_i é sobreposto à tensão cc V_{BB} (veja a Figura 4.34).

Como exemplo, a Figura 4.37(a) mostra as retas correspondentes a $v_i = 0$, v_i em seus valores de pico positivo e de pico negativo. Agora, se a amplitude de v_i for suficientemente pequena, de modo que todos os pontos instantâneos de operação estejam confinados a um segmento quase linear da curva i_B–v_{BE}, então os sinais resultantes de i_b e de v_{be} terão forma triangular, conforme indicado na figura. Isso, é claro, é a aproximação para pequenos sinais. Em suma, a construção gráfica na Figura 4.37(a) pode ser usada para determinar o valor total instantâneo de i_B correspondente a cada valor de v_i.

A seguir, passamos para as características i_C–v_{CE} da Figura 4.37(b). O ponto de operação se deslocará ao longo da reta de carga de inclinação $-1/R_C$ à medida que i_B se deslocar através dos valores instantâneos da Figura 4.37(a). Por exemplo, quando v_i está em seu pico positivo, $i_B = i_{B2}$ (da Figura 4.37a), o ponto de operação instantâneo no plano i_C–v_{CE} estará na interseção da reta de carga e da curva, correspondendo a $i_B = i_{B2}$. Desse modo, podemos determinar as formas de onda de i_C e de v_{CE} e, portanto, das componentes do sinal i_c e v_{ce}, conforme indicado na Figura 4.37(b).

Efeitos da Localização do Ponto de Polarização na Excursão Máxima do Sinal

A localização de polarização cc no plano i_C–v_{CE} afeta significativamente a excursão máxima permitida no coletor. Observe que, da Figura 4.37(b), o pico positivo de v_{ce} não pode ir além de V_{CC}, senão o transistor entraria na região de corte. Da mesma forma, o pico negativo de v_{ce} não pode se estender abaixo de alguns décimos de volt, senão o transistor entraria na região de saturação. A localização do ponto de polarização na Figura 4.37(b) permite excursões aproximadamente iguais em ambas as direções.

Considere agora a Figura 4.38. Nela são mostradas duas retas de carga, para dois valores de R_C. A linha A corresponde a um valor baixo de R_C e resulta em um ponto de operação Q_A, no qual o valor de V_{CE} é muito próximo de V_{CC}. Portanto, a excursão positiva de v_{ce} será afetada significativamente. Por outro lado, a linha B, que corresponde a um valor alto de R_C, resulta em um ponto de operação Q_B cujo valor de V_{CE} é muito baixo.

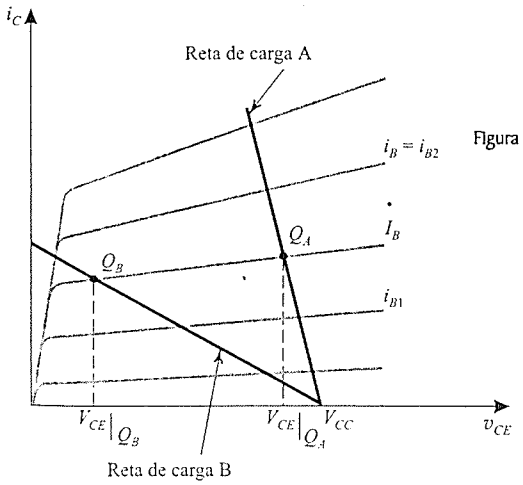


Figura 4.38 Efeito da localização do ponto de polarização na excursão máxima do sinal: a reta de carga A resulta em um ponto de polarização Q_A com um V_{CE} correspondente que está muito próximo de V_{CC} e, portanto, limita a excursão positiva de v_{CE}. No outro extremo, a reta de carga B resulta em um ponto de operação muito próximo da região de saturação, limitando portanto a excursão negativa de v_{CE}.

Portanto, para a linha B, embora haja muita folga para a excursão positiva de v_{cc}, a excursão negativa será afetada significativamente pela proximidade com a região de saturação. Um compromisso entre essas duas situações é obviamente necessária.

Exercícios

4.25 Em termos dos parâmetros do modelo π-híbrido do circuito equivalente, qual a inclinação da curva i_B–v_{BE} no ponto de polarização? Encontre uma expressão para a inclinação em termos da corrente *cc* de polarização I_B.

Resposta $1/r_\pi$; I_B/V_T

4.26 Considere o circuito da Figura 4.34 com V_{BB} = 1,7 V, R_B = 100 kΩ, V_{CC} = 10 V e R_C = 5 kΩ. Suponha que o transistor tenha β = 100. O sinal de v_i de entrada é uma onda triangular com 0,4 V de pico a pico. Refira-se à Figura 4.37 e use a geometria de construção gráfica mostrada nessa figura para responder às seguintes questões. (a) Se V_{BE} = 0,7 V, calcule I_B. (b) Supondo uma operação sobre um segmento linear da curva i_B–v_{BE}, calcule o inverso de sua inclinação (use o resultado do Exercício 4.25). (c) Encontre os valores aproximados da amplitude de pico a pico de i_b e de v_{be}. (d) Supondo as curvas de i_C–v_{CE} como sendo horizontais (isto é, ignorando o efeito Early), determine I_C e V_{CE}. (e) Calcule as amplitudes de pico a pico de i_c e de v_{cc}. (f) Qual o ganho de tensão desse amplificador?

Resposta (a)10 μA; (b) 2,5 kΩ; (c) 4 μA, 10 mV; (d) 1 mA, 5 V; (e) 0,4 mA, 2 V; (f) –5 V/V

4.10 POLARIZAÇÃO DO TBJ PARA PROJETOS DE CIRCUITOS DISCRETOS

O problema da polarização é estabelecer uma corrente *cc* constante no emissor do TBJ. Essa corrente tem de ser calculável, previsível e insensível às variações da temperatura e às grandes variações no valor de β encontradas em transistores de um mesmo tipo. Uma outra consideração importante no projeto de polarização é aquela de localizar o ponto de polarização no plano i_C–v_{CE} de forma a permitir a máxima excursão do sinal de saída (veja a discussão no final da Seção 4.9). Nesta seção trabalharemos com várias abordagens empregadas para resolver o problema da polarização de circuitos projetados com componentes discretos. Os métodos de polarização para projeto de circuitos integrados serão apresentados no Capítulo 6.

Arranjos de Polarização Usando uma Fonte de Alimentação Simples

A Figura 4.39(a) mostra os arranjos mais comumente usados para a polarização de um amplificador com transistor, se apenas uma fonte de alimentação simples estiver disponível. A técnica consiste em alimentar a base do transistor com uma fração da tensão de alimentação V_{CC} através de um divisor resistivo de tensão R_1 e R_2. Além disso, um resistor R_E é conectado ao emissor.

A Figura 4.39(b) mostra o mesmo circuito com a rede do divisor de tensão substituído pelo seu equivalente de Thévenin,

$$V_{BB} = \frac{R_2}{R_1 + R_2} V_{CC} \tag{4.51}$$

$$R_B = \frac{R_1 R_2}{R_1 + R_2} \tag{4.52}$$

A corrente I_E pode ser determinada escrevendo-se a equação de malha de Kirchhoff para a malha base–emissor–terra e substituindo-se $I_B = I_E/(\beta + 1)$:

$$I_E = \frac{V_{BB} - V_{BE}}{R_E + R_B/(\beta + 1)} \tag{4.53}$$

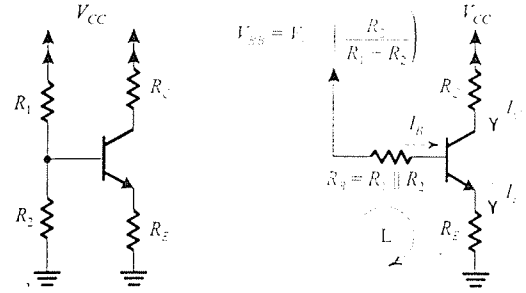


Figura 4.39 Polarização clássica para TBJs usando uma fonte de alimentação simples: **(a)** circuito; **(b)** circuito com o divisor de tensão de alimentação da base substituído pelo seu equivalente de Thévenin.

Para que I_E fique insensível às variações na temperatura e na variação de β, projetamos o circuito para satisfazer as duas condições seguintes:

$$V_{BB} >> V_{BE} \tag{4.54}$$

$$R_E >> \frac{R_B}{(\beta + 1)} \tag{4.55}$$

A Condição 4.54 assegura que pequenas variações em V_{BE} (próximo de 0,7 V) serão desprezadas pelo valor muito maior de V_{BB}. Contudo, há um limite superior para V_{BB}: para um dado valor da tensão de alimentação V_{CC}, quanto maior o valor de V_{BB}, menor será a soma das tensões em R_C e na junção coletor–base (V_{CB}). Por outro lado, queremos que a tensão em R_C seja a maior possível a fim de obtermos um alto ganho de tensão e uma grande excursão do sinal (antes do transistor entrar em corte). Queremos também que V_{CB} (ou V_{CE}) seja de alto valor para proporcionar uma grande excursão do sinal (antes de o transistor entrar na saturação). Portanto, como em qualquer projeto, temos vários requisitos conflitantes e a solução deve ser um compromisso. Como regra prática, projetamos V_{BB} como cerca de 1/3 V_{CC}, V_{CB} (ou V_{CE}) como cerca de 1/3 V_{CC} e $I_C R_C$ como 1/3 V_{CC}.

A Condição 4.55 faz I_E insensível às variações de β e pode ser satisfeita escolhendo-se um valor pequeno para R_B. Isso por sua vez é obtido usando-se valores baixos para R_1 e R_2. Valores baixos de R_1 e R_2, contudo, implicarão uma maior corrente drenada da fonte de alimentação e normalmente resultarão em redução na resistência de entrada do amplificador (se o sinal for acoplado na base), que é a solução de compromisso envolvida na solução dessa parte do projeto. Deve ser observado que a Condição 4.55 significa que desejamos fazer a tensão na base independente das variações do valor de β, sendo ela determinada somente pelo divisor de tensão. Isso será obviamente satisfeito se a corrente no divisor tiver valor muito maior que a corrente da base. Tipicamente, escolhemos R_1 e R_2 de tal modo que suas correntes sejam na faixa de I_E a 0,1 I_E.

Mais informações sobre o modo pelo qual os arranjos de polarização da Figura 4.39(a) estabilizam a corrente *cc* do emissor (e, portanto, do coletor) são obtidas considerando-se a ação da realimentação proporcionada por R_E. Considere que, por alguma razão, a corrente no emissor

aumente. A queda de tensão sobre R_E e, portanto, V_E aumentarão correspondentemente. Agora, se a tensão na base for determinada prioritariamente pelo divisor de tensão R_1, R_2, que é o caso se o valor de R_B for pequeno, o aumento em V_E resultará em uma correspondente redução em V_{BE}. Isso, por sua vez, reduz a corrente do coletor (e do emissor), acarretando uma variação oposta àquela original. Portanto, R_E proporciona uma ação de realimentação negativa que estabiliza a corrente de polarização. Estudaremos formalmente a realimentação negativa no Capítulo 8.

EXEMPLO 4.12

Desejamos projetar a rede de polarização do amplificador na Figura 4.39 para estabelecer uma corrente $I_E = 1$ mA usando uma fonte de alimentação $V_{CC} = +12$ V.

SOLUÇÃO

Seguiremos a regra prática citada anteriormente e distribuiremos um terço da tensão de alimentação para a queda de tensão em R_2 e outro terço para a queda de tensão em R_C, deixando um terço para uma possível excursão do sinal de coletor. Portanto,

$$V_B = +4 \text{ V}$$
$$V_E = 4 - V_{BE} \simeq 3{,}3 \text{ V}$$

e R_E é determinado por

$$R_E = \frac{V_E}{I_E} = 3{,}3 \text{ k}\Omega$$

Do que vimos anteriormente, selecionamos uma corrente para o divisor de tensão de $0{,}1\, I_E$. Desprezando a corrente da base, encontramos

$$R_1 + R_2 = \frac{12}{0{,}1 I_E} = 120 \text{ k}\Omega$$

$$\frac{R_2}{R_1 + R_2} V_{CC} = 4 \text{ V}$$

Logo, $R_2 = 40$ kΩ e $R_1 = 80$ kΩ.

Nesse ponto, é desejável estimar um valor mais preciso para I_E, levando em consideração que a corrente da base não é zero. Usando a Equação 4.53 e supondo que β é especificado como sendo de 100, obtemos

$$I_E = \frac{3{,}3}{3{,}3 + 0{,}267} = 0{,}93 \text{ mA}$$

Poderíamos, é claro, ter obtido um valor muito mais próximo do desejado, que é de 1 mA, empregando as equações exatas de projeto. Contudo, como nosso trabalho é baseado em modelos de primeira ordem, não faz sentido se esforçar para obter uma precisão melhor do que 5% ou 10%.

Deve ser observado que, se estamos interessados em drenar uma corrente mais alta da fonte de alimentação e se estamos preparados para aceitar uma baixa resistência de entrada para o amplificador, então podemos usar uma corrente do divisor de tensão igual,

digamos, a I_E, o que resulta em $R_1 = 8$ kΩ e $R_2 = 4$ kΩ. O efeito disso sobre a resistência de entrada do amplificador será analisado na Seção 4.11. Vamos nos referir ao circuito usando esses últimos valores como projeto 2, para o qual o valor real de I_E será

$$I_E = \frac{3{,}3}{3{,}3 + 0{,}026} \simeq 1 \text{ mA}$$

O valor de R_C pode ser determinado a partir de

$$R_C = \frac{12 - V_C}{I_C}$$

Portanto, para o projeto 1 temos

$$R_C = \frac{12 - 8}{0{,}99 \times 0{,}93} = 4{,}34 \text{ k}\Omega$$

enquanto para o projeto 2 temos

$$R_C = \frac{12 - 8}{0{,}99 \times 1} = 4{,}04 \text{ k}\Omega$$

Por simplicidade, escolhemos $R_C = 4$ kΩ para os dois projetos.

Exercício

4.27 Para o projeto 1 no Exemplo 4.12, calcule a faixa de valores de I_E se o transistor usado tiver β em uma faixa de 50 a 150. Expresse a faixa de I_E como uma porcentagem do valor nominal ($I_E = 1$ mA) obtido para $\beta = \infty$. Repita este exercício para o projeto 2.

Resposta Para o projeto 1: 0,86 a 0,95 mA, uma faixa de 9%; para o projeto 2, 0,984 a 0,995 mA, uma faixa de 1,1%.

Polarização Usando Duas Fontes de Alimentação

É possível um arranjo mais simples se duas fontes de alimetação estiverem disponíveis, conforme mostrado na Figura 4.40. Escrevendo a equação de malha para a malha designada por L, temos

$$I_E = \frac{V_{EE} - V_{BE}}{R_E + R_B/(\beta + 1)} \tag{4.56}$$

Essa equação é idêntica à Equação 4.53, exceto que V_{EE} substitui V_{BB}. Portanto, as duas condições de contorno das Equações 4.47 e 4.48 também se aplicam nesse caso. Observe que, se o transistor for usado com a base aterrada (isto é, na configuração base comum que foi discutida no Exemplo 4.11 e será discutida mais detalhadamente na próxima seção), então R_B pode ser totalmente eliminada. Por outro lado, se o sinal de entrada for acoplado na base, nesse caso R_B se faz necessária.

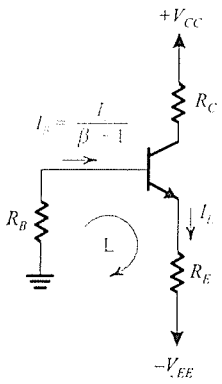


Figura 4.40 Polarização para TBJ usando duas fontes de alimentação. O resistor R_B é necessário apenas se o sinal de entrada for acoplado na base. Em outros casos, a base pode ser conectada diretamente ao terra, resultando em uma independência quase total da corrente de polarização em relação ao valor de β.

Exercício

P4.28 O arranjo de polarização da Figura 4.40 deve ser usado para um amplificador em base comum. Projete o circuito para estabelecer uma corrente *cc* de emissor de 1 mA e que permita uma máxima excursão do sinal no coletor de ± 2 V. Use uma fonte simétrica de +10 V e −5 V.

Resposta $R_B = 0$; $R_E = 4{,}3$ kΩ; $R_C = 8$ kΩ

Um Arranjo Alternativo de Polarização

A Figura 4.41(a) mostra um arranjo de polarização alternativo simples, porém eficaz, apropriado para os amplificadores na configuração emissor comum.

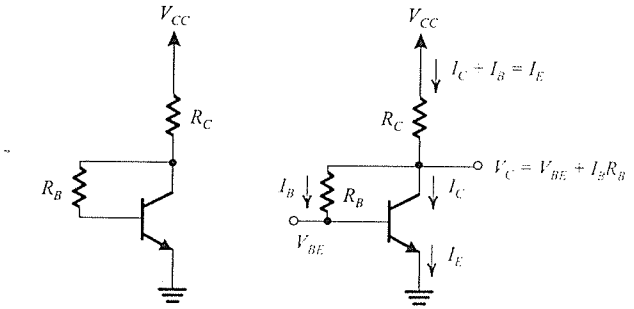


Figura 4.41 (a) Um arranjo alternativo de polarização simples apropriado para os amplificadores na configuração emissor comum. (b) Análise do circuito em (a).

A análise desse circuito é mostrada na Figura 4.41(b), para o qual podemos escrever

$$V_{CC} = I_E R_C + I_B R_B + V_{BE}$$
$$= I_E R_C + \frac{I_E}{\beta + 1} R_B + V_{BE}$$

Portanto, a corrente de polarização do emissor é dada por

$$I_E = \frac{V_{CC} - V_{BE}}{R_C + R_B/(\beta + 1)} \tag{4.57}$$

Para obter um valor de I_E que seja insensível às variações de β, fazemos $R_B/(\beta + 1) << R_C$. Observe, contudo, que o valor de R_B determina a excursão máxima permitida para o sinal no coletor, visto que

$$V_{CB} = I_B R_B = I_E \frac{R_B}{\beta + 1} \tag{4.58}$$

A estabilidade da polarização nesse circuito é obtida pela ação da realimentação negativa introduzida pelo resistor R_B. Encontraremos circuitos desse tipo em nosso estudo de realimentação no Capítulo 8.

Exercício

P4.29 Projete o circuito da Figura 4.41 para obter uma corrente *cc* de emissor de 1 mA e garantir uma excursão no sinal de coletor de ± 2 V. Suponha $V_{CC} = 10$ V e $\beta = 100$.

Resposta $R_B = 202$ kΩ; $R_C = 7{,}3$ kΩ. Observe que, se os valores-padrão de resistores de 5% forem usados (Apêndice H), escolheremos $R_B = 200$ kΩ e $R_C = 7{,}5$ kΩ. Isso resultará em $I_E = 0{,}98$ mA e $V_C = 2{,}64$ V.

Polarização Usando uma Fonte de Corrente

O TBJ pode ser polarizado usando-se uma fonte de corrente I, conforme indicado no circuito da Figura 4.42(a). Esse circuito tem a vantagem de que a corrente do emissor é independente das variações dos valores de β e de R_B.

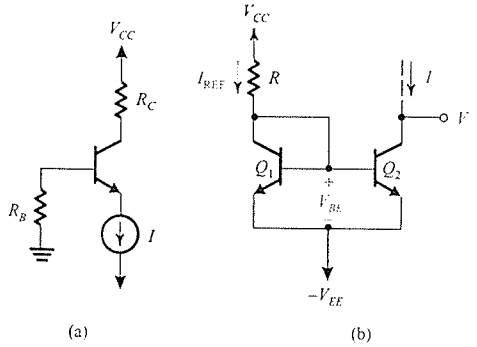


Figura 4.42 (a) Um TBJ polarizado usando uma fonte de corrente constante I. (b) Circuito para implementação da fonte de corrente I.

Logo, R_B pode ter um valor elevado, permitindo um aumento na resistência de entrada na base sem afetar adversamente a estabilidade da polarização. Além disso, a polarização usando uma fonte de corrente permite uma simplificação considerável de projeto, como ficará evidente nas próximas seções e capítulos.

Uma implementação simples da fonte de corrente I pode ser vista na Figura 4.42(b). O circuito utiliza um par de transistores casados, Q_1 e Q_2, tendo Q_1 sua base e coletor curto-circuitados, comportando-se, portanto, como um diodo. Se considerarmos que Q_1 e Q_2 têm valores elevados de β, podemos desprezar suas correntes de base. Assim, a corrente através de Q_1 será aproximadamente igual a I_{REF},

$$I_{REF} = \frac{V_{CC} - (-V_{EE}) - V_{BE}}{R}$$

Como Q_1 e Q_2 têm o mesmo V_{BE}, suas correntes de coletor serão iguais, resultando em

$$I = I_{REF} = \frac{V_{CC} + V_{EE} - V_{BE}}{R}$$

Desprezando-se o efeito Early em Q_2, a corrente de coletor permanecerá constante no valor fornecido pela equação anterior enquanto Q_2 permanecer na região ativa. Isso pode ser garantido mantendo-se a tensão de coletor V maior que a tensão da base $(-V_{EE} + V_{BE})$. A ligação de Q_1 e Q_2 apresentada na Figura 4.42(b) é conhecida como **espelho de corrente**. Estudaremos espelhos de corrente detalhadamente no Capítulo 6.

Exercício

4.30 Para o circuito na Figura 4.42(a) com $V_{CC} = 10$ V, $I = 1$ mA, $\beta = 100$, $R_B = 100$ kΩ e $R_C = 7{,}5$ kΩ, calcule a tensão *cc* na base, no emissor e no coletor. Para $V_{EE} = 10$ V, determine o valor de R no circuito da Figura 4.42(b).

Resposta −1 V; −1,7 V; +2,5 V; 19,3 kΩ

4.11 CONFIGURAÇÕES BÁSICAS DE AMPLIFICADORES DE ESTÁGIO SIMPLES COM TBJ

Nesta seção estudaremos as três configurações básicas de amplificadores com TBJ: os circuitos emissor comum (EC), base comum (BC) e coletor comum (CC). Para simplificar a análise, empregaremos capacitores para o acoplamento de sinais e outros propósitos. Embora isso limite a aplicação dos circuitos resultantes a projetos com componentes discretos, os resultados são diretamente aplicáveis a projetos com circuitos integrados, como será visto em capítulos subseqüentes.

O Amplificador em Emissor Comum

A configuração do amplificador em emissor comum (EC) é apresentada na Figura 4.43(a). O TBJ é polarizado com uma fonte de corrente constante I que possui uma resistência de saída elevada. Um capacitor C_E conecta o emissor ao terra. Sua capacitância é considerada suficientemente elevada, de tal forma que sua reatância é muito pequena e nas freqüências de interesse pode ser desprezada. Assim, C_E curto-circuita o emissor ao terra do ponto de vista do sinal aplicado à base. Em conseqüência, a parcela da corrente de emissor gerada pelo sinal de entrada passa através de C_E em direção ao terra, não se dirigindo à fonte de corrente. Por esse motivo o capacitor C_E é conhecido como **capacitor de passagem** (bypass capacitor).

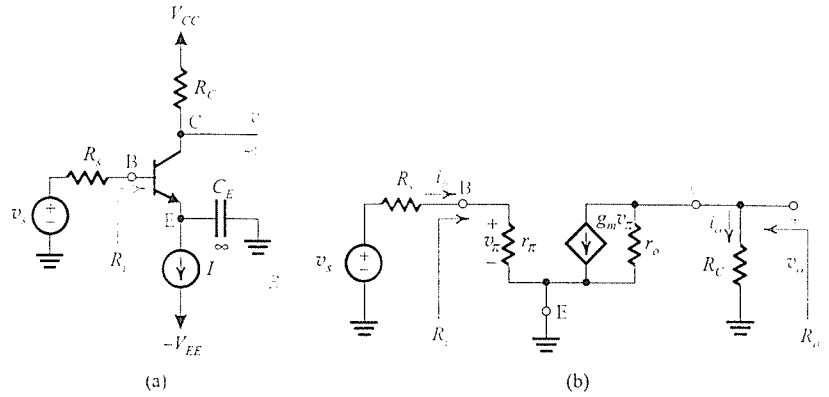


Figura 4.43 O amplificador em emissor comum: (a) circuito; (b) circuito equivalente obtido pela substituição do TBJ por seu modelo π-híbrido e pela eliminação das fontes *cc*.

A fonte do sinal de entrada v_s tem resistência R_s e está conectada à base do transistor. Observe que v_s e R_s representam tanto uma fonte real de sinal como um circuito equivalente Thévenin de um outro circuito que alimenta nosso amplifcador em emissor comum. O sinal de saída v_o é obtido no coletor; v_o é a componente de sinal da tensão de coletor. Para simplificar, não estamos mostrando um resistor de carga: se um resistor de carga estivesse presente, ele seria conectado ao coletor tanto diretamente quanto através de um capacitor de acoplamento de valor elevado. O resistor de carga, na verdade, apareceria em paralelo com R_C e, portanto, poderia ser considerado como parte de R_C para os propósitos da análise que se segue.

Observe que a entrada do amplificador EC é entre a base e o emissor, que está aterrado do ponto de vista de sinais, e a saída é entre o coletor e o emissor. Por essa razão, esse amplificador é chamado de emissor comum ou **amplificador com emissor aterrado**.

Desejamos analisar o circuito do amplificador EC para determinar sua resistência de entrada R_i, seu ganho de tensão v_o/v_s, seu ganho de corrente i_o/i_b e sua resistência de saída R_o. Com essa finalidade, substituímos o TBJ por seu modelo π-híbrido e eliminamos as fontes *cc* para obter o circuito equivalente mostrado na Figura 4.43(b).

Examinando-se o circuito da Figura 4.43(b), observamos que a resistência de entrada R_i é dada por:

$$R_i = r_\pi \tag{4.59}$$

A parcela de v_s que aparece na base é v_π,

$$\frac{v_\pi}{v_s} = \frac{r_\pi}{R_s + r_\pi} \tag{4.60}$$

Na saída, a fonte controlada de corrente $(g_m v_\pi)$ alimenta R_C, que está em paralelo com r_o, e assim

$$v_o = -(g_m v_\pi)(R_C // r_o)$$

Portanto, o ganho da base para o coletor é dado por

$$\frac{v_o}{v_\pi} = -g_m(R_C//r_o) \tag{4.61}$$

Combinar as Equações 4.60 e 4.61 fornece o ganho de tensão total A_v como

$$A_v \equiv \frac{v_o}{v_s} = -\frac{\beta(R_C//r_o)}{R_s + r_\pi} \tag{4.62}$$

Pela Equação 4.62 observamos que, se $R_s >> r_\pi$, o ganho será muito dependente de β. Essa dependência diminui para baixos valores de R_s e, no extremo, para $R_s << r_\pi$, o ganho é independente de β, tornando-se

$$A_v \cong -g_m(R_C//r_o) \tag{4.63}$$

Para circuitos discretos, R_C é usualmente muito menor que r_o, e r_o pode ser eliminado das expressões anteriores. Como será visto no Capítulo 6, esse não é o caso em amplificadores em circuitos integrados. Na verdade, para amplificadores CI estaremos interessados no máximo ganho que se pode obter em um circuito EC. Isso pode ser obtido impondo-se $R_C = \infty$ na Equação 4.63:

$$A_{v\text{máx}} = -g_m r_o \tag{4.64}$$

Substituindo-se $g_m = I_C/V_T$ e $r_o = V_A/I_C$,

$$A_{v\text{máx}} = -\frac{V_A}{V_T} \tag{4.65}$$

que é independente da corrente de polarização I_C! Como exemplo, para uma tecnologia de CI com $V_A = 100$ V, a Equação 4.65 fornece um ganho máximo de tensão de 4000 V/V.

O ganho de corrente do amplificador EC é obtido a partir do circuito da Figura 4.43(b),

$$A_i \equiv \frac{i_o}{i_b} = \frac{-g_m v_\pi r_o/(r_o + R_C)}{v_\pi/r_\pi}$$

Assim,

$$A_i = -\beta\frac{r_o}{r_o + R_C} \tag{4.66}$$

Para $R_C << r_o$, $A_i \cong -\beta$, que não é um resultado surpreendente, uma vez que β é o ganho de corrente de curto-circuito (isto é, $R_C = 0$) para emissor comum.

Finalmente, a resistência de saída R_o pode ser obtida por inspeção do circuito da Figura 4.43(b) como segue: impondo-se $v_s = 0$, podemos observar que $v_\pi = 0$ e, portanto,

$$R_o = R_C//r_o \tag{4.67}$$

Em suma, o amplificador CE pode ser projetado para proporcionar ganhos substanciais de tensão e corrente, resistências de entrada de valor moderado e resistências de saída de valor elevado (uma desvantagem). Em amplificadores multiestágio de ganho elevado, a maior parte do ganho de tensão é usualmente obtida utilizando-se um ou mais estágios emissor comum. O amplificador EC, no entanto, possui uma resposta em freqüência relativamente pobre, como será visto no Capítulo 7.

Exercício

4.31 Para o amplificador EC da Figura 4.43(a), se $I = 1$ mA, $R_C = 5$ kΩ, $\beta = 100$, $V_A = 100$ V e $R_s = 5$ kΩ, determine R_i, A_v, A_i e R_o. Se a saída do amplificador for conectada a uma carga de 5 kΩ, determine o novo valor de A_v.

Resposta 2,5 kΩ; −63,5 V/V; −95,2 A/A; 4,76 kΩ; −32,5 V/V

O Amplificador em Emissor Comum com uma Resistência no Emissor

Incluir uma resistência no caminho do sinal entre o emissor e o terra, conforme mostrado na Figura 4.44(a), pode levar a mudanças significativas nas características do amplificador. Portanto, esse resistor pode ser utilizado pelo projetista como uma ferramenta eficaz de projeto para dar as características que se fizerem necessárias no projeto.

A análise do circuito da Figura 4.44(a) pode ser feita substituindo-se o TBJ por um de seus modelos de pequenos sinais. Embora qualquer um dos modelos das Figuras 4.26 e 4.27 possam ser utilizados, os mais convenientes para essa aplicação são os dois modelos T. Isso se justifica porque temos uma resistência R_e no emissor que aparecerá em série com a resistência de emissor r_e do modelo T e pode, portanto, ser adicionada a ela, simplificando consideravelmente a análise. O leitor poderá apreciar esta observação após a conclusão da análise. Pode-se apreciar ainda mais o significado desta simplificação realizando-se a mesma análise empregando o modelo π-híbrido, que exige muito mais trabalho para se chegar aos mesmos resultados.

Substituir o TBJ pelo modelo T da Figura 4.27(b) acrescido da resistência de saída de coletor r_o resulta no circuito equivalente mostrado na Figura 4.44(b). Infelizmente, nesse circuito amplificador, r_o conecta a saída do amplificador a sua entrada, destruindo assim a natureza unilateral do amplificador e complicando a análise consideravelmente. No entanto, uma vez que r_o é elevado, sua inclusão na análise tem pouco efeito sobre o desempenho do amplificador. Portanto, eliminaremos r_o e faremos a análise empregando o circuito simplificado da Figura 4.44(c). Através de simulações computacionais pode-se facilmente verificar que os resultados aproximados obtidos com a remoção de r_o diferem muito pouco dos resultados com r_o incluído.

Para determinar a resistência de entrada R_i, observamos que no circuito da Figura 4.44(c) a tensão de base é dada por

$$v_b = i_e(r_e + R_e) \tag{4.68}$$

e, usando a equação nodal na base, a corrente de base pode ser obtida por

$$i_b = (1-\alpha)i_e = \frac{i_e}{\beta+1} \tag{4.69}$$

que nos possibilita determinar R_i,

$$R_i \equiv \frac{v_b}{i_b} = (\beta+1)(r_e + R_e) \tag{4.70}$$

Esse é um resultado muito importante. Ele diz que a resistência de entrada olhando-se para a base é $(\beta + 1)$ vezes a resistência total no emissor. A multiplicação pelo fator $(\beta + 1)$ é conhecida como a **regra da resistência refletida**.

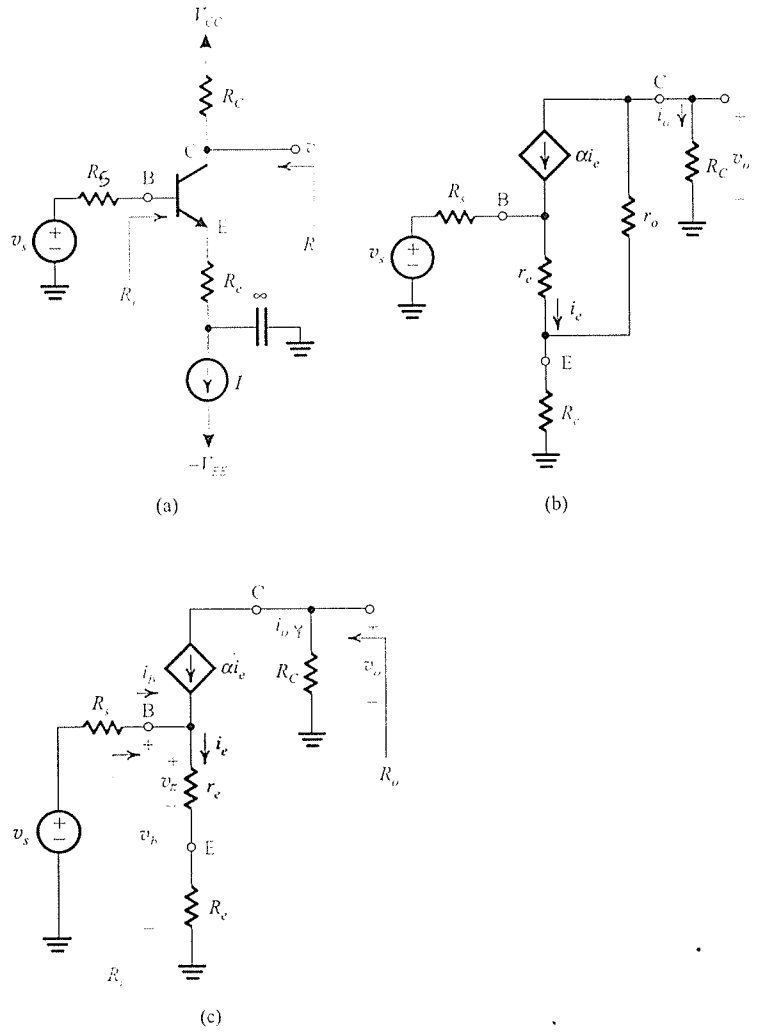


Figura 4.44 O amplificador em emissor comum com uma resistência R_e no emissor: (a) circuito; (b) circuito equivalente obtido pela substituição do TBJ por seu modelo T!; (c) o circuito em (b) com r_o eliminado.

O fator $(\beta + 1)$ surge porque a corrente de base é $1/(\beta + 1)$ vezes a corrente de emissor. A expressão para R_i na Equação 4.70 mostra claramente que a inclusão da resistência R_e no emissor pode aumentar R_i consideravelmente. Na verdade, o valor de R_i é aumentado pelo fator

$$\frac{R_i(\text{com } R_e)}{R_i(\text{sem } R_e)} = \frac{(\beta-1)(r_e+R_e)}{(\beta+1)r_e}$$
$$= 1+\frac{R_e}{r_e} \cong 1+g_mR_e \tag{4.71}$$

Assim, o projetista de circuitos pode escolher o valor de R_e que fornece o valor desejado de resistência de entrada para o amplificador.

Para determinar o ganho de tensão, determinamos primeiramente o ganho da base para o coletor. A partir do circuito equivalente, escrevemos para a tensão de coletor v_o

$$v_o = -\alpha i_e R_C \tag{4.72}$$

e usamos a expressão para v_b na Equação 4.68 para determinar v_o/v_b,

$$\frac{v_o}{v_b} = \frac{-\alpha R_C}{r_e+R_e} \tag{4.73}$$

Uma vez que $\alpha \cong 1$,

$$\frac{v_o}{v_b} \cong -\frac{R_C}{r_e+R_e} \tag{4.74}$$

Essa simples relação é muito útil e deve certamente ser lembrada: *o ganho de tensão entre base e coletor é igual à resistência total no coletor dividida pela resistência total no emissor*. Essa afirmação é genérica e aplica-se a qualquer circuito TBJ.

Para obter o ganho de tensão total, multiplicamos v_o/v_b na Equação 4.73 por v_b/v_s,

$$\frac{v_b}{v_s} = \frac{R_i}{R_i+R_s}$$

e substituímos R_i na Equação 4.70 para obter

$$A_v \cong \frac{v_o}{v_s} = -\frac{\beta R_C}{R_s+(\beta+1)(r_e+R_e)} \tag{4.75}$$

Observamos que o ganho é menor que aquele para o amplificador EC devido ao termo adicional $(\beta + 1)R_e$ no denominador. O ganho, no entanto, é menos sensível ao valor de β.

Outra conseqüência importante de incluir a resistência R_e no emissor é que o amplificador pode trabalhar com sinais de entrada maiores sem que ocorra distorção não-linear. Isso ocorre porque somente uma pequena parcela do sinal de entrada da base aparece entre a base e o emissor. Especificamente, no circuito da Figura 4.44(c) temos

$$\frac{v_\pi}{v_b} = \frac{r_e}{r_e+R_e} \cong \frac{1}{1+g_mR_e} \tag{4.76}$$

Portanto, para o mesmo v_π, o sinal de entrada pode ser maior que aquele para o amplificador EC por um fator $(1 + g_m R_e)$.

Finalmente, do circuito da Figura 4.44(c), podemos facilmente perceber que

$$R_o = R_C$$

$$A_i \equiv \frac{i_o}{i_b} = -\beta$$

Em suma, incluir uma resistência R_e no emissor do amplificador EC resulta nas seguintes características:

1. A resistência de entrada R_i aumenta de $(1 + g_m R_e)$.
2. Para a mesma distorção não-linear, podemos aplicar um sinal $(1 + g_m R_e)$ vezes maior.
3. O ganho de tensão é reduzido, de acordo com a Equação 4.75.
4. O ganho de tensão é menos dependente do valor de β (particularmente quando R_s é pequeno).
5. A resposta em altas freqüências é melhorada significativamente (como veremos no Capítulo 7).

Com exceção da redução no ganho, as outras quatro características representam uma melhora de desempenho. Na verdade, a redução no ganho é o preço para obter a melhora nas outras características. Em muitos casos, essa é uma boa troca; é o princípio embutido no uso da realimentação negativa. Que a resistência R_e introduz uma **realimentação negativa** no circuito amplificador pode ser visto através da Figura 4.44(a). Se, por alguma razão, a corrente de coletor aumentar, a corrente de emissor também aumentará, resultando em um aumento de tensão sobre R_e. Assim, a tensão no emissor aumenta e a tensão emissor–base diminui. Este último efeito causa a queda na corrente de coletor, contrapondo-se ao aumento previsto inicialmente, uma indicação da presença da realimentação negativa. Finalmente, observamos que a ação de realimentação negativa introduzida por R_e dá a essa resistência seu nome, **resistência de degeneração de emissor.**

Exercício

4.32 Considere o circuito amplificador da Figura 4.44(a) com uma corrente de polarização de I = 1 mA e uma resistência de coletor R_C = 5 kΩ. Suponha que o TBJ tenha β = 100 e despreze o efeito Early. A fonte de sinal tem uma resistência R_s = 5 kΩ. Determine o valor de R_e que fornece ao amplificador uma resistência de entrada quatro vezes maior que a de fonte. Para o circuito resultante, determine A_v, A_i e R_o. Também, se v_π deve ser limitado a 5 mV, determine o máximo v_s que pode ser aplicado com e sem a inclusão de R_e.

Resposta 175 Ω, –20 V/V, –100 A/A; 5 kΩ; 50 mV; 15 mV

O Amplificador em Base Comum

O circuito do amplificador em base comum (BC) empregando TBJ é mostrado na Figura 4.45(a). Nessa figura, a base é aterrada, a fonte de sinal de entrada é acoplada ao emissor através de um capacitor C_c de valor elevado e o sinal de saída é obtido no coletor. Como no item anterior, o transistor é polarizado com uma fonte de corrente constante cuja resistência de saída é considerada elevada. Uma vez que a base (aterrada) é o terminal comum entre a entrada e a saída, o circuito é chamado de base comum ou **amplificador com base aterrada**.

Uma vez que o sinal de entrada é aplicado ao emissor, é mais conveniente usar um dos dois modelos T para o TBJ. Substituir o TBJ pelo modelo da Figura 4.27(b) resulta em um circuito equivalente para o amplificador como aquele da Figura 4.45(b). Note que aqui também foi desprezada a resistência r_μ; incluir r_o complica a análise consideravelmente e pode ser verificado por meio de simulações com computador que seu efeito no desempenho no amplificador base comum é desprezível. A inspeção do circuito na Figura 4.45(b) revela que a resistência de entrada do amplificador é

$$R_i = r_e \tag{4.77}$$

Como r_e é relativamente baixa (por exemplo, r_e = 25 Ω para uma corrente de polarização de 1 mA), vemos que a resistência de entrada do amplificador base comum é baixa.

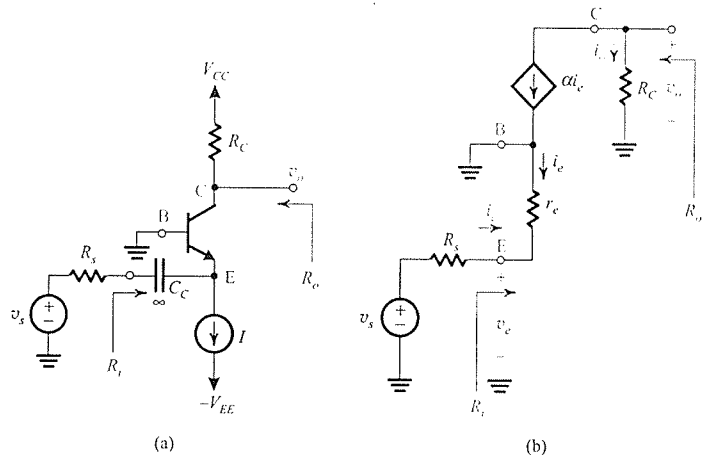


Figura 4.45 O amplificador em base comum. (a) Circuito. (b) Circuito equivalente obtido pela substituição do TBJ por seu modelo T.

Para obter o ganho de tensão, escrevemos a tensão de saída v_o

$$v_o = -\alpha i_e R_C$$

e determinamos i_e do lado da entrada do circuito como sendo

$$i_e = -\frac{v_s}{R_s + r_e}$$

Assim,

$$A_v \equiv \frac{v_o}{v_s} = \frac{\alpha R_C}{R_s + r_e} \tag{4.78}$$

Assim, o ganho de tensão depende muito pouco do valor de β. Seu valor, no entanto, depende criticamente de R_s: para $R_s >> r_e$, o ganho de tensão é aproximadamente igual a (R_C/R_s), enquanto para R_s muito pequeno, $A_v \equiv g_m R_C$. Esta última condição é difícil de se obter uma vez que r_e é relativamente baixa. Finalmente, note que, diferentemente do caso emissor comum, o amplificador base comum é não inversor; isto é, a saída está em fase com a entrada. O ganho de corrente pode ser facilmente determinado a partir do circuito equivalente,

$$A_i \equiv \frac{i_o}{i_i} = \frac{-\alpha i_e}{-i_e} = \alpha \tag{4.79}$$

Esse resultado não é surpresa, uma vez que α é o **ganho de corrente de curto-circuito em base comum**. Assim, o amplificador base comum fornece um ganho de corrente que é menor que e muito próximo de um.

Finalmente, a resistência de saída do amplificador base comum pode ser visto a partir do circuito equivalente como sendo

$$R_o = R_C \tag{4.80}$$

Em suma, o amplificador base comum exibe uma resistência de entrada muito baixa, um ganho de corrente próximo de um, uma resistência de saída que é determinada por R_C e um ganho de tensão que depende consideravelmente da resistência de fonte R_s. Devido a sua baixa resistência de entrada, o circuito de base comum sozinho não é atraente como amplificador de tensão. Sua aplicação mais adequada é como amplificador de corrente de ganho unitário ou como isolador de corrente (*buffer*): ele aceita um sinal de entrada de corrente em uma resistência de entrada baixa (r_e) e fornece uma corrente praticamente igual a uma alta impedância no coletor (a impedância de saída desconsiderando-se R_C é infinita). A maior vantagem do circuito base comum, no entanto, é sua excelente resposta em altas freqüências, como será demonstrada no Capítulo 7.

Exercício

4.33 Considere o amplificador base comum da Figura 4.45(a) com $I = 1$ mA, $R_C = 5$ kΩ, $\beta = 100$ e com o efeito Early desprezado. Para $R_s = 5$ kΩ, determine R_i, A_v, A_i e R_o. (Esse é o mesmo caso, exceto por desprezar r_o, usado para o amplificador emissor comum no Exercício 4.31, de forma que você pode comparar os resultados.)

Resposta 25 Ω ; 0,985 V/V; 0,99 A/A; 5 kΩ

O Amplificador em Coletor Comum ou Seguidor de Emissor

A última das configurações básicas de amplificador com TBJ é o circuito em coletor comum (CC), um circuito muito importante que encontra aplicações no projeto de amplificadores, tanto para pequenos sinais como para grandes sinais (Capítulo 9) e mesmo em circuitos digitais (Capítulo 13). O circuito é mostrado em sua forma básica na Figura 4.46(a). Aqui, o coletor é conectado à fonte positiva V_{CC} e, portanto, está aterrado do ponto de vista de sinais. O sinal de entrada é aplicado à base e a saída é obtida no emissor. Como veremos logo a seguir, o principal objetivo do circuito coletor comum é conectar uma fonte com resistência R_s elevada a uma carga relativamente baixa, por isso estamos mostrando explicitamente um resistência de carga. Especificamente, o sinal de saída no emissor é acoplado ao resistor de carga R_L através de um capacitor C_c de valor elevado. Em circuitos integrados, não se empregam capacitores de acoplamento, como será visto em capítulos posteriores.

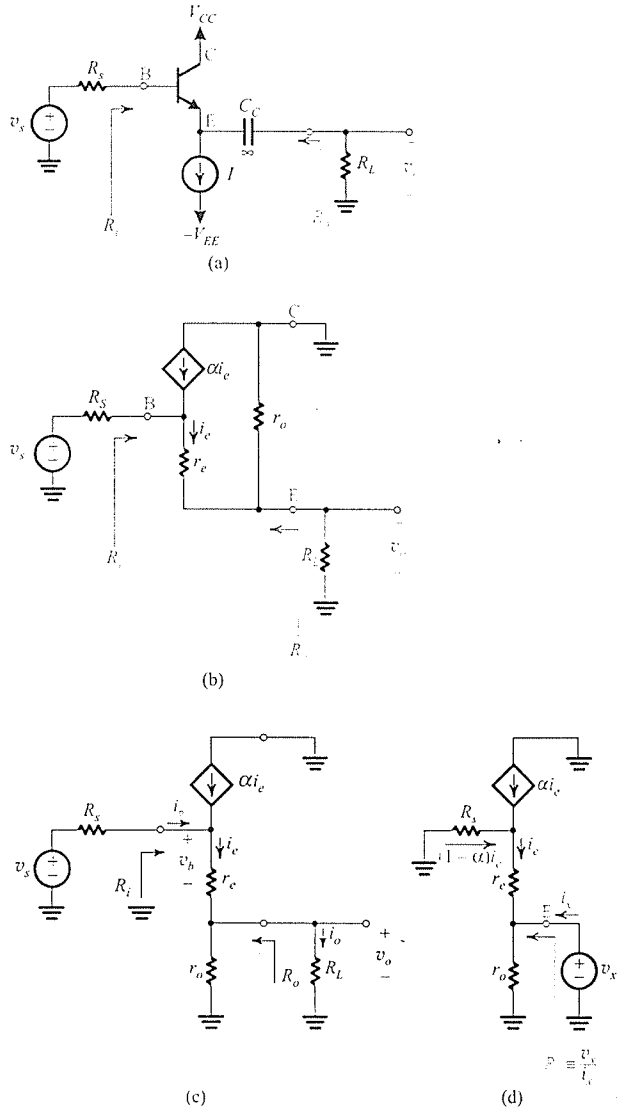


Figura 4.46 O amplificador coletor comum ou seguidor de emissor. (a) Circuito. (b) Circuito equivalente obtido pela substituição do TBJ por seu modelo T. (c) O circuito em (b) redesenhado para mostrar que r_o está em paralelo com R_L. (d) Circuito para determinar R_o.

Apesar disso, os resultados obtidos nesta seção aplicam-se também ao caso de CIs. Finalmente, observe que, estando o coletor aterrado do ponto de vista de sinais, ele serve como um terminal comum entre a entrada e a saída do amplificador e, portanto, esse circuito é chamado de coletor comum ou **amplificador com coletor aterrado**.

Como no caso do amplificador emissor comum com um resistor de emissor R_e, o circuito com coletor comum tem um resistor (R_L) conectado ao emissor (C_C atua como um curto-circuito do ponto de vista de sinais). Por conseguinte, a análise do circuito pode ser feita mais adequadamente utilizando-se um dos modelos T para o TBJ. A Figura 4.46(b) mostra o circuito equivalente para o amplificador em coletor comum ao substituir o TBJ pelo modelo T da Figura 4.27(b) acrescido da resistência de saída de coletor r_o. Será mostrado que r_o pode influenciar significativamente no desempenho desse amplificador e, portanto, deve ser incluído na análise.

Observa-se da Figura 4.46(b) que r_o aparece em paralelo com R_L, e o circuito foi redesenhado na Figura 4.46(c) para tornar essa observação mais aparente e assim facilitar a análise. Reiteramos aqui nossa crença de que o desenho apropriado de diagramas de circuito leva a uma melhor compreensão de seu funcionamento e, portanto, a análise torna-se mais rápida. Uma ilustração dessa afirmação é fornecida pelo circuito da Figura 4.46(c): observamos que o circuito é uma versão simplificada ($R_C = 0$) do amplificador em emissor comum com resistência de emissor ($R_e = r_o//R_L$). Portanto, a maior parte da análise que se segue é uma adaptação imediata dos resultados obtidos para o caso do amplificador em emissor comum com resistência de emissor: a resistência de entrada R_i é determinada aplicando-se a regra da resistência refletida,

$$R_i = (\beta+1)\left[r_e + (r_o//R_L)\right] \tag{4.81}$$

Para o caso em que $r_e << R_L << r_o$

$$R_i \cong (\beta+1)R_L \tag{4.82}$$

Essa equação ilustra uma característica importante do amplificador em coletor comum: o amplificador exibe uma resistência de entrada relativamente elevada. Especificamente, o efeito na fonte de sinal ao se conectar uma carga R_L ao circuito é reduzido porque R_L é, na verdade, multiplicada por (β + 1). Esse ponto é melhor visualizado observando que a transmissão da fonte de sinal para a base do transistor é dada por

$$\frac{v_b}{v_s} = \frac{(\beta+1)\left[r_e + (r_o//R_L)\right]}{R_s + (\beta+1)\left[r_e + (r_o//R_L)\right]} \tag{4.83}$$

A multiplicação pelo fator (β + 1) ao refletir a resistência do emissor na base pode fazer (v_b/v_s) aproximar-se da unidade (evitando assim a perda de sinal na entrada) mesmo para valores moderados de R_s.

Para obter o ganho total v_o/v_s, multiplicamos v_b/v_s da Equação 4.83 por v_o/v_b, que pode ser obtido do divisor de tensão formado por ($r_o//R_L$) e r_e; isto é,

$$\frac{v_o}{v_b} = \frac{(r_o//R_L)}{r_e + (r_o//R_L)} \tag{4.84}$$

em que temos que, para r_e usualmente pequeno, v_o/v_b se aproxima da unidade, o que significa que o sinal no emissor segue de perto o sinal da base, dando ao circuito seu nome mais usual, **seguidor de emissor**. Combinando-se as Equações 4.83 e 4.84 determina-se A_v,

$$A_v \equiv \frac{v_o}{v_s} = \frac{(\beta+1)(R_L//r_o)}{R_s + (\beta+1)\left[r_e + (R_L//r_o)\right]} \tag{4.85}$$

que pode ser expresso de uma forma um pouco diferente

$$A_v = \frac{v_o}{v_s} = \frac{(R_L//r_o)}{\dfrac{R_s}{\beta+1} + r_e + (R_L//r_o)} \tag{4.86}$$

As Equações 4.85 e 4.86 indicam que o ganho de tensão no seguidor de emissor é menor que a unidade. O ganho de tensão, porém, é usualmente próximo da unidade, que é um resultado do aumento da resistência vista pela fonte de sinal devido à multiplicação pelo fator (β + 1). Esse ponto deve ficar evidente a partir da Equação 4.85. A Equação 4.86 complementa essa observação: o seguidor de emissor, na verdade, causa um redução na resistência R_s pelo fator (β + 1), como pode ser verificado ao se determinar v_s. Observe que tanto na Equação 4.86 quanto na Figura 4.46(c) a expressão na Equação 4.86 representa um divisor de tensão: ela fornece a tensão de saída em $r_o//R_L$, que aparece em série com r_e e com $R_s/(\beta + 1)$. Esta última é a resistência na base do transistor refletida no circuito de emissor pela divisão por (β + 1). Isso é o inverso da regra da resistência refletida.

Para sermos mais sistemáticos, determinaremos formalmente a resistência de saída do seguidor de emissor, isto é, a resistência R_o indicada na Figura 4.46(d), em que v_s foi zerada e uma tensão de teste v_x foi aplicada ao emissor. A tensão v_x pode ser expressa em termos da queda de tensão em r_e e R_s,

$$v_x = -i_e r_e - (1-\alpha) i_e R_s$$

Portanto

$$i_e = -\frac{v_x}{r_e + (1-\alpha)R_s}$$

que pode ser substituída na equação nodal de emissor,

$$i_x = \frac{v_x}{r_o} - i_e$$

para fornecer

$$i_x = \frac{v_x}{r_o} + \frac{v_x}{r_e + (1-\alpha)R_s}$$

Uma vez que $R_o \equiv v_x/i_x$, tem-se

$$\frac{1}{R_o} \equiv \frac{i_x}{v_x} = \frac{1}{r_o} + \frac{1}{r_e + (1-\alpha)R_s}$$

Portanto, R_o é o equivalente paralelo de r_o e $[r_e + (1 - \alpha)R_s]$, ou

$$R_o = r_o // \left[r_e + \frac{R_s}{\beta+1} \right] \tag{4.87}$$

em que substituímos $1 - \alpha = 1/(\beta + 1)$. O leitor é agora encorajado a relacionar a expressão na Equação 4.87 com o circuito da Figura 4.46(c). Olhando para o terminal E, vemos r_o em paralelo com r_e, os quais estão em série com R_s refletida no emissor dividindo-a por (β + 1) – exatamente o que a Equação 4.87 expressa. A Equação 4.87 revela que R_o é usualmente baixa. Isso fica mais claro considerando-se o caso típico em que r_o é elevada e, portanto,

$$R_o \equiv r_e + \frac{R_s}{\beta+1} \tag{4.88}$$

A resistência de saída R_o juntamente com o ganho de tensão em circuito aberto $A_v\big|_{R_L=\infty}$ podem ser usados para determinar o ganho A_v para qualquer resistência de carga R_L, como segue:

$$A_v = A_v\Big|_{R_L=\infty} \frac{R_L}{R_L + R_o} \tag{4.89}$$

em que, da Equação 4.86,

$$A_v\Big|_{R_L=\infty} = \frac{r_o}{\frac{R_s}{\beta+1} + r_e + r_o}$$

Para completar a análise do seguidor de emissor, podemos mostrar que seu ganho de corrente é dado por

$$A_i \equiv \frac{i_o}{i_b} = (\beta+1)\frac{r_o}{r_o + R_L} \tag{4.90}$$

que se aproxima de $(\beta + 1)$ para $R_L << r_o$.

Em suma, o seguidor de emissor exibe uma elevada resistência de entrada, uma baixa resistência de saída, um ganho de tensão que é menor e muito próximo da unidade e um ganho de corrente relativamente elevado. Ele é, portanto, muito adequado para aplicações nas quais uma elevada resistência de fonte deve ser conectada a uma carga de baixo valor. Em outras palavras, o seguidor de emissor atua como um isolador (*buffer*). Sua baixa resistência de saída torna-o útil como último estágio de um amplificador de múltiplos estágios, em que o objetivo deste último estágio não é aumentar o ganho de tensão, mas fornecer uma baixa resistência de saída. Estudaremos o projeto de estágios amplificadores de saída no Capítulo 9.

Antes de deixarmos o seguidor de emissor, a questão da máxima excursão permissível para o sinal de saída merece um comentário. Uma vez que apenas uma fração do sinal de entrada aparece entre a base e o emissor, o seguidor de emissor exibe uma operação linear para uma ampla faixa de amplitudes do sinal de entrada. Há, no entanto, um limite superior absoluto imposto ao valor da amplitude do sinal de saída dado pelo corte do transistor. Para perceber como isso ocorre, considere o circuito da Figura 4.46(a) quando o sinal de entrada é uma onda senoidal. Quando a entrada é negativa, a saída v_o também será negativa e a corrente em R_L fluirá do terra para o terminal de emissor. O transistor cortará quando essa corrente se tornar igual à corrente de polarização I. Portanto, o valor de pico de v_o pode ser obtido por

$$\frac{\hat{V}_o}{R_L} = I$$

ou

$$\hat{V}_o = IR_L$$

O valor correspondente de v_s será

$$\hat{V}_s = \frac{IR_L}{A_v}$$

Aumentando-se a amplitude de v_s acima desse valor chega-se ao corte do transistor e os picos negativos da forma de onda de saída serão ceifados.

Exercício

4.34 O seguidor de emissor da Figura 4.46(a) é utilizado para conectar uma fonte com R_s = 10 kΩ em uma carga de 1 kΩ. O transistor é polarizado com I = 5 mA e possui β =100 e V_A = 100 V. Determine R_i, v_b/v_s, v_e/v_s, v_o/v_s, R_o, $A_v\big|_{R_L=\infty}$ e A_i. Qual a máxima amplitude de pico de uma senóide de saída que pode ser obtida sem que ocorra o corte do transistor? Se, para limitar a distorção não-linear, o sinal de emissor–base é limitado a 10 mV de pico, qual a correspondente amplitude na saída?

Resposta 96,7 kΩ. 0.906 V/V, 0,995 V/V; 0,902 V/V; 103 Ω; 0,995 V/V; 96,2 A/A; 5 V; 2 V

4.12 O TRANSISTOR COMO CHAVE – O CORTE E A SATURAÇÃO

Após estudarmos o modo de operação ativa com detalhes, agora estamos prontos para completar o quadro considerando o que acontece quando o transistor sai da região ativa. Em um extremo, o transistor entrará na região de corte, enquanto, no outro extremo, o transistor entrará na região de saturação. Esses dois modos extremos de operação são muito úteis se o transistor for usado como uma chave, como em circuitos digitais. Na presente seção, estudaremos os modos de operação de corte e de saturação.

A Região de Corte

Para auxiliar na introdução do corte e da saturação, consideraremos o circuito simples mostrado na Figura 4.47, o qual é alimentado por uma fonte de tensão v_I. Desejamos analisar esse circuito com diferentes valores de v_I.

Se v_I for menor do que cerca de 0,5 V, a JEB conduzirá uma corrente desprezível. Na verdade, a JEB pode ser considerada como "reversamente" polarizada, e como a JCB também está reversamente polarizada (V_{CC} é positivo), o dispositivo estará no modo de corte. Isso implica que

$$i_B = 0 \quad i_E = 0 \quad i_C = 0 \quad v_C = V_{CC}$$

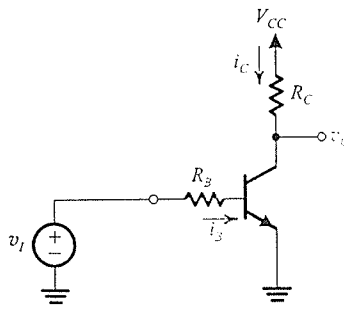


Figura 4.47 Um circuito simples usado para ilustrar os diferentes modos de operação do TBJ.

A Região Ativa

Para fazer o transistor conduzir, devemos aumentar o valor de v_I acima de 0,5 V. Na verdade, para ter uma corrente apreciável circulando, v_{BE} deve ser cerca de 0,7 V e v_I deve ser maior que esse valor. Para $v_I > 0{,}7$ V temos

$$i_B = \frac{v_I - V_{BE}}{R_B} \tag{4.91}$$

que pode ser aproximado por

$$i_B \simeq \frac{v_I - 0{,}7}{R_B} \tag{4.92}$$

A corrente no coletor é dada por

$$i_C = \beta i_B \tag{4.93}$$

o que se aplica apenas se o dispositivo estiver no modo ativo. Como saber se o dispositivo está no modo ativo? Não sabemos; portanto fazemos a suposição de que ele esteja no modo ativo, calculamos i_C usando a Equação 4.93 e v_C a partir de

$$v_C = V_{CC} - R_C i_C \tag{4.94}$$

e então verificamos se $v_{CB} \geq 0$ ou não. Em nosso caso, simplesmente verificamos se $v_C \geq 0{,}7$ V ou não. Se $v_C \geq 0{,}7$ V, então nossa suposição original está correta e completamos a análise para esse valor particular de v_I. Por outro lado, se v_C for determinado como sendo menor do que 0,7 V, então o dispositivo saiu da região ativa e entrou na região de saturação.

Obviamente, com o aumento de v_I, i_B aumentará (Equação 4.92), i_C aumentará correspondentemente (Equação 4.93) e v_C diminuirá (Equação 4.94). Eventualmente, v_C se tornará menor do que v_B (0,7 V) e o dispositivo entrará na região de saturação.

A Região de Saturação

A saturação ocorre quando tentamos forçar uma corrente no coletor maior do que o circuito do coletor é capaz de fornecer enquanto mantemos a operação no modo ativo. Para o circuito da Figura 4.47, a corrente máxima que o coletor "pode exigir" sem que o transistor saia do modo ativo pode ser determinada fazendo $v_{CB} = 0$, o que resulta em

$$\hat{I}_C = \frac{V_{CC} - V_B}{R_C} \simeq \frac{V_{CC} - 0{,}7}{R_C} \tag{4.95}$$

Essa corrente de coletor é obtida forçando a corrente da base $\hat{I}_B$, dada por

$$\hat{I}_B = \frac{\hat{I}_C}{\beta} \tag{4.96}$$

e o valor correspondente exigido de v_I pode ser obtido pela Equação 4.92. Agora, se aumentarmos i_B acima de $\hat{I}_B$, a corrente de coletor aumentará e a tensão de coletor cairá para um valor abaixo da base. Isso continuará até que a JCB se torne diretamente polarizada com a tensão de polarização direta com cerca de 0,4 a 0,6 V. Nessas circunstâncias, a JCB conduzirá e a tensão de coletor será grampeada em cerca de meio volt abaixo da tensão de base. Observe que a queda de tensão direta da junção coletor–base é pequena porque a JCB tem uma área relativamente grande (veja a Figura 4.6). Essa situação é conhecida como *saturação*, visto que qualquer aumento na corrente de base resultará em um aumento muito pequeno da corrente de coletor, correspondendo a um aumento muito pequeno na tensão de coletor. Isso significa que na saturação o β *incremental* (isto é, $\Delta i_C/\Delta i_B$) é muito pequeno, desprezível. Qualquer corrente "extra" que tentemos forçar no terminal de base em sua maior parte circulará através do terminal de emissor. Logo, a relação entre a corrente de coletor e a corrente de base de um transistor saturado *não* é igual a β e pode ser ajustada para qualquer valor desejado – menor do que β – simplesmente forçando mais corrente pela base.

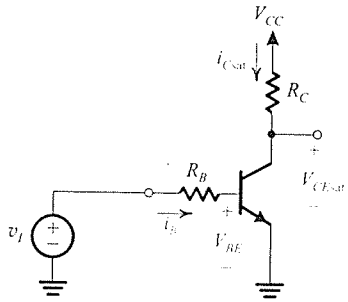


Figura 4.48 Um transistor saturado.

Vamos retornar ao circuito da Figura 4.47, o qual redesenhamos conforme mostra a Figura 4.48, com a suposição de que o transistor está saturado. O valor de V_{BE} de um transistor saturado é usualmente um pouco maior do que o do dispositivo operando no modo ativo.[6] Apesar disso, por simplicidade, faremos a suposição de que V_{BE} permanecerá próximo de 0,7 V mesmo estando o dispositivo saturado.

Como na saturação, a tensão na base é maior do que a tensão no coletor em cerca de 0,4 a 0,6 V, isso implica que a tensão no coletor será 0,3 a 0,1 V maior do que a tensão no emissor. Esse valor é referido como V_{CEsat}, e assumiremos normalmente que $V_{CEsat} \simeq 0{,}2$ V. Contudo, observe que, se forçarmos mais corrente pela base, levaremos o transistor a uma saturação "intensa" e a polarização direta da JCB aumentará, o que significa que V_{CEsat} diminuirá.

O valor da corrente de coletor na saturação será quase constante. Representaremos esse valor por I_{Csat}. Isso implica que para o circuito na Figura 4.48 temos

$$I_{Csat} = \frac{V_{CC} - V_{CEsat}}{R_C} \tag{4.97}$$

A fim de garantir que o transistor seja levado à saturação, devemos forçar a corrente de base de pelo menos

$$I_{B(EOS)} = \frac{I_{Csat}}{\beta} \tag{4.98}$$

6. O aumento em V_{BE} é devido ao fato de a corrente da base ter aumentado, produzindo uma considerável queda de tensão na resistência de corpo da região ôhmica da base (IR). Em outras palavras, parte de V_{BE} aparecerá no material semicondutor da base como uma queda IR, e o restante aparecerá na JEB.

em que o índice adicional EOS significa início de saturação (edge of saturation). Normalmente, projetamos o circuito de modo que I_B seja maior do que $I_{B(EOS)}$ por um fator que varia de 2 a 10 (chamado de **fator de saturação forçada** – overdrive factor). A razão I_{Csat} por I_B é chamada de β **forçado** ($\beta_{forçado}$), visto que esse valor pode ser imposto de acordo com nossa vontade:

$$\beta_{\text{forçado}} = \frac{I_{Csat}}{I_B} \tag{4.99}$$

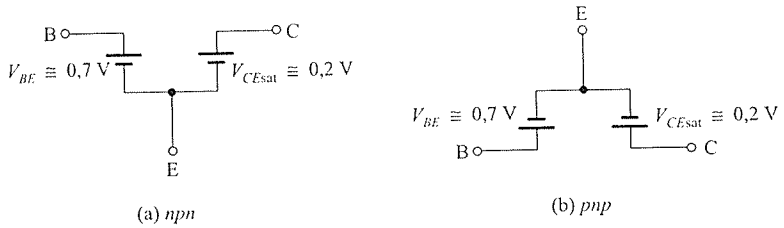


Figura 4.49 Modelos para o TBJ saturado.

O Modelo para o TBJ Saturado

Pelo que discutimos anteriormente, podemos obter um modelo simples para a operação do transistor no modo de saturação, conforme mostrado na Figura 4.49. Normalmente, usaremos esse modelo implicitamente na análise de um dado circuito.

Para cálculos aproximados rápidos podemos considerar V_{BE} e V_{CEsat} como zero e usar os três terminais em curto-circuito mostrados na Figura 4.50 para modelar o transistor saturado.

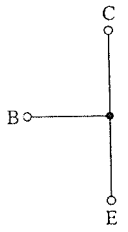


Figura 4.50 Um modelo aproximado para o TBJ saturado.

Uma Observação Final

Na Seção 4.13 estudaremos formalmente o modelo do TBJ para grandes sinais que se aplica a todos os modos de operação. Ele será particularmente útil para explicar o modo de saturação. Por enquanto, no entanto, a descrição qualitativa dada anteriormente e os modelos das Figuras 4.49 e 4.50 são suficientes para possibilitar a análise e o projeto de circuitos nos quais o TBJ opera na saturação. Isso será mostrado nos exemplos seguintes.

EXEMPLO 4.13

Desejamos analisar o circuito na Figura 4.51(a) para determinar as tensões em todos os nós e as correntes em todos os ramos. Suponha que o β do transistor seja especificado como sendo *pelo menos* igual a 50.

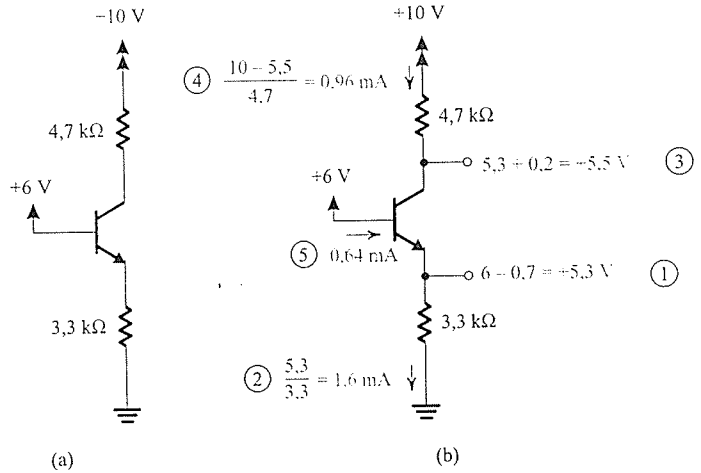


Figura 4.51 Exemplo 4.13: (a) circuito; (b) análise com a seqüência de passos numerada.

SOLUÇÃO

Já estudamos esse circuito no Exemplo 4.3 e descobrimos que o transistor está saturado. Supondo que seja esse o caso, temos

$$V_E = +6 - 0{,}7 = +5{,}3 \text{ V}$$

$$I_E = \frac{V_E}{3{,}3} = \frac{5{,}3}{3{,}3} = 1{,}6 \text{ mA}$$

$$V_C = V_E + V_{CEsat} = +5{,}3 + 0{,}2 = +5{,}5 \text{ V}$$

$$I_C = \frac{+10 - 5{,}5}{4{,}7} = 0{,}96 \text{ mA}$$

$$I_B = I_E - I_C = 1{,}6 - 0{,}96 = 0{,}64 \text{ mA}$$

Logo o transistor está operando com um β forçado de

$$\beta_{\text{forçado}} = \frac{I_C}{I_B} = \frac{0{,}96}{0{,}64} = 1{,}5$$

Como $\beta_{\text{forçado}}$ é menor do que o valor *mínimo* especificado para β, o transistor está realmente saturado. Devemos enfatizar aqui que para confirmar a saturação devemos usar o

valor mínimo de β. Pela mesma razão, se estamos projetando um circuito no qual o transistor funcionará saturado, o projeto deve ser baseado no valor mínimo especificado de β. Obviamente, se um transistor com esse $\beta_{\text{mínimo}}$ está saturado, então transistores com valores maiores de β estarão também saturados. Os detalhes da análise são mostrados na Figura 4.51(b), em que a seqüência de passos usados está indicada pelos círculos numerados.

EXEMPLO 4.14

O transistor na Figura 4.52 tem como especificação um β na faixa de 50 a 150. Encontre o valor de R_B que resulta em uma saturação com um fator de saturação forçada de pelo menos 10.

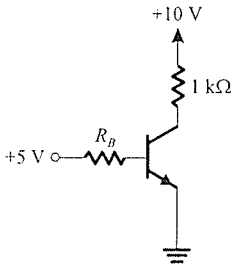


Figura 4.52 Circuito para o Exemplo 4.14.

SOLUÇÃO

Quando o transistor está saturado, a tensão no coletor será

$$V_C = V_{CEsat} \simeq 0{,}2 \text{ V}$$

Logo, a corrente no coletor é dada por

$$I_{Csat} = \frac{+10 - 0{,}2}{1} = 9{,}8 \text{ mA}$$

Para saturar o transistor com o menor valor de β precisamos fornecer uma corrente de base de pelo menos

$$I_{B(EOS)} = \frac{I_{Csat}}{\beta_{mín}} = \frac{9{,}8}{50} = 0{,}196 \text{ mA}$$

Para um fator de saturação forçada de 10, a corrente na base deve ser de

$$I_B = 10 \times 0{,}196 = 1{,}96 \text{ mA}$$

Portanto, necessitamos de um valor de R_B tal que

$$\frac{+5 - 0{,}7}{R_B} = 1{,}96$$

$$R_B = \frac{4{,}3}{1{,}94} = 2{,}2 \text{ k}\Omega$$

EXEMPLO 4.15

Desejamos analisar o circuito da Figura 4.53 para determinar as tensões em todos os nós e as correntes em todos os ramos. O valor mínimo especificado para β é de 30.

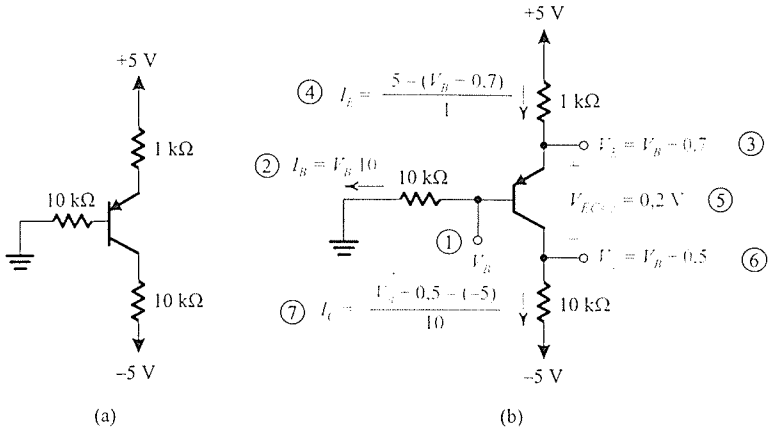


Figura 4.53 Exemplo 4.15: (a) circuito; (b) análise com a seqüência de passos numerada.

SOLUÇÃO

Uma rápida examinada no circuito revela que o transistor está na ativa ou na saturação. Supondo que ele esteja no modo de operação ativo e desprezando-se a corrente de base, vemos que a tensão na base será de aproximadamente zero volt, a tensão no emissor será de aproximadamente +0,7 V e a corrente no emissor será de aproximadamente 4,3 mA. Como a corrente máxima que o coletor pode ter enquanto o transistor permanece no modo ativo é de aproximadamente 0,5 mA, concluímos que o transistor está definitivamente saturado. Supondo que o transistor esteja saturado e representando a tensão na base por V_B (refira-se à Figura 4.53(b)), concluímos que

$$V_E = V_B + V_{EB} \simeq V_B + 0{,}7$$

$$V_C = V_E - V_{ECsat} \simeq V_B + 0{,}7 - 0{,}2 = V_B + 0{,}5$$

$$I_E = \frac{+5 - V_E}{1} = \frac{5 - V_B - 0{,}7}{1} = 4{,}3 - V_B \text{ mA}$$

$$I_B = \frac{V_B}{10} = 0{,}1\, V_B \text{ mA}$$

$$I_C = \frac{V_C - (-5)}{10} = \frac{V_B + 0{,}5 + 5}{10} = 0{,}1\, V_B + 0{,}55 \text{ mA}$$

Usando a relação $I_E = I_B + I_C$, obtemos

$$4{,}3 - V_B = 0{,}1\,V_B + 0{,}1\,V_B + 0{,}55$$

o que resulta em

$$V_B = \frac{3{,}75}{1{,}2} = 3{,}13\ \text{V}$$

Substituindo na equação acima, temos

$$V_E = 3{,}83\ \text{V}$$
$$V_C = 3{,}53\ \text{V}$$
$$I_E = 1{,}17\ \text{mA}$$
$$I_C = 0{,}86\ \text{mA}$$
$$I_B = 0{,}31\ \text{mA}$$

Está claro que o transistor está saturado, visto que o valor de β forçado é de

$$\beta_{\text{forçado}} = \frac{0{,}86}{0{,}31} = 2{,}8$$

o qual é muito menor do que o β mínimo especificado.

EXEMPLO 4.16

Queremos determinar todas as tensões nodais e todas as correntes nos ramos do circuito da Figura 4.54(a). Suponha $\beta = 100$.

SOLUÇÃO

Examinando o circuito, concluímos que os dois transistores Q_1 e Q_2 não podem conduzir simultaneamente. Logo, se Q_1 estiver em condução, Q_2 estará em corte e vice-versa. Suponha que Q_2 esteja em condução. Isso implica que a corrente fluirá do terra para o resistor de carga de 1 kΩ e para o emissor de Q_2. Portanto, a base de Q_2 estará com uma tensão negativa, e a corrente da base circulará para fora através do resistor de 10 kΩ em direção à fonte de +5 V. Isso é impossível, visto que, se a base é negativa, a corrente no resistor de 10 kΩ tem de circular para dentro da base. Concluímos, portanto, que nossa suposição original – que Q_2 está em condução – está incorreta. Isso implica que Q_2 deve estar em corte e Q_1, em condução.

A questão agora é se Q_1 está na ativa ou em saturação. A resposta nesse caso é óbvia. Uma vez que a base está alimentada por uma fonte de +5 V e visto que a corrente na base circula em direção à base de Q_1, isso implica que a base de Q_1 terá uma tensão menor do que +5 V. Logo, a junção coletor–base de Q_1 está reversamente polarizada e Q_1 está no modo ativo. Falta apenas determinar as correntes e tensões usando as técnicas descritas anteriormente em detalhes. Os resultados são dados na Figura 4.54(b).

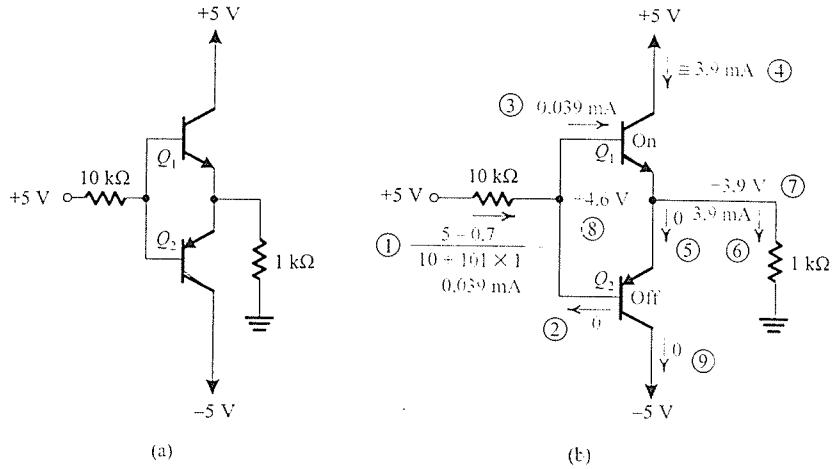


Figura 4.54 Exemplo 4.16: (a) circuito; (b) análise com a seqüência de passos numerada.

Exercícios

4.35 Considere o circuito da Figura 4.48 com a entrada conectada em +5 V. Suponha $V_{CC} = 5$ V, $R_C = 1$ kΩ, $R_B = 10$ kΩ e $\beta = 50$. Qual o valor de β forçado? Encontre o valor de v_I necessário para estabelecer $\beta_{\text{forçado}} = \beta/2$.

Resposta 11,2; 2,6 V

4.36 Repita o Exemplo 4.14 com um fator de saturação forçada de 5.

Resposta $R_B = 4{,}4$ kΩ

4.37 Resolva o problema no Exemplo 4.16 com uma tensão de alimentação das bases trocada para +10 V. Suponha que $\beta_{\text{mín}} = 30$ e encontre V_E, V_B, I_{C1} e I_{C2}.

Resposta +4,8 V; +5,5 V; 4,35 mA; 0

4.13 UM MODELO GENÉRICO DO TBJ PARA GRANDES SINAIS: O MODELO DE EBERS–MOLL (EM)

Embora os modelos simples para grandes sinais desenvolvidos na Seção 4.2 para operação na região ativa e na Seção 4.12 para operação na saturação sejam normalmente adequados para análises aproximadas de circuitos digitais com TBJs, podemos compreender melhor o comportamento do TBJ

a partir de uma abordagem mais formal utilizando um modelo para grandes sinais que é muito popular: o modelo **Ebers–Moll** (EM). Além de ser intuitivamente aceitável, o modelo EM é genérico: pode ser usado para descrever o TBJ em qualquer um de seus modos de operação. Ele também é a base do modelo TBJ empregado pelo SPICE (Seção 4.16). Estudaremos o modelo EM nesta seção.

O modelo EM é um modelo para baixas freqüências (estático) baseado no fato de que o TBJ é composto de duas junções *pn*, a junção emissor–base e a junção coletor–base. Pode-se, portanto, expressar as correntes nos terminais do TBJ como uma superposição de correntes devidas às duas junções *pn*, como mostrado a seguir.

A Figura 4.55 mostra um transistor *npn* e seu modelo EM. O modelo consiste em dois diodos e duas fontes vinculadas. Os diodos são denominados de D_E, o diodo da junção emissor–base, e D_C, o diodo da junção coletor–base. As correntes i_{DE} e i_{DC} dos diodos são dadas pela equação do diodo:

$$i_{DE} = I_{SE}(e^{v_{BE}/V_T} - 1) \tag{4.100}$$

$$i_{DC} = I_{SC}(e^{v_{BC}/V_T} - 1) \tag{4.101}$$

em que I_{SE} e I_{SC} são as correntes de saturação ou de escalamento dos dois diodos. Uma vez que a junção coletor–base é usualmente de maior área que a junção emissor–base, I_{SC} é normalmente maior que I_{SE} (por um fator entre 2 e 50).

Como explicado na Seção 4.2, parte da corrente da junção emissor–base i_{DE} alcança o coletor e torna-se corrente de coletor. É esta componente que dá origem à fonte de corrente $\alpha_F i_{DE}$ no modelo da Figura 4.55. Nesse modelo, α_F representa o **α direto** do transistor (que é o parâmetro que chamamos anteriormente simplesmente de α). O valor de α_F está usualmente muito próximo da unidade. Da mesma forma, parte da corrente da junção coletor–base i_{DC} alcança o emissor. Esta componente é representada pela fonte de corrente $\alpha_R i_{DC}$ no modelo EM, em que α_R representa o **α reverso** do transistor. Uma vez que a estrutura do transistor não é fisicamente simétrica, pelo contrário, é otimizada para possuir um α direto elevado, α_R é normalmente pequeno (entre 0,02 e 0,5).

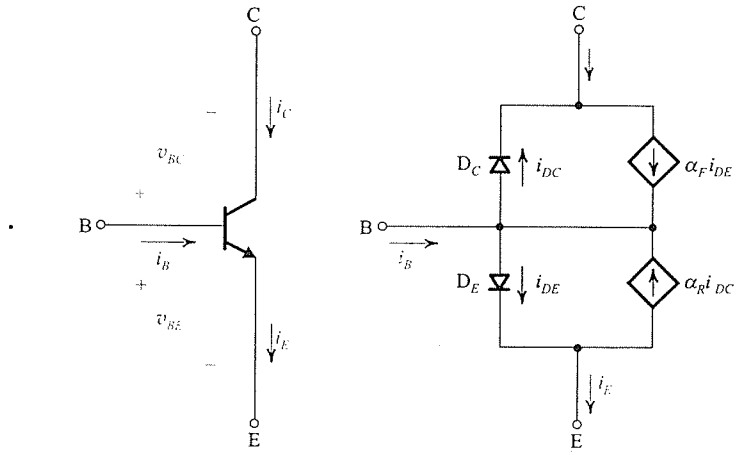


Figura 4.55 Um transistor *npn* e seu modelo Ebers–Moll (EM).

Há uma relação (veja Harris, Gray e Searle, 1966) entre os quatro parâmetros do modelo EM e a corrente de saturação do transistor:

$$\alpha_F I_{SE} = \alpha_R I_{SC} = I_S \tag{4.102}$$

Recorde-se de que, para transistores de baixa potência (pequenos sinais), I_S é da ordem de 10^{-14} a 10^{-15} A e é proporcional à área da junção emissor–base.

As Correntes nos Terminais do Transistor

Uma vez tendo uma justificativa física qualitativa para o modelo EM, agora o utilizaremos para expressar as correntes nos terminais do TBJ em função das tensões das junções. A partir da Figura 4.55 podemos escrever:

$$i_E = i_{DE} - \alpha_R i_{DC} \tag{4.103}$$

$$i_C = -i_{DC} + \alpha_F i_{DE} \tag{4.104}$$

$$i_B = (1-\alpha_F) i_{DE} + (1-\alpha_R) i_{DC} \tag{4.105}$$

Substituindo i_{DE} e i_{DC} pelas Equações 4.100 e 4.101 e usando a relação mostrada na Equação 4.102 temos

$$i_E = \frac{I_S}{\alpha_F}(e^{v_{BE}/V_T} - 1) - I_S(e^{v_{BC}/V_T} - 1) \tag{4.106}$$

$$i_C = I_S(e^{v_{BE}/V_T} - 1) - \frac{I_S}{\alpha_R}(e^{v_{BC}/V_T} - 1) \tag{4.107}$$

$$i_B = \frac{I_S}{\beta_F}(e^{v_{BE}/V_T} - 1) + \frac{I_S}{\beta_R}(e^{v_{BC}/V_T} - 1) \tag{4.108}$$

em que β_F é o β direto e β_R é o β reverso,

$$\beta_F = \frac{\alpha_F}{1-\alpha_F} \tag{4.109}$$

$$\beta_R = \frac{\alpha_R}{1-\alpha_R} \tag{4.110}$$

Note que β_F é o que temos chamado até agora de β. Enquanto β_F é normalmente elevado, β_R é geralmente muito pequeno.

Exercício

4.38 Um transistor possui $\alpha_F = 1$ e $\alpha_R = 0.02$. Sua corrente de escalamento de emissor (I_{SE}) é de 10^{-14} A. Qual sua corrente de escalamento de coletor (I_{SC})? Qual o tamanho relativo da junção de coletor em relação à junção de emissor? Qual o valor de β_R?

Resposta 50×10^{-14} A; 50 vezes maior; 0.02

Aplicação do Modelo EM

Aplicaremos agora o modelo EM para caracterizar a operação do transistor em vários modos.

O Modo Ativo Direto. Nesse caso, a junção emissor–base está diretamente polarizada e a junção coletor–base está reversamente polarizada. O termo direto é usado para distinguir esse modo do modo em que as duas junções trocam de posição (o modo ativo reverso ou inverso). Já que v_{BC} é negativo e seu valor é usualmente muito maior que V_T, as Equações 4.106 a 4.108 podem ser aproximadas por

$$i_E \simeq \frac{I_S}{\alpha_F} e^{v_{BE}/V_T} + I_S\left(1 - \frac{1}{\alpha_F}\right) \tag{4.111}$$

$$i_C \simeq I_S e^{v_{BE}/V_T} + I_S\left(\frac{1}{\alpha_F} - 1\right) \tag{4.112}$$

$$i_B \simeq \frac{I_S}{\beta_F} e^{v_{BE}/V_T} - I_S\left(\frac{1}{\beta_F} + \frac{1}{\beta_R}\right) \tag{4.113}$$

Em cada uma dessas três equações pode-se normalmente desprezar o segundo termo do lado direito. Isso resulta nas relações corrente–tensão familiares que caracterizam o modo de operação ativo.

Exercício

4.39 Use a Equação 4.106 para mostrar que a característica i–v do transistor conectado como um diodo da Figura E4.39 é dada por

$$i = \frac{I_S}{\alpha_F}(e^{v/V_T} - 1) \simeq I_S e^{v/V_T}$$

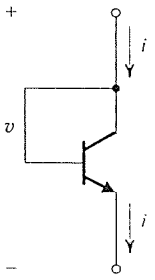


Figura E4.39

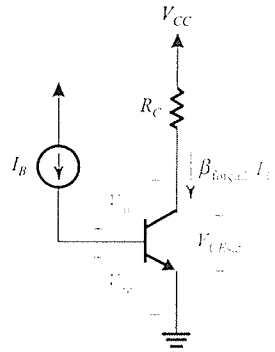


Figura 4.56 Circuito no qual o transistor pode ser operado em modo de saturação normal.

O Modo de Saturação. Considere inicialmente o modo de saturação normal (em contraposição ao modo reverso), que está representado no circuito da Figura 4.56. Considere que a corrente I_B entra na base e que seu valor é suficiente para que o transistor sature. Portanto, a corrente de coletor será $\beta_{\text{forçado}} I_B$, em que $\beta_{\text{forçado}} < \beta_F$. Desejamos usar as equações EM para determinar uma expressão para $V_{CE\text{sat}}$.

No modo de saturação, ambas as junções estão diretamente polarizadas. Portanto, V_{BE} e V_{BC} são ambas positivas e seus valores são muito maiores que V_T. Assim, nas Equações 4.107 e 4.108, podemos assumir que $e^{V_{BE}/V_T} >> 1$ e $e^{V_{BC}/V_T} >> 1$. Fazendo essas aproximações e substituindo $i_B = I_B$ e $i_C = \beta_{\text{forçado}} I_B$ resulta em duas equações que podem ser resolvidas para obter V_{BE} e V_{BC}. A tensão de saturação $V_{CE\text{sat}}$ pode então ser obtida como a diferença entre essas duas quedas de tensão:

$$V_{CE\text{sat}} = V_T \ln \frac{1 + (\beta_{\text{forçado}} + 1)/\beta_R}{1 - \beta_{\text{forçado}}/\beta_F} \tag{4.114}$$

É interessante usar a Equação 4.114 para determinar $V_{CE\text{sat}}$ em um caso típico. A Tabela 4.4 fornece valores numéricos para o caso $\beta_F = 50$, $\beta_R = 0{,}1$ e vários valores de $\beta_{\text{forçado}}$. Também, a Figura 4.57 mostra um esboço de $V_{CE\text{sat}}$ *versus* $\beta_{\text{forçado}}$. Já que $i_C = \beta_{\text{forçado}} I_B$ e I_B é constante, $\beta_{\text{forçado}}$ é proporcional a i_C, e a curva na Figura 4.57 é simplesmente a curva característica v_{CE}– i_C para uma corrente de base I_B constante (isto é, uma das curvas da Figura 4.36). A partir da Tabela 4.4 e da Figura 4.57, vemos que o valor infinito de $V_{CE\text{sat}}$ obtido quando $\beta_{\text{forçado}} = \beta_F$ é uma indicação de que o transistor está no limiar entre a saturação e o modo ativo. A Figura 4.57 ilustra esse aspecto mostrando a dependência de v_{CE} com $\beta_{\text{forçado}}$ (ou i_C) no modo ativo. Quando $\beta_{\text{forçado}}$ é reduzido, o transistor é levado mais profundamente à saturação, V_{BC} aumenta e $V_{CE\text{sat}}$ é reduzido. Finalmente, quando $\beta_{\text{forçado}} = 0$, que corresponde ao coletor em aberto, obtemos um pequeno valor de $V_{CE\text{sat}}$. Esta última tensão representa a tensão residual (offset) exibida pelo TBJ quando ele é operado como uma chave (veja o modelo de chave da Figura 1.31(c)).

Tabela 4.4 A tensão de saturação para o caso em que $\beta_F = 50$ e $\beta_R = 0{,}1$.

$\beta_{\text{forçado}}$	50	48	45	40	30	20	10	1	0
$V_{CE\text{sat}}$ (mV)	∞	235	211	191	166	147	123	76	60

Finalmente, deve-se mencionar que a Equação 4.114 subestima um pouco o valor de V_{CEsat} porque ela não leva em conta as quedas de tensão internas ao transistor devido às conexões das regiões de emissor e coletor ao silício.

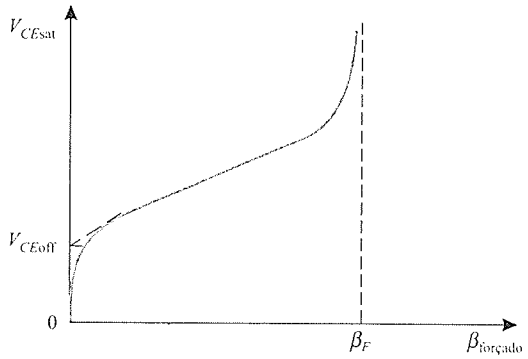


Figura 4.57 Variação de V_{CEsat} com β forçado ($\beta_{forçado} = I_C/I_B$). A linha vertical obtida para $\beta_{forçado} = \beta_F$ indica que o transistor deixou a saturação e entrou no modo ativo.

O Modo Inverso. Consideraremos agora a operação do TBJ no modo inverso ou reverso. A Figura 4.58 mostra um circuito simples no qual o transistor é usado com o coletor e o emissor trocados. Note que as correntes indicadas – isto é, I_B, I_1 e I_2 – têm valores positivos. Assim, já que $i_C = -I_2$ e $i_E = -I_1$, ambas, i_C e i_E, serão negativas.

Já que as funções do emissor e do coletor estão trocadas, o transistor no circuito da Figura 4.58 operará no modo ativo (chamado de **modo ativo reverso**) quando a junção emissor–base estiver reversamente polarizada. Nesse caso

$$I_1 = \beta_R I_B$$

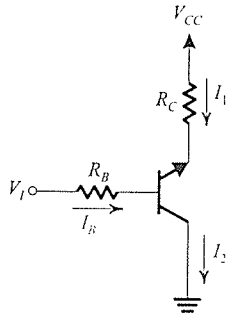


Figura 4.58 Circuito no qual o transistor é usado no modo reverso (ou inverso).

Uma vez que β_R é usualmente muito baixo, normalmente não faz sentido operar o TBJ no modo ativo reverso. Apesar disso, uma aplicação desse modo de operação ocorre em portas lógicas TTL, como será visto no Capítulo 14.

O transistor no circuito da Figura 4.58 saturará (isto é, operará no **modo de saturação reversa**) quando a junção emissor–base tornar-se diretamente polarizada. Nesse caso

$$\frac{I_1}{I_B} < \beta_R$$

Podemos usar as equações EM para determinar uma expressão para V_{ECsat} nesse caso. Essa expressão pode ser diretamente obtida a partir da Equação 4.114 como segue: substitua $\beta_{forçado}$ por $-I_2/I_B$ e substitua I_2 por $I_1 + I_B$. O resultado é

$$V_{CEsat} = V_T \ln \frac{1 + \frac{1}{\beta_F} + \left(\frac{I_1}{I_B}\right)\left(\frac{1}{\beta_F}\right)}{1 - \left(\frac{I_1}{I_B}\right)\left(\frac{1}{\beta_R}\right)} \tag{4.115}$$

Dessa expressão, pode ser visto que o mínimo valor de V_{ECsat} é obtido quando $I_1 = 0$. Esse mínimo é muito próximo de zero. Além disso, vemos que a condição $I_1/I_B < \beta_R$ deve ser satisfeita para que o denominador permaneça positivo. Isso, naturalmente, é a condição para o transistor operar no modo de saturação reversa. Finalmente, já que β_R é usualmente muito baixo, note que I_1 deve ser menor que I_B, que resulta em V_{ECsat} muito pequeno. Esta é, na verdade, a razão para operar o TBJ na região de saturação reversa. Tensões de saturação tão baixas quanto uma fração de milivolt já foram obtidas. A desvantagem do modo de operação de saturação reversa é o tempo de desligamento relativamente elevado.

Exercício

4.40 Para o circuito da Figura 4.58, sejam $R_B = 1\ k\Omega$ e $V_I = V_{CC} = +5$ V. Suponha que $V_{BC} = 0{,}6$ V, $\beta_R = 0{,}1$ e $\beta_F = 50$. Calcule valores aproximados para a tensão de emissor nos seguintes casos: $R_C = 1\ k\Omega$; $R_C = 10\ k\Omega$; e $R_C = 100\ k\Omega$.

Resposta +4,56 V; +0,6 V; +3,5 mV

Uma Forma Alternativa para o Modelo Ebers–Moll: O Modelo de Transporte

A Figura 4.59 mostra um modelo alternativo, um pouco mais simples, para o modelo Ebers–Moll. Nesse caso, os diodos D_{BE} e D_{BC} têm correntes de saturação (I_S/β_F) e (I_S/β_R), respectivamente. Assim a corrente de base i_B pode ser escrita como

$$i_B = \frac{I_S}{\beta_F}(e^{v_{BE}/V_T} - 1) + \frac{I_S}{\beta_R}(e^{v_{BC}/V_T} - 1) \tag{4.116}$$

que é uma expressão idêntica à Equação 4.108. A fonte de corrente vinculada i_T é definida como

$$i_T = I_S(e^{v_{BE}/V_T} - 1) - I_S(e^{v_{BC}/V_T} - 1) \tag{4.117}$$

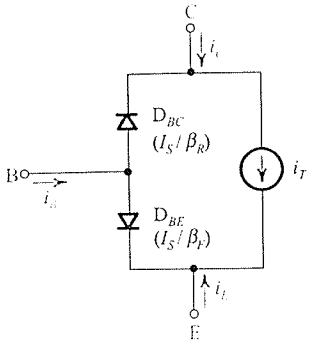


Figura 4.59 O modelo de transporte para o TBJ *npn*. Este modelo é equivalente ao modelo Ebers–Moll da Figura 4.55. Note que as correntes de saturação dos diodos são apresentadas entre parênteses e i_T é definida pela Equação 4.117.

Note que i_T representa a componente de corrente de i_C e i_E que surge como resultado da difusão de portadores minoritários através da base, ou **transporte de portadores** através da base, que dá a este modelo o seu nome, modelo de transporte. O leitor pode facilmente mostrar que $i_C = i_T - (I_S/\beta_R)(e^{v_{BC}/V_T} - 1)$ fornece uma expressão idêntica àquela da Equação 4.106 e que $i_E = i_T + (I_S/\beta_F)(e^{v_{BE}/V_T} - 1)$ resulta em uma expressão idêntica àquela da Equação 4.107. Assim, o modelo de transporte é equivalente ao modelo EM. Ele possui a vantagem de identificar i_T explicitamente e de usar um elemento de circuito a menos, e um parâmetro a menos que o modelo EM. O modelo de transporte é utilizado no SPICE.

4.14 O INVERSOR LÓGICO BÁSICO EMPREGANDO TBJ

O componente fundamental de um sistema digital é o inversor lógico. Na Seção 1.7, o inversor foi estudado em um nível conceitual e a implementação de um inversor usando chaves controladas por tensão foi apresentada. Acabamos de estudar nosso primeiro componente ativo de três terminais, o TBJ, e podemos agora considerar sua utilização para implementar um inversor lógico simples. Tal circuito é mostrado na Figura 4.60. O leitor observará que já estudamos esse circuito com certo detalhe. Na verdade, usamos esse circuito na Seção 4.12 para ilustrar a operação do TBJ nos modos de operação de corte, ativo e saturação.

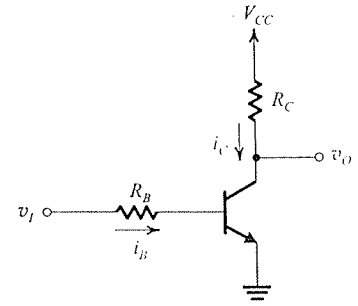


Figura 4.60 O inversor lógico digital básico empregando TBJ.

A operação do circuito como um inversor lógico usa os modos de corte e saturação. Em termos mais simples, se a entrada v_I for "alta", próxima do valor de fonte V_{CC}, representando o valor lógico 1 em um sistema de lógica positiva, o transistor conduzirá e, com a escolha adequada de valores para R_B e R_C, estará saturado. Assim, a tensão de saída será $V_{CEsat} \cong 0{,}2$ V, representando um nível "baixo" ou valor lógico 0. Por outro lado, se a entrada for "baixa", em um valor próximo de terra (digamos, V_{CEsat}), então o transistor cortará, i_C será zero e $v_O = V_{CC}$, que é um valor "alto" ou nível lógico 1.

A escolha de corte e saturação como os dois modos de operação do TBJ nesse circuito inversor é motivada pelas duas razões que se seguem:

1. A dissipação de potência no circuito é relativamente baixa, tanto no corte quanto na saturação: no corte todas as correntes são zero (exceto pelas pequenas correntes de fuga) e em saturação a tensão sobre o transistor é muito pequena (V_{CEsat}).
2. Os níveis de tensão de saída (V_{CC} e V_{CEsat}) são bem definidos. Em contraposição, se o transistor opera na região ativa, $v_O = V_{CC} - i_C R_C = V_{CC} - \beta i_B R_C$, que é fortemente dependente do parâmetro β do transistor, que por sua vez é pouco controlável.

A Característica de Transferência de Tensão

Como mencionado na Seção 1.7, a caracterização mais útil de um circuito inversor é em termos de sua característica de transferência de tensão, v_O *versus* v_I. Um esboço da característica de transferência de tensão (CTT) do circuito inversor da Figura 4.60 é apresentado na Figura 4.61. A característica de transferência é aproximada por três segmentos de reta correspondentes à operação do TBJ nas regiões de corte, ativa e saturação, como indicado. A característica de transferência real será obviamente uma curva suave, mas seguirá muito de perto as retas assíntotas indicadas. Vamos agora determinar as coordenadas dos pontos notáveis da característica de transferência da Figura 4.61 para um caso representativo: $R_B = 10$ kΩ, $R_C = 1$ kΩ, $\beta = 50$ e $V_{CC} = 5$ V, como segue:

1. Para $v_I = V_{OL} = V_{CE_{sat}} = 0{,}2$ V, $v_O = V_{OH} = V_{CC} = 5$V.
2. Para $v_I = V_{IL}$, o transistor inicia a condução e, portanto,

$$V_{IL} \cong 0{,}7 \text{ V}$$

3. Para $V_{IL} < v_I < V_{IH}$, o transistor está na região ativa. Ele opera como um amplificador cujo ganho para pequenos sinais é

$$A_v \equiv \frac{v_o}{v_i} = -\beta \frac{R_C}{R_B + r_\pi}$$

O ganho depende do valor de r_π que, por sua vez, é determinado pela corrente de coletor e, portanto, pelo valor de v_I. Com o aumento da corrente através do transistor, r_π diminui e podemos desprezar r_π diante de R_B e assim simplificamos a expressão do ganho para

$$A_v \cong -\beta \frac{R_C}{R_B} = -50 \times \frac{1}{10} = -5 \text{ V/V}$$

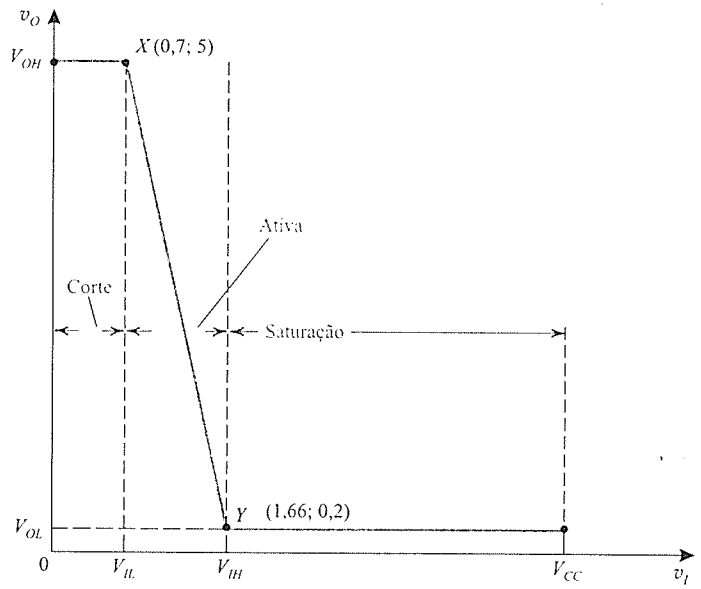


Figura 4.61 Esboço da característica de transferência de tensão para o circuito inversor da Figura 4.60 para o caso em que $R_B = 10\ \text{k}\Omega$, $R_C = 1\text{k}\Omega$, $\beta = 50$ e $V_{CC} = 5$ V. Para calcular as coordenadas de X e Y reporte-se ao texto.

4. Para $v_I = V_{IH}$, o transistor inicia a saturação. Assim, V_{IH} é o valor de v_I para o qual temos

$$I_B = I_{B(\text{EOS})} = \frac{(V_{CC} - V_{CEsat})/R_C}{\beta}$$

Para os valores que estamos usando, obtemos $I_{B(\text{EOS})} = 0{,}096$ mA, que pode ser usado para calcular V_{IH},

$$V_{IH} = I_{B(\text{EOS})}R_B + V_{BE} = 1{,}66 \text{ V}$$

5. Para $v_I = V_{OH} = 5$ V, o transistor estará fortemente saturado com $v_O = V_{CE_{\text{sat}}} \cong 0{,}2$ V e

$$\beta_{\text{forçado}} = \frac{(V_{CC} - V_{CEsat})/R_C}{(V_{OH} - V_{BE})/R_B}$$
$$= \frac{4{,}8}{0{,}43} = 1{,}1$$

6. As margens de ruído podem agora ser determinadas usando as fórmulas da Seção 1.7,

$$MR_H = V_{OH} - V_{IH} = 5 - 1.66 = 3{,}34 \text{ V}$$
$$MR_L = V_{IL} - V_{OL} = 0{,}7 - 0{,}2 = 0{,}5 \text{ V}$$

Obviamente, as duas margens de ruído são muito diferentes, tornando esse circuito pouco ideal.

7. O ganho na região de transição pode ser determinado a partir das coordenadas dos pontos notáveis X e Y,

$$\text{Ganho de tensão} = -\frac{5 - 0{,}2}{1{,}66 - 0{,}7} = -5 \text{ V/V}$$

que é igual ao valor aproximado encontrado anteriormente (o fato de ser exatamente o mesmo valor é uma coincidência).

Circuitos Digitais com TBJ Saturado e Não-saturado

O circuito inversor discutido pertence à classe dos circuitos digitais com TBJ saturado. Estudaremos uma família muito importante de circuitos lógicos com TBJ saturado, a família da lógica transistor–transistor (transistor–transistor logic – TTL) no Capítulo 14. Em geral, no entanto, circuitos digitais bipolares saturados não são mais a escolha tecnológica no projeto de sistemas digitais. Isso devido à limitação de velocidade de operação em razão dos tempos de atraso relativamente longos necessários para cortar um transistor saturado. Esse ponto será examinado brevemente aqui e uma análise detalhada dos tempos de chaveamento do TBJ será apresentada no Capítulo 14. Por enquanto, é suficiente dizer que, para atingir velocidades de resposta elevadas, o TBJ não deve entrar na saturação. Esse é o caso na lógica de acoplamento de emissor (emitter-coupled logic – ECL) que será estudada no Capítulo 14. Neste capítulo, mostraremos que a lógica ECL é a família lógica de maior velocidade disponível no momento. Ela é baseada no chaveamento de correntes discutido conceitualmente na Seção 1.7 (Figura 1.33).

Armazenamento de Cargas Portadoras Minoritárias na Base de um Transistor Saturado

Nosso estudo da operação física do TBJ no modo ativo (Seção 4.2) usou a distribuição de portadores minoritários na região de base (veja a Figura 4.4). É interessante e instrutivo considerar como essa distribuição se altera quando o transistor entra no modo de saturação.

A Figura 4.62(a) mostra a região efetiva de base de um transistor *npn* junto com três linhas retas designadas por (a), (b) e (c). A linha (a) representa a distribuição de portadores minoritários (elétrons) quando o TBJ opera no modo ativo, desprezando a recombinação na base. Note que ela indica uma concentração de elétrons em $x = 0$ de $n_{p0}e^{v_{BE}/V_T}$, em que n_{p0} é a concentração de elétrons minoritários gerados termicamente na base tipo p e uma concentração zero no coletor, uma vez que a JCB está reversamente polarizada. Da mesma forma, a linha (b) mostra a concentração quando o TBJ opera no modo ativo reverso, indicando uma concentração de $n_{p0}e^{v_{BC}/V_T}$ para $x = W$ e zero para $x = 0$. Agora, se o TBJ operar no modo saturação, ambas as junções estarão diretamente polarizadas e a concentração de portadores minoritários pode ser determinada adicionando-se as concentrações definidas pelas linhas (a) e (b), resultando em um perfil de concen-

trações representado pela linha (c). A inclinação mostrada pela linha (c) indica que ainda haverá transporte de portadores minoritários através da base. A corrente de coletor correspondente, i_T, é proporcional à inclinação da linha (c) e, portanto, a

$$\frac{n_{p0}}{W}(e^{v_{BE}/V_T} - e^{v_{BC}/V_T}).$$

Essa é a corrente representada pela fonte de corrente no modelo de transporte da Figura 4.59. A área abaixo da linha (c) representa a carga de portadores minoritários armazenada que dá origem à corrente de difusão i_T. É essa carga que deve ser armazenada na base para levar o TBJ ao limiar da saturação. Por outro lado, a componente de carga representada pelo retângulo (sombreado mais intenso) obviamente não contribui para o gradiente de concentração e, portanto, para a corrente de coletor. Essa carga em excesso simplesmente satura mais fortemente o transistor; essa é a carga correspondente ao fator de saturação forçada mencionado na Seção 4.12. Obviamente, quanto mais intensamente o transistor estiver na saturação (com menor $\beta_{\text{forçado}}$), maior será a carga em excesso armazenada na base.

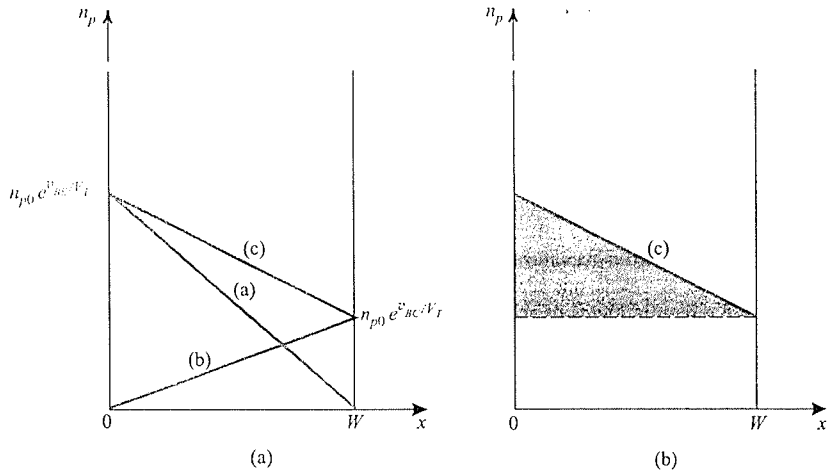


Figura 4.62 (a) A concentração de portadores minoritários na base de um transistor saturado é representada pela linha (c). (b) A carga devida aos portadores minoritários armazenada na base pode ser dividida em duas componentes: a triangular de sombreado escuro produz o gradiente que gera a corrente de difusão através da base e a retangular de sombreado claro resulta na intensificação da saturação do transistor.

A carga em excesso armazenada na base de um transistor saturado representa um sério problema quando precisamos cortar o transistor: antes que a corrente de coletor possa diminuir, toda a carga em excesso precisa ser removida. Isso adiciona uma parcela de tempo considerável ao tempo de desligamento do transistor saturado.

Exercício

4.41 Considere o inversor da Figura 4.60 quando v_I é baixo. Considere a saída conectada às entradas de N inversores idênticos. Convença-se de que o nível de tensão de saída V_{OH} pode ser determinado usando o circuito equivalente mostrado na Figura E4.41. Portanto, mostre que

$$V_{OH} = V_{CC} - R_C \frac{V_{CC} - V_{BE}}{R_C + R_B/N}$$

Para $N = 5$, calcule V_{OH} usando os valores de componentes do circuito de exemplo discutido anteriormente (isto é, $R_B = 1\ \text{k}\Omega$ e $V_{CC} = +5$ V).

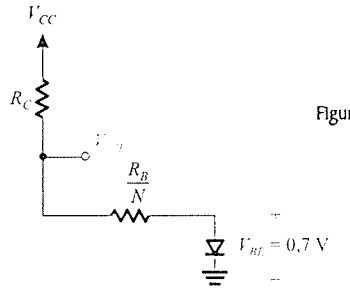


Figura E4.41

Resposta 3.6 V

4.15 CARACTERÍSTICAS ESTÁTICAS COMPLETAS, CAPACITÂNCIAS INTERNAS E EFEITOS DE SEGUNDA ORDEM

Nesta seção apresentaremos as características estáticas completas do TBJ, como elas aparecem nas especificações de componentes. Estudaremos também algumas características secundárias que limitam a operação do TBJ em circuitos apresentados neste capítulo e em capítulos subseqüentes. As capacitâncias internas do TBJ são de particular importância, pois limitam a resposta em altas freqüências dos amplificadores transistorizados, bem como a velocidade de operação dos circuitos digitais.

Características de Base Comum

A Figura 4.63 mostra um conjunto completo de características i_C–v_{CB} para um transistor *npn*. Como mencionado na Seção 4.5, as características i_C–v_{CB} são medidas para valores constantes da corrente de emissor i_E (veja a Figura 4.14(a)). Como nesse arranjo a base é conectada a uma tensão constante, as curvas i_C–v_{CB} são chamadas de **características de base comum**.

As curvas apresentadas na Figura 4.63 diferem daquelas apresentadas na Figura 4.14(b) em três aspectos. Primeiro, a ruptura por avalanche da JCB para valores elevados de tensão é indicada e será explicada brevemente mais adiante. Segundo, as características da região de saturação são incluídas. Como indicado, quando v_{CB} torna-se negativa, a JCB torna-se diretamente polarizada e a corrente de coletor diminui. Já que i_E é mantido constante para cada curva, a diminuição em

i_C resulta em um aumento de igual valor absoluto em i_B. O efeito pronunciado que v_{CB} tem na corrente de coletor na saturação é evidente na Figura 4.63 e é consistente com nossa descrição anterior da operação no modo saturação.

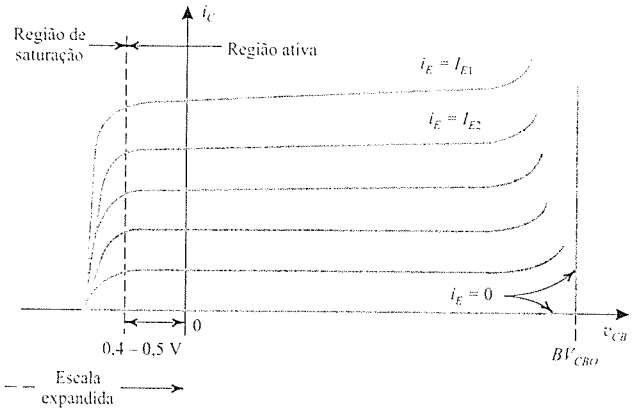


Figura 4.63 As características i_C–v_{CB} ou de base comum para um transistor *npn*. Note que na região ativa há uma leve dependência de i_C com o valor de v_{CB}. O resultado é uma resistência de saída finita que reduz seu valor com o aumento da corrente pelo dispositivo.

A terceira diferença entre as curvas características da Figura 4.63 e as curvas mostradas anteriormente é que na região ativa as curvas características apresentam uma pequena inclinação. Esta inclinação indica que, na configuração base comum, a corrente de coletor depende um pouco da tensão coletor–base, que é uma manifestação do efeito Early discutido anteriormente. Deve ser mencionado, no entanto, que a inclinação das curvas i_C–v_{CB} medidas para uma corrente i_E constante é muito menor que a inclinação das curvas i_C–v_{CE} medidas para uma tensão v_{BE} constante. Em outras palavras, a resistência de saída da configuração base comum é muito maior que a do circuito emissor comum com v_{BE} constante (isto é, r_o). Outro ponto importante é que, uma vez que a curva i_C–v_{CB} é medida para i_E constante, o aumento em i_C com v_{CB} implica uma correspondente redução em i_B. A dependência de i_B com v_{CB} pode ser modelada pela adição de um resistor r_μ entre coletor e base no modelo π-híbrido, resultando em um modelo expandido mostrado na Figura 4.64. A resistência r_μ é bem elevada, tipicamente maior que βr_o.

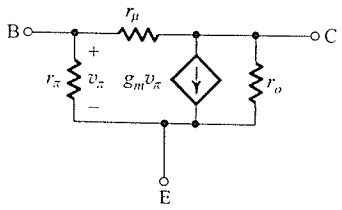


Figura 4.64 O modelo π-híbrido, incluindo a resistência r_μ que modela o efeito de v_c em i_b.

O modelo π-híbrido expandido mostrado na Figura 4.64 pode ser usado para determinar a resistência de saída da configuração base comum, que é o inverso da inclinação das linhas das curvas características i_C–v_{CB} da Figura 4.63. Para isso, deve-se simplesmente aterrar a base, deixar o emissor em aberto (porque i_E é constante), aplicar uma tensão de teste entre coletor e terra e determinar a corrente drenada da tensão de teste. Como resultado, a resistência de saída é aproximadamente igual à resistência paralela equivalente entre r_μ e βr_o e, portanto, muito elevada.

Características de Emissor Comum

Uma forma alternativa de mostrar graficamente as características do transistor é apresentada na Figura 4.65, em que i_C é plotada em função de v_{CE} para vários valores da corrente de base i_B. Essas características são medidas de uma forma diferente daquela da Figura 4.15. Enquanto neste último caso v_{BE} é mantido constante para cada curva, no novo caso i_B é mantida constante. Como resultado, a inclinação na região ativa é diferente de $1/r_o$; na verdade, nesse caso a inclinação é maior. Pode ser mostrado através do modelo π-híbrido da Figura 4.64 que a resistência de saída da configuração emissor comum para i_B constante é aproximadamente igual a $[r_o/(r_\mu/\beta)]$; veja o Problema 4.47.

A região de saturação também é evidente nas características emissor comum da Figura 4.65. Vemos que, enquanto o transistor atua como uma fonte de corrente,na região ativa com uma resistência de saída elevada (mas finita), na região de saturação ele se comporta como uma "chave fechada" com uma pequena "resistência de fechamento" R_{CEsat}. Uma vez que as curvas características estão todas "grudadas" na saturação, mostramos essa região de saturação expandida na Figura 4.66. Observe que as curvas não se dirigem para a origem. Na verdade, para um dado valor de i_B, a característica i_C–v_{CE} na saturação pode ser aproximada por uma linha reta que intercepta o eixo v_{CE} em um ponto V_{CEoff}, como ilustrado na Figura 4.67. A tensão V_{CEoff} é chamada de **tensão residual** (*offset*) da chave transistorizada. Transistores de efeito de campo (Capítulo 5) não apresentam tais tensões residuais e, portanto, se apresentam como chaves mais ideais.

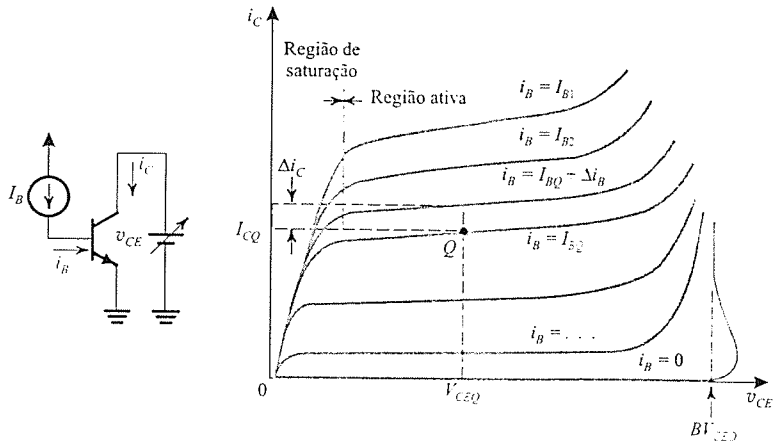


Figura 4.65 Características de emissor comum. Note que a escala horizontal foi expandida em torno da origem para mostrar a região de saturação em mais detalhes.

FETs, no entanto, apresentam valores maiores de resistência de fechamento. Finalmente, note que o comportamento do TBJ na saturação, como mostrado na Figura 4.67, segue de perto o previsto pela Equação 4.114, que foi obtida a partir do modelo de Ebers–Moll.

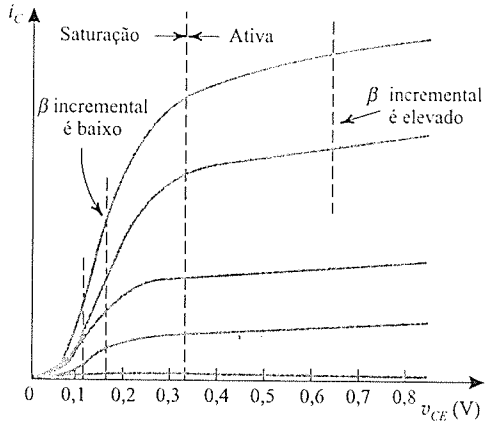


Figura 4.66 Uma visão expandida das características de emissor comum na região de saturação.

O β do Transistor

Anteriormente definimos β como a razão entre a corrente total no coletor e a corrente total na base quando o transistor está operando no modo ativo. Sejamos mais específicos. Suponha que o transistor esteja operando com uma corrente de base I_{BQ}, uma corrente de coletor I_{CQ} e uma tensão de coletor–emissor V_{CEQ}.

Essas grandezas definem o ponto de operação ou de polarização Q na Figura 4.65. A razão entre I_{CQ} e I_{BQ} é chamada de β *cc* ou h_{FE} (a razão para este último nome é que β é o parâmetro h direto na configuração emissor comum; veja o Apêndice B):

$$h_{FE} \equiv \beta_{cc} \equiv \frac{I_{CQ}}{I_{BQ}} \tag{4.118}$$

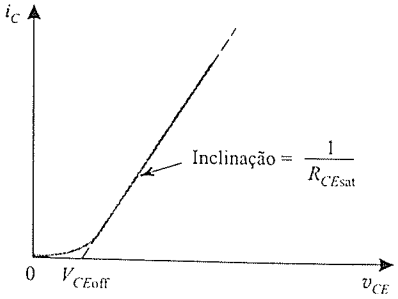


Figura 4.67 Uma das curvas características i_C–v_{CE} na região de saturação. Note que a característica pode ser modelada por uma tensão residual V_{CEoff} e por uma resistência de pequeno valor R_{CEsat}.

Quando o transistor é usado como um amplificador, ele é primeiramente polarizado em um ponto Q. Sinais aplicados ao circuito causam mudanças incrementais em i_B, i_C e v_{CE} em torno do ponto quiescente. Podemos então definir um β incremental ou *ca* mantendo a tensão coletor–emissor constante em V_{CEQ} (a fim de eliminar o efeito Early) e variando a corrente de base de um incremento Δi_B. Se a corrente de coletor variar em um incremento Δi_C (veja a Figura 4.65), então β_{ca} (ou h_{fe}, como é usualmente chamado) no ponto de operação Q é definido como sendo

$$h_{fe} \equiv \beta_{ca} \equiv \left.\frac{\Delta i_C}{\Delta i_B}\right|_{v_{CE}=\text{constante}} \tag{4.119}$$

O fato de v_{CE} ser mantido constante implica que a tensão incremental v_{ce} é zero; portanto, h_{fe} é chamado de **ganho de corrente de curto-circuito**.

Quando realizamos análises para pequenos sinais, o β que usamos deve ser o β (h_{fe}). Por outro lado, se estamos analisando ou projetando um ciruito de chaveamento, β_{cc} (h_{FE}) é o β apropriado. A diferença nos valores de β_{cc} e β_{ca} é usualmente pequena e normalmente não faremos distinção entre os dois. Um ponto a ser observado, no entanto, é que o valor de β depende do nível de corrente no dispositivo e essa dependência toma a forma da Figura 4.68. Os processos físicos que dão origem a essa dependência estão fora dos objetivos deste livro. A Figura 4.68 também mostra a dependência de β com a temperatura.

Na Seção 4.9 discutimos a análise gráfica de circuitos com transistores. Foi mostrado que o TBJ é polarizado em um ponto quiescente no meio de sua região ativa para aplicações de amplificação. Aqui, desejamos mostrar graficamente um TBJ operando na região de saturação. A Figura 4.69 mostra uma reta de carga que intercepta a característica i_C–v_{CE} em um ponto Q na região de saturação. Note que, nesse caso, variações na corrente de base resultam em variações muito pequenas em i_C e v_{CE} e que na saturação o β incremental (β_{ca}) é muito pequeno.

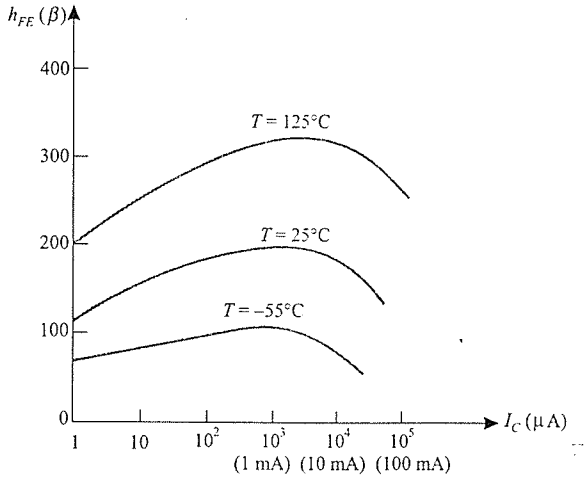


Figura 4.68 Dependência típica de β com I_C e com a temperatura em um moderno transistor *npn* de silício empregado em circuitos integrados projetado para operar em torno de 1 mA.

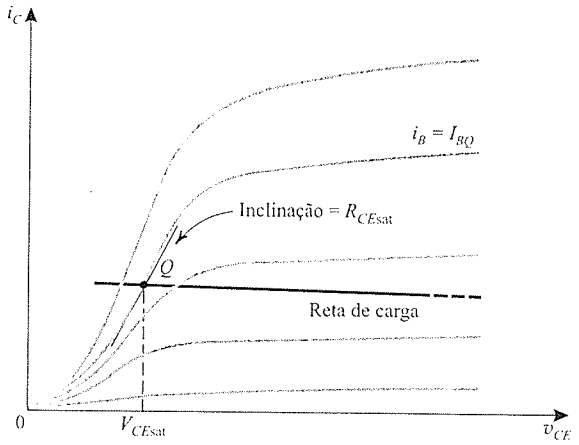


Figura 4.69 Expansão da região de saturação das curvas características juntamente com uma reta de carga que resulta na operação em um ponto Q na região de saturação.

A Ruptura do Transistor

As tensões máximas que podem ser aplicadas ao TBJ são limitadas pelos efeitos de ruptura nas junções emissor–base e coletor–base que se seguem ao mecanismo de avalanche descrito na Seção 3.3. Considere primeiramente a configuração base comum. A característica i_C–v_{CB} na Figura 4.63 indica que para $i_E = 0$ (isto é, para o emissor em aberto) a junção coletor–base se rompe para uma tensão denominada BV_{CBO} (Breakdown Voltage between Collector and Base with emitter Open). Para $i_E > 0$, a ruptura ocorre para tensões menores que BV_{CBO}. Tipicamente, BV_{CBO} é maior que 50 V.

A seguir, considere as características emissor comum da Figura 4.65, que mostra a ruptura ocorrendo para uma tensão BV_{CEO}. Nesse caso, embora a ruptura ainda seja do tipo avalanche, os efeitos nas características são mais complexos que no caso da configuração base comum. Não explicaremos esses detalhes; é suficiente mencionar que, tipicamente, BV_{CEO} é metade de BV_{CBO}. Nas especificações de transistores, BV_{CEO} às vezes é chamado de **tensão de manutenção** LV_{CEO} (sustaining voltage).

Ruptura da JCB, tanto na configuração base comum quanto na configuração emissor comum, não é destrutiva enquanto a dissipação de potência no dispositivo for mantida dentro de limites seguros. Isso, no entanto, não é o caso com a ruptura da junção emissor–base. A JEB rompe-se por avalanche para uma tensão BV_{EBO} muito menor que BV_{CBO}. Tipicamente, BV_{EBO} está na faixa de 6 a 8 V, e a ruptura é destrutiva no sentido de que o β do transistor é permanentemente reduzido. Isso não evita o uso da JEB como um diodo zener para gerar tensões de referência em projetos de CIs. Em tais aplicações não há a preocupação com o efeito de redução de β. Um circuito que evita a ruptura da JEB em CIs amplificadores será discutido no Capítulo 10. Ruptura do transistor e a máxima dissipação de potência admissível são parâmetros importantes no projeto de amplificadores de potência (Capítulo 9).

Exercícios

4.42 Qual a tensão de saída do circuito na Figura E4.42 se o BV_{BCO} do transistor é de 70 V?

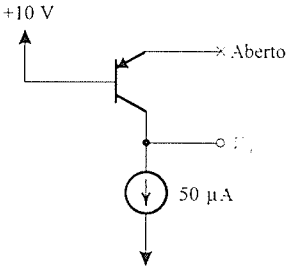


Figura E4.42

Resposta – 60 V

4.43 Medidas feitas em uma chave com TBJ que é acionada por uma fonte de corrente de base constante para baixos valores de v_{CE} fornece os seguintes dados: para $i_C = 5$ mA, $v_{CE} = 170$ mV; para $i_C = 2$ mA, $v_{CE} = 110$ mV. Quais os valores da tensão residual (*offset*) e da resistência de saturação da chave?

Resposta 70 mV; 20 Ω

Capacitâncias Internas no TBJ

Em nosso estudo da junção *pn*, no Capítulo 3, concluímos que ela exibe efeitos de armazenamento de cargas que podem ser modelados como capacitâncias. Agora consideraremos tais efeitos no TBJ.

A Capacitância de Difusão ou de Carregamento de Base, C_{de}. Quando o transistor está operando no modo ativo ou de saturação, cargas devidas aos portadores minoritários são armazenadas na região de base. Na verdade, já deduzimos uma expressão para essas cargas, Q_n, no caso de um transistor *npn* operando no modo ativo (Equação 4.7). Usando o resultado da Equação 4.7 juntamente com as Equações 4.3 e 4.4, podemos expressar Q_n em termos da corrente de coletor i_C como

$$Q_n = \frac{W^2}{2D_n} i_C = \tau_F i_C \tag{4.120}$$

em que τ_F é uma constante do dispositivo,

$$\tau_F = \frac{W^2}{2D_n}$$

com dimensão de tempo. Ela é conhecida como **tempo de trânsito de base direto** (forward base-transit time) e representa o tempo médio que um portador de carga (elétron) leva para atravessar a base. Tipicamente, τ_F está na faixa de 10 a 100 ps. Para operação no modo ativo reverso, uma constante equivalente τ_R é usada e é muitas vezes maior que τ_F.

A Equação 4.120 aplica-se a grandes sinais e, já que i_C é exponencialmente relacionada a v_{BE}, Q_n dependerá de v_{BE} da mesma forma. Assim, esse mecanismo de armazenamento de cargas representa um efeito capacitivo não-linear. No entanto, para pequenos sinais, podemos definir a capacitância de difusão C_{de}:

$$C_{de} \equiv \frac{dQ_n}{dv_{BE}}$$
$$= \tau_F \frac{di_C}{dv_{BE}}$$

resultando em

$$C_{de} = \tau_F g_m = \tau_F \frac{I_C}{V_T} \tag{4.121}$$

A Capacitância da Junção Base–Emissor. Usando o equacionamento do Capítulo 3, em particular a Equação 3.26, a capacitância da junção emissor–base ou da camada de depleção C_{je} pode ser expressa como

$$C_{je} = \frac{C_{je0}}{\left(1 - \frac{V_{BE}}{V_{0e}}\right)^m} \tag{4.122}$$

em que C_{je0} é o valor de C_{je} para tensão zero, V_{0e} é a tensão interna da JEB (tipicamente, 0,9V) e m é o coeficiente de graduação da JEB (tipicamente, 0,5). Verifica-se na prática, no entanto, que pelo fato de a JEB estar diretamente polarizada, a Equação 4.122 não fornece um valor preciso para C_{je}. Por isso, utiliza-se um valor aproximado para C_{je},

$$C_{je} \cong 2C_{je0} \tag{4.123}$$

A Capacitância da Junção Coletor–Base, C_μ. No modo ativo de operação, a JCB está reversamente polarizada e sua capacitância de junção ou de depleção, chamada de C_μ, pode ser obtida por

$$C_\mu = \frac{C_{\mu 0}}{\left(1 + \frac{V_{CB}}{V_{0c}}\right)^m} \tag{4.124}$$

em que $C_{\mu 0}$ é o valor de C_μ para tensão zero, V_{0c} é a tensão interna da JCB (tipicamente. 0,75 V) e m é o coeficiente de graduação da junção (tipicamente, 0,2-0,5).

O Modelo π-Híbrido para Altas Freqüências

A Figura 4.70 mostra o modelo π–híbrido do TBJ, incluindo os efeitos capacitivos. Especificamente, há duas capacitâncias: a capacitância de emissor–base, $C_\pi = C_{de} + C_{je}$, e a capacitância de coletor–base, C_μ. Tipicamente, C_π está na faixa de alguns picofarads até algumas dezenas de picofarads e C_μ está na faixa de uma fração de picofarads até alguns poucos picofarads. Observe que omitimos a resistência r_μ pois, mesmo em freqüências médias, a reatância de C_μ é muito menor que r_μ. Por outro lado, adicionamos um resistor r_x para modelar a resistência do silício da região

de base entre o terminal de base B e um terminal de base interno (ou intrínseco) fictício B' que está posicionado exatamente sobre a região do emissor (veja a Figura 4.6). Tipicamente, r_x é da ordem de algumas dezenas de ohm e seu valor depende do nível de corrente de uma maneira relativamente complicada. Como $r_x << r_\pi$, seu efeito é desprezível em baixas freqüências. No entanto, sua presença é importante em altas freqüências, como ficará evidente mais tarde.

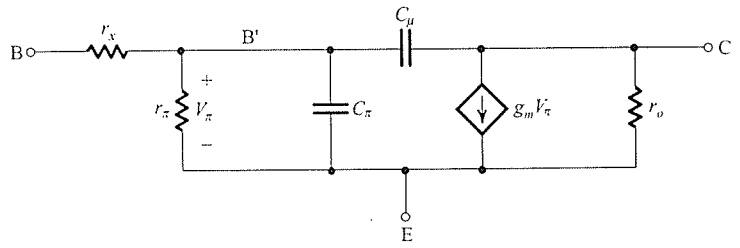


Figura 4.70 O modelo π-híbrido para altas freqüências.

Os valores dos parâmetros do modelo π-híbrido podem ser determinados para um dado ponto de polarização usando as fórmulas apresentadas neste capítulo. Esses valores também podem ser obtidos através das medidas realizadas nas especificações de fabricante do TBJ, como descrito no Apêndice G. Para simulação com o SPICE, ele usa os parâmetros de uma dada tecnologia de circuitos integrados para determinar os parâmetros do modelo do TBJ.

A Freqüência de Corte

As especificações do TBJ fornecidas pelo fabricante normalmente não especificam o valor de C_π. Em vez disso, normalmente é fornecido o comportamento de β ou h_{fe} em função da freqüência. Para determinar C_π e C_μ devemos deduzir expressões para h_{fe} em função da freqüência em termos dos parâmetros π-híbridos. Com essa finalidade, considere o circuito mostrado na Figura 4.71, no qual o coletor está curto-circuitado com o emissor. A corrente de coletor de curto-circuito I_c é

$$I_c = (g_m - sC_\mu)V_\pi \tag{4.125}$$

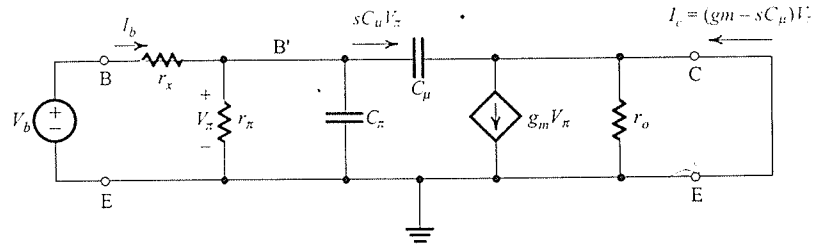


Figura 4.71 Circuito para determinar um expressão $h_{fe}(s) \equiv I_c/I_b$.

Uma relação entre V_π e I_b pode ser estabelecida multiplicando-se I_b pela impedância vista entre B' e E:

$$V_\pi = I_b(r_\pi // C_\pi // C_\mu) \tag{4.126}$$

Assim, h_{fe} pode ser obtido combinando-se as Equações 4.125 e 4.126:

$$h_{fe} \equiv \frac{I_c}{I_b} = \frac{g_m - sC_\mu}{1/r_\pi + s(C_\pi + C_\mu)}$$

Para as freqüências em que este modelo é válido, $g_m >> \omega C_\mu$, resultando em

$$h_{fe} = \frac{g_m r_\pi}{1 + s(C_\pi + C_\mu)r_\pi}$$

Assim

$$h_{fe} = \frac{\beta_0}{1 + s(C_\pi + C_\mu)r_\pi} \tag{4.127}$$

em que β_0 é o valor de β para baixas freqüências. Assim, h_{fe} tem uma resposta de pólo simples com uma freqüência de corte em $\omega = \omega_\beta$, em que

$$\omega_\beta = \frac{1}{(C_\pi + C_\mu)r_\pi} \tag{4.128}$$

A Figura 4.72 mostra uma curva de Bode para $|h_{fe}|$. A partir da inclinação de –6 dB/oitava concluímos que a freqüência em que $|h_{fe}|$ se torna unitário, chamada de **freqüência de ganho unitário**, é dada por

$$\omega_T = \beta_0 \omega_\beta \tag{4.129}$$

Assim

$$\omega_T = \frac{g_m}{C_\pi + C_\mu} \tag{4.130}$$

e

$$f_T = \frac{g_m}{2\pi(C_\pi + C_\mu)} \tag{4.131}$$

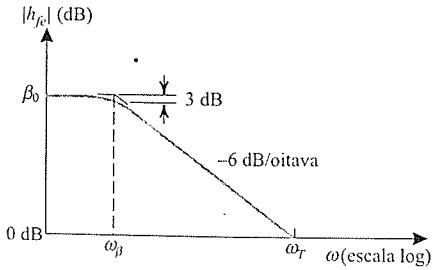


Figura 4.72 Curva de Bode para $|h_{fe}|$.

A faixa de passagem de ganho unitário f_T é usualmente incluída pelo fabricante do transistor em suas especificações. Em alguns casos, f_T é fornecida em função de I_C e V_{CE}. Para vermos

como f_T varia com I_C, recorde-se de que g_m é diretamente proporcional a I_C, mas apenas uma parte de C_π (a capacitância de difusão C_{de}) é diretamente proporcional a I_C. Portanto, f_T diminui para baixas freqüências, como mostra a Figura 4.73. No entanto, a diminuição de f_T para altas correntes, também mostrada na Figura 4.73, não pode ser explicada por esse argumento e sim pelo mesmo fenômeno que causa a redução de β_0 para altas correntes. Na região em que f_T é praticamente constante, C_π é dominada pela componente de difusão.

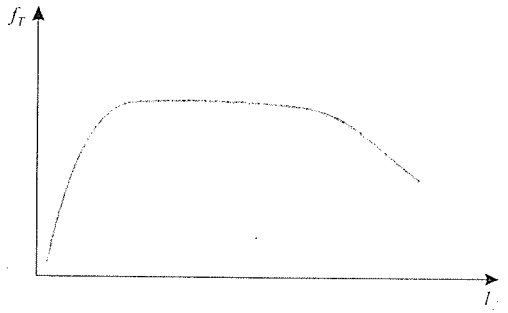


Figura 4.73 Variação de f_t com I_c.

Tipicamente, f_T está na faixa de 100 MHz até dezenas de GHz. O valor de f_T pode ser usado na Equação 4.131 para determinar $C_\pi + C_\mu$. A capacitância C_μ é normalmente determinada separadamente medindo-se a capacitância entre base e coletor na tensão V_{CB} de polarização reversa desejada.

Antes de deixarmos esta seção, devemos mencionar que o modelo π-híbrido da Figura 4.71 caracteriza a operação do transistor com razoável precisão até freqüências de cerca de $0{,}2\omega_T$. Para freqüências mais altas deve-se adicionar outros elementos parasitários no modelo, além de refinar esse modelo para considerar que o transistor se torna uma rede de parâmetros distribuídos que estamos tentando modelar através de um circuito com componentes concentrados. Um refinamento desse tipo consiste no desmembramento de r_x em uma resistência distribuída contendo n elementos e na substituição de C_μ por uma capacitância distribuída contendo m elementos, arranjando-se adequadamente as conexões desses elementos distribuídos. Esse tópico está além dos objetivos deste livro.

Uma observação importante a ser feita com referência ao modelo para altas freqüências da Figura 4.71 é que, para freqüências acima de 5 a 10 ω_β, pode-se ignorar a resistência r_π. Nesse caso, r_x torna-se a única parte resistiva da impedância de entrada. Assim, r_x tem um papel importante na determinação da resposta em altas freqüências de circuitos transistorizados. Por conseguinte, uma determinação precisa de r_x deve ser feita a partir de medidas em altas freqüências.

Exercícios

4.44 Determine C_{de}, C_{je}, C_π, C_μ e f_T para o TBJ operando com uma corrente de coletor $I_C = 1$ mA e uma polarização reversa na JCB de 2 V. O dispositivo possui $\tau_F = 20$ ps, $C_{je0} = 20$ fF, $C_{\mu 0} = 20$ fF, $V_{0e} = 0{,}9$ V, $V_{0c} = 0{,}5$ V e $m_{CBJ} = 0{,}33$.

Resposta 0,8 pF; 40 fF; 0,84 pF; 12 fF; 7,47 GHz

4.45 Para um TBJ operando em $I_C = 1$ mA, determine f_T e C_π se $C_\mu = 2$ pF e $|h_{fe}| = 10$ em 50 MHz.

Resposta 500 MHz; 10,7 pF

4.46 Se $C\pi$ do TBJ no Exercício 4.45 inclui uma capacitância de depleção relativamente constante e de valor 2 pF, determine f_T quando o TBJ está operando com $I_C = 0{,}1$ mA.

Resposta 130,7 MHz

4.16 O MODELO DO SPICE PARA O TBJ E EXEMPLOS DE SIMULAÇÃO

Como fizemos para o diodo no Capítulo 3, concluiremos este capítulo com uma apresentação do modelo que o SPICE usa para o TBJ. Também mostraremos o uso do SPICE na simulação de dois dos circuitos estudados neste capítulo.[7]

O Modelo

A Figura 4.74 mostra o modelo do TBJ usado pelo SPICE para grandes sinais. Nesse modelo, as fontes de corrente i_C e i_B são controladas por v_{BE} e v_{BC} de acordo com as relações especificadas pelo modelo de transporte da Figura 4.59. Deve ser observado, no entanto, que, enquanto a constante n (chamada de coeficiente de emissão) nas exponenciais é unitária no modelo de transporte, no modelo SPICE ela pode assumir valores diferentes e, além disso, usa valores diferentes para a JBE (denominado n_F) e para a JBC (denominado n_R).

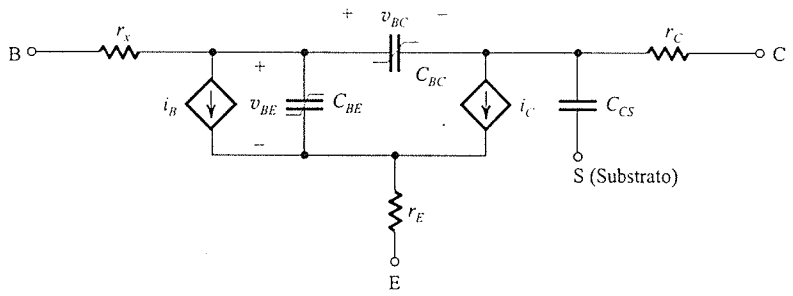


Figura 4.74 O modelo do TBJ usado pelo SPICE para grandes sinais. As fontes de corrente i_B e i_C são controladas por v_{BE} e v_{BC} de acordo com as relações especificadas pelo modelo de transporte da Figura 4.59. Os resistores r_x, r_E e r_C representam as resistências ôhmicas nas regiões de base, emissor e coletor, respectivamente. Os capacitores C_{BE} e C_{BC} são não-lineares e cada um deles inclui uma componente de junção e uma componente de difusão. O capacitor C_{CS} é uma capacitância de junção existente apenas em circuitos integrados.

7. Leitores que não estão familiarizados com o uso do SPICE devem consultar o Apêndice C ou, para um estudo mais aprofundado, Roberts e Sedra, 1997.

Como indicado na Figura 4.74, o modelo SPICE inclui as resistências ôhmicas para a região de coletor (r_C), para a região de emissor (r_E) e para a região de base (r_x).

A operação dinâmica do TBJ é modelada por duas capacitâncias não-lineares, C_{BE} e C_{BC}, sendo que ambas incluem uma componente de difusão e uma componente de camada de depleção (ou junção). O modelo também inclui uma capacitância de depleção C_{cs} para a junção coletor–substrato de transistores de circuitos integrados.

Para pequenos sinais, o modelo SPICE reduz-se ao modelo π-híbrido expandido com r_E, r_C e C_{cs} (para transistores de circuitos integrados).

Tabela 4.5 Parâmetros do modelo SPICE para o TBJ (lista parcial).

Nome do parâmetro	Símbolo	Nome no SPICE	Unidade	Valor default
Corrente de saturação (transport saturation current)	I_S	IS	A	1×10^{-16}
Ganho máximo de corrente no sentido direto (maximum forward current gain)	β ou β_F	BF	—	100
Coeficiente de emissão de corrente no sentido direto (forward current emission coefficient)	n	NF	—	1
Tensão Early no sentido direto (forward Early voltage)	V_A	VAF	V	∞
Ganho máximo de corrente no sentido reverso (maximum reverse current gain)	β_R	BR	—	1
Coeficiente de emissão de corrente no sentido reverso (reverse current emission coefficient)	—	NR	—	1
Tensão Early no sentido reverso (reverse Early voltage)	—	VAR	—	∞
Tempo de trânsito ideal no sentido direto (ideal forward transit time)	τ_F	TF	s	0
Tempo de trânsito ideal no sentido reverso (ideal reverse transit time)	τ_R	TR	s	0
Resistência ôhmica de emissor (emitter ohmic resistance)	r_E	RE	Ω	0
Resistência ôhmica de coletor (collector ohmic resistance)	r_C	RC	Ω	0
Resistência ôhmica de base para polarização zero (zero-bias base ohmic resistance)	r_x	RB	Ω	0
Capacitância de junção BE para polarização zero (zero-bias BE-junction capacitance)	C_{je0}	CJE	F	0
Coeficiente de graduação da JBE (BEJ grading coefficient)	m_{BEJ}	MJE	—	0,33
Tensão interna da JBE (BEJ built-in voltage)	V_{0e}	VJE	V	0,75
Capacitância da JBC para polarização zero (zero-bias BC-junction capacitance)	$C_{\mu 0}$	CJC	F	0
Coeficiente de graduação da JBC (BCJ grading coefficient)	m_{BCJ}	MJC	—	0,33
Tensão interna da JBC (BCJ built-in voltage)	V_{0c}	VJC	V	0,75
Capacitância coletor–substrato para polarização zero (zero-bias collector–substrate capacitance)	C_{CS0}	CJS	F	0
Coeficiente de graduação da junção coletor–substrato (collector–substrate junction grading coefficient)	—	MJS	—	0,33
Tensão interna da junção coletor–substrato (collector–substrate junction built-in voltage)	—	VJS	V	0,75

O modelo SPICE inclui mais de 40 parâmetros, sendo que cerca de metade deles está listada na Tabela 4.5. A outra metade são aqueles parâmetros que são especificados pelo usuário quan-

do simulações muito precisas e detalhadas são necessárias, e não serão analisados neste livro. Na verdade, um certo número de parâmetros na lista parcial da Tabela 4.5 normalmente não é necessário para a maioria das simulações de circuitos.

O leitor deve ser capaz de reconhecer a maioria dos parâmetros da Tabela 4.5. Note que o usuário pode especificar um valor para qualquer um desses parâmetros. Na falta de um valor especificado pelo usuário, o SPICE usa o valor default indicado. Por exemplo, se nenhum valor for especificado para V_A, o efeito Early não é levado em consideração pelo SPICE. Embora ignorar o efeito Early possa ser um sério problema em alguns circuitos, o mesmo não é verdade, por exemplo, para o valor da tensão Early reversa.

Antes de deixarmos o modelo SPICE, devemos fazer um comentário sobre β. O usuário pode especificar valores para β_F e β_R, os quais o SPICE interpreta como valores *máximos* (em função da corrente de operação). O SPICE usa um modelo dependente da corrente para β e o usuário pode especificar outros parâmetros (não mostrados na Tabela 4.5) para esse modelo. Além disso, o SPICE calcula valores tanto para β_{cc} quanto para β_{ca}, os dois parâmetros que em geral consideramos iguais.

Para transistores discretos, os parâmetros do modelo podem ser determinados a partir das especificações do fabricante para o dispositivo, acrescentados de medições específicas quando necessário. Isso tem sido feito para a maioria dos componentes comerciais existentes e os parâmetros dos modelos para componentes comerciais estão disponíveis em versões comerciais do SPICE. Para transistores em CIs, os parâmetros do modelo são determinados pelo fabricante do circuito integrado utilizando tanto medições em dispositivos fabricados quanto conhecimentos detalhados dos processos de fabricação.

EXEMPLO 4.17: ESTABILIDADE DO PONTO QUIESCENTE

O SPICE pode ser usado para estudar o projeto de polarização de um amplificador com TBJ e para verificar a estabilidade do ponto *cc* de operação. Essa aplicação do SPICE é muito útil e será mostrada utilizando-se o circuito de polarização convencional mostrado na Figura 4.75. Note que a fonte de valor zero em série com R_E é incluída a fim de permitir que o SPICE calcule a corrente I_E (veja o apêndice C).

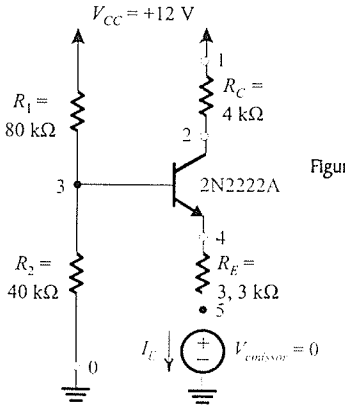


Figura 4.75 Circuito para estudar a estabilidade de polarização empregando o SPICE. O arquivo de entrada de dados é mostrado no Apêndice D.

SOLUÇÃO

A corrente *cc* de emissor pode ser encontrada usando o modelo simplificado V_{BE} constante, sendo V_{BE} = 0,7 V e β = 100. O resultado é I_E = 0,99 mA, I_C = 1 mA e $V_C \cong$ 8 V.

Para a análise SPICE, usaremos um transistor disponível comercialmente, o 2N2222A. Seus parâmetros do modelo SPICE estão incluídos na biblioteca de componentes que acompanha as versões comerciais ou estudantis do SPICE disponíveis no mercado. Para estudar a estabilidade da polarização, empregaremos uma ferramenta específica do SPICE, o comando .SENS. Este comando instrui o SPICE a realizar uma análise de sensibilidade para uma particular grandeza de interesse, neste caso, a corrente de emissor I_E. O resultado da análise é um conjunto de derivadas $\frac{\partial I_E}{\partial x/x}$, em que x representa um componente do circuito (por exemplo, R_E) ou um parâmetro do transistor (por exemplo, β). Essas derivadas podem ser usadas para determinar a variação esperada no valor de I_E como resultado de uma variação conhecida no valor do componente (por exemplo, a tolerância especificada para um resistor).

O arquivo de entrada de dados do SPICE, incluindo os parâmetros do modelo, é mostrado no Apêndice D. Os resultados de saída do SPICE fornecem os seguintes valores *cc*: I_E = 0,967 mA, I_C = 0,961 mA, V_{BE} = 0,643 V e V_C = 8,157 V. Considerando-se que nossos cálculos manuais utilizaram valores aproximados para V_{BE} e β, além de desprezar o efeito Early, os resultados da simulação são muito próximos da análise aproximada.

A saída do SPICE fornece também o valor das sensibilidades normalizadas de IE em relação a cada componente do circuito e parâmetros do transistor. Destes, apresentamos apenas dois: $\frac{\partial I_E}{\partial R_E/R_E} = -9{,}14\times10^{-6}$ A/% e $\frac{\partial I_E}{\partial \beta_F/\beta_F} = 2{,}695\times10^{-7}$ A/%. Assim, se R_E é, digamos, um resitor de 5%, esperamos uma variação em I_E de ± 45,7 μA, que é de cerca de 5%, um valor razoável considerando-se que R_E determina diretamente o valor de I_E. De forma análoga, a variação de I_E resultante de uma variação de, digamos, 20% no valor de β será de ± 5,4 μA, ou cerca de 0,5%. Essa baixa sensibilidade a valores de β é obviamente uma propriedade desejável e demonstra a qualidade desse circuito de polarização.

O SPICE realiza seus cálculos assumindo operação à temperatura ambiente (25-27°C). Pode-se, no entanto, utilizar um outro comando SPICE para realizar a análise a várias temperaturas. Não faremos isso neste exemplo, mas encorajamos o eleitor a fazê-lo.

EXEMPLO 4.18: OPERAÇÃO DO AMPLIFICADOR EMISSOR COMUM

Em nosso segundo exemplo, usaremos o SPICE para estudar o desempenho do amplificador emissor comum da Figura 4.76. Observe que estamos utilizando capacitores de acoplamento e de passagem de valores extremamente grandes, impossíveis de ser encontrados na prática. Esses valores elevados, no entanto, representarão curto-circuitos praticamente perfeitos para todas as freqüências de interesse, que facilitarão nosso estudo. Esta é uma demonstração inequívoca da flexibilidade da simulação de circuitos no que tange o estudo de comportamentos específicos, e é uma grande vantagem em relação ao estudo experimental.[8]

8. O leitor deve ter consciência, no entanto, de que o uso de capacitores de valor tão elevado faria a simulação de análises transientes impraticavelmente demorada. Para análise transiente, valores bem menores deveriam ser utilizados.

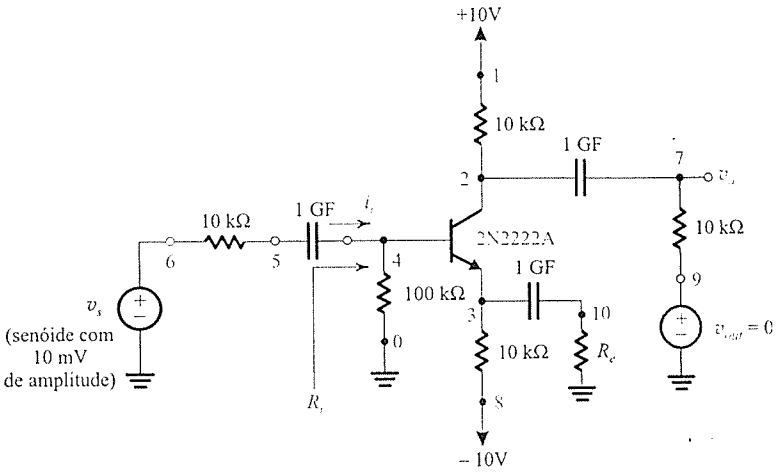


Figura 4.76 Circuito amplificador emissor comum para a simulação SPICE do Exemplo 4.18. O arquivo de entrada de dados é mostrado no Apêndice D.

A fim de possibilitar o estudo do efeito da colocação de uma resistência no caminho do sinal no emissor, um resistor R_e está conectado em série com o capacitor de passagem de emissor. Além disso, note que uma fonte v_{out} de valor zero está incluída em série com o resistor de carga para possibilitar ao SPICE o cálculo da corrente na carga.

O arquivo de entrada de dados é mostrado no Apêndice D. Utilizamos o transistor 2N2222A que está disponível nas bibliotecas que acompanham o SPICE. Instruímos o SPICE a realizar uma análise do ponto quiescente *cc* e, com um sinal senoidal de entrada de 10 mV e 1 kHz, realizar uma análise AC para dois casos: $R_e = 0$ e $R_e = 100\ \Omega$.

Como deve ser sempre o caso com simulação por computador, uma análise manual aproximada deve ser feita de antemão para julgar os resultados de saída do SPICE. Dessa forma, pode-se apreciar em maiores detalhes e explorar mais adequadamente os resultados da simulação. Usando $V_{BE} = 0{,}7$ V, $\beta = 100$ e desprezando o efeito Early, obtemos $I_E = 0{,}85$ mA e $I_C = 0{,}84$ mA. Na análise para pequenos sinais, temos das especificações de fabricante do 2N2222A que, para $I_C = 1$ mA, β_{ca} (ou h_{fe}) está na faixa de 100 a 175. Adotando-se um valor conservador de 125 para o dispositivo "típico" e desprezando o efeito Early, podemos determinar os parâmetros do modelo π-híbrido:

$$g_m = 34\ \text{mA/V} \qquad r_e = 29{,}4\ \Omega \qquad r_\pi = 3{,}7\ \text{k}\Omega$$

As fórmulas da Seção 4.11 podem agora ser usadas para determinar R_i e A_v,

$$R_i = 100\ \text{k}\Omega \| (\beta + 1)(r_e + R_e)$$

$$A_v = \frac{v_o}{v_s} = -\frac{R_i}{R_s + R_i} \frac{(10\ \text{k}\Omega \| 10\ \text{k}\Omega)}{r_e + R_e}$$

Assim,

$$\text{para } R_e = 0: \quad R_i = 3{,}57\ \text{k}\Omega \text{ e } A_v = -44{,}7\ \text{V/V}$$
$$\text{para } R_e = 100\ \Omega: \quad R_i = 13{,}1\ \text{k}\Omega \text{ e } A_v = -21{,}9\ \text{V/V}$$

E a saída SPICE fornece:

$$I_C = 0{,}865\ \text{mA} \quad g_m = 33{,}4\ \text{mA/V} \quad r_\pi = 4{,}11\ \text{k}\Omega$$
$$r_x = 57{,}2\ \Omega \quad r_o = 117{,}5\ \text{k}\Omega \quad \beta_{ac} = 137{,}4$$

Observamos que esses resultados estão muito próximos de nossos valores calculados manualmente. Observe, no entanto, que β_{ca} é maior que o valor que utilizamos. Mesmo assim, um bom projeto resultaria em um ganho de tensão que seria razoavelmente insensível ao valor de β. Veremos o que o SPICE encontrou para os valores de R_i e Av. Para $R_e = 0$, $R_i = 4{,}0$ kΩ e $Av = -45{,}2$ V/V. Para $R_e = 100\ \Omega$, $R_i = 15{,}0$ kΩ e $Av = -22{,}7$ V/V. Novamente, esses resultados estão muito próximos de nossos valores calculados manualmente. Finalmente, usaremos o SPICE para estudar a sensibilidade do ganho com o valor de β. Os resultados obtidos são:

β_F	β_{ca}	$\lvert A_v \rvert$, ($R_e = 0$)	$\lvert A_v \rvert$, ($R_e = 100\ \Omega$)
153 (caso típico)	137,4	45,2	22,7
100	92,8	33,7	19,3
200	174,2	53,1	24,5

Note que o resistor de degeneração de emissor torna o ganho menos sensível ao valor de β, como era esperado. Essa menor sensibilidade, assim como as outras vantagens da degeneração de emissor, são obtidas às custas da redução no ganho.

RESUMO

- Dependendo das condições de polarização das duas junções, o TBJ pode operar em três modos possíveis: corte (as duas junções reversamente polarizadas), ativo (a JEB diretamente polarizada e a JCB reversamente polarizada) e saturação (as duas junções diretamente polarizadas).
- Nas aplicações como amplificador, o TBJ opera no modo ativo. Aplicações de chaveamento utilizam os modos de corte e de saturação.
- Uma operação do TBJ no modo ativo proporciona uma corrente $i_C = I_S e^{v_{BE}/V_T}$. A corrente de base $i_B = i_C/\beta$ e a corrente de emissor $i_E = i_C + i_B$. Além disso, $i_C = \alpha i_E$ e, portanto, $\beta = \alpha/(1 - \alpha)$ e $\alpha = \beta/(\beta + 1)$.
- Para garantir a operação no modo ativo, a tensão no coletor de um transistor *npn* deve manter-se maior do que a tensão na base. Para um transistor *pnp*, a tensão no coletor deve manter-se menor do que tensão na base.
- Para uma corrente de coletor constante, o valor da tensão base-emissor diminui cerca de 2 mV para cada °C de aumento na temperatura.
- A análise *cc* de circuitos com transistor fica muito simplificada se fizermos a suposição de que $\lvert V_{BE} \rvert \cong 0{,}7$ V.
- Para operar como um amplificador linear, o TBJ é polarizado na região ativa e o sinal v_{be} é mantido pequeno ($v_{be} << V_T$).

- Para pequenos sinais, o TBJ funciona como uma fonte de corrente controlada por tensão com uma transcondutância $g_m = I_C/V_T$. A resistência de entrada entre a base e o emissor, olhando para a base, é $r_\pi = \beta/g_m$. Modelos de circuito equivalentes para o TBJ operando em baixas freqüências estão mostrados nas Figuras 4.26 e 4.27. A Tabela 4.3 resume as equações para determinação dos parâmetros dos modelos.
- O projeto de polarização procura estabelecer uma corrente de coletor *cc* que é a mais independente possível do valor de β.
- Na configuração emissor comum, o emissor é aterrado para o sinal, o sinal de entrada é aplicado na base e a saída é pelo coletor. Obtemos um alto ganho de tensão e resistência de entrada razoavelmente alta, mas a resposta para altas freqüências é limitada.
- A resistência de entrada do amplificador em emissor comum pode ser aumentada incluindo-se uma resistência no terminal do emissor que não esteja em paralelo com o capacitor de passagem.
- Na configuração em base comum, a base é aterrada para o sinal, o sinal de entrada é aplicado no emissor e a saída é pelo coletor. Obtemos um alto ganho de tensão (do emissor para o coletor) e uma excelente resposta em altas freqüências, mas a resistência de entrada é muito baixa. O amplificador em base comum é útil como um isolador (buffer) de corrente.
- No seguidor de emissor, o coletor é aterrado para o sinal, o sinal de entrada é aplicado na base e a saída é pelo emissor. Embora o ganho de tensão seja menor que a unidade, a resistência de entrada é muito alta e a resistência de saída é muito baixa. O circuito é útil como um isolador (buffer) de tensão.
- Em um transistor saturado, $|V_{CEsat}| \simeq 0{,}2$ V e $I_{Csat} = (V_{CC} - V_{CEsat})/R_C$. A razão de I_{Csat} pela corrente da base é o β forçado, que é menor do que β. A resistência do coletor–emissor, R_{CEsat}, é pequena (alguns décimos de ohms).
- Um modelo conveniente e intuitivo do TBJ para a operação com grandes sinais é o modelo de Ebers–Moll, mostrado na Figura 4.55. Uma relação fundamental entre seus parâmetros é $\alpha_F I_{SE} = \alpha_R I_{SC} = I_S$. Enquanto α_F é próximo da unidade, α_R é muito pequeno (0,01 – 0,2) e β_R é pequeno também. Uma alternativa ao modelo EM é o modelo de transporte da Figura 4.59.
- O inversor lógico básico com TBJ usa os modos de corte e saturação de operação do transistor. Um transistor saturado tem uma grande quantidade de cargas de portadores minoritários armazenada na região de base e, portanto, é lento para desligar.
- Com o emissor em circuito aberto ($i_E = 0$), a ruptura na JCB ocorre para uma tensão reversa BV_{CBO} que é tipicamente > 50 V. Para $i_E > 0$, a tensão de ruptura é menor do que BV_{CBO}. Na configuração em emissor comum, a tensão de ruptura é especificada como BV_{CEO}, a qual é aproximadamente metade de BV_{CBO}. A junção emissor–base atinge a ruptura para uma polarização reversa de 6 a 8 V. Essa ruptura tem usualmente um efeito adverso sobre β.
- A operação do TBJ para pequenos sinais em altas freqüências é modelada pelo modelo π-híbrido da Figura 4.70. Nesse caso, $C_\pi = C_{de} + C_{jc}$, em que $C_{de} = \tau_F g_m$ e C_μ é a capacitância de junção da junção coletor–base reversamente polarizada.
- O β do transistor (ou h_{fe}) diminui com a freqüência a uma taxa de 20 dB/década e se torna unitário para uma freqüência $f_T = g_m/2\pi(C_\pi + C_\mu)$.

BIBLIOGRAFIA

E. J. Angelo, Jr., *Electronics: BJTs, FETs, and Microcircuits*, New York, McGraw-Hill, 1969.

I. Getreu, *Modeling the Bipolar Transistor*, Beaverton, Ore., Tektronix, Inc., 1976.

P. R. Gray e R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3ª ed., New York, Wiley, 1993.

P. E. Gray e C. L. Searle, *Electronic Principles*, New York, Wiley, 1971.

D. A. Hodges e H. G. Jackson, *Analysis and Design of Digital Integrated Circuits*, 2ª ed., New York, McGraw-Hill, 1988.

J. Millman e A. Grabel, *Microelectronics*, 2ª ed., New York, McGraw-Hill, 1987.

D. L. Pulfrey e N. G. Tarr, *Introduction to Microelectronic Devices*, Englewood Cliffs, NJ, Prentice-Hall, 1989.

J. M. Rabaey, *Digital Integrated Circuits*, Englewood Cliffs, NJ, Prentice-Hall, 1996.

G. W. Roberts e A. S. Sedra, *SPICE*, New York, Oxford University Press, 1997.

C. L. Searle, A. R. Boothroyd, E. J. Angelo, Jr., P. L. Gray e D. O. Pederson, *Elementary Circuit Properties of Transistors*, Vol. 3 da SEEC Series, New York, Wiley, 1964.

PROBLEMAS

Seção 4.1: Estrutura Física e Modos de Operação

4.1 As tensões nos terminais de vários transistores *npn* foram medidas durante a operação em seus respectivos circuitos, resultando nos seguintes dados:

Caso	E	B	C	Modo
1	0	0,7	0,7	
2	0	0,8	0,1	
3	–0,7	0	0,7	
4	–0,7	0	–0,6	
5	0,7	0,7	0	
6	–2,7	–2,0	0	
7	0	0	5,0	
8	–0,1	0	5,0	

Nessa tabela, na qual os valores estão em volts, 0 indica o terminal de referência ao qual a ponta preta (negativa) do voltímetro está conectada. Para cada caso, identifique o modo de operação do transistor. (Observe que o caso 5 é complicado: para compreender essa situação, note que, embora o transistor não seja simétrico, ele pode operar com o emissor e o coletor trocados, no chamado modo inverso.)

Seção 4.2: Operação do Transistor *npn* no Modo Ativo

4.2 Um transitor *npn* tem uma área de emissor de 10 μm × 10 μm. As concentrações de dopantes são: no emissor $N_D = 10^{19}/\text{cm}^3$, na base $N_A = 10^{17}/\text{cm}^3$ e no coletor $N_D = 10^{15}/\text{cm}^3$. O transistor opera com T = 300 K, em que $n_i = 1{,}5 \times 10^{10}/\text{cm}^3$. Para os elétrons difundindo-se na base: $L_n = 19$ μm e $D_n = 21{,}3$ cm²/s. Para as lacunas difundindo-se no emissor: $L_p = 0{,}6$ μm e $D_p = 1{,}7$ cm²/s. Calcule I_S e β assumindo que a largura da base é:

(a) 1 μm
(b) 2 μm
(c) 5 μm

Para o caso (b), se $I_C = 1$ mA, determine I_B, I_E, V_{BE} e a caraga de portadores minoritários armazenados na base. (*Dica*: $\tau_b = L_n^2/D_n$. Lembre-se de que a carga do elétron é de $1{,}6 \times 10^{-19}$ Coulomb.)

4.3 Mostre que, para o transistor com α próximo da unidade, se α varia em uma pequena quantidade por unidade ($\Delta\alpha/\alpha$), a variação correspondente por unidade em β é dada aproximadamente por

$$\frac{\Delta\beta}{\beta} \cong \beta\left(\frac{\Delta\alpha}{\alpha}\right)$$

Calcule $\Delta\beta/\beta$ para $\beta = 100$ com variações de 0,1% em α.

4.4 Um TBJ particular, quando conduzindo uma corrente de coletor de 10 mA, tem $v_{BE} = 0{,}70$ V e $i_B = 100$ μA. Use esses dados para criar um modelo específico da forma mostrada nas Figuras 4.5(a) e (d).

4.5 A corrente I_{CBO} de um pequeno transistor é medida como sendo de 15 nA a 25°C. Se a temperatura do dispositivo aumentar para 75°C, que valor você espera para a corrente I_{CBO}?

Seção 4.3: O Transistor *pnp*

4.6 A Figura 4.8 mostra dois modelos para grandes sinais para o transistor *pnp* operando no modo ativo. Faça os esboços de dois modelos adicionais que possam ser comparados com os outros dos transistores *npn* nas Figuras 4.5(a) e (d).

4.7 Um transistor *pnp* tem $v_{EB} = 0.8$ V para uma corrente de coletor de 1 A. Que valor de v_{EB} você espera quando $i_C = 10$ mA? E quando $i_C = 5$ A?

Seção 4.4: Símbolos para Circuitos e Convenções

4.8 Medições feitas nos circuitos da Figura P4.8 produziram as tensões indicadas. Encontre o valor de β para cada transistor.

P4.9 Refaça o projeto do circuito no Exemplo 4.1 para que $V_C = +1$ V e $I_C = 0{,}5$ mA.

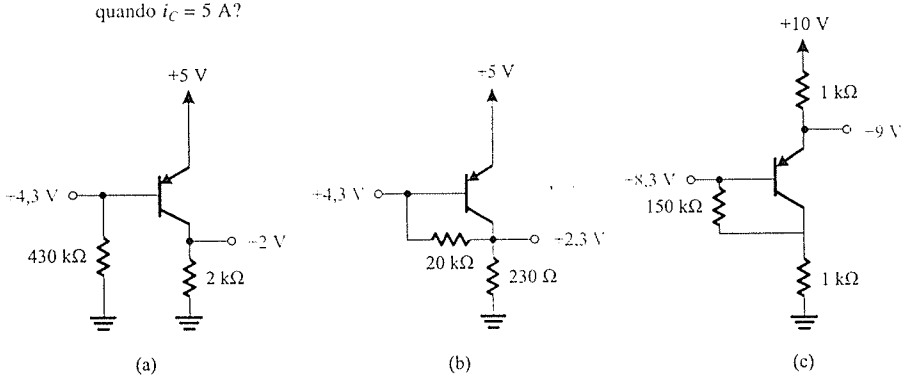


Figura P4.8

Seção 4.5: Representação Gráfica das Características do Transistor

4.10 Para um TBJ *pnp*, a corrente de emissor é fixada em 0,5 mA com $v_{EB} = 692$ mV a 20°C.
(a) Qual o valor de v_{EB} se a temperatura da junção subir para 50°C?
(b) Se o transistor possui n = 1 e é operado com $v_{EB} = 700$ mV constantes, qual a corrente de emissor para 20°C? E 50°C?

4.11 Para um TBJ com resistência de saída de 10 MΩ a 10 μA, qual deve ser a tensão de Early? Se a corrente aumentar para 10 mA, qual será a resistência de saída?

Seção 4.6: Análise *cc* de Circuitos com Transistores

4.12 O transistor no circuito da Figura P4.12 tem um β muito alto. Calcule V_E e V_C para V_B (a) +3 V, (b) +1 V e (c) 0 V. Suponha que $V_{BE} = 0{,}7$ V.

P4.13 Considere o circuito na Figura P4.12 com uma tensão de base V_B obtida usando-se um divisor de tensão através de uma alimentação de 9 V. Supondo que o β do transistor seja muito alto (isto é, despreze a corrente de base), projete o divisor de tensão para obter $V_B = 3$ V. Projete de modo que a corrente no divisor de tensão seja de 0,2 mA. Agora, se o TBJ tiver um $\beta = 100$, analise o circuito para determinar a corrente de coletor e a tensão no coletor.

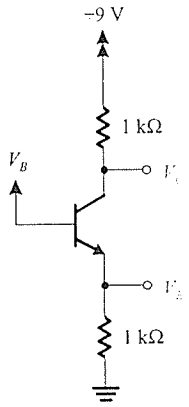


Figura P4.12

P**4.14 Para projetar o circuito da Figura P4.14 são exigidos uma corrente de emissor de 1 mA e uma tensão no coletor de +5 V. O tipo de transistor usado tem um β nominal de 100. Contudo, o valor de β pode ser tão baixo quanto 50 e tão alto quanto 150. Seu projeto deve assegurar que a corrente especificada para o emissor seja obtida quando $\beta = 100$ e que nos valores extremos de β a corrente no emissor não mude mais do que 10% de seu valor nominal. Considere no projeto o maior valor possível de R_B. Forneça os valores de R_B, R_E e R_C o mais próximo de kilohm. Que faixa de correntes de coletor e de tensões no coletor você espera para a variação total nos valores de β?

*4.15 Para o circuito na Figura P4.15, calcule as tensões nos nós indicados para:
(a) $\beta = \infty$
(b) $\beta = 100$
(a) $\beta = 10$

Seção 4.7: O Transistor como Amplificador

4.16 Considere o transistor polarizado para operar no modo ativo com uma corrente *cc* de coletor I_C. Calcule a corrente de sinal no coletor como uma fração de I_C (que é i_c/I_C) para sinais de entrada v_{be} de +1, −1, +2, −2, +5, −5, +8, −8, +10, −10, +12, −12 mV. Para cada caso faça os cálculos de dois modos:
(a) usando a característica exponencial e;
(b) usando a aproximação para pequenos sinais.
Apresente seus resultados na forma de uma tabela que inclua uma coluna para o erro introduzido pela aproximação para pequenos sinais. Comente sobre a validade da faixa de aproximações para pequenos sinais.

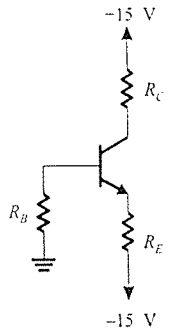


Figura P4.14

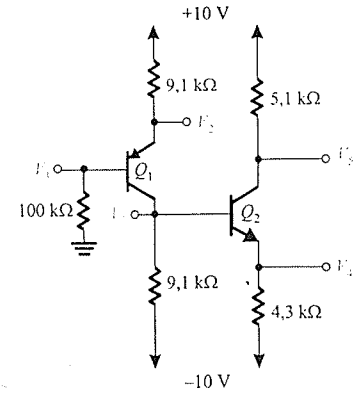


Figura P4.15

4.17 Um transistor com $\beta = 120$ é polarizado para operar com uma corrente *cc* de coletor de 1,5 mA. Calcule os valores de g_m, r_π e r_e. Refaça seu cálculo para uma corrente de polarização de 150 μA.

P4.18 Para uma operação linear razoável do TBJ para pequenos sinais, v_{be} deve ser limitado a um valor não superior a 10 mV. A que porcentagem de variação da corrente de polarização isso corresponde? Para um projeto no qual o sinal de saída necessário é de 10 mA de pico, que corrente de polarização é necessária? Qual o valor correspondente de g_m?

Seção 4.8: Modelos Equivalentes para Pequenos Sinais

4.19 Um TBJ está polarizado para operar no modo ativo com uma corrente *cc* de coletor de 0,5 mA. Ele tem um β de 120. Dê os quatro modelos para pequenos sinais (Figuras 4.26 e 4.27) do TBJ completos com os valores de seus parâmetros.

4.20 O amplificador com transistor na Figura P4.20 está polarizado com uma fonte de corrente I e tem um β muito alto. Calcule a tensão *cc* no coletor, V_C. Além disso, calcule o valor de g_m. Substitua o transistor por seu modelo π-híbrido simplificado da Figura 4.26(a) (observe que a fonte de corrente *cc* I deve ser substituída por um circuito aberto). Calcule o ganho de tensão v_o/v_i.

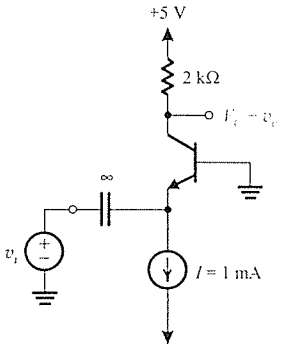


Figura P4.20

4.21 Para um TBJ operando com uma corrente de base de 7,6 μA e um β de 104, quais os valores de r_π e g_m? Quais os valores de r_e e α correspondentes?

4.22 Reconsidere o circuito mostrado na Figura 4.30 considerando agora que a fonte de sinal tem uma resistência interna de 100 Ω. Qual o valor do ganho de tensão, considerado como a relação entre a tensão de saída do amplificador e a tensão da fonte de sinal em aberto? Qual a maior amplitude de tensão de entrada em aberto que pode ser utilizada antes de ocorrer ceifamento do sinal de saída?

P**4.23 Projete um amplificador usando a configuração da Figura 4.30(a). A fonte de alimentação disponível é simétrica de ± 10 V. A resistência da fonte de sinal de entrada é de 100 Ω e é necessário que a resistência de entrada do amplificador case com esse valor. (Observe que $R_{in} = r_e // R_E = r_e$.) O amplificador deve ter o maior valor de ganho de tensão possível e o maior sinal de saída possível, mas ainda operar linearmente como para pequenos sinais (isto é, a componente de sinal na junção base–emissor deve ser limitada a não mais que 10 mV). Encontre os valores de R_E e R_C. Qual o valor do ganho de tensão possível?

4.24 No projeto de amplificadores com TBJ em circuitos integrados é freqüentemente usado o arranjo mostrado na Figura P4.24. Nesse caso, o transistor é polarizado com uma fonte de corrente constante alimentando o coletor. O circuito externo (não mostrado) é arranjado de modo que apareça uma tensão *cc* estável no coletor. Usando o modelo equivalente π-híbrido, incluindo r_o, mostre que o ganho de tensão para pequenos sinais obtido da base para o coletor é igual a $-(V_A/V_T)$. Calcule o valor do ganho para $V_A = 100$ V.

Seção 4.9: Análise Gráfica

*4.25 Esboce as características i_C–v_{CE} para um transistor *npn* com $\beta = 100$ e $V_A = 100$ V. Esboce curvas para $i_B = 20$, 50, 80 e 100 μA. Para o propósito desse esboço suponha que $i_C = \beta i_B$ e $v_{CE} = 0$. Esboce também a reta de carga obtida para $V_{CC} = 10$ V e $R_C = 1$ kΩ. Se a corrente de polarização *cc* da base for de 50 μA, escreva a equação correspondente da curva i_C–v_{CE}. Escreva também a equação da reta de carga e resolva as duas equações para obter V_{CE} e I_C. Se o sinal de entrada origina um sinal senoidal de 30 μA de pico sobreposto a I_B, calcule as componentes de sinal correspondentes a i_C e v_{CE}.

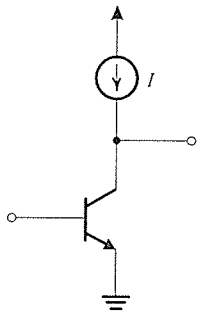


Figura P4.24

Seção 4.10: Polarização do TBJ para Projetos de Circuitos Discretos

P4.26 Projete o circuito da Figura 4.39 quando $V_{CC} = 9$ V para que $1/3 V_{CC}$ caia tanto em R_E quanto em R_C. $I_E = 0,5$ mA e a corrente no divisor de tensão deve ser de $0,2\, I_E$. Projete supondo um alto valor de β. Depois, encontre o valor real obtido para I_E com um TBJ tendo $\beta = 100$.

P*4.27 Usando fontes duplas de ± 5 V, como mostrado na Figura 4.40, projete um circuito de polarização que acompanhe os seguintes requisitos: $I_C = 0,1$ mA; tensão de coletor com 40% da diferença de tensão entre o emissor de alimentação, para $\beta = \infty$; e V_{CE} aumentando no máximo 20% quando $\beta = 70$. Use resistores de 5% de precisão (veja o Apêndice H). Quais os valores de R_B, R_E e R_C adequados? Calcule os valores de I_C e V_{CE} quando $\beta = 70$.

P4.28 Usando uma fonte de alimentação de 5 V, projete uma versão do circuito da Figura 4.41 para proporcionar uma corrente *cc* de emissor de 0,5 mA e para permitir uma excursão de sinal de ± 1 V no coletor. O TBJ tem um valor nominal de $\beta = 100$. Se o TBJ usado tiver um β de 50, que valor de corrente de emissor será obtido? Além disso, qual a excursão permitida para o sinal no coletor? Repita para o caso em que $\beta = 150$.

Seção 4.11: Configurações Básicas de Amplificadores de Estágio Simples com TBJ

4.29 Um amplificador em emissor comum do tipo mostrado na Figura 4.43(a) é polarizado para operar com $I_C = 0,1$ mA com $R_C = 47$ kΩ. O transistor tem $\beta = 100$ e um valor elevado de V_A. Determine R_i, o ganho de tensão (v_o/v_s) quando $R_s = 100$ kΩ e R_o. Use esses resultados para determinar o ganho global quando uma carga de 10 kΩ é conectada no coletor.

4.30 Repita o Problema 4.29 para uma resistência de 250 Ω incluída no caminho do sinal no emissor. Além disso, compare a máxima amplitude do senóide de entrada que pode ser aplicada com e sem R_e, assumindo que, para limitar a distorção, o sinal entre base e emissor não pode exceder 5 mV.

P4.31 Considere o circuito amplificador emissor comum da Figura 4.43(a). Deseja-se projetar o circuito (isto é, encontrar os valores de I e R_C) segundo as especificações abaixo:

(a) $R_i \cong 5$ kΩ.

(b) O ganho de tensão entre base e coletor é o máximo possível, consistente com o requisito de que a tensão no coletor nunca caia abaixo da tensão de base, com o sinal entre base e emissor tendo amplitude de até 5 mV.

Assuma que v_s é uma fonte senoidal com componente *cc* zero, $V_{CC} = 5$ V e $\beta = 100$ (sendo o efeito Early desprezível). Que ganho de tensão entre base e coletor seu projeto fornece? Se $R_s = 10$ kΩ, qual o ganho de tensão global?

4.32 No circuito da Figura P4.32, v_s é um pequeno sinal senoidal com valor médio zero. Calcule o valor de R_{in} e do ganho v_o/v_s. Suponha $\beta = 50$. Se a amplitude do sinal v_{BE} for limitada em 5 mV, qual o maior valor para o sinal de entrada? Qual o sinal correspondente na saída?

4.33 Considere o amplificador em BC na Figura 4.45 com um resistor de carga de 10 kΩ conectado ao coletor via um capacitor de valor elevado. Sejam R_C = 10 kΩ, V_{CC} = 10 V e R_s = 50 Ω. Para que valor se deve ajustar I de forma que a resistência de entrada em E seja igual àquela da fonte (nominalmente de 50 Ω)? Qual o ganho de tensão resultante da fonte para a carga? Assuma $\alpha \cong 1$.

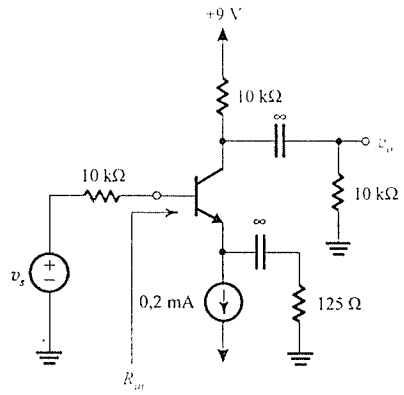


Figura P4.32

4.34 Para o circuito na Figura P4.34 encontre a resistência de entrada R_i e o ganho de tensão v_o/v_s. Suponha que a fonte proporcione um pequeno sinal v_s e que β é elevado. Note que o transistor permanece na região ativa mesmo se a tensão de coletor cair abaixo da tensão de base de cerca de 0,4 V.

4.35 Para o circuito do seguidor de emissor mostrado na Figura P4.35, o TBJ usado é especificado para ter valores de β na faixa de 20 a 200 (uma situação desastrosa para o projetista de circuitos). Para os dois valores extremos de β (β = 20 e β = 200), calcule:

(a) I_E, V_E e V_B;
(b) a resistência de entrada R_i;
(c) o ganho de tensão v_o/v_s.

4.36 O seguidor de emissor da Figura 4.46(a), quando alimentado por uma fonte de sinal com R_s = 10 kΩ, tem um ganho de tensão de 0,99 e uma resistência de saída de 200 Ω. A resistência de saída aumentou para 300 Ω quando a resistência da fonte aumentou para 20 kΩ. Determine o ganho de tensão quando o seguidor é alimentado por uma fonte de 30 kΩ e está acoplado a uma carga de 1 kΩ.

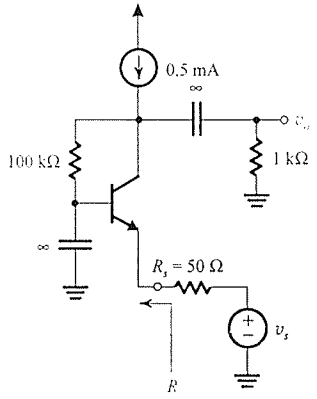


Figura P4.34

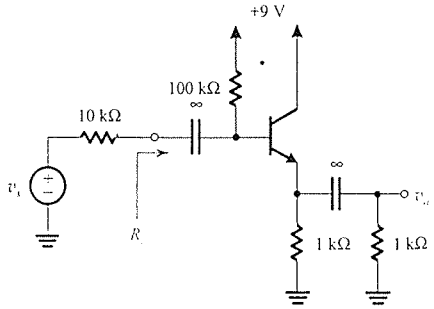


Figura P4.35

****4.37** Para o circuito na Figura P4.37, chamado de **seguidor tipo *bootstrap***:

(a) Calcule a corrente *cc* de emissor e g_m, r_e e r_π. Use β = 100.
(b) Substitua o TBJ por seu modelo π-híbrido (desprezando r_o) e analise o circuito para determinar a resistência de entrada R_i e o ganho de tensão v_o/v_s.
(c) Repita o problema (b) para o caso do capacitor C_B abrir. Compare os resultados com os obtidos em (b) para perceber as vantagens do emissor do tipo bootstrap.

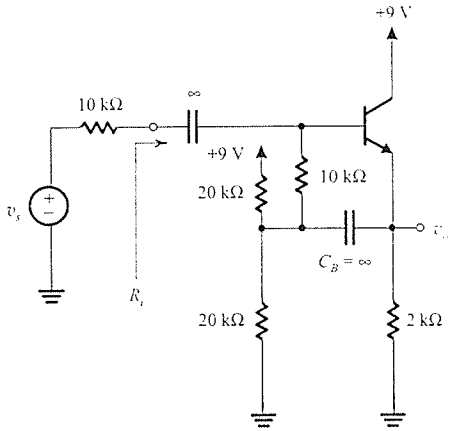


Figura P4.37

Seção 4.12: O Transistor como Chave – O Corte e a Saturação

P4.38 Para o circuito na Figura P4.38, escolha um valor para R_E de modo que o transistor sature com um β forçado de 5.

4.39 Para o circuito na Figura P4.39, calcule V_B, V_E e V_C para R_B = 100 kΩ, 10 kΩ e 1 kΩ. Suponha β = 100.

***4.40** Usando o modelo dos três terminais em curto-circuito para um transistor saturado, determine as tensões aproximadas no coletor dos circuitos na Figura P4.40. Calcule também o β forçado para cada transistor.

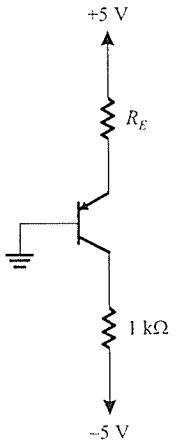


Figura P4.38

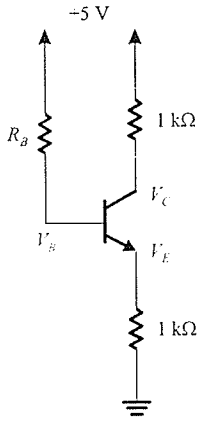


Figura P4.39

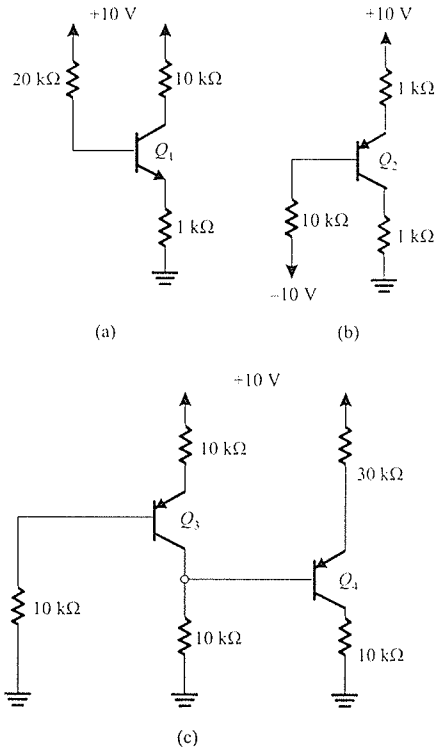


Figura P4.40

Seção 4.13: Um Modelo Genérico do TBJ para Grandes Sinais: O Modelo de Ebers–Moll (EM)

4.41 Um transistor caracterizado pelo modelo de Ebers–Moll mostrado na Figura 4.55 opera com o emissor e o coletor aterrados e uma corrente de base de 1 mA. Se a junção de coletor é 10 vezes maior que a junção de emissor e $\alpha_F \simeq 1$, determine i_C e i_E.

4.42 Para os transistores conectados como diodo da Figura P4.42, determine as expressões para i_E e i em termos de v, I_S, β_R e β_F. Também encontre a relação entre as duas correntes (isto é, i_E/i). Note que a forma de transporte do modelo EM é mais conveniente para resolver este problema.

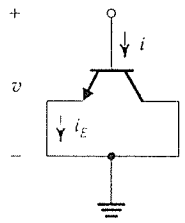


Figura P4.42

*4.43 Utilizando os dados fornecidos na Tabela 4.4, plote V_{CEsat} *versus* i_C para um transistor operando com corrente de base constante $I_B = 1$ mA. Estime o valor mínimo de sua resistência incremental de saturação $R_{CEsat} \equiv \partial v_{CEsat}/\partial i_C$. Convença-se de que esse mínimo ocorre para $i_C \simeq \beta_F I_B/2$. Extrapole a reta tangente de inclinação igual ao valor mínimo de R_{CEsat} para obter uma estimativa da tensão de *offset* da chave com TBJ.

Seção 4.14: O Inversor Lógico Básico Empregando TBJ

4.44 Considere o circuito inversor da Figura 4.60. No Exercício 4.41, a seguinte expressão para V_{OH} é fornecida quando o inversor está alimentando N inversores idênticos:

$$V_{OH} = V_{CC} - R_C \frac{V_{CC} - V_{BE}}{R_C + R_B/N}$$

Para os mesmos valores de componentes usados na análise do texto (isto é, $V_{CC} = 5$ V, $R_C = 1$ kΩ, $R_B = 10$ kΩ e $V_{BE} = 0{,}7$ V), determine o valor máximo de N que garantirá uma elevada margem de ruído, MR_H, de no mínimo 1 V. Assuma $\beta = 50$ e $V_{CEsat} = 0{,}2$ V.

4.45 Considere o inversor da Figura 4.60 com um capacitor de carga C conectado entre o nó de saída e o terra. Desejamos encontrar a contribuição de C para o tempo de atraso de baixo para alto, t_{PLH}. (Para a definição formal dos tempos de atraso do inversor veja a Figura 1.35.) Com essa finalidade, assuma que, antes de $t = 0$, o transistor está ligado e saturado e $v_O = V_{OL} = V_{CEsat}$. Então, em $t = 0$, permita que a entrada caia para o nível baixo e assuma que o transistor se desliga instantaneamente. Note que desprezar o tempo de desligamento do transistor saturado é irreal, mas vai nos permitir concentrar no efeito de C. (Atrasos de chaveamento de transistores serão analisados no Capítulo 14.) Agora, com o transistor desligado, o capacitor se carregará através de R_C e a tensão de saída crescerá exponencialmente de $V_{OL} = V_{CEsat}$ para $V_{OH} = V_{CC}$. Determine a expressão para $v_O(t)$. Calcule o valor de t_{PLH}, que neste caso é o tempo que v_O leva para ir a $1/2(V_{OH} + V_{OL})$. Use $V_{CC} = 5$ V, $V_{CEsat} = 0{,}2$ V, $R_C = 1$ kΩ e $C = 10$ pF. (*Dica*: a resposta a degrau de circuitos *RC* foi revisada na Seção 1.7 e está mais detalhada no Apêndice F.)

4.46 Considere a distribuição de cargas de portadores minoritários armazenada na base de um transistor saturado [veja a Figura 4.62(b)]. Se o transistor entrar fortemente na saturação e v_{BC} aumentar em 0,1 V (digamos, de 0,5 V para 0,6 V), qual o correspondente aumento na carga armazenada que não contribui para o gradiente (isto é, a carga representada pela área sombreada em cinza)?

Seção 4.15: Características Estáticas Completas, Capacitâncias Internas e Efeitos de Segunda Ordem

4.47 Use o modelo π-híbrido da Figura 4.64 para obter uma expressão para a resistência de saída do TBJ na configuração em emissor comum quando a base for alimentada com uma fonte de corrente constante (veja a Figura 4.65). Para isso, aterre o emissor, deixe a base em aberto e aplique uma tensão de teste v_x entre o coletor e o terra. Calcule a corrente i_x drenada de v_x e mostre que a resistência de saída v_x/i_x é $r_o//[(r_\mu + r_\pi)/\beta]$, a qual é aproximadamente $r_o//(r_\mu/\beta)$.

*4.48 Um TBJ para o qual I_B é de 0,5 mA tem $V_{CEsat} = 140$ mV com $I_C = 10$ mA e $V_{CEsat} = 170$ mV para $I_C = 20$ mA. Estime os valores de sua resistência de saturação e de sua tensão de *offset*. Determine também os valores de β_F e β_R.

4.49 Um TBJ operando com $i_B = 8$ μA e $i_C = 1{,}2$ mA sofre uma redução na corrente de base de 0,8 μA. Sabe-se que, quando v_{CE} é mantida constante, a redução correspondente na corrente de coletor é de 0,1 mA. Quais os valores de h_{FE} e h_{fe} correspondentes? Se a corrente de base aumentar de 8 μA para 10 μA e v_{CE} aumentar de 8 para 10 V, qual o valor de corrente de coletor resultante? (Suponha $V_A = 100$ V e despreze o efeito de r_μ.)

4.50 Medidas de h_{fe} de um transistor *npn* em 500 MHz mostra que $|h_{fe}| = 2{,}5$ para $I_C = 0{,}2$ mA e 11,6 para $I_C = 1{,}0$ mA. Além disso, C_μ foi medido como 0,05 pF. Determine f_T para cada uma das correntes de coletor usadas. Quais os valores de τ_F e C_{je}?

4.51 Um transistor TBJ operando com $I_C = 1$ mA tem $C_\mu = 1$ pF, $C_\pi = 10$ pF e $\beta = 150$. Quais os valores de ω_T e ω_β correspondentes?

*4.52 Para uma freqüência suficientemente alta, as medidas da impedância complexa de entrada de um TBJ com o emissor e o coletor aterrados (para *ca*) fornecem uma parte real próxima de r_x. Para que freqüência, definida em termos de ω_β, essa estimativa de r_x é confiável dentro de 10%, sendo que $r_x \leq r_\pi/10$?

CAPÍTULO 5

MAKRON Books

Transistores de Efeito de Campo (FETs)

Introdução
5.1 Estrutura e Operação Física do MOSFET Tipo Enriquecimento
5.2 As Características de Corrente–Tensão do MOSFET Tipo Enriquecimento
5.3 O MOSFET Tipo Depleção
5.4 Circuitos com MOSFET em *cc*
5.5 O MOSFET Como Amplificador
5.6 Polarização de Circuitos Amplificadores MOS
5.7 Configurações Básicas de Amplificadores MOS em Circuitos Integrados
5.8 O Inversor Lógico Digital CMOS
5.9 O MOSFET Como Chave Analógica
5.10 As Capacitâncias Internas do MOSFET e o Modelo para Altas Freqüências
5.11 O Transistor de Efeito de Campo de Junção (JFET)
5.12 Dispositivos em Arseneto de Gálio (GaAs) – O MESFET
5.13 O Modelo SPICE do Transistor MOSFET e Exemplos de Simulação
Resumo
Bibliografia
Problemas

INTRODUÇÃO

Neste capítulo estudaremos o outro tipo principal de transistor, o transistor de efeito de campo (*field-effect transistor – FET*). Como no caso do TBJ (Capítulo 4), a tensão entre dois terminais do FET controla a corrente que circula no terceiro terminal. Correspondentemente, o FET pode ser usado tanto como amplificador quanto como chave.

O nome de transistor de efeito de campo origina-se de seu princípio físico de operação. Especificamente, será mostrado que o mecanismo de controle é baseado no campo elétrico estabelecido pela tensão aplicada no terminal de controle. Será mostrado também que a condução de

corrente acontece apenas por um tipo de portador (elétrons ou lacunas), dependendo do tipo de FET (canal *n* ou canal *p*), o que dá ao FET um outro nome, transistor unipolar.

Embora o conceito básico do FET tenha sido conhecido desde 1930, o dispositivo tornou-se uma realidade prática apenas na década de 1960. Desde o final de 1970, um tipo particular de FET, o **transistor de efeito de campo** tipo **metal-óxido-semicondutor** (MOSFET), tornou-se extremamente popular. Comparado aos TBJs, os transistores MOS podem ser feitos com dimensões muito pequenas (isto é, ocupando uma pequena área de silício na pastilha do CI), e seu processo de fabricação é relativamente simples (veja o Apêndice A). Além disso, funções lógicas digitais e memórias podem ser implementadas com circuitos que utilizam exclusivamente MOSFETs (isto é, não há necessidade de resistores ou diodos). Por essas razões, a maioria dos circuitos integrados em escala muito alta de integração (*very-large-scale integration – VLSI*) é feita atualmente usando-se a tecnologia MOS. Neste capítulo, incluímos exemplos de pastilhas de microprocessador e de memória. A tecnologia MOS também tem sido aplicada extensivamente ao projeto de circuitos integrados digitais e analógicos.

Embora a família de dispositivos FET seja constituída de vários tipos diferentes de transistores, a maior parte deste capítulo é dedicada ao MOSFET tipo enriquecimento, o qual é o transistor de efeito de campo mais importante na atualidade. Sua importância equipara-se à do transistor bipolar de junção, cada um em sua área de aplicação.

Os transistores de efeito de campo são encontrados na forma discreta e vamos estudar sua aplicação no projeto de circuitos discretos. Contudo, eles são mais importante no projeto de circuitos integrados. O estudo de circuitos integrados com dispositivos MOS se inicia neste capítulo e continua nos capítulos subseqüentes.

5.1 ESTRUTURA E OPERAÇÃO FÍSICA DO MOSFET TIPO ENRIQUECIMENTO

O MOSFET tipo enriquecimento é o tipo de transistor de efeito de campo mais usado. Nesta seção vamos estudar sua estrutura e operação física. Isso nos levará às características de corrente-tensão do dispositivo, que serão estudadas na próxima seção.

A Estrutura do Dispositivo

A Figura 5.1 mostra a estrutura física do MOSFET tipo enriquecimento canal *n*. O significado dos termos "enriquecimento" e "canal *n*" se tornará evidente com a explicação a seguir. O transistor é fabricado sobre um substrato do tipo *p*, o qual é uma lâmina de silício cristalino que serve de suporte físico para o dispositivo (e para o circuito total no caso de circuitos integrados). Duas regiões fortemente dopadas do tipo *n*, indicadas na figura como regiões da **fonte**[1] e do **dreno** n^+, são criadas no substrato. Uma camada fina (cerca de 0,02 a 0,1 μm)[2] de dióxido de silício (SiO_2), que é um excelente isolante, é crescida sobre a superfície do substrato, cobrindo a área entre as regiões da fonte e dreno. Um metal é depositado por cima da camada de óxido para formar o eletrodo de porta do dispositivo. São feitos contatos de metal para as regiões da fonte, do

1. A notação n^+ indica um silício tipo *n* fortemente dopado, enquanto o contrário, n^-, é usado para representar um silício levemente dopado. Notações similares aplicam-se para o silício tipo *p*.

2. Um micrômetro (μm), também chamado de mícron, equivale a 10^{-6} m. Note que a espessura do óxido é algumas vezes expressa em nanômetros (nm, 10^{-9} m), resultando em espessuras típicas na faixa de 20 a 100 nm.

dreno e do substrato, este último também conhecido como **corpo**. Portanto, saem quatro terminais: o terminal da porta (*gate* – G), o terminal da fonte (*source* – S), o terminal do dreno (*drain* – D) e o terminal do substrato ou corpo (*body* – B).

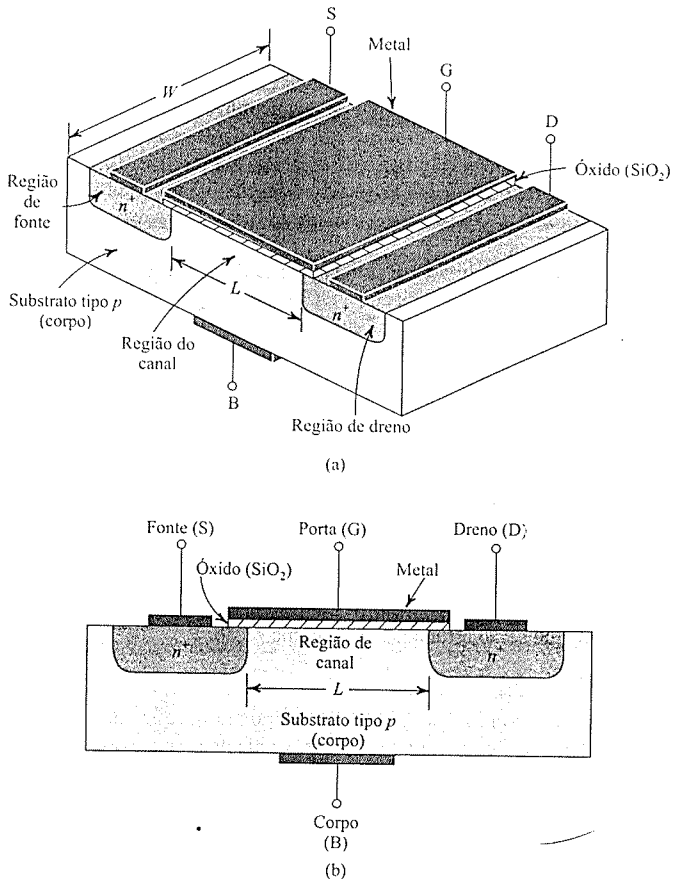


Figura 5.1 A estrutura física do NMOS tipo enriquecimento: **(a)** vista em perspectiva; **(b)** seção transversal. Tipicamente, L varia de 1 a 10 μm, W varia de 2 a 500 μm e a espessura da camada de óxido é da ordem de 0,02 a 0,1 μm.

Neste ponto deve estar claro que o nome do dispositivo (MOSFET: transistor de efeito de campo metal-óxido-semicondutor) origina-se da estrutura física do dispositivo. Contudo, o nome se generalizou e é usado também para os FETs que não empregam o metal no eletrodo da porta.

De fato, muitos MOSFETs modernos são fabricados utilizando-se um processo conhecido como tecnologia de porta de silício, na qual um certo tipo de silício, chamado de silício policristalino, é usado para formar o eletrodo da porta (veja o Apêndice A). Nossa descrição da operação e características do MOSFET aplica-se independentemente do tipo de eletrodo da porta.

Um outro nome para o MOSFET é **FET de porta isolada** ou **IGFET**. Esse nome também tem origem na estrutura física do dispositivo, enfatizando o fato de que o eletrodo de porta está eletricamente isolado do corpo do dispositivo (pela camada de óxido). É esse isolamento que faz com que a corrente no terminal da porta seja extremamente pequena (da ordem de 10^{-15} A).

Observe que o substrato forma uma junção *pn* com as regiões de fonte e dreno. Na operação normal, essas junções *pn* são mantidas reversamente polarizadas o tempo todo. Como o dreno terá uma tensão positiva em relação à fonte, as duas junções *pn* podem estar efetivamente em corte simplesmente conectando-se o terminal do substrato ao terminal da fonte. Devemos supor como sendo esse o caso na descrição seguinte da operação do MOSFET. Portanto, aqui, o substrato será considerado como não tendo efeito sobre a operação do dispositivo e o MOSFET será tratado como um dispositivo de três terminais: a porta (G), a fonte (S) e o dreno (D). Será mostrado que uma tensão aplicada na porta controla o fluxo de corrente entre a fonte e o dreno. Essa corrente circulará no sentido longitudinal do dreno para a fonte na região denominada "região do canal". Observe que essa região tem um comprimento L e uma largura W, dois parâmetros importantes do MOSFET. Tipicamente, L está em uma faixa de 1 a 10 μm e W está na faixa de 2 a 500 μm. Finalmente, observe que, ao contrário do TBJ, o MOSFET é construído normalmente como um dispositivo simétrico. Portanto, seus terminais da fonte e do dreno podem ser trocados sem alterações nas características do dispositivo.

Operação sem Tensão de Porta

Sem a tensão de polarização aplicada à porta, há dois diodos face a face em série entre o dreno e a fonte. Um diodo é formado pela junção *pn* entre a região n^+ de dreno e o substrato tipo p e o outro diodo é formado pela junção *pn* entre o substrato tipo p e a região n^+ da fonte. Esses diodos face a face impedem a circulação da corrente do dreno para a fonte quando for aplicada uma tensão v_{DS}. Na verdade, o caminho entre o dreno e a fonte tem uma alta resistência (da ordem de 10^{12} Ω).

Criando um Canal para a Circulação da Corrente

Considere a situação representada a seguir na Figura 5.2. Nesta figura temos a fonte e o dreno aterrados e uma tensão positiva aplicada à porta. Como a fonte está aterrada, o efeito da tensão na porta aparece entre a porta e a fonte e, portanto, é representado por v_{GS}. A tensão positiva na porta faz com que as lacunas livres em um primeiro instante (as quais estão positivamente carregadas) sejam repelidas da região do substrato sob a porta (a região do canal). Essas lacunas são empurradas para baixo no substrato, deixando atrás uma região depletada de portadores. A região de depleção está repleta de ligações covalentes de cargas negativas associadas aos átomos aceitadores. Essas cargas estão em descoberto por causa das lacunas que foram empurradas para dentro do substrato.

Além disso, a tensão positiva na porta atrai elétrons das regiões n^+ da fonte e do dreno (onde eles são abundantes) para a região do canal. Quando for acumulado um número suficiente de elé-

trons próximo à superfície do substrato sob a porta, uma região *n* é criada, conectando as regiões da fonte e do dreno, conforme indicado na Figura 5.2. Agora, se uma tensão for aplicada entre o dreno e a fonte, uma corrente circulará por essa região *n* induzida, onde ocorre transporte de elétrons móveis. A região *n induzida*, portanto, forma um **canal** para a circulação da corrente do dreno para a fonte e por isso este nome (canal) é apropriado.

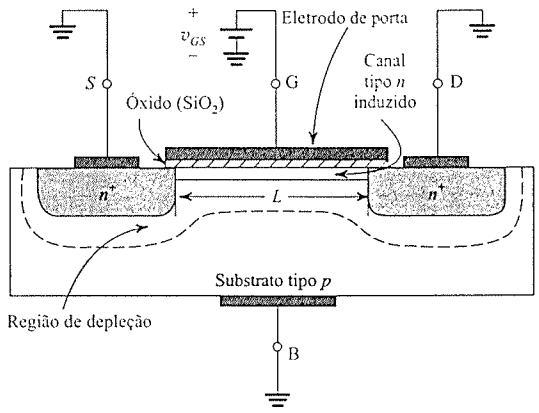


Figura 5.2 O transistor NMOS tipo enriquecimento com uma tensão positiva aplicada à porta. Um canal *n* é induzido na superfície do substrato, embaixo da porta.

Correspondentemente, o MOSFET da Figura 5.2 é chamado de **MOSFET canal *n*** ou, alternativamente, um **transistor NMOS**. Observe que um MOSFET canal *n* é formado em um substrato tipo *p*: o canal é criado pela inversão da superfície do substrato do tipo *p* para o tipo *n*. Daí o canal induzido ser chamado de **camada de inversão**.

O valor de v_{GS} para o qual um número suficiente de elétrons móveis se acumulam na região do canal para formar um canal de condução é chamado de **tensão de limiar** (*threshold*) e é representado por V_t.[3] Obviamente, V_t é positivo para um FET canal *n*. O valor de V_t é fixado durante a fabricação do dispositivo e está dentro de uma faixa de 1 a 3 V tipicamente.

A porta e o corpo do MOSFET formam um capacitor de placas paralelas com a camada de óxido agindo como dielétrico do capacitor. A tensão positiva na porta faz com que cargas positivas se acumulem na parte de cima da placa do capacitor (o eletrodo de porta). A carga negativa correspondente à placa de baixo é formada pelos elétrons do canal induzido. Portanto, um campo elétrico está atuando na direção vertical. É esse campo que controla a quantidade de cargas no canal. Logo, ele determina a condutividade e, por sua vez, a corrente que circulará pelo canal quando uma tensão v_{DS} for aplicada.

1. Muitos textos usam V_T para representar a tensão de limiar. Vamos usar V_t para evitar confusão com a tensão térmica V_T.

Aplicando um Pequeno Valor de v_{DS}

Após induzir um canal, aplicaremos uma tensão positiva v_{DS} entre o dreno e a fonte, conforme mostrado na Figura 5.3. Primeiro considere o caso em que v_{DS} é de pequeno valor (digamos de 0,1 ou 0,2 V).

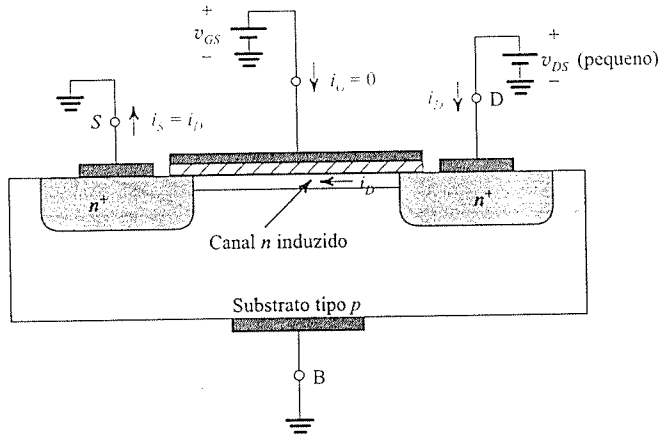


Figura 5.3 Um transistor NMOS com $v_{GS} > V_t$ e com um pequeno valor de v_{DS} aplicado. O dispositivo age como uma condutância controlada por v_{GS}. Especificamente, a condutância do canal é proporcional a $v_{GS} - V_t$ e, portanto, i_D é proporcional a $(v_{GS} - V_t)v_{DS}$. Observe que a região de depleção não foi mostrada (por simplicidade).

A tensão v_{DS} faz com que a corrente i_D circule pelo canal *n* induzido. A corrente surge devido ao movimento dos elétrons livres da fonte para o dreno (daí os nomes de fonte e dreno). O valor de i_D depende da densidade de elétrons no canal, a qual, por sua vez, depende do valor de v_{GS}. Especificamente, para $v_{GS} = V_t$, o canal está fracamente induzido e o valor da corrente é ainda desprezivelmente pequeno. Quando v_{GS} excede V_t, mais elétrons são atraídos para o canal. Podemos visualizar o aumento dos portadores de cargas no canal como um aumento de sua profundidade. O resultado é um canal de maior condutância ou, equivalentemente, de resistência reduzida. Na verdade, a condutância do canal é proporcional ao **excesso de tensão** $(v_{GS} - V_t)$. Isso implica que a corrente i_D será proporcional a $v_{GS} - V_t$ e, é claro, à tensão v_{DS}, que é a causa da circulação de i_D.

A Figura 5.4 mostra um esboço de i_D *versus* v_{DS} para vários valores de v_{GS}. Observe que o MOSFET está operando como uma resistência linear cujo valor é controlado por v_{GS}. A resistência é infinita para $v_{GS} \leq V_t$, e seu valor diminui quando v_{GS} excede a V_t.

A descrição anterior indica que, para o MOSFET conduzir, um canal tem de ser induzido. Portanto, aumentando v_{GS} acima da tensão de limiar V_t, o canal fica mais rico em elétrons, daí o nome de operação no modo enriquecimento e MOSFET tipo enriquecimento. Finalmente, observamos que a corrente que deixa o terminal da fonte (i_S) é igual à corrente que entra no terminal de dreno (i_D), e a corrente da porta é $i_G = 0$.

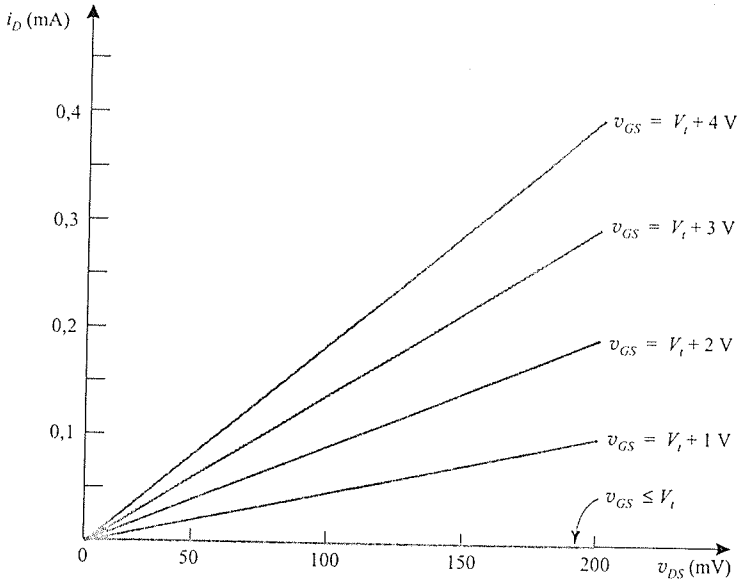


Figura 5.4 Características i_D–v_{DS} do MOSFET na Figura 5.3. O MOSFET apresenta $V_t = 1$V, e a tensão aplicada entre dreno e fonte, v_{DS}, é pequena. O dispositivo opera como um resistor linear cujo valor é controlado por v_{GS}.

Exercício

5.1 Da descrição anterior sobre a operação do MOSFET para v_{DS} pequeno, mostramos que i_D é proporcional a $(v_{GS} - V_t)v_{DS}$. Obtenha a constante de proporcionalidade para um dispositivo particular cujas características estão mostradas na Figura 5.4. Também obtenha a faixa de resistência dreno-para-fonte que corresponde a v_{GS} na faixa de 2 V a 5 V.

Resposta 0,5 mA/V^2; 2 kΩ a 0,5 kΩ

A Operação com o Aumento de v_{DS}

A seguir, consideraremos a situação quando aumentamos v_{DS}. Para esse propósito manteremos v_{GS} constante com um valor maior do que V_t. Considerando a Figura 5.5, observe que v_{DS} aparece como uma queda de tensão na extensão do canal. Isto é, à medida que caminhamos ao longo do canal da fonte para o dreno, a tensão (medida em relação à fonte) aumenta a partir de 0 até v_{DS}. Portanto, a tensão entre a porta e os pontos ao longo do canal diminui de v_{GS} na fonte até $v_{GS} - v_{DS}$ no dreno. Como a profundidade do canal depende dessa tensão, concluímos que o canal não mantém sua profundidade uniforme; ao contrário, o canal tomará a forma de um estreitamento, conforme mostrado na Figura 5.5, sendo mais profundo no final da fonte e mais superficial no final do dreno.

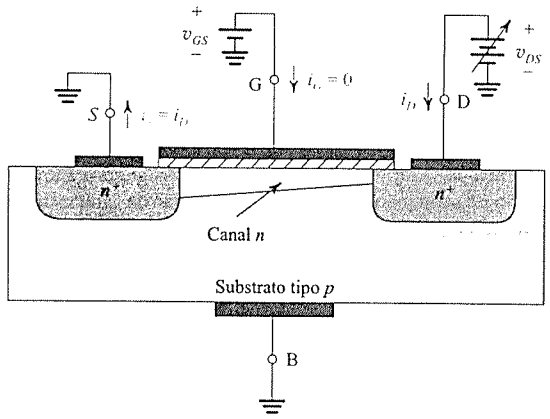


Figura 5.5 Operação do transistor NMOS com enriquecimento quando aplicamos uma tensão v_{DS}. O canal induzido adquire uma forma estreitada junto ao dreno e sua resistência aumenta à medida que aumentamos v_{DS}. Aqui, v_{GS} é mantida constante em um valor maior do que V_t.

À medida que aumentamos v_{DS}, o canal se torna mais estreito e sua resistência aumenta correspondentemente. Portanto, a curva i_D–v_{DS} não será mais uma linha reta, mas uma curva, conforme mostrado na Figura 5.6. Eventualmente, quando aumentamos v_{DS} até o valor que reduz a tensão entre a porta e o canal no final do dreno para V_t – isto é, $v_{GS} - v_{DS} = V_t$ ou $v_{DS} = v_{GS} - V_t$, – a profundidade do canal no final do dreno diminui até próximo de zero e dizemos que o canal está **estrangulado** (pinched-off).

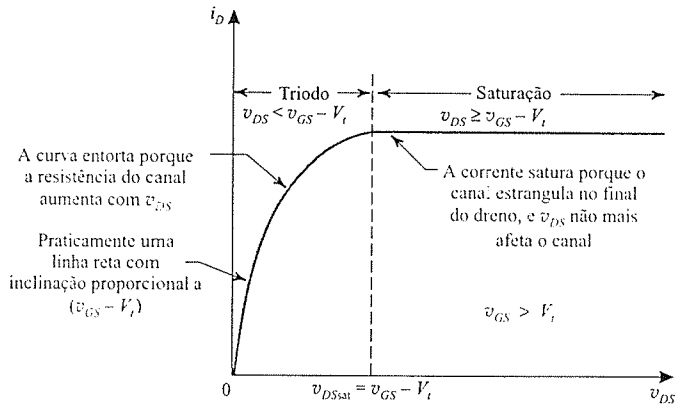


Figura 5.6 A corrente de dreno i_D *versus* tensão dreno-fonte v_{DS} para um transistor NMOS tipo enriquecimento operando com $v_{GS} > V_t$.

Aumentando-se v_{DS} além desse valor, o efeito é pequeno (teoricamente não surte mais efeito) sobre a forma do canal, e a corrente através deste se mantém constante a partir de $v_{DS} = v_{GS} - V_t$. A corrente de dreno então satura com esse valor e dizemos que o MOSFET inicia sua operação na **região de saturação**.[4] A tensão v_{DS} em cujo valor ocorre a saturação é representada por v_{DSsat},

$$v_{DSsat} = v_{GS} - V_t \tag{5.1}$$

Obviamente, para cada valor de $v_{GS} \geq V_t$, existe um valor correspondente de v_{DSsat}. O dispositivo opera na região de saturação se $v_{DS} \geq v_{DSsat}$. A região da característica i_D–v_{DS} obtida para $v_{DS} < v_{DSsat}$ é chamada de **região de triodo**, termo remanescente do tempo das válvulas cuja operação é semelhante à do FET.

Para auxiliar mais na visualização do efeito de v_{DS}, mostramos na Figura 5.7 esboços do canal quando aumentamos v_{DS} enquanto mantemos v_{GS} constante. Teoricamente, qualquer aumento em v_{DS} acima de v_{DSsat} (que é igual a $v_{GS} - V_t$) não surte mais efeito sobre a forma do canal e simplesmente aparece através da região de depleção em torno do canal e da região n^+ do dreno.

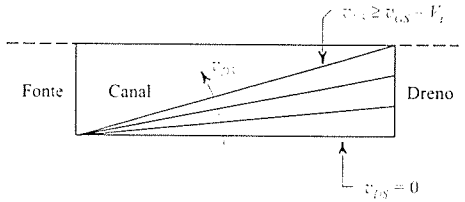


Figura 5.7 Aumentar v_{DS} faz com que o canal adquira uma forma estreitada (trapezoidal). Eventualmente, quando v_{DS} atinge $v_{GS} - V_t$, o canal é estrangulado no final do dreno. Aumentar v_{DS} acima de $v_{GS} - V_t$ tem efeito pequeno (teoricamente nenhum) sobre a forma do canal.

Determinação da Relação i_D– v_{DS}

A descrição da operação física apresentada anteriormente pode ser utilizada para determinar uma expressão para a relação i_D–v_{DS} que descreva o comportamento representado na Figura 5.6. Com esse objetivo, vamos assumir que a tensão v_{GS} esteja aplicada entre porta e fonte com $v_{GS} > V_t$, e que uma tensão v_{DS} esteja aplicada entre dreno e fonte. Em primeiro lugar, vamos considerar a operação na região triodo; isto é, seja $v_{DS} < v_{GS} - V_t$. Nesse caso, o canal terá a forma ilustrada na Figura 5.8.

Consideremos uma porção infinitesimal do canal de comprimento dx em um ponto x do canal e seja a tensão neste ponto $v(x)$. A tensão entre a porta e este ponto genérico no canal, $[v_{GS} - v(x)]$, obviamente deve ser maior do que a tensão de limiar V_t e a carga de elétrons $dq(x)$ nesta porção infinitesimal do canal pode ser expressa como

$$dq(x) = -C_{ox} W dx \left[v_{GS} - v(x) - V_t\right] \tag{5.2}$$

4. A saturação em um MOSFET tem um significado muito diferente em relação ao TBJ. Essa situação é inoportuna, mas não pode ser mudada neste momento: virtualmente toda literatura de eletrônica usa essa terminologia!

em que C_{ox} é a capacitância por unidade de área do capacitor de placas paralelas formado pelo eletrodo de porta e o canal. A camada de óxido forma o material dielétrico desse capacitor, portanto

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \tag{5.3}$$

em que ε_{ox} é a permissividade do óxido de silício e t_{ox}, a espessura da camada de óxido. Note que, devido ao fato de $dq(x)$ ser uma carga negativa, temos um sinal negativo para a expressão na Equação 5.2.

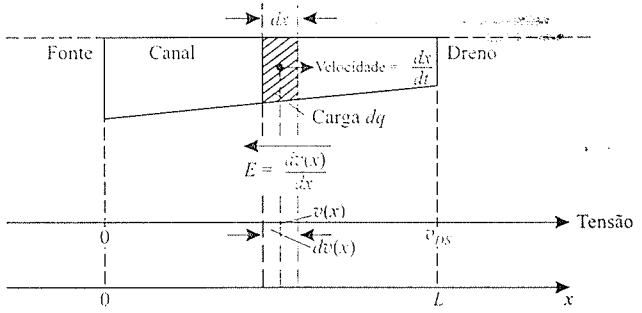


Figura 5.8 Determinação da característica i_D–v_{DS} de um transistor NMOS.

A tensão v_{DS} produz um campo elétrico ao longo do canal no sentido negativo de x. No ponto x, este campo pode ser expresso como

$$E(x) = -\frac{dv(x)}{dx}$$

O campo elétrico $E(x)$ faz com que a carga $dq(x)$ se desloque em direção ao dreno com uma velocidade dx/dt,

$$\begin{aligned} \frac{dx}{dt} &= -\mu_n E(x) \\ &= \mu_n \frac{dv(x)}{dx} \end{aligned} \tag{5.4}$$

em que μ_n é a mobilidade de elétrons no canal. A corrente de deriva resultante pode agora ser encontrada multiplicando-se a carga por unidade de comprimento $dq(x)/dx$, obtida da Equação 5.2, pela velocidade de deriva na Equação 5.4,

$$i = -\mu_n C_{ox} W \left[v_{GS} - v(x) - V_t\right] \frac{dv(x)}{dx}$$

Embora a corrente de deriva esteja sendo avaliada em um ponto particular do canal, a corrente i deve ser constante em todos os pontos ao longo do canal e, portanto, i é negativa em relação à corrente dreno-fonte i_D, resultando

$$i_D = \mu_n C_{ox} W[v_{GS} - v(x) - V_t]\frac{dv(x)}{dx}$$

que pode ser rearranjada da seguinte forma

$$i_D dx = \mu_n C_{ox} W[v_{GS} - V_t - v(x)]dv(x)$$

Integrando ambos os lados dessa equação de $x = 0$ até $x = L$ e, correspondentemente, de $v(0) = 0$ até $v(L) = v_{DS}$:

$$\int_0^L i_D dx = \int_0^{v_{DS}} \mu_n C_{ox} W[v_{GS} - V_t - v(x)]dv(x)$$

resulta em

$$i_D = (\mu_n C_{ox}')\left(\frac{W}{L}\right)\left[(v_{GS} - V_t)v_{DS} - \frac{1}{2}v_{DS}^2\right] \tag{5.5}$$

Essa é a expressão para a característica i_D–v_{DS} na região de triodo. A expressão para a região de saturação pode ser obtida substituindo $v_{DS} = v_{GS} - V_t$, resultando em

$$i_D = \frac{1}{2}(\mu_n C_{ox})\left(\frac{W}{L}\right)(v_{GS} - V_t)^2 \tag{5.6}$$

que simplesmente fornece o valor da corrente constante (para um dado valor de v_{GS}) na região de saturação.

Nas expressões das Equações 5.5 e 5.6, $\mu_n C_{ox}$ é uma constante determinada pela tecnologia de processamento particular empregada para fabricar o transistor MOS. $\mu_n C_{ox}$ é conhecido como **parâmetro de transcondutância do processo**, o qual, como será visto em breve, determina o valor da transcondutância do transistor MOS, costuma ser indicado como k_n' e tem dimensão de A/V^2,

$$k_n' = \mu_n C_{ox} \tag{5.7}$$

A Tabela 5.1 mostra um sumário dos parâmetros tecnológicos de processo que determinam a relação corrente–tensão do transistor NMOS juntamente com seus valores típicos. As Equações 5.5 e 5.6 podem ser reescritas em termos de k_n':

Região de triodo:

$$i_D = k_n'\frac{W}{L}\left[(v_{GS} - V_t)v_{DS} - \frac{1}{2}v_{DS}^2\right] \tag{5.5a}$$

Região de saturação:

$$i_D = \frac{1}{2}k_n'\frac{W}{L}(v_{GS} - V_t)^2 \tag{5.6a}$$

Observe que a corrente de dreno é proporcional à razão largura de canal W pelo comprimento de canal L, conhecida como **razão de aspecto** do transistor MOSFET.

Os valores de W e L podem ser selecionados pelo projetista de circuitos para resultar nas características i–v desejadas.

Tabela 5.1 Parâmetros tecnológicos de processo que determinam a relação i–v do transistor MOSFET.

Mobilidade de elétrons: $\mu_n = 580\ cm^2/Vs$	
Espessura do óxido: $t_{ox} = 0{,}02$ a $0{,}1\ \mu m$	
Permissividade do óxido: ε_{ox}	$= 3{,}97\ \varepsilon_0$ $= 3{,}97 \times 8{,}85 \times 10^{-14} = 3{,}5 \times 10^{-13}$ F/cm
Capacitância do óxido: C_{ox}	$= \varepsilon_{ox}/t_{ox}$ $= 1.75$ fF/μm^2 para $t_{ox} = 0{,}02\ \mu m$ $= 0.35$ fF/μm^2 para $t_{ox} = 0{,}1\ \mu m$
Parâmetro de transcondutância do processo: k_n'	$= \mu_n C_{ox}$ $= 100\ \mu A/V^2$ para $t_{ox} = 0{,}02\ \mu m$ $= 20\ \mu A/V^2$ para $t_{ox} = 0{,}1\ \mu m$

Exercício

5.2 Utilize a expressão que descreve a operação na região de triodo para achar uma expressão para a resistência dreno-fonte $r_{DS} \equiv v_{DS}/i_D$ quando v_{DS} é pequeno. Obtenha também o valor de r_{DS} para um transistor NMOS tendo $k_n' \equiv \mu_n C_{ox} = 20\ \mu A/V^2$, $V_t = 1$ V e $W/L = 100\ \mu m/10\ \mu m$ quando $V_{GS} = 5$ V.

Resposta $r_{DS} = 1/\left[k_n'\left(\frac{W}{L}\right)(v_{GS} - V_t)\right]$; 1,25 kΩ

O MOSFET Canal *p*

O MOSFET tipo enriquecimento canal p (transistor PMOS) é fabricado sobre um substrato tipo n com regiões p^+ para o dreno e a fonte e, nesse caso, as lacunas são os portadores de carga. O dispositivo opera do mesmo modo que o dispositivo canal n, exceto que as tensões v_{GS} e v_{DS} são negativas e a tensão de limiar V_t é negativa. Além disso, a corrente i_D entra pelo terminal da fonte e sai pelo terminal do dreno.

Na história da evolução dos circuitos integrados (CIs), a tecnologia PMOS foi originalmente dominante. Porém, pelo fato de o dispositivo NMOS poder ser feito menor, operar mais rápido e requerer uma fonte de alimentação de menor valor de tensão do que o PMOS, a tecnologia NMOS substituiu virtualmente a PMOS. Todavia, é importante familiarizar-se com o transistor PMOS por duas razões: os dispositivos PMOS ainda são encontrados nos projetos de circuitos discretos e,

mais importante, os transistores PMOS e NMOS são utilizados nos circuito **MOS complementar** ou **CMOS**.

MOS Complementar ou CMOS

Conforme o nome sugere, a tecnologia da complementaridade MOS emprega transistores de ambas as polaridades. Embora os circuitos CMOS sejam mais difíceis de ser fabricados do que os NMOS, a disponibilidade dos dispositivos MOS complementares torna possível o uso de técnicas de projeto extremamente poderosas. Atualmente, o CMOS é o circuito integrado mais usado em tecnologia MOS. Essa afirmação se aplica a ambos os tipos de circuitos: analógicos ou digitais. No decorrer deste livro, estudaremos muitos circuitos fabricados com a tecnologia CMOS.

A Figura 5.9 mostra uma seção transversal de uma pastilha CMOS ilustrando como os transistores PMOS e NMOS são fabricados. Observe que, enquanto o transistor NMOS é implementado diretamente no substrato tipo p, o transistor PMOS é fabricado em uma região p criada especialmente, conhecida como **cavidade** ou **poço n (n well)**. Os dois dispositivos são separados um do outro por uma região espessa de óxido que funciona como um isolante.

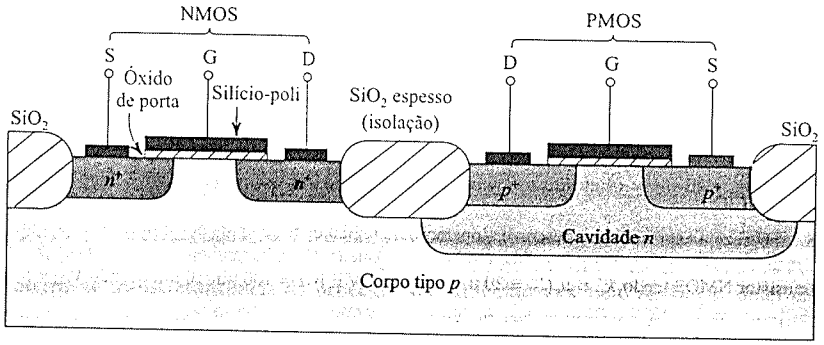


Figura 5.9 Seção transversal de um circuito integrado CMOS. Observe que o transistor PMOS é formado na região separada, do tipo n, conhecida como cavidade ou poço n. Um outro arranjo também é possível onde o corpo tipo n é usado e o dispositivo NMOS é formado em uma cavidade p.

A Operação do Transistor MOS na Região de Sublimiar

A descrição anterior do MOSFET canal n implica que, para $v_{GS} < V_t$, não há corrente e o dispositivo está em corte. Isso não é totalmente verdadeiro, visto que, para valores de v_{GS} menores, mas próximos de V_t, circula uma pequena corrente de dreno. Nessa **região de sublimiar** (subthreshold) de operação, a corrente de dreno tem uma relação exponencial com v_{GS}, similar à relação de i_C–v_{BE} de um TBJ.

Embora, na maioria das aplicações, o transistor MOS opere com $v_{GS} > V_t$, há aplicações especiais, cada vez em maior número, que fazem uso da operação de sublimiar. Neste livro não vamos considerar a operação em sublimiar e, para informações adicionais, o leitor pode dirigir-se às referências listadas no final do capítulo [veja, em particular, Mead (1988) e Tsividis (1987)].

5.2 AS CARACTERÍSTICAS DE CORRENTE–TENSÃO DO MOSFET TIPO ENRIQUECIMENTO

Na seção anterior estabeleceu-se o fundamento físico para a operação do transistor MOS tipo enriquecimento. Vamos agora apresentar nesta seção suas características completas de corrente–tensão. Essas características podem ser medidas em *cc* ou em baixas freqüências e por isso são chamadas de características estáticas. Os efeitos dinâmicos que limitam a operação do MOSFET em altas freqüências e em chaveamento de alta velocidade serão discutidos no Capítulo 7, para circuitos amplificadores, e no Capítulo 13, para circuitos digitais.

O Símbolo para Circuito

A Figura 5.10(a) mostra o símbolo para circuito do MOSFET tipo enriquecimento canal n. O símbolo é bastante descritivo: uma linha cheia vertical representa o eletrodo da porta; a linha vertical tracejada representa o canal – a linha é tracejada para indicar que o dispositivo é do tipo enriquecimento, cujo canal não existe sem a aplicação de uma tensão de porta apropriada; e o espaço entre a linha da porta e a linha do canal representa o fato de que o eletrodo da porta é isolado do corpo do dispositivo. A polaridade da junção pn entre o substrato tipo p e o canal tipo n está indicada pela seta na linha que representa o substrato (corpo). Essa seta indica também a polaridade do transistor, isto é, que ele é um dispositivo canal n.

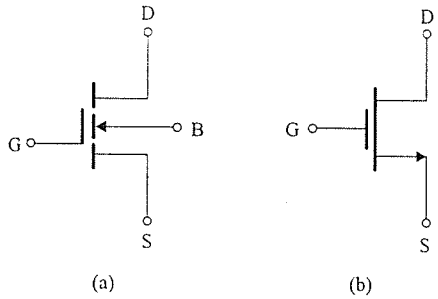


Figura 5.10 **(a)** Símbolo para circuito do MOSFET tipo enriquecimento canal n. **(b)** Símbolo simplificado para circuito do MOSFET tipo enriquecimento canal n com o substrato (B) conectado ao terminal de fonte (S).

Embora o MOSFET seja um dispositivo simétrico, é útil, nas aplicações com circuito, designar um terminal como fonte e o outro como dreno (sem ter de escrever S ou D junto do terminal). Isso é conseguido no símbolo para circuito desenhando-se a linha do terminal porta mais próxima da fonte do que do dreno. Na prática, é a polaridade da tensão imposta ao dispositivo que determina a fonte e o dreno; *o dreno é sempre positivo em relação à fonte no FET canal n.*

Embora o símbolo da Figura 5.10(a) seja mais descritivo, ele é complexo e faz com que o circuito fique maior e seja mais difícil de desenhar. Um símbolo simplificado para circuito, que se aplica ao caso usual em que o substrato é conectado à fonte, está mostrado na Figura 5.10(b). Nesse símbolo, a seta no terminal fonte aponta para seu sentido normal de condução de corrente e tem dois propósitos: ele distingue a fonte do dreno e indica a polaridade do dispositivo (isto é, canal n).

As Características i_D– v_{DS}

A Figura 5.11(a) mostra um MOSFET tipo enriquecimento canal *n* com as tensões v_{GS} e v_{DS} aplicadas e com os sentidos normais das correntes indicados. Esse circuito conceitual pode ser usado para medir as características i_D–v_{DS}, que é uma família de curvas, cada uma medida com um valor constante de v_{GS}. A partir do estudo da operação física na seção anterior, esperamos que cada curva de i_D–v_{DS} tenha a forma mostrada na Figura 5.6. Esse é realmente o caso, como está evidente pela Figura 5.11(b), que mostra um conjunto de características i_D–v_{DS} típicas. Um entendimento minucioso das características elétricas do MOSFET é essencial para o leitor que pretende projetar circuitos MOS.

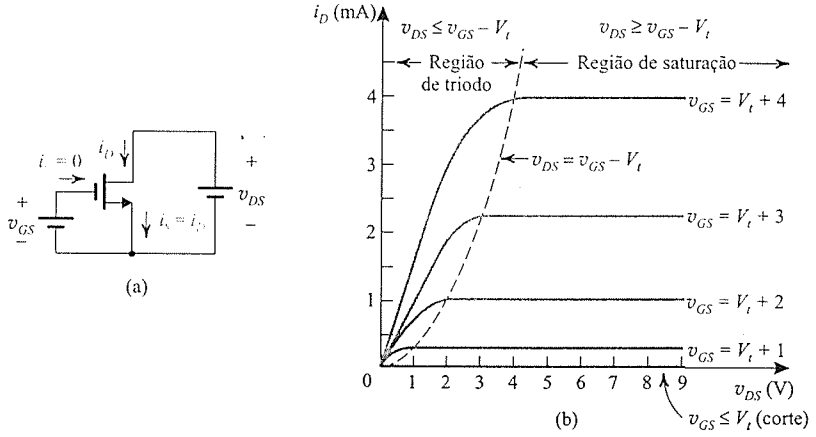


Figura 5.11 (a) Um MOSFET tipo enriquecimento canal *n* com v_{GS} e v_{DS} aplicadas e com os sentidos de corrente normais indicados. (b) As características i_D–v_{DS} para um dispositivo com $V_t = 1$ V e $k_n'(W/L) = 0{,}5$ mA/V².

As curvas características na Figura 5.11(b) indicam que há três regiões de operação: a **região de corte**, a **região de triodo** e a **região de saturação**. A região de saturação é usada se o FET for operar como amplificador. Para operar como chave, são usadas as regiões de corte e de triodo. O dispositivo está em corte quando $v_{GS} < V_t$. Para o MOSFET operar na região de triodo precisamos primeiro induzir o canal,

$$v_{GS} \ge V_t \text{ (canal induzido)} \tag{5.8}$$

e então manter v_{DS} pequeno o suficiente, de modo que o canal permaneça contínuo. Isso é obtido garantindo-se que a tensão porta-dreno seja

$$v_{GD} > V_t \text{ (canal contínuo)} \tag{5.9}$$

Essa condição pode ser declarada explicitamente em termos de v_{DS} escrevendo-se $v_{GD} = v_{GS} + v_{SD} = v_{GS} - v_{DS}$; logo

$$v_{GS} - v_{DS} > V_t$$

que pode ser rearranjada para produzir

$$v_{DS} < v_{GS} - V_t \text{ (canal contínuo)} \tag{5.10}$$

Pode ser usada a Equação 5.9 ou a Equação 5.10 para analisar a operação na região de triodo. Ou seja, o MOSFET tipo enriquecimento canal *n* opera na região de triodo quando v_{GS} é maior do que V_t e a tensão de dreno é menor do que a tensão na porta em pelo menos V_t volts.

Na região de triodo, as características i_D–v_{DS} podem ser descritas pela relação dada na Equação 5.5, que repetimos aqui,

$$i_D = k_n' \frac{W}{L}\left[(v_{GS} - V_t)v_{DS} - \frac{1}{2}v_{DS}^2\right] \tag{5.11}$$

em que $k_n' = \mu_n C_{ox}$ é o parâmetro de transcondutância do processo; seu valor é determinado pela tecnologia de fabricação (veja Tabela 5.1). Se v_{DS} for suficientemente pequeno, tal que possamos desprezar o termo v_{DS}^2 na Equação 5.11, então obtemos para a característica $i_D - v_{DS}$ próxima da origem a relação

$$i_D = k_n' \frac{W}{L}(v_{GS} - V_t)v_{DS} \tag{5.12}$$

Essa relação linear representa a operação do transistor MOS como uma resistência linear r_{DS},

$$r_{DS} \equiv \frac{v_{DS}}{i_D} = \left[k_n' \frac{W}{L}(v_{GS} - V_t)\right]^{-1} \tag{5.13}$$

cujo valor é controlado por v_{GS}. Discutimos essa região de operação na seção anterior (veja a Figura 5.4).

Para o MOSFET operar na região de saturação, um canal tem de ser induzido:

$$v_{GS} \ge V_t \text{ (canal induzido)} \tag{5.14}$$

e estrangulado no final do dreno pelo aumento em v_{DS} até um valor que resulte na queda da tensão porta-dreno abaixo de V_t,

$$v_{GD} \le V_t \text{ (estrangulamento do canal)} \tag{5.15}$$

Essa condição pode ser expressa explicitamente em termos de v_{DS} como

$$v_{DS} \ge v_{GS} - V_t \text{ (canal estrangulado)} \tag{5.16}$$

Ou seja, o MOSFET tipo enriquecimento canal *n* opera na região de saturação quando v_{GS} for maior do que V_t e a tensão de dreno não cair abaixo da tensão na porta por mais de V_t volts.

O limite entre a região de triodo e a região de saturação é caracterizado por

$$v_{DS} = v_{GS} - V_t \text{ (limite)} \tag{5.17}$$

Substituir esse valor de v_{DS} na Equação 5.11 produz o valor da corrente de saturação i_D como

$$i_D = \frac{1}{2}k_n' \frac{W}{L}(v_{GS} - V_t)^2 \tag{5.18}$$

Portanto, na saturação, o MOSFET proporciona uma corrente de dreno cujo valor é independente da tensão de dreno v_{DS} e é determinada pela tensão v_{GS} de acordo com a relação quadrática na Equação 5.18, cujo esboço está mostrado na Figura 5.12. Logo, o MOSFET saturado se comporta como uma fonte de corrente cujo valor é controlado por v_{GS}, conforme a relação não-linear na Equação 5.18. A Figura 5.13 mostra uma representação de circuito para o MOSFET operando na região de saturação. Observe que ela é o modelo equivalente de circuito para grandes sinais.

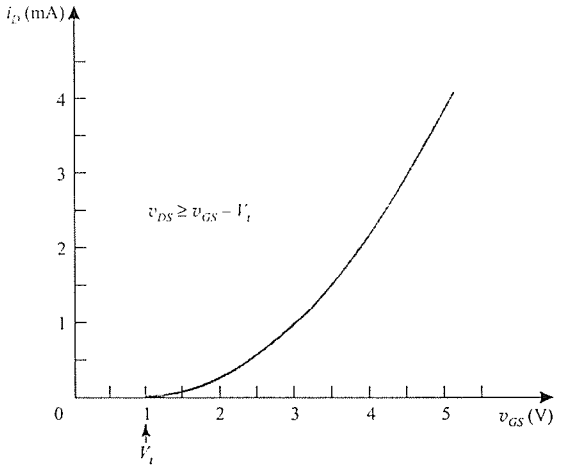


Figura 5.12 As características i_D–v_{GS} para um transistor NMOS tipo enriquecimento na saturação ($V_t = 1$ V, $k_n' W/L = 0{,}5$ mA/V^2).

Referindo-nos novamente às características i_D–v_{DS} na Figura 5.11(b), observamos que o limite entre as regiões de triodo e de saturação é mostrado por uma linha curva tracejada. Como essa curva é caracterizada por $v_{DS} = v_{GS} - V_t$, essa equação pode ser encontrada substituindo-se $v_{GS} - V_t$ por v_{DS} em qualquer uma das equações da região de triodo (Equação 5.11) ou na equação da região de saturação (Equação 5.18). O resultado é

$$i_D = \frac{1}{2}k_n' \frac{W}{L}v_{DS}^2 \tag{5.19}$$

Deve ser observado que as características desenhadas nas Figuras 5.11, 5.12 e 5.4 são para MOSFET com $k_n'(W/L) = 0{,}5$ mA/V^2 e $V_t = 1$ V.

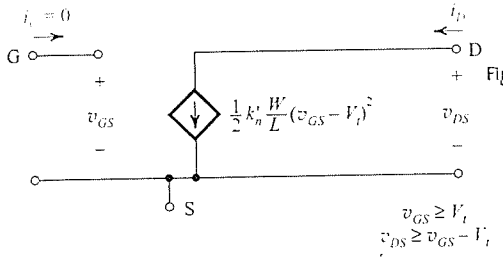


Figura 5.13 Modelo de circuito equivalente para grandes sinais de um MOSFET canal *n* operando na região de saturação.

Finalmente, o gráfico na Figura 5.14 mostra os níveis relativos de tensão que os terminais do transistor NMOS tipo enriquecimento devem ter para a operação na região de triodo e na região de saturação.

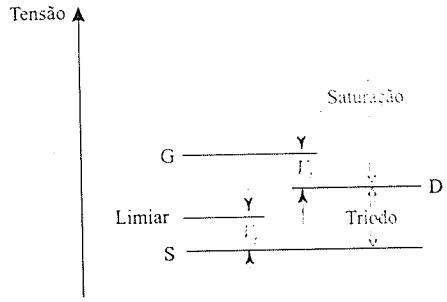


Figura 5.14 Os níveis relativos de tensão nos terminais do transistor NMOS tipo enriquecimento para a operação na região de triodo e na região de saturação.

A Resistência de Saída Finita na Saturação

A completa independência de i_D em relação a v_{DS} na saturação e a correspondente resistência de saída infinita no dreno (veja a Figura 5.13) é uma idealização baseada na premissa de que, uma vez estrangulado o canal no final do dreno, aumentos em v_{DS} não terão efeito na forma do canal. Na prática, aumentar v_{DS} além de v_{DSsat} afeta um pouco o canal. Especificamente, quando aumentamos v_{DS}, o ponto de estrangulamento do canal se move ligeiramente do dreno para a fonte. Isso é ilustrado na Figura 5.15, na qual notamos que a tensão através do canal permanece $v_{GS} - V_t = v_{DSsat}$ e a tensão adicional aplicada ao dreno aparece como uma queda de tensão através da região de depleção entre o fim do canal e a região de dreno. Essa tensão acelera os elétrons através da região de depleção em direção ao dreno. Portanto, o comprimento efetivo do canal é reduzido, um fenômeno conhecido como **modulação do comprimento do canal**. Como i_D é inversamente proporcional ao comprimento do canal (Equação 5.18), i_D aumenta com o aumento de v_{DS}.

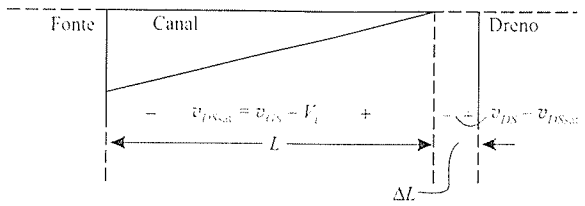


Figura 5.15 Ao aumentar v_{DS} acima de $v_{DS,sat}$ ocorre o estrangulamento do canal em um ponto que se move levemente do dreno para a fonte com esse aumento e, portanto, o comprimento do canal é reduzido (por ΔL).

A Figura 5.16 apresenta um conjunto de características típicas i_D–v_{DS} mostrando o efeito da modulação do comprimento do canal. A dependência linear de i_D com v_{DS} na região de saturação pode ser considerada analiticamente pela incorporação do fator $(1 + \lambda v_{DS})$ na equação de i_D como segue:

$$i_D = \frac{1}{2} k_n' \frac{W}{L} (v_{GS} - V_t)^2 (1 + \lambda v_{DS}) \tag{5.20}$$

em que a constante positiva λ é um parâmetro do MOSFET. Observe que, na Equação 5.20, assumimos que L permanece constante e a dependência de i_D com v_{DS} foi levada em consideração através do fator $(1 + \lambda v_{DS})$. Pela Figura 5.16 observamos que as linhas retas das características i_D–v_{DS} na saturação, quando extrapoladas, interceptam o eixo v_{DS} no ponto $v_{DS} = -1/\lambda \equiv -V_A$, em que V_A é uma tensão positiva similar à tensão Early no TBJ. Tipicamente, $\lambda = 0{,}005$ a $0{,}03\ V^{-1}$ e, correspondentemente, V_A está na faixa de 30 a 200 volts.

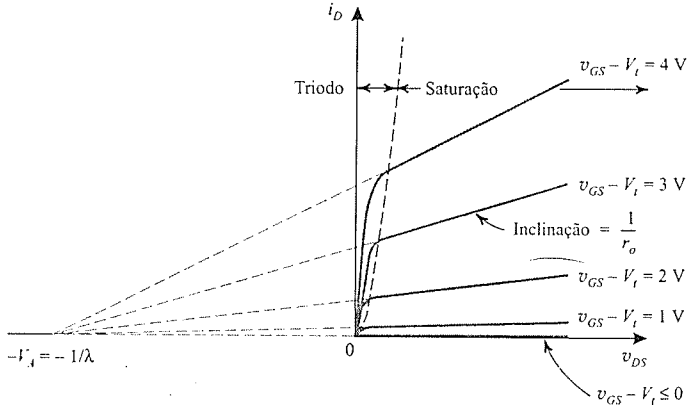


Figura 5.16 O efeito de v_{DS} sobre i_D na região de saturação. O parâmetro V_A do MOSFET está tipicamente na faixa de 30 a 200 V.

É importante notar que dispositivos com canais mais curtos (menores valores de L) sofrem um efeito mais pronunciado de modulação do canal. Na verdade, a tensão V_A é diretamente proporcional a L; portanto, dois dispositivos fabricados com o mesmo processo e tendo comprimentos de canal L_1 e L_2 terão tensões Early tal que:

$$\frac{V_{A1}}{V_{A2}} \simeq \frac{L_1}{L_2}$$

Deve estar óbvio também que a modulação do comprimento do canal faz com que a resistência de saída na saturação seja finita. Definindo a resistência de saída r_o como[5]

$$r_o \equiv \left[\frac{\partial i_D}{\partial v_{DS}} \right]^{-1}_{v_{GS} = \text{constante}} \tag{5.21}$$

resulta em

$$r_o = \left[\lambda \frac{k_n'}{2} \frac{W}{L} (V_{GS} - V_t)^2 \right]^{-1}$$

que pode ser aproximado por

$$r_o \simeq \left[\lambda I_D \right]^{-1} \tag{5.22}$$

em que i_D é a corrente correspondente a um valor particular de v_{GS} para o qual r_o está sendo determinada. A aproximação na Equação 5.22 é aceitável quando desprezamos o efeito do fator $(1 + \lambda v_{DS})$ na Equação 5.20 – uma aproximação de segunda ordem. A Equação 5.22 pode ser escrita na seguinte forma alternativa:

$$r_o \simeq \frac{V_A}{I_D} \tag{5.23}$$

Portanto, a resistência de saída é inversamente proporcional à corrente *cc* de polarização i_D. Finalmente, mostramos na Figura 5.17 o modelo equivalente para grandes sinais incorporando r_o.

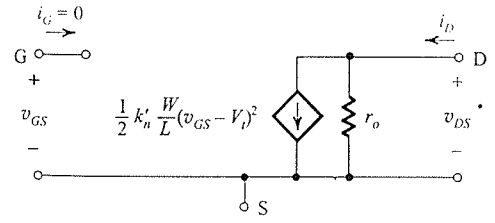


Figura 5.17 Modelo equivalente para grandes sinais do MOSFET canal *n* na saturação, incorporando a resistência de saída r_o. A resistência de saída modela a dependência linear de i_D com v_{DS} e é dada por $r_o = V_A/I_D$.

5. Neste livro usamos r_o para representar a resistência de saída dinâmica na saturação e r_{DS} para representar a resistência dreno-fonte da região de triodo para sinais v_{DS} pequenos.

As Características do MOSFET Canal *p*

O símbolo de circuito para o MOSFET tipo enriquecimento canal *p* está mostrado na Figura 5.18(a). Para o caso em que o substrato está conectado à fonte, o símbolo simplificado na Figura 5.18(b) é normalmente empregado.

As polaridades das tensões e correntes para a operação normal estão indicadas na Figura 5.18(c). Lembre-se de que, para o dispositivo canal *p*, a tensão de limiar V_t é negativa. Para induzir um canal, aplicamos uma tensão que é mais negativa do que V_t,

$$v_{GS} \leq V_t \text{ (canal induzido)} \tag{5.24}$$

aplicamos uma tensão de dreno que é mais negativa do que a tensão da fonte (isto é, v_{DS} é negativa ou, equivalentemente, v_{SD} é positiva). A corrente i_D circula saindo do terminal de dreno, conforme indicado na figura. Para operar na região de triodo, v_{DS} deve satisfazer

$$v_{DS} \geq v_{GS} - V_t \text{ (canal contínuo)} \tag{5.25}$$

isto é, a tensão de dreno deve ser mais alta do que a tensão de porta em pelo menos o módulo de V_t. A corrente i_D é dada pela mesma equação do NMOS, Equação 5.11, exceto pela troca de k_n' por k_p',

$$i_D = k_p' \frac{W}{L}\left[(v_{GS} - V_t)v_{DS} - \frac{1}{2}v_{DS}^2\right] \tag{5.26}$$

em que v_{GS}, V_t e v_{DS} são tensões negativas e k_p' é dado por

$$k_p' = \mu_p C_{ox} \tag{5.27}$$

em que μ_p é a mobilidade das lacunas no canal *p* induzido. Tipicamente, $\mu_p \approx 0{,}4\ \mu_n$, com o resultado de que, para um processo tecnológico com 0,1 μm de espessura de óxido, k_p' é aproximadamente 8 μA/V².

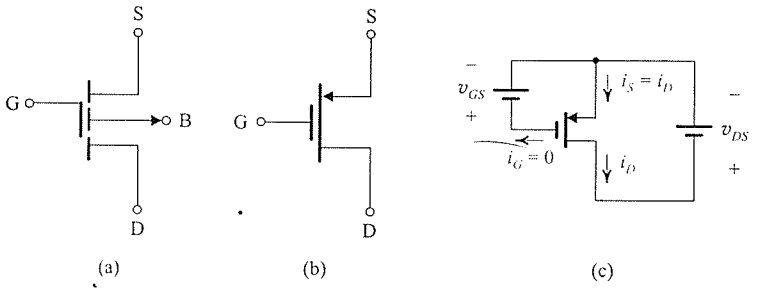


Figura 5.18 (a) Símbolo de circuito para o MOSFET tipo enriquecimento canal *p*. (b) Símbolo simplificado para circuito para o caso em que o substrato (corpo) está conectado à fonte. (c) O MOSFET com indicação das tensões aplicadas e os sentidos das correntes indicadas. Observe que v_{GS} e v_{DS} são negativas e que i_D circula saindo do terminal de dreno.

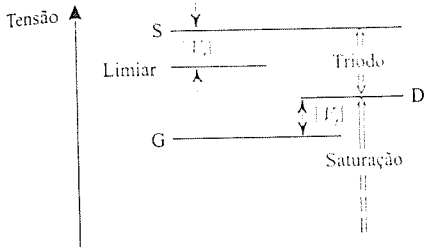


Figura 5.19 Os níveis relativos de tensão nos terminais do transistor PMOS tipo enriquecimento para operar na região de triodo e na região de saturação.

Para operar na saturação, v_{DS} deve satisfazer a relação

$$v_{DS} \leq v_{GS} - V_t \text{ (canal estrangulado)} \tag{5.28}$$

isto é, a tensão de dreno deve ser menor do que (tensão da porta + $|V_t|$). A corrente i_D é dada pela mesma equação usada para o NMOS, Equação 5.20, com k_n' trocado por k_p',

$$i_D = \frac{1}{2}k_p'\frac{W}{L}(v_{GS} - V_t)^2(1 + \lambda v_{DS}) \tag{5.29}$$

em que v_{GS}, V_t, λ e v_{DS} são todas grandezas negativas.

Finalmente, o gráfico na Figura 5.19 mostra os níveis relativos de tensão que os terminais do transistor PMOS tipo enriquecimento devem ter para operar na região de triodo e na região de saturação.

A Função do Substrato – O Efeito de Corpo

Em muitas aplicações, o terminal do substrato (ou corpo) é conectado ao terminal da fonte, o que resulta em uma junção *pn* entre o substrato e o canal induzido (veja a Figura 5.5), tendo uma polarização reversa constante. Em tais casos, o substrato não tem função na operação do circuito e sua existência pode ser totalmente ignorada.

Nos circuitos integrados, contudo, o substrato é usualmente comum para muitos transistores. Com a finalidade de manter a condição de polarização reversa na junção substrato-canal, o substrato é usualmente conectado no ponto mais negativo da fonte de alimentação em um circuito NMOS (no ponto mais positivo em um circuito PMOS). A tensão de polarização reversa resultante entre a fonte e o corpo (V_{SB} em dispositivos canal *n*) terá um efeito sobre a operação do dispositivo. Para perceber isso, considere um transistor NMOS e faça com que o substrato fique mais negativo em relação à fonte. A tensão de polarização reversa aumenta a região de depleção (veja a Figura 5.2). Isso, por sua vez, reduz a profundidade do canal. Para retornar o canal à forma original, V_{GS} deve ser aumentada. O efeito de V_{SB} sobre o canal pode ser representado mais convenientemente como uma variação na tensão de limiar V_t. Especificamente, pode ser mostrado [veja Tsividis (1987)] que aumentar a tensão de polarização reversa no substrato V_{SB} resulta em um aumento em V_t de acordo com a relação

$$V_t = V_{t0} + \gamma\left[\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f}\right] \tag{5.30}$$

em que V_{t0} é a tensão de limiar para $V_{SB} = 0$; ϕ_f é um parâmetro físico com $(2\phi_f)$ tipicamente de 0,6 V; e γ é um parâmetro de processo dado por

$$\gamma = \frac{\sqrt{2q N_A \varepsilon_s}}{C_{ox}} \tag{5.30a}$$

em que N_A é a concentração de dopantes do substrato tipo p e ε_s é a permissividade do silício ($1{,}04 \times 10^{-12}$ F/cm). O parâmetro γ tem dimensão de $\sqrt{V}$ e tipicamente vale 0,5 $V^{1/2}$. Finalmente, note que a Equação 5.30 aplica-se também para dispositivos com canal p, mas com V_{SB} substituído pela tensão reversa de polarização do substrato, V_{BS} (de forma alternativa podemos trocar V_{SB} por seu módulo tanto para dispositivos canal n como canal p).

A Equação 5.30 indica que uma variação incremental em V_{SB} dá origem a uma variação em V_t que, por sua vez, resulta em uma variação incremental em i_D, embora v_{GS} tenha se mantido constante. Isso implica que a tensão de corpo controla i_D; portanto, o corpo age como uma outra porta para o MOSFET, um fenômeno conhecido como **efeito de corpo**. Por outro lado, o parâmetro γ é conhecido como **parâmetro de efeito de corpo**. O efeito de corpo pode provocar uma considerável degradação no funcionamento do circuito, conforme será mostrado na Seção 5.7.

O Efeito da Temperatura

Tanto V_t quanto k' são sensíveis à temperatura. O módulo de V_t diminui em cerca de 2 mV para cada 1°C de aumento na temperatura. Essa diminuição no módulo de V_t dá origem a um correspondente aumento na corrente de dreno, visto que a temperatura aumentou. Contudo, devido à diminuição de k' com a temperatura ser o efeito dominante, o efeito total observado de um aumento na temperatura é uma diminuição na corrente de dreno. Esse resultado interessante será posto em prática na aplicação do MOSFET nos circuitos de potência (Capítulo 9).

A Ruptura e a Proteção da Entrada

Com o aumento da tensão de dreno, um valor é atingido, no qual a junção pn entre a região de dreno e o substrato sofre uma ruptura por avalanche (veja a Seção 3.11). Essa ruptura ocorre usualmente para tensões de 50 a 100 V e resulta em um aumento rápido da corrente.

Um outro efeito de ruptura que ocorre em tensões baixas (cerca de 20 V) em dispositivos modernos é chamado de **perfuração MOS** (punch-through). Isso ocorre nos dispositivos com canais relativamente curtos, quando a tensão de dreno é aumentada até um ponto em que a região de depleção envolvendo a região de dreno se estende através do canal atingindo a fonte. A corrente de dreno aumenta rapidamente. A perfuração normalmente não resulta em um dano permanente para o dispositivo.

Ainda há um outro tipo de ruptura que ocorre quando a tensão porta-fonte excede um valor de cerca de 50 V e ocorre a ruptura do óxido da porta, resultando em um dano permanente para o dispositivo. Embora 50 V seja um valor elevado, deve ser lembrado que o MOSFET tem uma alta impedância de entrada e, portanto, as pequenas quantidades de cargas estáticas eventualmente se acumulam no capacitor de porta e podem alcançar essa tensão de ruptura ou até mesmo excedê-la.

Para evitar esse acúmulo de cargas estáticas na porta de um MOSFET, normalmente são incluídos dispositivos de proteção da porta nas entradas dos circuitos integrados MOS. Os mecanismos de proteção fazem uso invariavelmente de grampeadores com diodos (veja a Figura 13.48).

Exercícios

5.3 Um transistor NMOS tipo enriquecimento com $V_t = 2$ V tem sua fonte aterrada e uma fonte *cc* de 3 V conectada na porta. Em que região de operação o dispositivo se encontra para (a) $V_D = +0{,}5$ V? (b) $V_D = 1$ V? (c) $V_D = 5$ V?

Resposta (a) triodo; (b) saturação; (c) saturação

5.4 Se o dispositivo NMOS no Exercício 5.3 tiver um $\mu_n C_{ox} = 20\ \mu A/V^2$, $W = 100\ \mu m$ e $L = 10\ \mu m$, encontre o valor da corrente de dreno que resulta em cada um dos três casos (a), (b) e (c) especificados no Exercício 5.3. Despreze a dependência de i_D com v_{DS} na saturação.

Resposta (a) 75 μA; (b) 100 μA; (c) 100 μA

5.5 Um transistor NMOS tipo enriquecimento com $V_t = 2$ V conduz uma corrente $i_D = 1$ mA quando $v_{GS} = v_{DS} = 3$ V. Desprezando a dependência de i_D com v_{DS} na saturação, encontre o valor de i_D para $v_{GS} = 4$ V e $v_{DS} = 5$ V. Calcule também o valor da resistência dreno-fonte r_{DS} para pequenos valores de v_{DS} e $v_{GS} = 4$ V.

Resposta 4 mA; 250 Ω

5.6 Um MOSFET tipo enriquecimento com $k'_n\ W/L = 0{,}2\ mA/V^2$, $V_t = 1.5$ V e $\lambda = 0{,}02\ V^{-1}$ opera com $v_{GS} = 3{,}5$ V. Calcule a corrente de dreno obtida com $v_{DS} = 2$ V e com $v_{DS} = 10$ V. Determine a resistência de saída r_o para esse mesmo valor de v_{GS}.

Resposta 0,416 mA; 0,480 mA; 125 kΩ

5.7 Um transistor NMOS de um CI tem $W = 100\ \mu m$, $L = 10\ \mu m$, $\mu_n C_{ox} = 20\ \mu A/V^2$, $V_A = 100$ V, $\gamma = 0{,}5\ V^{1/2}$, $V_{t0} = 1$ V e $2\phi_f = 0{,}6$ V. Calcule o valor de V_t com $V_{SB} = 4$ V. Além disso, para $V_{GS} = 3$ V e $V_{DS} = 5$ V, calcule I_D para $V_{SB} = 0$ V e para $V_{SB} = 4$ V. Qual a resistência de saída r_o para esses dois casos?

Resposta 1,7 V; 0,420 mA; 0,177 mA; 250 kΩ; 592 kΩ

5.8 Um transistor PMOS tipo enriquecimento tem $k'_p W/L = 100\ \mu A/V^2$ e $V_t = -2$ V. Se a porta for aterrada e a fonte conectada a +5 V, qual o maior valor de tensão que pode ser aplicado no dreno para que o dispositivo continue operando na saturação? Calcule a corrente de dreno para $v_D = -5$ V, desprezando o valor finito de r_o.

Resposta +2 V; 0,45 mA

5.3 O MOSFET TIPO DEPLEÇÃO

Nesta seção discutiremos resumidamente um outro tipo de MOSFET, o MOSFET tipo depleção. Sua estrutura é similar à do MOSFET tipo enriquecimento, com uma diferença importante: o MOSFET de depleção tem um canal implantado fisicamente. Portanto, o MOSFET tipo depleção canal n tem uma região de silício tipo n conectando as regiões n^+ da fonte e n^+ do dreno na superfície do substrato tipo p. Portanto, se a tensão v_{DS} for aplicada entre o dreno e a fonte, circu-

lará corrente i_D com $v_{GS} = 0$. Em outras palavras, não há necessidade de induzir o canal, ao contrário do MOSFET tipo enriquecimento.

A profundidade do canal e, portanto, sua condutividade podem ser controladas por v_{GS}, exatamente do mesmo modo feito para o dispositivo tipo enriquecimento. Aplicando-se uma tensão v_{GS} positiva, o canal enriquece pela atração de mais elétrons para dentro dele. Contudo, aqui, podemos também aplicar uma tensão v_{GS} negativa, o que provoca a repulsão dos elétrons no canal; neste caso, o canal fica mais superficial e sua condutividade diminui. Costuma-se dizer que a tensão negativa v_{GS} **depleta** o canal de portadores de carga e esse modo de operação (com v_{GS} negativa) é chamado de **modo de depleção**. Se o valor de v_{GS} for aumentado no sentido negativo, será atingido um valor que depletará totalmente o canal de seus portadores de carga e i_D se reduzirá a zero, embora a tensão v_{DS} esteja ainda sendo aplicada. Esse valor negativo de v_{GS} é a tensão de limiar do MOSFET tipo depleção canal n.

A descrição anterior sugere (corretamente) que um MOSFET tipo depleção pode ser operado no modo de enriquecimento pela aplicação de um valor positivo de v_{GS} e, no modo de depleção, pela aplicação de um valor negativo de v_{GS}. As características i_D–v_{DS} são similares às do dispositivo tipo enriquecimento, exceto que o V_t do dispositivo de depleção canal n é negativo.

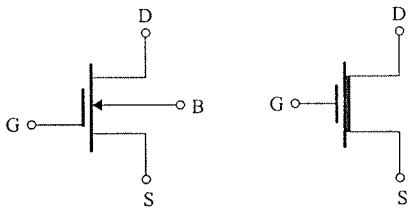


Figura 5.20 (a) Símbolo de circuito para o MOSFET tipo depleção canal n. (b) Símbolo simplificado de circuito aplicado para o caso de o substrato (B) estar conectado à fonte (S).

A Figura 5.20(a) mostra o símbolo para circuito do MOSFET tipo depleção canal n. Esse símbolo difere daquele do dispositivo tipo enriquecimento em apenas um aspecto: a linha reta vertical representando o canal é cheia, significando que existe um canal físico. Quando o corpo (B) é conectado à fonte (S), pode ser usado o símbolo simplificado mostrado na Figura 5.20(b). Esse símbolo difere daquele do dispositivo tipo enriquecimento correspondente devido à inclusão de um traço sombreado para representar o canal implantado.

As características i_D–v_{DS} do MOSFET tipo depleção canal n para o qual $V_t = -4$V e $k_n'(W/L) = 2$ mA/V^2 estão desenhadas na Figura 5.21(b). Embora essas características não mostrem a dependência de i_D sobre v_{DS} na saturação, essa dependência existe e é idêntica ao caso do dispositivo tipo enriquecimento. Observe que, pelo fato de a tensão de limiar V_t ser negativa, o NMOS tipo depleção operará na região de triodo enquanto a tensão de dreno não exceder à tensão da porta por mais de $|V_t|$. Para ele operar na região de saturação, a tensão de dreno deve ser maior do que a tensão da porta em pelo menos $|V_t|$ volts. O gráfico na Figura 5.22 mostra os níveis relativos de tensões para o transistor NMOS tipo depleção para essas regiões de operação.

A Figura 5.21(c) mostra as características i_D–v_{GS} na saturação, indicando os dois modos de operação: depleção e enriquecimento.

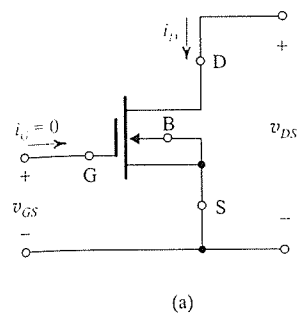
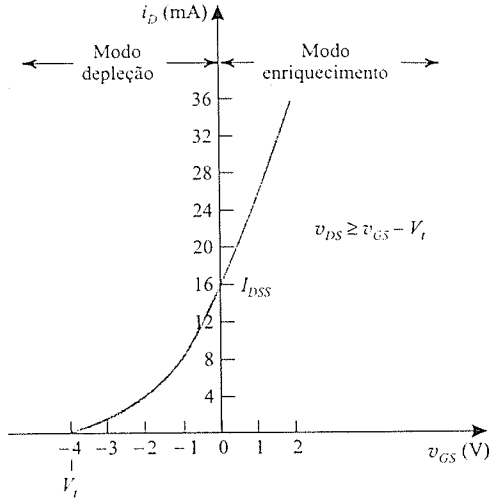
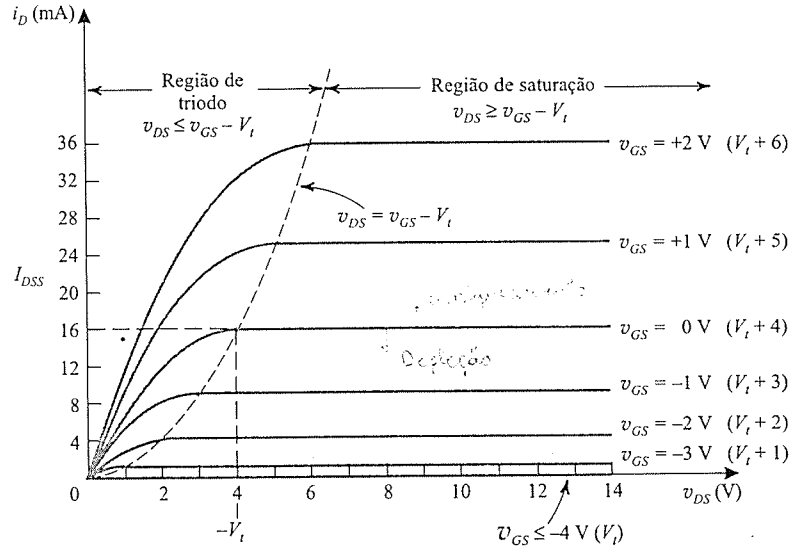


Figura 5.21 As características de corrente–tensão do MOSFET tipo depleção canal n para o qual $V_t = -4$ V e $k_n'(W/L) = 2$ mA/V^2: (a) transistor com correntes e tensões com as polaridades indicadas; (b) as características i_D–v_{DS}; (c) as características i_D–v_{GS} na saturação.





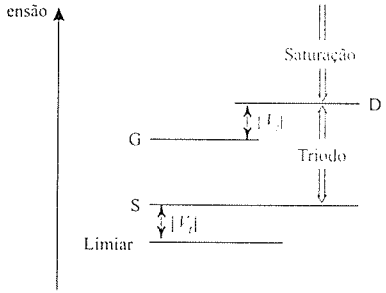


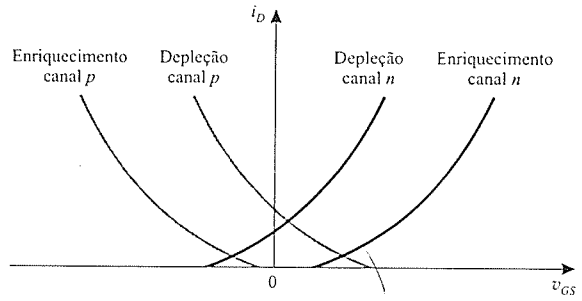
Figura 5.22 Os níveis relativos de tensão nos terminais do transistor NMOS tipo depleção para as operações nas regiões de triodo e saturação. O caso mostrado é para operação no modo enriquecimento (v_{GS} é positivo).

As características corrente–tensão do MOSFET tipo depleção são descritas pelas mesmas uações apresentadas na seção anterior para o dispositivo tipo enriquecimento, exceto que, para n dispositivo tipo depleção canal n, V_t é negativo.

Um outro parâmetro para o MOSFET tipo depleção é o valor da corrente de dreno obtido a saturação com $v_{GS} = 0$. Ele é representado por I_{DSS} e está indicado nas Figuras 5.21(b) e (c). ode ser mostrado que

$$I_{DSS} = \frac{1}{2} k_n' \frac{W}{L} V_t^2 \tag{5.31}$$

O MOSFET tipo depleção pode ser fabricado sobre a mesma pastilha de circuito integra- onde se fabricam os dispositivos do tipo enriquecimento, resultando em circuitos com caracrísticas melhoradas, conforme será mostrado em uma seção posterior.



gura 5.23 Esboços das características i_D–v_{GS} para os MOSFETs tipo enriquecimento e depleção, de ambas as polaridades (operando na saturação). Observe que as curvas características interceptam o eixo v_{GS} em V_t. Observe também que valores diferentes de $|V_t|$ são mostrados para os dispositivos canal n e canal p.

Até agora descrevemos somente os dispositivos de depleção canal n. Os transistores PMOS po depleção são encontrados na forma discreta e operam de modo similar aos de canal n, com exceção de que todas as polaridades (incluindo V_t) são invertidas. Além disso, no dispositivo nal p, i_D circula da fonte para o dreno, entrando pelo terminal da fonte e saindo pelo terminal dreno. Como resumo, mostramos na Figura 5.21 esboços das características i_D–v_{GS} do OSFET tipo enriquecimento e depleção com ambas as polaridades (operando na saturação).

Exercícios

5.9 Para um transistor NMOS tipo depleção com $V_t = -2$ V e $k_n'(W/L) = 2$ mA/V^2, encontre o valor mínimo de v_{DS} necessário para operar na região de saturação quando $v_{GS} = +1$ V. Qual o valor correspondente de i_D?

Resposta 3 V; 9 mA

5.10 O MOSFET tipo depleção na Figura E5.10 tem $k_n'(W/L) = 4$ mA/V^2 e $V_t = -2$ V. Desprezando o efeito de v_{DS} sobre i_D na região de saturação, encontre a tensão que aparece no terminal da fonte.

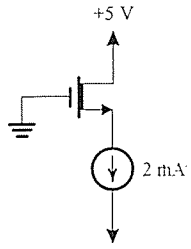


Figura E5.10

Resposta +1 V

5.11 Determine i como uma função de v para o circuito na Figura E5.11. Despreze o efeito de v_{DS} sobre i_D na região de saturação.

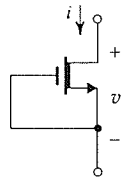


Figura E5.11

Resposta $i = k_n' \frac{W}{L}\left[-V_t v - \frac{1}{2}v^2\right]$, para $v \le -V_t$; $i = \frac{1}{2} k_n' \frac{W}{L} V_t^2$, para $v \ge -V_t$

5.4 CIRCUITOS COM MOSFET EM *cc*

Após termos estudado as características de corrente–tensão dos MOSFETs, estudaremos agora a polarização *cc* de circuitos com MOSFETs. Especificamente, apresentaremos uma série de exemplos de projetos e de análises de circuitos em *cc*.

EXEMPLO 5.1

Projete o circuito da Figura 5.24 de modo que o transistor opere com $I_D = 0{,}4$ mA e $V_D = +1$ V. O transistor NMOS tem $V_t = 2$ V, $\mu_n C_{ox} = 20\ \mu A/V^2$, $L = 10\ \mu m$ e $W = 400\ \mu m$. Despreze a modulação do comprimento do canal (isto é, suponha que $\lambda = 0$).

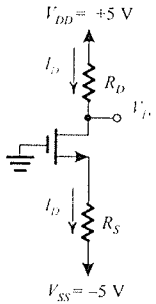


Figura 5.24 Circuito para o Exemplo 5.1.

SOLUÇÃO

Como $V_D = 1$ V significa operação na região de saturação, usamos a expressão da região de saturação de i_D para determinar o valor pedido de v_{GS}.

$$I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_t)^2$$

$$0{,}4 = \frac{1}{2}\times 20\times 10^{-3}\times\frac{400}{10}(V_{GS} - 2)^2$$

Essa equação produz dois valores para V_{GS}, 1 V e 3 V. O primeiro valor não tem significado físico, visto que ele é menor do que V_t. Portanto, $V_{GS} = 3$ V. Em relação à Figura 5.24, observamos que a porta está no potencial do terra; logo, a fonte deve estar com –3 V e o valor pedido para R_S pode ser determinado a partir de

$$R_S = \frac{V_S - V_{SS}}{I_D}$$

$$= \frac{-3-(-5)}{0{,}4} = 5\ k\Omega$$

Para estabelecer uma tensão *cc* de +1 V no dreno, devemos escolher R_D como segue:

$$R_D = \frac{V_{DD} - V_D}{I_D}$$

$$= \frac{5-1}{0{,}4} = 10\ k\Omega$$

EXEMPLO 5.2

Projete o circuito da Figura 5.25 para obter uma corrente i_D de 0,4 mA. Dê o valor necessário para R e calcule a tensão *cc*, V_D. Suponha que o transistor NMOS tenha $V_t = 2$ V, $\mu_n C_{ox} = 20\ \mu A/V^2$, $L = 10\ \mu m$ e $W = 100\ \mu m$. Despreze o efeito da modulação do comprimento do canal (isto é, suponha $\lambda = 0$).

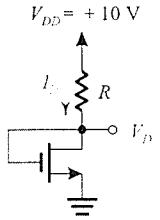


Figura 5.25 Circuito para o Exemplo 5.2.

SOLUÇÃO

Pelo fato de $V_{DG} = 0$, o FET está operando na região de saturação. Portanto,

$$i_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_t)^2$$

$$0{,}4 = \frac{1}{2}(20)(10^{-3})(100/10)(V_{GS} - 2)^2$$

a qual produz dois valores para V_{GS}, que são 4 e 0. O segundo valor obviamente não tem significado físico, visto que ele é menor do que V_t. Logo, $V_{GS} = 4$ V e a tensão de dreno será

$$V_D = +4\ V$$

O valor necessário para R pode ser encontrado como segue:

$$R = \frac{V_{DD} - V_D}{I_D}$$

$$= \frac{10-4}{0{,}4} = 15\ k\Omega$$

EXEMPLO 5.3

Projete o circuito na Figura 5.26 para estabelecer uma tensão de dreno de 0,1 V. Qual a resistência efetiva entre o dreno e a fonte nesse ponto de operação? Suponha $V_t = 1$ V e $k'_n(W/L) = 1\ mA/V^2$.

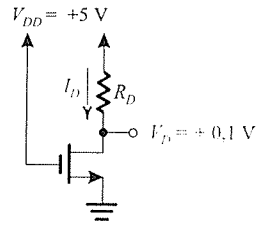


Figura 5.26 Circuito para o Exemplo 5.3.

SOLUÇÃO

Como a tensão de dreno é menor do que a tensão da porta de 4,9 V e V_t = 1 V, o MOSFET está operando na região de triodo. Portanto, a corrente I_D é dada por

$$I_D = 1\times\left[(5-1)\times 0{,}1-\frac{1}{2}\times 0{.}01\right]$$
$$= 0{,}395 \text{ mA}$$

O valor necessário para R_D pode ser encontrado como segue:

$$R_D = \frac{V_{DD}-V_D}{I_D}$$
$$= \frac{5-0{,}1}{0{,}395} = 12{,}4 \text{ k}\Omega$$

(Obviamente, em um projeto prático, escolhe-se o valor de resistência o mais próximo possível do padrão disponível. Para resistores com 5% de tolerância, o valor mais próximo é de 12 kΩ; veja o Apêndice H.) A resistência efetiva dreno-fonte pode ser determinada como segue:

$$r_{DS} = \frac{V_{DS}}{I_D}$$
$$= \frac{0{,}1}{0{,}395} = 253\ \Omega$$

EXEMPLO 5.4

Analise o circuito mostrado na Figura 5.27(a) a fim de determinar todas as tensões dos nós e as correntes nas malhas. Suponha V_t = 1 V e $k_n'(W/L)$ = 1 mA/V^2. Despreze o efeito da modulação do comprimento do canal (isto é, suponha $\lambda \simeq 0$).

SOLUÇÃO

Como a corrente da porta é zero, a tensão na porta é determinada simplesmente pelo divisor de tensão formado pelos dois resistores de 10 MΩ,

$$V_G = 10\times\frac{10}{10+10} = +5 \text{ V}$$

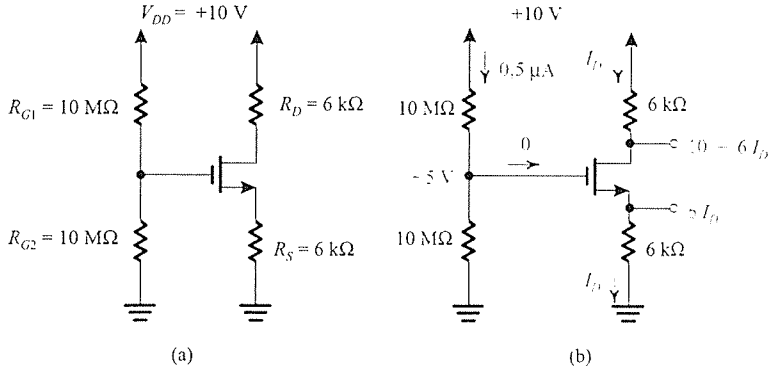


Figura 5.27 (a) Circuito para o Exemplo 5.4; (b) o mesmo circuito mostrando alguns detalhes da análise.

Com essa tensão positiva na porta, o transistor NMOS entra em condução. Não sabemos, contudo, se o transistor está operando na região de saturação ou na região de triodo. Podemos supor a operação na saturação, resolver o problema e verificar a validade de nossa suposição. Obviamente, se nossa suposição de que o transistor está em saturação não for válida, teremos de resolver o problema novamente para a operação na região de triodo.

De acordo com a Figura 5.27(b), a tensão na porta é de 5 V e a tensão na fonte é $I_D \times 6 = 6\ I_D$. Assim

$$V_{GS} = 5 - 6\ I_D$$

Portanto, I_D é dada por

$$I_D = \frac{1}{2}k_n'\frac{W}{L}(V_{GS}-V_t)^2$$
$$= \frac{1}{2}\times 1\times(5-6\,I_D-1)^2$$

que produz a seguinte equação quadrática em I_D:

$$18\,I_D^2 - 25\,I_D + 8 = 0$$

Essa equação produz dois valores para I_D: 0,89 mA e 0,5 mA. A primeira resposta resulta em uma tensão de fonte de 6 × 0,89 = 5,34 V, que é maior do que a tensão na porta e não tem significado físico. Portanto,

$$I_D = 0{,}5 \text{ mA}$$
$$V_S = 0{,}5\times 6 = +3 \text{ V}$$
$$V_{GS} = 5-3 = 2 \text{ V}$$
$$V_D = 10-6\times 0{,}5 = +7 \text{ V}$$

Visto que $V_D > V_G - V_t$, o transistor está operando na saturação como suposto inicialmente.

EXEMPLO 5.5

Projete o circuito da Figura 5.28 de modo que o transistor opere na saturação com I_D = 0,5 mA e V_D = +3 V. Suponha um transistor PMOS tipo enriquecimento tendo $V_t = -1$ V e $k'_p(W/L) = 1$ mA/V^2. Suponha $\lambda = 0$. Qual o maior valor que R_D pode ter para manter a operação na região de saturação?

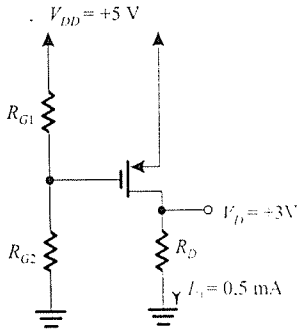


Figura 5.28 Circuito para o Exemplo 5.5.

SOLUÇÃO

Como o MOSFET se encontra em saturação e I_D = 0,5 mA, podemos escrever

$$0{,}5 = \frac{1}{2} \times 1 \times [V_{GS} - (-1)]^2$$

Recordando que V_{GS} tem de ser negativa ($V_{GS} < V_t$), a única solução para essa equação que faz sentido físico é $V_{GS} = -2$ V. Por outro lado, como a fonte está com +5 V, a tensão na porta deve ser de +3 V. Isso pode ser obtido pela escolha apropriada dos valores de R_{G1} e R_{G2}. Uma escolha possível é R_{G1} = 2 MΩ e R_{G2} = 3 MΩ.

O valor de R_D pode ser encontrado por

$$R_D = \frac{V_D}{I_D} = \frac{3}{0{,}5} = 6 \text{ k}\Omega$$

A operação no modo saturação será mantida até o ponto em que V_D exceder V_G por $|V_t|$, que é

$$V_{D\text{máx}} = 3 + 1 = 4 \text{ V}$$

Esse valor de tensão de dreno pode ser obtido com R_D dado por

$$R_D = \frac{4}{0{,}5} = 8 \text{ k}\Omega$$

EXEMPLO 5.6

Para o MOSFET tipo depleção mostrado no circuito da Figura 5.29, suponha que a corrente através do resistor variável R_D seja de 100 μA. Se k'_n = 20 μA/V^2 e $V_t = -1$ V, obtenha o valor de W/L. Também obtenha a faixa de valores para R_D de forma que a corrente permaneça constante em 100 μA. Assuma $\lambda = 0$.

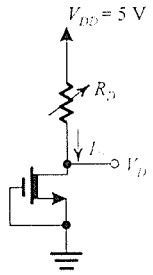


Figura 5.29 Circuito para o Exemplo 5.6.

SOLUÇÃO

Uma vez que transistores de depleção conduzem para $v_{GS} = 0$, o MOSFET neste circuito estará conduzindo. Para que I_D seja constante enquanto R_D está variando (e, portanto, V_D está variando), o MOSFET deve estar operando no modo de saturação e ter um baixíssimo valor de λ (neste exemplo, $\lambda = 0$). Com o transistor na saturação,

$$I_D = \frac{1}{2} k'_n \frac{W}{L} (V_{GS} - V_t)^2$$

Portanto,

$$100 = \frac{1}{2} \times 20 \times \frac{W}{L} [0 - (-1)]^2$$

que resulta em

$$\frac{W}{L} = 10$$

O modo saturação de operação será mantido para

$$V_{DS} \geq V_{GS} - V_t = 0 - (-1) = 1$$

isto é,

$$V_D \geq 1 \text{ V}$$

Uma vez que $V_D = V_{DD} - R_D I_D$, o máximo valor de R_D será:

$$R_{D\text{máx}} = \frac{V_{DD} - V_{D\text{mín}}}{I_D} = \frac{5 - 1}{0{,}1} = 40 \text{ k}\Omega$$

Portanto, R_D pode variar na faixa de 0 a 40 kΩ.

EXEMPLO 5.7

Projete o circuito na Figura 5.30 de forma a estabelecer uma tensão *cc* de +9,9 V na fonte. Nesse ponto de operação, qual a resistência efetiva entre a fonte e o dreno do transistor? Suponha $V_t = -1$ V e $k_n'(W/L) = 1$ mA/V^2.

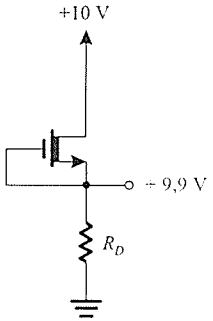


Figura 5.30 Circuito para o Exemplo 5.7.

SOLUÇÃO

Neste exemplo, V_G é menor do que V_D em apenas 0,1 V, que é menor do que a tensão $|V_t|$ necessária para uma operação na região de saturação. Portanto, o transistor NMOS tipo depleção está operando na região de triodo com $V_{DS} = 0{,}1$ V e $V_{GS} = 0$ V. Logo, a corrente de dreno I_D é dada por

$$I_D = 1\left[(0-(-1))\times 0{,}1 - \frac{1}{2}\times 0{,}01^2\right]$$
$$\simeq 0{,}1 \text{ mA}$$

Escolhemos R_D de acordo com

$$R_D = \frac{9{,}9 \text{ V}}{0{,}1 \text{ mA}} = 99 \text{ k}\Omega \simeq 100 \text{ k}\Omega$$

A resistência efetiva entre fonte-dreno é

$$r_{DS} = \frac{V_{DS}}{I_D} = \frac{0{,}1 \text{ V}}{0{,}1 \text{ mA}} = 1 \text{ k}\Omega$$

Exercícios

5.12 Para o circuito projetado no Exemplo 5.1, encontre o maior valor que R_D pode ter para manter o MOSFET na saturação.

Resposta 17,5 kΩ

5.13 Considere o circuito na Figura 5.25, que foi projetado no Exemplo 5.2 (ao qual você deve se dirigir antes de resolver este exercício). Suponha agora que a tensão V_D seja aplicada à porta de outro transistor Q_2, conforme mostrado na Figura E5.13. Suponha que Q_2 seja idêntico a Q_1. Encontre a corrente de dreno e a tensão de Q_2. (Suponha $\lambda = 0$.)

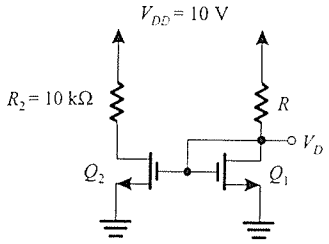


Figura E5.13

Resposta 0,4 mA; +6 V

5.14 Considere o circuito na Figura 5.26, que foi projetado no Exemplo 5.3. Se o valor de R_D for dobrado em relação ao encontrado no Exemplo 5.3, calcule os novos valores de V_D, I_D e r_{DS}.

Resposta 0,05 V; 0.2 mA; 250 Ω

P5.15 Considere o circuito na Figura 5.27(a) com novos valores de resistores. Projete o circuito para obter aproximadamente 4 V na porta, uma corrente de dreno de cerca de 1 mA e uma tensão de dreno de cerca de 4 V. O transistor tem $V_t = 2$ V, $k_n'(W/L) = 2$ mA/V^2 e $\lambda = 0$.

Resposta Dois valores possíveis para R_{G1} e R_{G2} são 6,2 MΩ e 3,9 MΩ, respectivamente; $R_S = 820$ Ω; $R_D = 5.6$ kΩ. (Observe que esses valores são padronizados para os resistores com tolerância de 5%; veja o Apêndice H. O resultado é uma tensão de porta de 3,86 V, uma corrente de dreno de 1,03 mA e uma tensão de dreno de 4,23 V.)

5.16 Analise o circuito na Figura E5.16 para determinar I_D e V_D. O MOSFET de depleção tem $V_t = -1$V, $k_n'(W/L) = 1$ mA/V^2 e $\lambda = 0$.

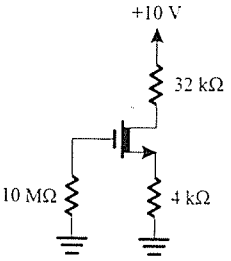


Figura E5.16

Resposta 0,125 mA; 6 V

5.5 O MOSFET COMO AMPLIFICADOR

Nesta seção, estudaremos a operação do transistor de efeito de campo como amplificador. Para tanto, vamos inicialmente considerar o circuito amplificador conceitual mostrado na Figura 5.31. Ele utiliza um MOSFET tipo enriquecimento polarizado por uma tensão V_{GS} (representada como uma bateria), com o sinal de entrada a ser amplificado, v_{gs}, superposto a V_{GS}. A tensão de saída é tomada no dreno. Este não é um circuito empregado na prática por duas razões:

1. Polarizar o MOSFET com uma bateria separada V_{GS} é obviamente impraticável; montagens de polarização práticas serão estudadas na próxima seção.
2. Um resistor R_D é empregado na malha de dreno. Por outro lado, a maioria dos amplificadores modernos com MOSFETs é fabricada na forma de circuitos integrados, em que os resistores são difíceis de implementar e por, isso, transistores MOS são empregados como dispositivos de carga; isto será mostrado em uma seção subseqüente.

No entanto, por hora, o circuito da Figura 5.31 servirá para ilustrar a operação do MOSFET como amplificador.

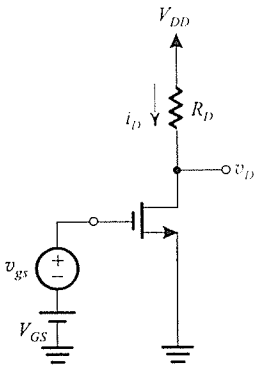


Figura 5.31 Circuito conceitual empregado para estudar a operação do MOSFET como um amplificador.

Cálculo do Ponto de Polarização *cc*

Para que o MOSFET possa operar como amplificador, inicialmente ele deve ser polarizado em um ponto dentro da região de saturação. Isso é análogo ao caso do TBJ (Capítulo 4), em que a operação com o amplificador é obtida polarizando-se na região ativa. Para fixar a polarização *cc* ou ponto de operação do MOSFET na Figura 5.31, faremos $v_{gs} = 0$ e acharemos a corrente *cc* de dreno através de

$$I_D = \frac{1}{2}k'_n \frac{W}{L}(V_{GS} - V_t)^2 \tag{5.32}$$

em que o efeito de modulação de canal está sendo desprezado (isto é, assumimos $\lambda = 0$). A tensão *cc* no dreno, V_{DS} ou simplesmente V_D (já que S está aterrado), será

$$V_D = V_{DD} - R_D I_D \tag{5.33}$$

Para garantir a operação na região de saturação, devemos ter

$$V_D > V_{GS} - V_t$$

Além disso, uma vez que a tensão no dreno terá uma componente de sinal superposta sobre V_D, V_D deverá ser suficientemente maior do que $(V_{GS} - V_t)$ para permitir a excursão do sinal na saída. Este ponto será ilustrado em breve.

O Sinal de Corrente no Terminal de Dreno

A seguir, consideraremos a situação com o sinal de entrada v_{gs} aplicado. A tensão instantânea porta-fonte será

$$v_{GS} = V_{GS} + v_{gs} \tag{5.34}$$

resultando em uma corrente de dreno instantânea total i_D.

$$\begin{aligned} I_D &= \frac{1}{2}k'_n \frac{W}{L}(V_{GS} + v_{gs} - V_t)^2 \\ &= \frac{1}{2}k'_n \frac{W}{L}(V_{GS} - V_t)^2 + k'_n \frac{W}{L}(V_{GS} - V_t)v_{gs} + \frac{1}{2}k'_n \frac{W}{L}v_{gs}^2 \end{aligned} \tag{5.35}$$

O primeiro termo do lado direito da Equação 5.35 pode ser reconhecido como a corrente *cc* ou corrente quiescente I_D (Equação 5.32). O segundo termo representa uma componente de corrente que é diretamente proporcional ao sinal de entrada v_{gs}. O último termo é uma componente de corrente que é proporcional ao quadrado do sinal de entrada. Essa última componente é indesejável porque representa uma distorção não-linear. Para reduzir a distorção não-linear introduzida pelo MOSFET, o sinal de entrada deve ser mantido pequeno, tal que

$$\frac{1}{2}k'_n \frac{W}{L}v_{gs}^2 \ll k'_n \frac{W}{L}(V_{GS} - V_t)v_{gs}$$

resultando em

$$v_{gs} \ll 2(V_{GS} - V_t) \tag{5.36}$$

Se essa **condição para pequenos sinais** for satisfeita, podemos desprezar o último termo na Equação 5.35 e expressar i_D por

$$i_D = I_D + i_d \tag{5.37}$$

em que o sinal da corrente i_d é dado por

$$i_d = k'_n \frac{W}{L}(V_{GS} - V_t)v_{gs}$$

O parâmetro que relaciona i_d com v_{gs} é a **transcondutância** g_m dada por

$$g_m \equiv \frac{i_d}{v_{gs}} = k'_n \frac{W}{L}(V_{GS} - V_t) \tag{5.38}$$

A Figura 5.32 apresenta uma interpretação gráfica da operação para pequenos sinais do amplificador com MOSFET tipo enriquecimento. Observe que g_m é igual à inclinação da característica i_D–v_{GS} no ponto de operação,

$$g_m \equiv \left.\frac{\partial i_D}{\partial v_{GS}}\right|_{v_{GS}=V_{GS}} \tag{5.39}$$

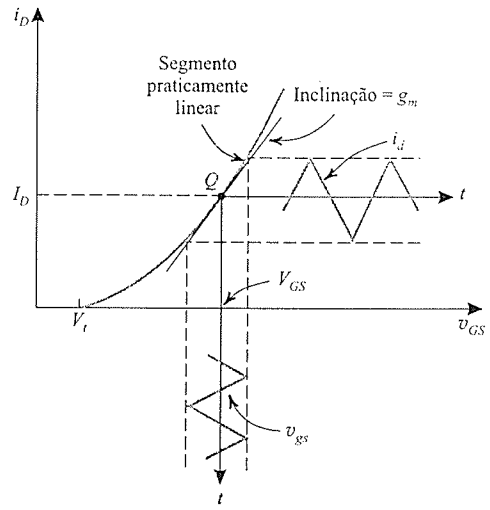


Figura 5.32 Operação para pequenos sinais do amplificador com MOSFET tipo enriquecimento.

Essa última equação representa a definição formal de g_m e pode ser facilmente mostrado que através dela chega-se à Equação 5.38.

O Ganho de Tensão

Retornando ao circuito da Figura 5.31(a), podemos expressar a tensão de dreno instantânea total v_D como segue

$$v_D = V_{DD} - R_D i_D$$

Na condição de pequenos sinais, temos

$$v_D = V_{DD} - R_D(I_D + i_d)$$

que pode ser reescrita como

$$v_D = V_D - R_D i_d$$

Logo, a componente do sinal da tensão de dreno será dada por:

$$v_d = -i_d R_D = -g_m R_D v_{gs}$$

que indica que o ganho de tensão é dado por

$$\frac{v_d}{v_{gs}} = -g_m R_D \tag{5.40}$$

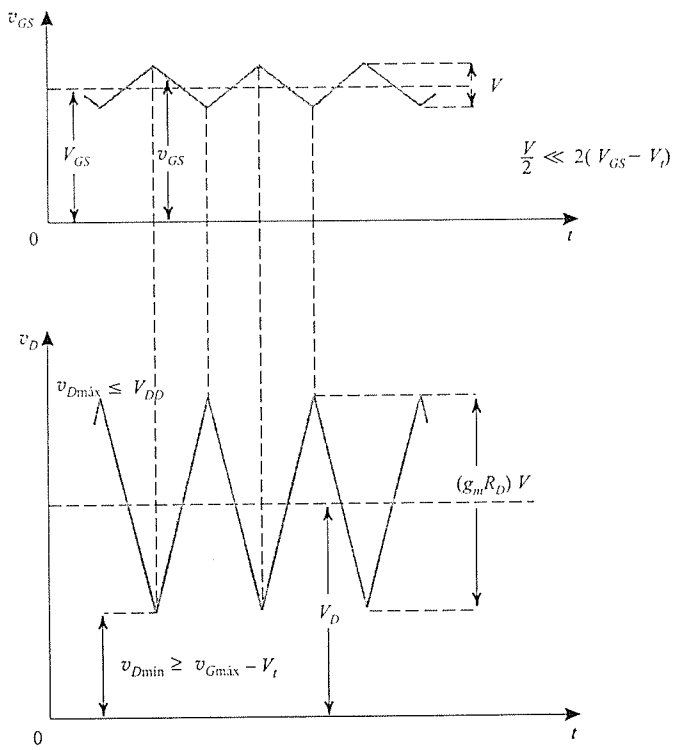


Figura 5.33 As tensões instantâneas v_{GS} e V_D para o circuito da Figura 5.31.

O sinal menos na Equação 5.40 indica que o sinal de saída v_d está 180° defasado em relação ao sinal de entrada v_{gs}. Isso é ilustrado na Figura 5.33, que mostra v_{GS} e v_D. Supõe-se que o sinal de entrada tem uma forma de onda triangular com uma amplitude muito menor do que $2(V_{GS} - V_t)$, que é a condição para pequenos sinais na Equação 5.36, a fim de garantir uma operação linear. Para uma operação na região de saturação o tempo todo, o valor mínimo de V_D não deve ser menor do que o valor correspondente de v_G acima de V_t. Além disso, o valor máximo de v_D deve ser menor do que V_{DD}; caso contrário, o FET entrará na região de corte e os picos da forma de onda do sinal de saída serão ceifados.

Separando a Análise *cc* e a Análise de Sinais

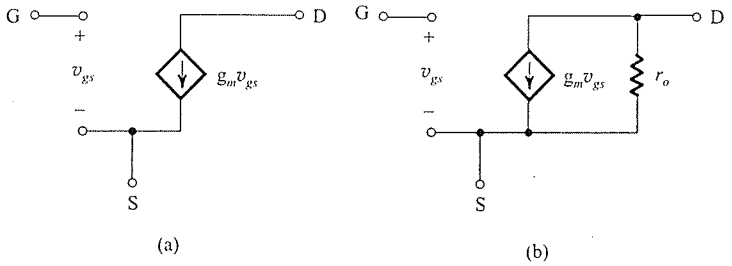
Da análise anterior vimos que, com a aproximação para pequenos sinais, os valores de sinal são sobrepostos aos valores *cc*. Por exemplo, a corrente de dreno total i_D é igual à corrente *cc* I_D mais a corrente de sinal i_d, o mesmo se aplicando à tensão de dreno total $v_D = V_D + v_d$ etc. Isso significa que a análise e o projeto podem ser muito simplificados separando-se os cálculos da polari-

ição *cc* dos cálculos para pequenos sinais. Isto é, uma vez que um ponto de operação estável : tenha sido estabelecido e todos os valores *cc* calculados, podemos então executar a análise de nal ignorando os valores *cc*.

Modelos Equivalentes de Circuitos para Pequenos Sinais

o ponto de vista de sinal, o FET se comporta como uma fonte de corrente controlada por tenío. Ele recebe um sinal v_{gs} entre a porta e a fonte e proporciona uma corrente $g_m v_{gs}$ no terminal : dreno. A resistência de entrada dessa fonte controlada é muito alta – idealmente, infinita. A sistência de saída – isto é, a resistência vista pelo dreno – também é muito alta, sendo que até ;ora supusemos que ela é infinita. Colocando tudo isso junto chegamos ao circuito da Figura 34(a), que representa a operação do FET para pequenos sinais e é, portanto, o modelo para penos sinais ou modelo equivalente de circuito para pequenos sinais.

Na análise de um circuito amplificador com FET, o FET pode ser substituído por seu mo-lo de circuito equivalente mostrado na Figura 5.34(a). O resto do circuito permanece inalterado, :ceto que as fontes de tensões *cc* são substituídas por curto-circuitos. Isso é resultado do fato : que, em uma fonte de tensão *cc* ideal, a tensão *cc* não muda e, portanto, haverá sempre uma mponente de sinal de tensão de zero volts na fonte *cc*. O circuito resultante pode então ser usado ıra executar a análise de qualquer sinal, assim como calcular o ganho de tensão.



ura 5.34 Modelos para pequenos sinais para o MOSFET: (a) desprezando a dependência de i_D com v_{DS} na saturação (efeito da modulação do comprimento do canal); (b) incluindo o efeito da modulação do comprimento do canal, modelado pela resistência de saída $r_o = |V_A|/I_D$.

O problema mais sério do modelo para pequenos sinais da Figura 5.34(a) é que ele supõe e a corrente de saturação de dreno é independente da tensão de dreno. De nossos estudos das racterísticas do MOSFET na saturação, sabemos que a corrente de dreno na verdade depende v_{DS} de forma linear. Essa dependência foi modelada por uma resistência r_o finita entre o dre- e a fonte, cujo valor é dado aproximadamente por

$$r_o \simeq \frac{|V_A|}{I_D} \tag{5.41}$$

em que $V_A = 1/\lambda$ é um parâmetro do MOSFET que tanto pode ser especificado como medido. Tipicamente, r_o está na faixa de 10 a 1.000 kΩ. Isso implica que a precisão do modelo para pequenos sinais pode ser melhorada incluindo-se r_o em paralelo com a fonte controlada, conforme mostrado na Figura 5.34(b).

É importante observar que os parâmetros para pequenos sinais g_m e r_o dependem do ponto de polarização *cc* do FET.

Retornando ao amplificador da Figura 5.31(a), vemos que substituir o MOSFET pelo modelo para pequenos sinais da Figura 5.34(b) resulta na expressão do ganho de tensão

$$\frac{v_d}{v_{gs}} = -g_m(R_D // r_o) \tag{5.42}$$

Portanto, a resistência de saída finita r_o resulta em uma redução do valor do ganho de tensão.

Embora a análise anterior tenha sido realizada para transistores NMOS tipo enriquecimento, os resultados se aplicam igualmente bem para dispositivos PMOS (com k_n' trocado por k_p') e também para MOSFETs tipo depleção. Em particular, os modelos equivalentes da Figura 5.34 aplicam-se a todos os tipos de MOSFETs vistos até agora. Note também que o circuito equivalente da Figura 5.34(b) é idêntico ao modelo π-híbrido do TBJ [Figura 4.33(a)], exceto que, para o MOSFET, $r_\pi = \infty$, já que a corrente de porta é nula. Finalmente, deve ser observado que o modelo para pequenos sinais deduzido anteriormente se aplica apenas para baixas e médias freqüências. Os modelos de MOSFET para altas freqüências serão estudados no Capítulo 7.

A Transcondutância g_m

Veremos agora com mais detalhes a transcondutância do MOSFET dada pela Equação 5.38, que repetimos aqui novamente como

$$g_m = k_n'(W/L)(V_{GS} - V_t) \tag{5.43}$$

Essa relação indica que g_m é proporcional ao parâmetro de transcondutância do processo $k_n' = \mu_n C_{ox}$ e também proporcional à razão W/L do transistor MOS; daí, para obter uma transcondutância relativamente alta, o dispositivo deve ser estreito (L pequeno) e largo (W grande). Observamos também que, para um dado dispositivo, a transcondutância é proporcional à tensão em excesso ou tensão efetiva $V_{ef} = V_{GS} - V_t$, que é a quantidade pela qual a tensão de polarização V_{GS} excede a tensão de limiar V_t. Contudo, observe que aumentar g_m pela polarização do dispositivo através de um valor elevado de V_{GS} tem a desvantagem de reduzir a excursão da tensão do sinal no dreno.

Uma outra expressão para g_m muito útil pode ser obtida pela substituição de $(V_{GS} - V_t)$ na Equação 5.43 por $\sqrt{\dfrac{2I_D}{k_n'(W/L)}}$ (da Equação 5.32):

$$g_m = \sqrt{2k_n'}\sqrt{W/L}\sqrt{I_D} \tag{5.44}$$

Essa expressão mostra que

1. Para um dado MOSFET, g_m é proporcional à raiz quadrada da corrente *cc* de polarização.
2. Para uma dada corrente de polarização, g_m é proporcional a $\sqrt{W/L}$.

Em comparação, a transcondutância do transistor bipolar de junção (TBJ), estudada no Capítulo 4, é proporcional à corrente de polarização e é independente do tamanho físico do dispositivo.

Para ter uma idéia dos valores de g_m obtidos no MOSFET, considere um dispositivo em circuito integrado operando com $I_D = 1$ mA e tendo $k_n' = 20\ \mu A/V^2$. A Equação 5.44 mostra que, para $W/L = 1$, $g_m = 0{,}2$ mA/V, ao passo que um dispositivo com $W/L = 100$ tem $g_m = 2$ mA/V. Em contraste, um TBJ operando com uma corrente de coletor de 1 mA tem uma $g_m = 40$ mA/V.

Ainda é possível escrever uma outra expressão para g_m obtida da substituição de $k_n'(W/L)$ na Equação 5.43 por $2I_D/(V_{GS} - V_t)^2$:

$$g_m = \frac{2I_D}{V_{GS} - V_t} = \frac{I_D}{(V_{GS} - V_t)/2} \tag{5.45}$$

Portanto, g_m é a razão da corrente de polarização *cc* pela metade da tensão efetiva $V_{ef} = V_{GS} - V_t$. Essa expressão está em uma forma similar àquela do TBJ, em que $g_m = I_C/V_T$. Há, no entanto, uma diferença importante: enquanto V_T é cerca de 25 mV, valores práticos para $(V_{GS} - V_t)/2$ são ao menos 0,1 V ou mais. Portanto, novamente vimos que o g_m do TBJ é muito maior do que o do MOSFET. Contudo, apesar desses valores mais baixos de g_m, o MOSFET tem muitas outras vantagens, incluindo sua alta impedância de entrada, tamanho reduzido, baixa dissipação de potência e facilidade de fabricação.

EXEMPLO 5.8

A Figura 5.35(a) mostra um amplificador com MOSFET tipo enriquecimento, no qual o sinal de entrada v_i é acoplado à porta por um capacitor de valor elevado e o sinal de saída no dreno é acoplado a uma resistência de carga R_L por um outro capacitor de valor elevado. Queremos analisar esse circuito amplificador para determinar seu ganho de tensão para pequenos sinais e sua resistência de entrada. O transistor tem $V_t = 1{,}5$ V, $k_n'(W/L) = 0{,}25$ mA/V^2 e $V_A = 50$ V. Suponha que os capacitores de acoplamento sejam de valores suficientemente altos para funcionar como curto-circuitos nas freqüências do sinal de interesse.

SOLUÇÃO

Primeiro, avaliamos o ponto de operação *cc* como segue:

$$I_D = \frac{1}{2} \times 0{,}25(V_{GS} - 1{,}5)^2 \tag{5.46}$$

em que, por simplicidade, desprezamos o efeito da modulação do comprimento do canal. Como a corrente *cc* na porta é zero, não deve haver queda de tensão em R_G; logo, $V_{GS} = V_D$, que, quando substituída na Equação 5.46, produz

$$I_D = 0{,}125(V_D - 1{,}5)^2 \tag{5.47}$$

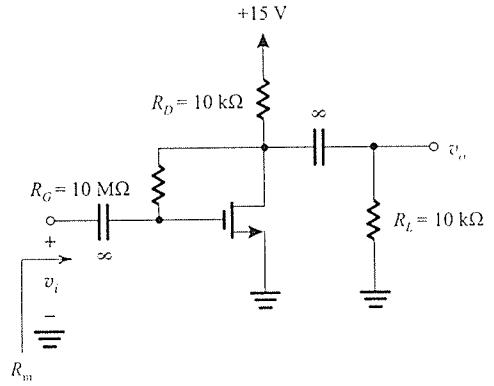
Além disso,

$$V_D = 15 - R_D I_D = 15 - 10 I_D \tag{5.48}$$

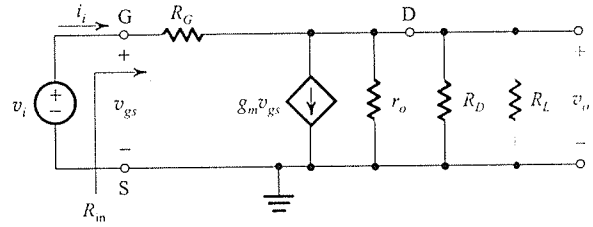
Resolvendo as Equações 5.47 e 5.48 juntas, obtemos

$$I_D = 1{,}06 \text{ mA} \quad \text{e} \quad V_D = 4{,}4 \text{ V}$$

(Observe que a outra solucão da equação quadrática não é fisicamente aceitável.)



(a)



(b)

Figura 5.35 Exemplo 5.8: (a) circuito do amplificador; (b) modelo equivalente de circuito.

O valor de g_m é dado por

$$g_m = k_n' \frac{W}{L}(V_{GS} - V_t)$$
$$= 0{,}25(4{,}4 - 1{,}5) = 0{,}725 \text{ mA/V}$$

A resistência de saída r_o é dada por

$$r_o = \frac{V_A}{I_D} = \frac{50}{1{,}06} = 47 \text{ k}\Omega$$

A Figura 5.35(b) mostra o modelo equivalente de circuito para pequenos sinais do amplificador. Como R_G é de valor muito alto (10 MΩ), a corrente que circula por ele pode ser desprezada quando comparada com a corrente da fonte controlada $g_m v_{gs}$, permitindo-nos escrever a tensão de saída como

$$v_o = -g_m v_{gs}(R_D // R_L // r_o)$$

Desde que $v_{gs} = v_i$, o ganho de tensão é

$$\frac{v_o}{v_i} = -g_m(R_D//R_L//r_o)$$
$$= -0{,}725(10//10//47) = -3{,}3 \text{ V/V}$$

Para avaliar a resistência de entrada R_{in}, observamos que a corrente de entrada i_i é dada por

$$i_i = (v_i - v_o)/R_G$$
$$= \frac{v_i}{R_G}\left(1 - \frac{v_o}{v_i}\right)$$
$$= \frac{v_i}{R_G}[1-(-3{,}3)] = \frac{4{,}3\,v_i}{R_G}$$

Portanto,

$$R_{in} \equiv \frac{v_i}{i_i} = \frac{R_G}{4{,}3} = \frac{10}{4{,}3} = 2{,}33 \text{ M}\Omega$$

O Modelo Equivalente T

Por meio de uma simples transformação de circuito é possível desenvolver um modelo equivalente alternativo para o MOSFET. O desenvolvimento de tal modelo, conhecido como modelo T, está ilustrado na Figura 5.36. A Figura 5.36(a) mostra o circuito equivalente estudado anteriormente sem r_o. Na Figura 5.36(b) adicionamos uma segunda fonte de corrente $g_m v_{gs}$ em série com a fonte controlada original. Essa adição, obviamente, não muda as correntes nos terminais do dispositivo e é portanto admissível. Esse último nó criado no circuito, denominado de X, está unido ao terminal da porta G na Figura 5.36(c). Observe que a corrente da porta não muda; isto é, ela permanece igual a zero e, portanto, essa conexão não altera as características observadas em cada terminal do dispositivo. Observamos agora que temos uma fonte de corrente controlada $g_m v_{gs}$ conectada através de sua tensão de controle v_{gs}. Podemos substituir essa fonte controlada por uma resistência, contanto que essa resistência drene uma corrente de valor igual à da fonte. (Veja o teorema da absorção de fonte no Apêndice E.) Portanto, o valor da resistência é $v_{gs}/g_m v_{gs} = 1/g_m$. Essa substituição está mostrada na Figura 5.39(d), a qual representa o modelo alternativo. Observe que i_g ainda é zero, $i_d = g_m v_{gs}$ e $i_s = v_{gs}/(1/g_m) = g_m v_{gs}$, tudo igual ao modelo original na Figura 5.36(a).

O modelo na Figura 5.36(d) mostra que a resistência entre porta e fonte vista pela fonte é $1/g_m$. Essa observação e o modelo T se mostram úteis em muitas aplicações. Observe que a resistência entre porta e fonte, vista pela porta, é infinita ($i_G = 0$).

No desenvolvimento do modelo T não incluímos r_o. Se desejado, isso pode ser feito incorporando no circuito da Figura 5.36(d) uma resistência r_o entre dreno e fonte, como já mostrado na Figura 5.37. Finalmente, devemos observar que existe uma grande semelhança do modelo T do MOSFET com o do TBJ (veja a Figura 4.27(a)).

Modelagem do Efeito de Corpo

Conforme mencionado na Seção 5.2, o efeito de corpo ocorre em um MOSFET quando o substrato não está amarrado à fonte mas é conectado ao ponto mais negativo da fonte de alimentação no circuito integrado. Portanto, o substrato (corpo) estará em terra, mas como a fonte não está, um sinal v_{sb} estará presente entre o corpo (B) e a fonte (S).

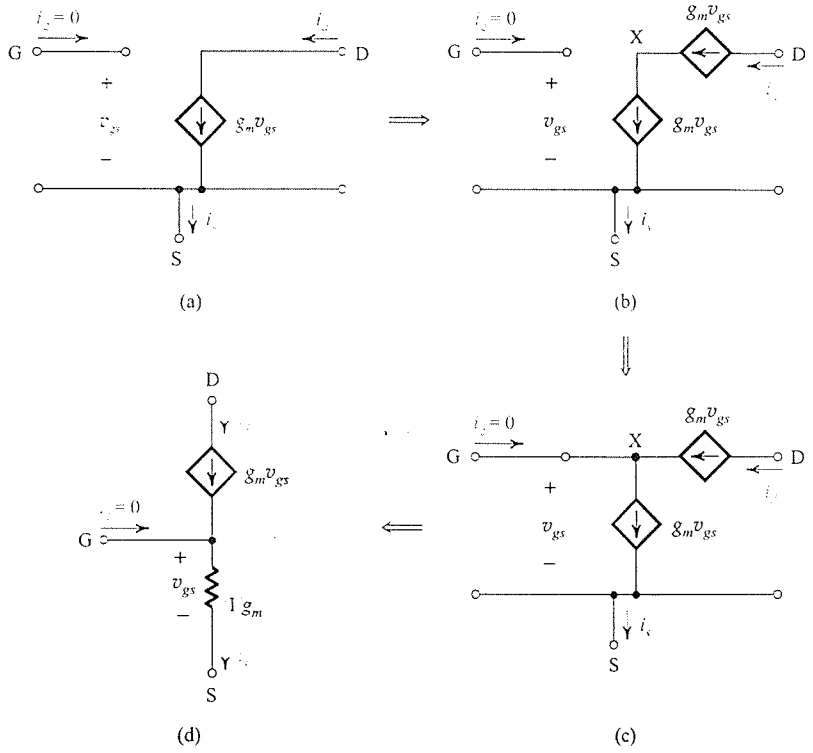


Figura 5.36 Desenvolvimento do modelo T equivalente para o MOSFET. Por simplicidade, r_o foi omitida mas pode ser acrescentada entre D e S no modelo T da figura (d).

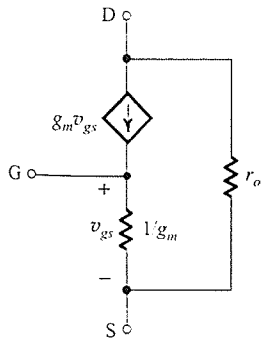


Figura 5.37 Modelo T do MOSFET onde foi acrescentada a resistência r_o.

Na Seção 5.2, foi mencionado que o substrato age como uma "segunda porta" para o MOSFET. Portanto, o sinal v_{bs} dá origem a uma componente na corrente de dreno a qual denominaremos $g_{mb}v_{bs}$, em que g_{mb} é a **transcondutância de corpo**, definida como

$$g_{mb} \equiv \left.\frac{\partial i_D}{\partial v_{BS}}\right|_{\substack{v_{GS}=\text{constante}\\ v_{DS}=\text{constante}}} \tag{5.49}$$

Lembrando que i_D depende de v_{BS} por meio da dependência de V_t com v_{BS}, as Equações 5.18, 5.30 e 5.38 podem ser usadas para obter

$$g_{mb} = \chi g_m \tag{5.50}$$

em que

$$\chi \equiv \frac{\partial V_t}{\partial V_{SB}} = \frac{\gamma}{2\sqrt{2\phi_f + V_{SB}}} \tag{5.51}$$

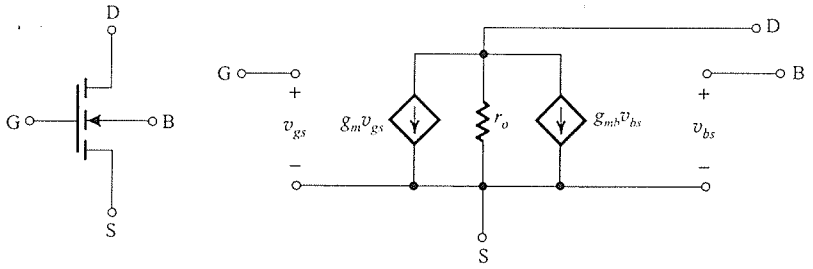


Figura 5.38 Modelo equivalente para pequenos sinais de um MOSFET cujo corpo não está conectado à fonte.

Tipicamente, o valor de χ está na faixa de 0,1 a 0,3.

A Figura 5.38 mostra o modelo do MOSFET no qual está inclusa a fonte controlada $g_{mb}v_{bs}$ que modela o efeito de corpo. Esse é o modelo que usaremos se o substrato não for conectado à fonte.

Exercícios

5.17 Para o amplificador na Figura 5.31, suponha que $V_{DD} = 5$ V, $R_D = 10$ kΩ, $V_t = 1$ V, $k_n' = 20$ μA/V², $W/L = 20$, $v_{GS} = 2$ V e $\lambda = 0$. (a) Calcule a corrente *cc* I_D e a tensão *cc* V_D. (b) Calcule o valor de g_m. (c) Calcule o ganho de tensão. (d) Se $v_{gs} = 0{,}2 \operatorname{sen} \omega t$ volts, calcule v_d supondo que a aproximação para pequenos sinais seja válida. Quais os valores máximo e mínimo de v_D? (e) Use a Equação 5.35 para determinar as várias componentes de i_D. Usando a identidade $(\operatorname{sen}^2 \omega t = 0{,}5 - 0{,}5 \cos 2\omega t)$, mostre que existe uma ligeira variação em I_D (qual o valor dessa variação?) e que há uma componente de segunda harmônica (isto é, uma componente com freqüência 2ω). Expresse a amplitude da componente de segunda harmônica como uma porcentagem da amplitude da fundamental. (Esse valor é conhecido como distorção de segunda harmônica.)

Resposta (a) 200 μA, 3 V; (b) 0,4 mA/V; (c) –4 V/V; (d) $v_d = -0{,}8 \operatorname{sen} \omega t$, 2,2 V, 3,8 V; (e) $i_D = (204 + 80 \operatorname{sen} \omega t - 4 \cos 2\omega t)$, a variação na corrente i_D é de 0,125 μA, 5%

5.18 Um transistor NMOS tipo enriquecimento tem $\mu_n C_{ox} = 20$ μA/V², $W/L = 64$, $V_t = 1$ V e $\lambda = 0{,}01$ V⁻¹. Calcule g_m e r_o quando (a) a tensão de polarização $V_{GS} = 2$ V e quando (b) a corrente de polarização $I_D = 1$ mA.

Resposta (a) 1,28 mA/V, 156 kΩ; (b) 1,6 mA/V; 100 kΩ

5.19 Um MOSFET tipo enriquecimento opera em $I_D = 0{,}1$ mA e tem $g_m = 1$ mA/V. Se $k_n' = 50$ μA/V², ache o valor de W/L.

Resposta 100

5.20 Lembrando que $\mu_p = 0{,}4\ \mu_n$, obtenha a razão da largura entre um transistor PMOS e outro NMOS tal que os dois dispositivos tenham o mesmo g_m nas mesmas condições de polarização. Os dois dispositivos têm os mesmos comprimentos de canal e foram fabricados com o mesmo processo CMOS.

Resposta 2,5

5.21 Para um transistor NMOS com $2\phi_f = 0{,}6$ V, $\gamma = 0{,}5$ V$^{1/2}$ e $V_{SB} = 4$ V, calcule o valor de $\chi \equiv g_{mb}/g_m$.

Resposta 0,12

5.6 POLARIZAÇÃO DE CIRCUITOS AMPLIFICADORES MOS

Como já mencionado na seção anterior, um passo essencial no projeto de um amplificador com MOSFET envolve o estabelecimento de um ponto de operação *cc*. Esse passo é conhecido como polarização. Um ponto de operação *cc* apropriado é caracterizado por uma corrente de dreno I_D previsível e estável e uma tensão *cc* de dreno-fonte que determine a operação no modo saturação quaisquer que sejam os níveis de sinal de entrada esperados.

Na Seção 4.10, estudamos um grande número de métodos para projetar a polarização de amplificadores discretos com TBJ. Todos estes métodos podem também ser empregados na polarização de amplificadores discretos com MOSFET. Considerando que o leitor já deve estar familiarizado com essas técnicas e também levando-se em conta o fato de que circuitos amplificadores discretos com MOSFET não são muito comuns atualmente, não repetiremos esses métodos em detalhe, mas faremos uma breve descrição das montagens típicas de polarização de circuitos discretos com MOSFET e então, a seguir, concentraremos nossos esforços nos métodos de polarização empregados no projeto de amplificadores MOS para circuitos integrados.

5.6.1 Polarização de Amplificadores Discretos com MOSFET

A Figura 5.39 mostra quatro montagens possíveis para polarizar o MOSFET no projeto de circuitos discretos. Comparadas às suas similares no caso do TBJ, as malhas de polarização da Figura 5.39 são mais fáceis de projetar devido ao fato de termos $I_G = 0$. Por outro lado, V_{GS}, apesar de constante, pode assumir diferentes valores, ao passo que a tensão V_{BE} no TBJ é sempre adotada constante e igual a aproximadamente 0,7 V.

A Figura 5.39(a) mostra um arranjo de polarização que é muito empregado quando o circuito é alimentado com uma única fonte de alimentação. O divisor de tensão formado por R_{G1}, R_{G2} estabelece uma tensão fixa na porta e o resistor de autopolarização R_S está conectado à fonte. Uma vez que $I_G = 0$, R_{G1} e R_{G2} podem ser selecionados com valores elevados (na faixa de MΩ), permitindo que a resistência de entrada apresentada pelo amplificador para uma fonte de sinal (capacitivamente acoplada à porta) seja correspondentemente alta (o que é uma vantagem comparado ao caso do TBJ). O resistor R_S, assim como seu similar R_E no caso do TBJ, possibilita uma

realimentação negativa que estabiliza o valor de I_D. Finalmente, o R_D selecionado deve ser o maior possível para se obter um elevado ganho, mas também pequeno o suficiente para permitir uma larga excursão de sinal no dreno mantendo-se o MOSFET no modo de saturação. Note que esse circuito foi analisado no Exemplo 5.4.

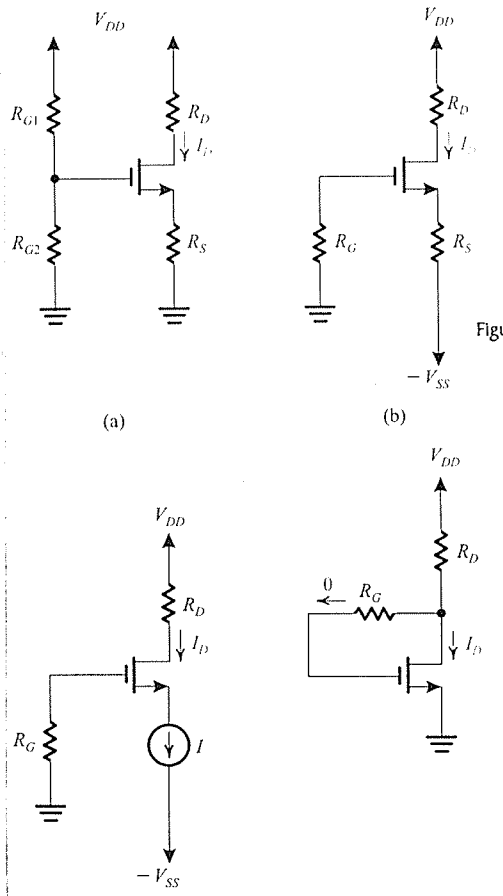


Figura 5.39 Circuitos de polarização para o MOSFET empregado em amplificadores com componentes discretos: **(a)** montagem clássica empregando uma tensão fixa na porta e resistor de autopolarização R_S; **(b)** versão simplificada de (a), possível quando duas fontes estão disponíveis; **(c)** um circuito simples e elegante utilizando fonte de corrente; **(d)** circuito fonte-comum com resistor de realimentação R_G entre porta e dreno.

Quando duas fontes de alimentação estão disponíveis, como freqüentemente acontece, a montagem de polarização mostrada na Figura 5.39(b) pode ser empregada. Esse circuito baseia-se no mesmo princípio daquele já analisado na Figura 5.39(a). O resistor R_G estabelece um terra *cc* na porta e, ao mesmo tempo, é uma resistência de entrada elevada para uma possível fonte de sinal capacitivamente acoplada à porta.

Uma montagem ainda mais simples de polarização está mostrada na Figura 5.39(c). Neste caso, a fonte de corrente constante I conectada ao terminal de fonte estabelece $I_D = I$. Estudaremos em breve circuitos com MOSFETs implementados com a ajuda de fontes de corrente constantes. Os resistores R_G e R_D têm as mesmas funções que os dos dois circuitos anteriores.

Finalmente, o circuito da Figura 5.39(d) emprega um resistor de realimentação R_G que força a tensão *cc* na porta a ser igual à tensão no dreno, já que $I_G = 0$. O sinal de entrada pode ser capacitivamente acoplado à porta e a saída é tomada no dreno, resultando em um amplificador fonte-comum. Já estudamos esse tipo de configuração no Exemplo 5.8. Observe que nesse circuito a excursão do sinal de saída está limitada no sentido negativo a $|V_t|$ e, além disso, a tensão de dreno chega a cair abaixo de $V_{GS} - V_t$, de forma que o dispositivo deixa a região de saturação antes de propriamente entrar no corte. Finalmente, devemos observar que, embora os circuitos apresentados na Figura 5.39 tenham sido apresentados para o caso de dispositivos canal *n*, circuitos similares para MOSFETs canal *p* podem ser facilmente esboçados. Incentivamos o leitor a fazer tais esboços.

Exercícios

5.22 Projete o circuito da Figura 5.39(b) para um MOSFET que tenha $k_n'(W/L) = 0.5$ mA/V^2 e $V_t = 2$ V e que utiliza uma fonte simétrica de ± 10 V. Projete de forma que $I_D = 1$ mA e que permita uma excursão de sinal no dreno de ± 2 V. Esse amplificador deve apresentar uma resistência de entrada de 1 MΩ para a fonte de sinal que está capacitivamente acoplada à porta. Assuma $\lambda = 0$.

Resposta $R_G = 1$ MΩ, $R_S = 6$ kΩ, $R_D = 10$ kΩ

P5.23 No circuito projetado no Exercício 5.22, determine a mudança na corrente de dreno que resultaria da troca do MOSFET por um outro com $V_t = 3$ V.

Resposta −14%

5.6.2 Polarização de Amplificadores MOS em Circuitos Integrados

Filosofia Básica. Os circuitos mostrados na Figura 5.39 não são adequados para a polarização de amplificadores MOS fabricados utilizando a tecnologia de circuitos integrados (CI). Isso se deve ao fato de tais circuitos (Figura 5.39) fazerem uso extensivo de resistores.

No projeto de circuitos integrados MOS, o uso de resistores é desencorajado, pois, por menor que seja o valor do resistor empregado, ele necessitará de uma grande área na pastilha (*chip*) de silício e, portanto, implicará um alto custo na fabricação do circuito integrado. Além disso, estes resistores também demandarão o uso de etapas de processamento mais caras para obter pequenas tolerâncias.

Em contraste, um MOSFET pode sempre ser fabricado em uma área muito pequena no CI e seus parâmetros são relativamente bem controlados. Logo, a filosofia básica de projeto de CIs é minimizar ao máximo o número (e de forma mais importante, o valor total) de resistores e, em substituição, utilizar transistores para realizar a grande variedade de funções necessárias ao projeto de circuitos eletrônicos.

Uma outra razão para que as montagens da Figura 5.39 não sejam normalmente empregadas para CIs é que essas montagens implicam que a fonte de sinal de entrada seria acoplada capacitivamente na entrada do amplificador e que o sinal de saída seria acoplado capacitivamente

a um outro estágio amplificador ou a uma carga, e ainda que capacitores de desvio (bypass) seriam empregados para estabelecer os pontos de terra que fossem necessários. Embora capacitores possam ser fabricados dentro dos CIs, considerações sobre a área ocupada na pastilha limitam a capacitância total a poucos picofarads ou, no máximo, a umas poucas dezenas de picofarads. Isso obviamente limita a utilização de altos valores de capacitâncias, seja para acoplamento, seja para desvio. Tendo em vista tal fato, a utilização de capacitores costuma ser contornada pela utilização de diferentes métodos de projeto para amplificadores com MOS ou com TBJ, conforme será mostrado nas próximas seções e capítulos.

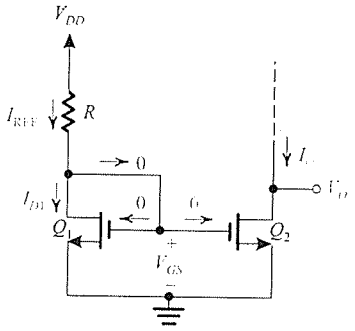


Figura 5.40 Circuito de uma fonte de corrente constante utilizando MOSFET.

A Fonte de Corrente Básica Utilizando MOSFET. A polarização de amplificadores MOS em CIs freqüentemente emprega fontes de corrente constante. De forma específica, uma corrente constante pode ser gerada e, em seguida, replicada em diversas posições do circuito integrado a fim de prover correntes de polarização para estágios amplificadores.

A Figura 5.40 mostra o circuito de uma fonte de corrente constante empregando transistores MOS. O coração do circuito é o transistor Q_1 cujo dreno está curto-circuitado na porta[6] e, portanto, está operando na região de saturação, tal que

$$I_{D1} = \frac{1}{2}k_n'\left(\frac{W}{L}\right)_1 (V_{GS} - V_t)^2 \tag{5.52}$$

em que desprezamos a modulação do comprimento de canal (isto é, assumimos $\lambda = 0$). A corrente de dreno de Q_1 é fornecida por V_{DD} através do resistor R (que em alguns casos pode estar fora da pastilha de circuito integrado). Uma vez que as correntes de porta são nulas, podemos escrever que

$$I_{D1} = I_{\text{REF}} = \frac{V_{DD} - V_{GS}}{R} \tag{5.53}$$

em que a corrente através de R é a de referência e costuma ser chamada de I_{REF}. Portanto, sendo dados os parâmetros de Q_1 e o valor desejado de I_{REF}, podemos utilizar as Equações 5.52 e 5.53 para determinar o valor necessário de R.

6. Já que isso transforma o transistor de três terminais em um dispositivo de dois terminais, o transistor passa a ser chamado de diodo. Outros detalhes desse ponto podem ser encontradas na Seção 5.7.

Vamos agora considerar o transistor Q_2: ele tem o mesmo V_{GS} de Q_1, portanto, se assumirmos que o mesmo esteja na saturação, sua corrente de dreno, que é a corrente de saída I_O da fonte de corrente, será

$$I_O = I_{D2} = \frac{1}{2}k_n'\left(\frac{W}{L}\right)_2 (V_{GS} - V_t)^2 \tag{5.54}$$

em que desprezamos a modulação de canal. As Equações 5.52 e 5.54 permitem-nos relacionar a corrente de entrada I_O com a corrente de referência I_{REF},

$$\frac{I_O}{I_{\text{REF}}} = \frac{(W/L)_2}{(W/L)_1} \tag{5.55}$$

Essa é uma relação simples e atrativa. A conexão especial existente entre Q_1 e Q_2 possibilita uma corrente de saída I_O que está relacionada com a corrente de referência I_{REF} pelas razões de aspecto dos transistores, isto é, a relação entre I_O e I_{REF} depende exclusivamente das geometrias dos transistores. No caso particular de transistores idênticos, $I_O = I_{\text{REF}}$, e o circuito replica ou simplesmente *espelha* a corrente de referência no terminal de saída. Devido a isso, esse circuito é conhecido como **espelho de corrente** (*current-mirror*), um nome que é empregado mesmo que I_O seja diferente de I_{REF}.

A Figura 5.41 mostra o circuito espelho de corrente onde a corrente de referência de entrada é fornecida, por simplicidade, por uma fonte de corrente. O ganho de corrente ou razão de transferência de corrente do espelho de corrente é descrito pela Equação 5.55. O leitor deve se lembrar de um circuito espelho de corrente muito similar implementado com TBJs (veja a Figura 4.42b). Finalmente, é importante notar que o circuito da Figura 5.41 é a forma básica dos circuitos espelho de corrente; implementações mais avançadas da função espelhamento de corrente, tanto em tecnologia MOS como bipolar, serão estudadas no Capítulo 6. Espelhos de corrente são blocos construtivos essenciais no projeto de amplificadores analógicos integrados.

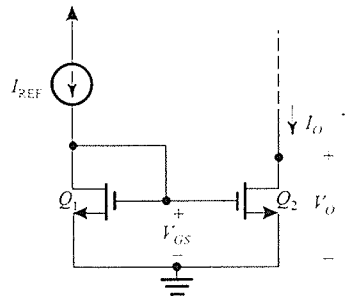


Figura 5.41 O circuito básico de um espelho de corrente.

Efeito de V_O em I_O. Na descrição anterior sobre a operação da fonte de corrente da Figura 5.40, assumimos que Q_2 estava operando na saturação. Isso é obviamente essencial para Q_2 fornecer

uma corrente constante de saída. Para garantir que Q_2 esteja saturado, o circuito ao qual o dreno de Q_2 será conectado deve estabelecer uma tensão de dreno V_O que satisfaça a relação

$$V_O \geq V_{GS} - V_t \tag{5.56}$$

Em outras palavras, a fonte de corrente operará adequadamente para tensões V_O tão baixas quanto $|V_t|$ volts abaixo de V_{GS}.

O efeito de modulação do comprimento de canal pode ser significativo na operação da fonte de corrente. Considere, por simplicidade, o caso de dispositivos idênticos Q_1 e Q_2. A corrente de dreno de Q_2, I_O, será igual à corrente em Q_1, I_{REF}, somente para o valor de V_O que faz com que os dispositivos tenham o mesmo V_{DS}, isto é, em $V_O = V_{GS}$. Aumentando-se V_O acima desse valor, I_O aumentará regida pela resistência incremental de saída r_{o2} de Q_2. Isso é ilustrado na Figura 5.42, que mostra I_O *versus* V_O. Observe que, uma vez que Q_2 está operando em uma tensão constante V_{GS} (determinada pela corrente I_{REF} que passa através de Q_1), a curva na Figura 5.42 é simplesmente a característica i_D–v_{DS} de Q_2 para v_{GS} igual ao valor particular de V_{GS}.

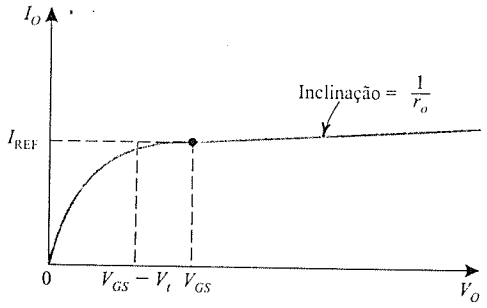


Figura 5.42 Característica de saída da fonte de corrente na Figura 5.40 ou 5.41 para o caso em que Q_2 está casado com Q_1.

Em resumo, a fonte de corrente da Figura 5.40 ou o espelho de corrente da Figura 5.41 tem resistência da saída finita R_o,

$$R_O = \frac{\Delta V_O}{\Delta I_O} = r_{o2} = \frac{V_{A2}}{I_O} \tag{5.57}$$

em que I_O é dado pela Equação 5.54 e V_A é a tensão Early de Q_2. Lembre-se de que V_A é proporcional ao comprimento de canal do transistor; portanto, para obter valores elevados de resistências de saída, as fontes de corrente são normalmente projetadas utilizando transistores de canal longo.

EXEMPLO 5.9

Dado $V_{DD} = 5$ V e utilizando $I_{REF} = 100$ μA, projete o circuito da Figura 5.40 a fim de obter uma corrente de saída com valor nominal de 100 μA. Obtenha R para Q_1 e Q_2 casados, com comprimentos de canal de 10 μm e larguras de canal de 100 μm, $V_t = 1$ V e $k_n' = 20$ μA/V^2. Qual o menor valor possível de V_O? Assumindo que a tecnologia de fabricação resulte em uma tensão Early que pode ser expressa como 10 L, em que L está em micra e V_A, em volts, obtenha também a resistência de saída da fonte de corrente. Finalmente, determine a mudança na corrente de saída devido a uma mudança de 3 V em V_O.

SOLUÇÃO

$$I_{D1} = I_{REF} = 100 = \frac{1}{2} \times 20 \times \frac{100}{10}(V_{GS} - 1)^2$$

Portanto,

$$V_{GS} = 2 \text{ V}$$

$$R = \frac{5 - 2}{100\ \mu\text{A}} = 30\ \text{k}\Omega$$

$$V_{O\text{mín}} = V_{GS} - V_t = 2 - 1 = 1 \text{ V}$$

Para os transistores empregados, $L = 10$ μm. Portanto

$$V_A = 10 \times 10 = 100 \text{ V}$$

$$r_o = \frac{100 \text{ V}}{100\ \mu\text{A}} = 1\ \text{M}\Omega$$

A corrente de saída será 100 μA em $V_O = V_{GS} = 2$ V. Se V_O mudar de + 3 V, a correspondente mudança em I_O será

$$\Delta I_O = \frac{\Delta V_O}{r_o} = \frac{+3 \text{ V}}{1\ \text{M}\Omega} = +3\ \mu\text{A}$$

ou +3%.

Exercício

5.24 Para a fonte de corrente projetada no Exemplo 5.9, suponha que seja necessário duplicar a corrente de saída (isto é, obter 200 μA) através da mudança de somente W_2. Qual o valor necessário de W_2? Qual a resistência de saída da fonte de corrente reprojetada? Obtenha a corrente de saída para $V_O = +5$ V.

Resposta 200 μm; 0,5 MΩ; 206 μA

Circuitos Guias de Corrente. Conforme mencionado anteriormente, um vez que uma corrente constante seja gerada, ela pode ser replicada a fim de fornecer correntes de polarização *cc* para diversos estágios amplificadores em um CI. Espelhos de corrente podem obviamente ser usados para implementar esta função de guia de corrente (current-steering). A Figura 5.43 mostra um circuito guia de corrente simples em que Q_1 juntamente com R determina a corrente de referência I_{REF}.

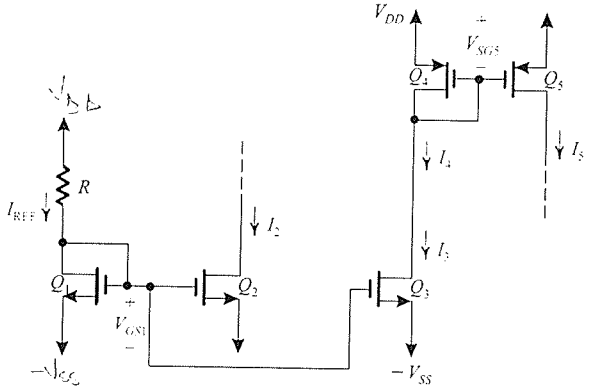


Figura 5.43 Circuito guia de corrente (current-steering).

Os transistores Q_1, Q_2 e Q_3 formam dois espelhos de corrente com:

$$I_2 = I_{REF}\frac{(W/L)_2}{(W/L)_1}$$

$$I_3 = I_{REF}\frac{(W/L)_3}{(W/L)_1}$$

As tensões nos drenos de Q_2 e Q_3 estão limitadas como segue:

$$V_{D2}, V_{D3} > -V_{SS} + V_{GS1} - V_{tn}$$

m que V_{tn} é a tensão de limiar dos dispositivos canal *n*. Essa limitação normalmente significa ue V_{D2} e V_{D3} devem ser maiores do que o valor $(-V_{SS})$ por cerca de um volt.

Retornando ao circuito da Figura 5.43, vemos que a corrente I_3 está alimentando a entrada de m espelho de corrente formado pelos dispositivos canal *p* Q_4 e Q_5. Esse espelho de corrente fornece:

$$I_5 = I_4\frac{(W/L)_5}{(W/L)_4}$$

m que $I_4 = I_3$. Para conservar Q_5 na saturação, sua tensão de dreno deve estar limitada por:

$$V_{D5} < V_{DD} - V_{SG5} + |V_{tp}|$$

m que V_{tp} é a tensão de limiar dos dispositivos canal *p*.

Finalmente, um ponto importante a ser notado é que, enquanto Q_2 *puxa* sua corrente de sa- da I_2 da carga (não mostrada), Q_5 *empurra* uma corrente de saída I_5 para a carga (também não ostrada). Portanto, Q_5 é apropriadamente chamado de *fonte de corrente* enquanto Q_2 pode ser hamado de *sorvedouro de corrente*. Em um CI, tanto fontes de corrente como sorvedouros de rrente são sempre necessários. A disponibilidade de ambos os tipos de transistores em uma cnologia CMOS a faz mais conveniente para projeto dos circuitos guias de corrente compara- o a uma tecnologia NMOS pura e simples.

Exercício

5.25 Para o circuito da Figura 5.43, seja $V_{DD} = V_{SS} = 5$ V, $V_{tn} = 1$ V, $V_{tp} = -1$ V, todos os comprimentos iguais a 10 μm, $k'_n = 20$ μA/V², $k'_p = 8$ μA/V² e $\lambda = 0$. Para $I_{REF} = 10$ μA, obtenha as larguras de todos os transistores tais que $I_2 = 50$ μA, $I_3 = 2{,}5$ μA e $I_5 = 50$ μA. É também altamente necessário que a tensão no dreno de Q_2 possa decrescer até 0,5 V antes de chegar à tensão negativa de alimentação e que a tensão no dreno de Q_5 possa aumentar até 0,5 V antes de chegar na tensão positiva de alimentação.

Resposta $W_1 = 40$ μm; $W_2 = 200$ μm; $W_3 = 10$ μm; $W_4 = 25$ μm; $W_5 = 500$ μm

5.7 CONFIGURAÇÕES BÁSICAS DE AMPLIFICADORES MOS EM CIRCUITOS INTEGRADOS

Nesta seção, estudaremos as configurações básicas empregadas no projeto de amplificadores MOSFET em circuitos integrados. Os circuitos que serão considerados seguem a mesma filosofia de projeto de CIs discutida na seção anterior. isto é, a utilização de dispositivos ativos (MOSFETs) para implementar todos ou a maioria dos elementos de circuito. Já vimos na seção anterior uma aplicação dessa filosofia na qual fontes de corrente são utilizadas para polarizar o MOSFET. Aqui, daremos um passo maior e empregaremos fontes de corrente em lugar dos resistores de carga. Os amplificadores resultantes serão chamados de **amplificadores com carga ativa**, em contraste com o caso usual de cargas passivas implementadas com resistores.

A Figura 5.44 mostra a essência (ou os "esqueletos") das três configurações básicas existentes: (a) amplificador com fonte comum (FC); (b) amplificador com porta comum (PC): (c) amplificador com dreno comum (DC) ou circuito seguidor de fonte. Como logo veremos, as fontes de corrente serão implementadas utilizando o circuito simples já estudado na seção anterior. Obviamente, para os circuitos FC e PC, necessitaremos da versão PMOS da fonte de corrente, ao passo que, para o seguidor de fonte, o circuito NMOS da Figura 5.40 será empregado. Portanto, a implementação dos circuitos amplificadores básicos da Figura 5.44 necessitará tanto de dispositivos canal *n* como de dispositivos canal *p* e, portanto, será necessária a utilização de tecnologias CMOS.

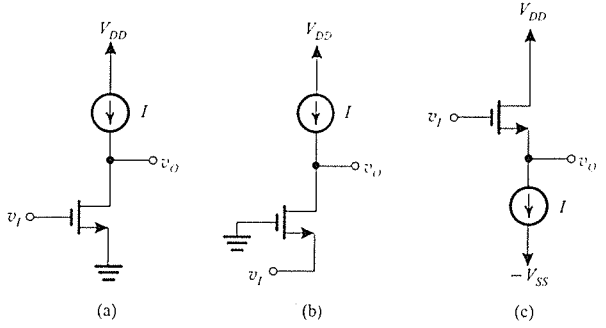


Figura 5.44 A essência dos três amplificadores MOS de estágio simples para CIs: (a) fonte comum; (b) porta comum; (c) dreno comum ou seguidor de fonte. Note o uso de fontes de corrente como elementos de carga dando origem ao termo "amplificadores com carga ativa".

No instante em que este livro estava sendo publicado, a tecnologia CMOS já era a mais popular para o projeto tanto de circuitos integrados analógicos como digitais.

5.7.1 Amplificador CMOS com Fonte Comum

A Figura 5.45(a) mostra o circuito de um amplificador CMOS com fonte comum. Esse circuito é baseado naquele mostrado na Figura 5.44(a) com a fonte de corrente I de carga implementada através de um transistor Q_2. Este último é o transistor de saída do espelho de corrente formado por Q_2 e Q_3 que é acionado com a corrente de polarização I_{REF}. Assumiremos que Q_2 e Q_3 estão casados, e, portanto, a característica i–v do dispositivo de carga será aquela mostrada na Figura 5.45(b). Essa curva corresponde simplesmente à característica i_D–v_{SD} do transistor Q_2 canal p para uma tensão fonte-porta constante V_{SG}. O valor de V_{SG} é fixado circulando a corrente de polarização de referência I_{REF} através de Q_3. Observe que, conforme era esperado, o transistor Q_2 age como uma fonte de corrente quando ele opera na saturação, o que, por sua vez, ocorre quando $v = v_{SD}$ é maior do que $(V_{SG} - |V_{tp}|)$. Quando em saturação, Q_2 tem uma resistência incremental de saída finita r_{o2},

$$r_{o2} = \frac{|V_{A2}|}{I_{REF}} \tag{5.58}$$

em que V_{A2} é a tensão Early de Q_2. Em outras palavras, a carga tipo fonte de corrente não é ideal mas tem uma resistência de saída finita igual a r_o.

Antes de considerar o ganho de tensão com mais detalhe, devemos examinar a característica de transferência do amplificador, v_O *versus* v_I. Esta pode ser determinada utilizando-se a construção gráfica mostrada na Figura 5.45(c). Essa figura mostra a característica i_D–v_{DS} de Q_1, com a correspondente curva de carga, para o dispositivo Q_2, sobreposta. Essa curva de carga corresponde simplesmente à curva i–v na Figura 5.45(b) espelhada em relação ao eixo vertical e deslocada de V_{DD} volts ao longo do eixo horizontal. Como $v_{GS1} = v_I$, cada uma das curvas i_D–v_{DS} corresponde a um valor de v_I particular. A interseção de cada curva particular com a curva de carga dá o valor correspondente de v_{DS1}, que é igual a v_O. Portanto, desse modo, podemos obter a característica v_O–v_I ponto a ponto. A curva de transferência resultante está esboçada na Figura 5.45(d). Conforme indicado, há quatro segmentos distintos, designados de I, II, III e IV, cada um obtido para uma das quatro combinações possíveis dos modos de operação de Q_1 e Q_2, também indicados no diagrama. Note também que temos devidamente indicados dois pontos notáveis importantes na característica de transferência (A′ e B′) em correspondência com os pontos de interseção (A e B) na Figura 5.45(c). Recomendamos que o leitor estude cuidadosamente a característica de transferência apresentada quanto a seus diversos detalhes.

Para a operação de amplificação, a região III é a de interesse. Observe que a característica de transferência na região III é quase linear e, por causa do alto ganho, é muito inclinada, indicando um valor elevado de ganho. Na região III, tanto o transistor amplificador Q_1 como o transistor de carga Q_2 estão operando na saturação. O ganho de tensão para pequenos sinais pode ser determinado substituindo-se Q_1 por seu modelo equivalente para pequenos sinais e Q_2 por sua resistência de carga associada, r_{o2}. A resistência de saída de Q_2 representa a resistência de carga de Q_1. Como resultado, obtém-se o circuito equivalente para pequenos sinais mostrado na Figura 5.46. Este circuito equivalente representa o amplificador em qualquer ponto de polarização ao longo do segmento III da característica de transferência onde a corrente de polarização em cada um dos transistores Q_1 e Q_2 é aproximadamente I_{REF}. A partir do circuito equivalente mostrado na Figura 5.46, obtemos o ganho de tensão como sendo

$$A_v \equiv \frac{v_o}{v_i} = -g_{m1}\left(r_{o1} \| r_{o2}\right) \tag{5.59}$$

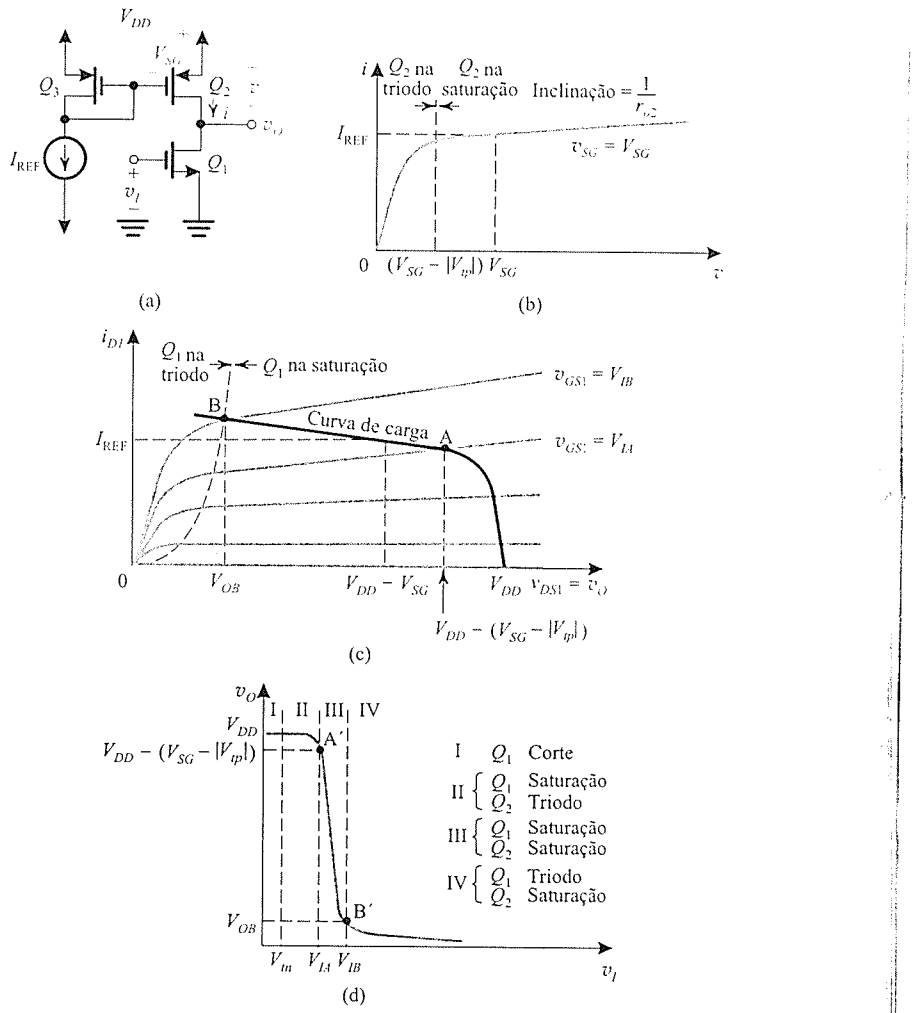


Figura 5.45 O amplificador CMOS em fonte comum: (a) circuito; (b) característica i–v da carga ativa Q_2; (c) construção gráfica para determinar a característica de transferência; e (d) característica de transferência.

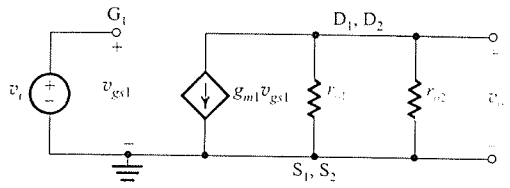


Figura 5.46 Circuito equivalente para pequenos sinais do amplificador CMOS em fonte comum da Figura 5.45(a). Este modelo se aplica quando o amplificador está operando em algum ponto de polarização localizado no segmento III da curva de transferência na Figura 5.45(d).

No circuito equivalente da Figura 5.46, podemos concluir facilmente que a carga total no dreno é o equivalente paralelo de r_{o1} e r_{o2}. Uma vez que ambas apresentam normalmente valores elevados, a carga vista por Q_1 é elevada e, assim, o ganho de tensão será também elevado apesar de g_{m1} não ser necessariamente tão elevado. Portanto, é o valor elevado de resistência efetiva de carga que faz com que a carga ativa seja atrativa; isso possibilita a obtenção de elevados valores de ganho sem a necessidade de utilizar elevados valores de resistores de dreno (R_D). A utilização de resistores em circuitos integrados demanda uma grande área de pastilha (*chip*) e, ainda pior, implica a utilização de altos valores de tensão de alimentação. (Considere, por exemplo, o valor de V_{DD} necessário para $R_D = 1$ MΩ com $I_D = 0{,}1$ mA; pelo menos 100 V!)

A expressão do ganho na Equação 5.59 pode ser escrita em termos dos parâmetros físicos do MOSFET e da corrente de polarização I_{REF} através da substituição de r_{o2} na Equação 5.58 e para g_{m1} e r_{o1},

$$g_{m1} = \sqrt{2k_n'\left(\frac{W}{L}\right)_1 I_{REF}}$$

$$r_{o1} = \frac{|V_{A1}|}{I_{REF}}$$

O resultado fica

$$A_v = -\frac{\sqrt{2k_n'\left(\frac{W}{L}\right)_1}}{\frac{1}{|V_{A1}|}+\frac{1}{|V_{A2}|}}\frac{1}{\sqrt{I_{REF}}} \tag{5.60}$$

em que podemos notar que a amplitude do ganho é inversamente proporcional à raiz quadrada da corrente de polarização I_{REF}. Para o caso em que $|V_{A1}| = |V_{A2}| = V_A$, a expressão do ganho pode ser simplificada para

$$A_v \simeq -\sqrt{\frac{1}{2}k_n'\left(\frac{W}{L}\right)_1}\frac{V_A}{\sqrt{I_{REF}}} \tag{5.61}$$

O amplificador CMOS com fonte comum pode ser projetado de forma a se ter ganhos na faixa de 20 a 100. Ele exibe uma resistência de entrada muito elevada; entretanto, sua resistência de saída também é bastante elevada.

Dois comentários finais precisam ser feitos antes de deixarmos o amplificador com fonte comum:

1. O circuito não é afetado pelo efeito de corpo, uma vez que os terminais de fonte tanto de Q_1 como de Q_2 estão aterrados.

2. Este circuito é normalmente parte de um circuito amplificador maior (como será visto nos Capítulos 6 e 10) e uma realimentação negativa é normalmente empregada de forma a permitir que o circuito maior de fato opere na região III da característica de transferência.

EXEMPLO 5.10

Considere o amplificador CMOS na Figura 5.45(a) para o qual: $V_{DD} = 10$ V, $V_{tn} = |V_{tp}| = 1$ V, $\mu_n C_{ox} \simeq 2\,\mu_p C_{ox} = 20\ \mu$A/V^2, $W = 100\ \mu$m e $L = 10\ \mu$m para os dois dispositivos n e p, $|V_A| = 100$ V e $I_{REF} = 100\ \mu$A. Calcule o ganho de tensão para pequenos sinais. Encontre também as coordenadas das extremidades da região da característica de transferência do amplificador, isto é, os pontos A′ e B′.

SOLUÇÃO

$$g_{m1} = \sqrt{2k_n'\left(\frac{W}{L}\right)_1 I_{REF}}$$

$$= \sqrt{2\times 20\times\frac{100}{10}\times 100} = 0{,}2\ \text{mA/V}$$

$$r_{o1} = r_{o2} = \frac{|V_A|}{I_{REF}} = \frac{100\ \text{V}}{100\ \mu\text{A}} = 1\ \text{M}\Omega$$

Portanto,

$$A_v = -g_{m1}(r_{o1}\|r_{o2})$$

$$= -0{,}2(\text{mA/V})\times 500\ (\text{k}\Omega) = -100\ \text{V/V}$$

As extremidades da região da característica de transferência do amplificador são encontradas como segue (veja a Figura 5.45): primeiro, determinamos V_{SG} de Q_2 e Q_3 correspondendo a $I_D = I_{REF} = 100\ \mu$A, usando

$$I_D = \frac{1}{2}k_p'\left(\frac{W}{L}\right)_2\left(V_{SG}-|V_{tp}|\right)^2\left(1+\frac{V_{SD}}{|V_A|}\right)$$

Uma vez que $V_{SD} = V_{SG} << |V_A|$, simplesmente desprezaremos o último fator do segundo membro na equação anterior. O resultado é $V_{SG} \cong 2{,}41$ V. Portanto, para o ponto A′ temos:

$$V_{OA} = V_{DD} - \left(V_{SG}-|V_{tp}|\right) = 8{,}59\ \text{V}$$

Para encontrar o valor correspondente de v_I, V_{IA}, determinamos uma expressão para v_O *versus* v_I na região III. Note que na região III, Q_1 e Q_2 estão saturados e obviamente conduzem correntes iguais:

$$i_{D1} = i_{D2}$$

$$\frac{1}{2}k_n'\left(\frac{W}{L}\right)_1(v_I - V_{tn})^2\left(1+\frac{v_O}{|V_A|}\right) = \frac{1}{2}k_p'\left(\frac{W}{L}\right)_2\left(V_{SG}-|V_{tp}|\right)^2\left(1+\frac{V_{DD}-v_O}{|V_A|}\right)$$

Substituindo I_{REF} por $\frac{1}{2}k_p'\left(\frac{W}{L}\right)_2\left(V_{SG}-|V_{tp}|\right)^2$ resulta

$$\frac{1}{2}k_p'\left(\frac{W}{L}\right)_1\left(v_I-V_{tn}\right)^2 = I_{REF}\frac{1+\frac{V_{DD}}{|V_A|}-\frac{v_O}{|V_A|}}{1+\frac{v_O}{|V_A|}}$$

$$\simeq I_{REF}\left[1+\frac{V_{DD}}{|V_A|}-\frac{2v_O}{|V_A|}\right]$$

da qual v_O pode ser expressa em termos de v_I como

$$v_O = \frac{|V_A|}{2}\left[1+\frac{V_{DD}}{|V_A|}-\frac{k_n'(W/L)_1}{2I_{REF}}\left(v_I-V_{tn}\right)^2\right]$$

Essa é a equação do segmento III da característica de transferência. Embora inclua v_I^2, o leitor deve ser avisado: como a região III é muito estreita, v_I muda muito pouco e a característica é aproximadamente linear. Substituir $v_O = V_{OA} = 8{,}59$ V resulta no valor correspondente de v_I, que é $V_{IA} = 1{,}96$ V. Para determinar as coordenadas de B′, notamos que eles estão relacionados por $V_{OB} = V_{IB} - V_{tn}$. Substituindo na Equação 5.62 e resolvendo, resulta $V_{IB} = 2{,}04$ V e $V_{OB} = 1{,}04$ V. A largura da região de amplificação é, portanto,

$$\Delta V_I = V_{IB} - V_{IA} = 0{,}08\ V$$

e a excursão correspondente do sinal de saída é

$$\Delta V_O = V_{OB} - V_{OA} = -7{,}55\ \text{V}$$

O ganho de tensão para grandes sinais é

$$\frac{\Delta V_O}{\Delta V_I} = \frac{-7{,}55}{0{,}08} = -94{,}4\ \text{V/V}$$

o qual é muito próximo de −100, que é o valor do ganho para pequenos sinais, indicando que a característica de transferência é bastante linear.

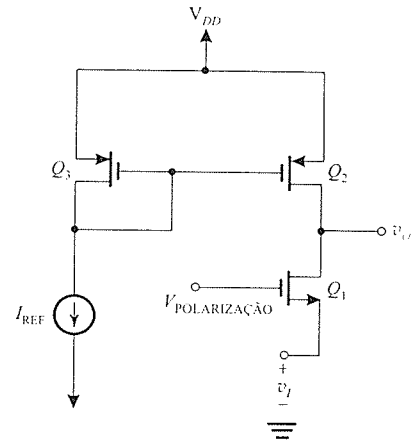
Exercício

5.26 Um amplificador CMOS com fonte comum fabricado em tecnologia de 0,8 µm (veja Apêndice A) tem $W/L = 100\ \mu m/1{,}6\ \mu m$ para todos os transistores, $k_n' = 90\ \mu A/V^2$, $k_p' = 30\ \mu A/V^2$, $I_{REF} = 100\ \mu A$, $V_{An} = 8\ L$ (µm), volts e $|V_{Ap}| = 12\ L$ (µm), volts. Obtenha g_{m1}, r_{o1}, r_{o2} e o ganho de tensão.

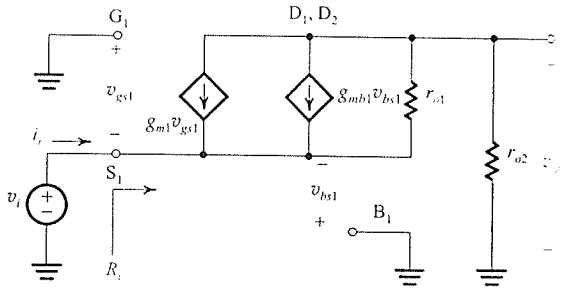
Resposta 1,06 mA/V; 128 kΩ; 192 kΩ; −81,4 V/V

5.7.2 Amplificador CMOS com Porta Comum

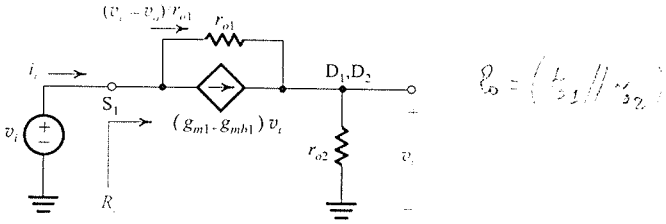
A Figura 5.47(a) mostra um amplicador CMOS com porta comum. Note que ele é muito similar ao circuito com fonte comum, exceto que agora a porta está conectada a uma tensão *cc* constante $V_{POLARIZAÇÃO}$ e o sinal de entrada está aplicado à fonte.



(a)



(b)



(c)

Figura 5.47 O amplificador CMOS com porta comum: (a) circuito; (b) circuito equivalente para pequenos sinais; e (c) versão simplificada do circuito em (b).

O sinal de tensão na porta será zero, por isso o nome configuração porta comum.

Substituindo Q_1 por seu modelo para pequenos sinais e Q_2 pela resistência de saída r_{o2}, resulta no circuito amplificador equivalente mostrado na Figura 5.47(b). Observe que, uma vez que a fonte de Q_1 não está aterrada, há um sinal entre o corpo e a fonte, v_{bs}, e, assim, temos de incluir a fonte de corrente $g_{mb1}v_{bs1}$ no modelo. O exame do modelo revela que, como a porta está aterrada, temos $v_{gs1} = -v_i$. De forma similar, o corpo do transistor está aterrado e, portanto, $v_{bs1} = -v_i$. Assim, podemos expressar as fontes controladas em termos de v_i, resultando no circuito simplificado mostrado na Figura 5.47(c), que analisaremos para determinar o ganho de tensão e a resistência de entrada.

Note que a corrente através de r_{o1} pode ser expressa como $(v_i - v_o)/r_{o1}$ e a equação nodal no nó de saída pode ser escrita como

$$\frac{v_i - v_o}{r_{o1}} + (g_{m1} + g_{mb1})v_i = \frac{v_o}{r_{o2}}$$

Essa equação pode ser rearranjada a fim de obter o ganho de tensão,

$$A_v \equiv \frac{v_o}{v_i} = \left(g_{m1} + g_{mb1} + \frac{1}{r_{o1}}\right)(r_{o1} \| r_{o2}) \quad (5.63)$$

Na prática, $1/r_{o1} << g_{m1}$ e, assim, desprezando-se $1/r_{o1}$ na Equação 5.63, resulta:

$$A_v \simeq (g_{m1} + g_{mb1})(r_{o1} \| r_{o2}) \quad (5.64)$$

Observe que a expressão do ganho é semelhante àquela do amplificador fonte comum, com duas exceções: o amplificador com porta comum é não-inversor e seu ganho é influenciado pelo efeito de corpo. É interessante notar, entretanto, que, nesse caso, o efeito de corpo aumenta o ganho (em cerca de 20%, já que $g_{mb} = \chi g_m$ e $\chi \simeq 0{,}1$ a $0{,}3$).

A resistência de entrada R_i do amplificador porta comum pode ser determinada a partir do circuito equivalente mostrado na Figura 5.47(c) como segue: a corrente de entrada i_i pode ser achada a partir da equação nodal na entrada,

$$i_i = (g_{m1} + g_{mb1})v_i + \frac{v_i - v_o}{r_{o1}}$$

Substituindo v_o pela expressão do ganho na Equação 5.63, resulta em:

$$R_i \equiv \frac{v_i}{i_i} \simeq \frac{1}{(g_{m1} + g_{mb1})}\left(1 + \frac{r_{o2}}{r_{o1}}\right) \quad (5.65)$$

Essa expressão difere do valor esperado de $(1/g_{m1})$ em dois aspectos: primeiro, há o efeito de corpo representado por g_{mb1}, que adicionado a g_{m1} faz diminuir a resistência de entrada levemente (em cerca de 20% ou mais). Segundo, há o fator

$$\left(1 + \frac{r_{o2}}{r_{o1}}\right)$$

que é resultado do valor elevado da resistência de carga r_{o2}. Uma vez que $r_{o2} \simeq r_{o1}$, a resistência de entrada aumentará por um fator 2.

Em resumo, o circuito com porta comum exibe um ganho de tensão de valor similar àquele do amplificador com fonte comum, mas apresenta uma resistência de entrada mais baixa. A aplicação mais importante do amplificador com porta comum é na configuração chamada **circuito cascode** que será estudada no Capítulo 6.

Exercício

5.27 Um amplificador CMOS com porta comum fabricado em uma tecnologia CMOS de 0,8 μm (veja Apêndice A) tem $W/L = 100$ μm/1,6 μm para todos os transistores, $k'_n = 90$ μA/V², $k'_p = 30$ μA/V², $I_{REF} = 100$ μA, $V_{An} = 8\,L$ (μm), volts, e $|V_{Ap}| = 12\,L$ (μm), volts. O efeito de corpo do fator χ para o transistor Q_1 vale 0,15. Obtenha g_{m1}, g_{mb1}, r_{o1}, r_{o2}, A_v e R_i.

Resposta 1,06 mA/V; 0,16 mA/V; 128 kΩ; 192 kΩ; 93,7 V/V; 2,05 kΩ

5.7.3 Configuração Dreno Comum ou Seguidora de Fonte

Assim como o emissor comum estudado na Seção 4.11, o seguidor de fonte é utilizado como amplificador isolador ou casador de impedâncias (*buffer*). Embora seu ganho de tensão seja menor do que a unidade, ele tem baixa resistência de saída e, portanto, tem capacidade de fornecer corrente para cargas de baixa impedância com ganho ligeiramente menor que o unitário. O seguidor de fonte é empregado como estágio de saída em amplificadores com múltiplos estágios. Sua ação de casamento de impedâncias pode também ser empregada a fim de melhorar a resposta em altas freqüências dos amplificadores e aumentar a velocidade de operação dos circuitos digitais.

A Figura 5.48(a) mostra o circuito de um seguidor de fonte que é normalmente implementado para CIs em tecnologias MOS. Uma vez que o transistor de amplificação Q_1 tem seu dreno aterrado sob o ponto de vista de sinal, o circuito é conhecido também como configuração dreno comum. O transistor Q_1 está polarizado com uma corrente constante de fonte através de um espelho de corrente formado por $Q_1 - Q_2$. Além de fornecer uma corrente de polarização para Q_1, o transistor Q_2 atua como uma carga ativa para Q_1. Uma vez que a resistência de saída de Q_2 é r_{o2}, esta é a carga efetiva que está sendo vista pela fonte de Q_1. Por outro lado, se o terminal de saída for conectado a uma carga R_L, esta aparecerá em paralelo com r_{o2} e pode ser facilmente incluída na análise que segue.

Desejamos em primeiro lugar analisar a operação com pequenos sinais do circuito seguidor de fonte a fim de determinar seu ganho de tensão e sua resistência de saída. A resistência de entrada é obviamente muito alta, porque o sinal está sendo aplicado na porta de um transistor MOSFET (Q_1). Note que essa porta se constitui em uma vantagem significativa sobre o seguidor de emissor cuja resistência de entrada, embora alta, é limitada pelo valor finito de β do TBJ.

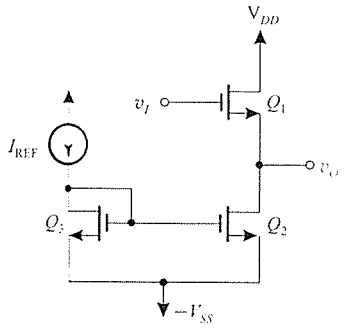
Substituindo Q_1 por seu modelo correspondente para pequenos sinais e incluindo o efeito de corpo devido ao fato de o terminal de fonte não estar aterrado, resulta no circuito equivalente mostrado na Figura 5.48(b). Embora esse circuito seja aparentemente complexo, um exame cuidadoso pemite-nos simplificá-lo de maneira considerável. Nesse sentido, observe que o substrato (B_1) está aterrado, portanto, $v_{bs1} = -v_{s1}$, em que v_{s1} é a tensão na fonte de Q_1 (indicada por S_1). Portanto, a fonte corrente controlada $g_{mb1}v_{bs1}$ é igual a $-g_{mb1}v_{s1}$, e assim temos uma corrente $g_{mb1}v_{s1}$ fluindo para *fora* do terminal S_1 de fonte. Podemos, portanto, substituir a fonte de corrente controlada por uma resistência $(1/g_{mb1})$ conectada entre S_1 e terra. Essa é justamente uma aplicação do teorema da absorção de fonte (veja o Apêndice E). A resistência pode então ser combinada com duas outras resistências entre S_1 e terra, ou seja, com r_{o1} e r_{o2}. Se chamarmos a associação paralela dessas três resistências de R_S,

$$R_s = (1/g_{mb1}) \| r_{o1} \| r_{o2} \quad (5.66)$$

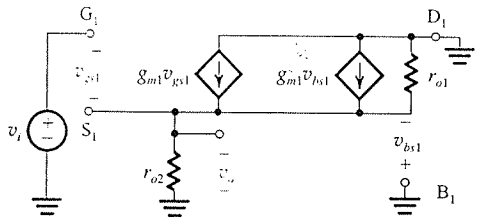
resulta no circuito equivalente mostrado na Figura 5.48(c).

No circuito da Figura 5.48(c), a tensão de saída v_o pode agora ser escrita por inspeção como:

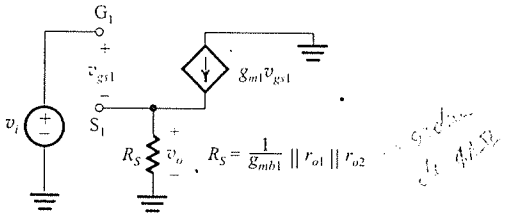
$$v_o = v_{s1} = g_{m1} R_s v_{gs1} \tag{5.67}$$



(a)



(b)



(c)

Figura 5.48 O seguidor de fonte: **(a)** circuito; **(b)** circuito equivalente para pequenos sinais; e **(c)** versão simplificada do circuito equivalente.

A tensão de entrada v_i pode ser expressa em termos de v_{gs1} como segue:

$$v_i = v_{gs1} + v_{s1} = v_{gs1} + g_{m1} R_s v_{gs1}$$

Portanto,

$$v_i = (1 + g_{m1} R_S) v_{gs1} \tag{5.68}$$

Combinando as Equações 5.67 e 5.68 resulta no ganho de tensão:

$$A_v \equiv \frac{v_o}{v_i} = \frac{g_{m1} R_S}{1 + g_{m1} R_S} \tag{5.69}$$

Na prática, $g_{m1} R_S >> 1$ e o ganho de tensão é menor, mas muito próximo do valor unitário. Portanto, o sinal na fonte (v_o) segue aproximadamente o sinal de saída (v_s), por isso o nome seguidor de fonte.

Há uma expressão alternativa para A_v que permite entender melhor a operação do seguidor de fonte. Essa expressão é obtida dividindo-se o numerador e o denominador da expressão na Equação 5.69 por R_S seguido da substituição de R_S, conforme a Equação 5.66. Portanto

$$A_v = \frac{g_{m1}}{g_{m1} + g_{mb1} + \dfrac{1}{r_{o1}} + \dfrac{1}{r_{o2}}} \tag{5.70}$$

Neste ponto, é importante observar que, se uma resistência de carga adicional R_L for conectada entre a saída e o terra, a expressão na Equação 5.70 deverá ser modificada pela inclusão de um termo adicional $1/R_L$ no denominador. Normalmente, r_{o1} e r_{o2} apresentam valores elevados, de forma que podemos desprezar $1/r_{o1}$ e $1/r_{o2}$ comparados a g_{m1}, o que resulta em:

$$A_v \simeq \frac{g_{m1}}{g_{m1} + g_{mb1}} \tag{5.71}$$

Substituindo $g_{mb1} = \chi \cdot g_{m1}$, temos

$$A_v = \frac{1}{1 + \chi} \tag{5.72}$$

Portanto, o ganho do seguidor de fonte com carga ativa é afetado pelo efeito de corpo; especificamente, o ganho é reduzido de 10% a 30% ($\chi = 0{,}1$ a $0{,}3$).

Para determinar a resistência de saída R_o, devemos curto-circuitar o sinal de entrada v_i (porta de Q_1 aterrada) e aplicar uma tensão de teste v_x no terminal de saída (terminal S_1), conforme mostrado na Figura 5.49(a). Observe que $v_{gs1} = -v_{s1}$; portanto, podemos aplicar o teorema da absorção de fonte e trocar a fonte controlada $g_{m1}v_{gs1}$ por uma resistência $1/g_{m1}$ conectada entre a fonte e o terra. De forma análoga, uma vez que $v_{bs1} = -v_{s1}$, a fonte controlada $g_{mb1}v_{bs1} = -g_{mb1}v_{s1}$ pode ser trocada por uma resistência $1/g_{mb1}$ conectada entre S_1 e terra. Isso resulta no circuito simplificado mostrado na Figura 5.49(b), do qual podemos encontrar R_o por inspeção como sendo:

$$R_o = (1/g_{m1}) \| (1/g_{mb1}) \| r_{o1} \| r_{o2} \tag{5.73}$$

Normalmente, r_{o1} e r_{o2} apresentam valores elevados, de forma que podem ser desprezados diante de $1/g_{m1}$, portanto,

$$R_o \simeq (1/g_{m1}) \| (1/g_{mb1}) = \frac{1}{g_{m1}(1 + \chi)} \tag{5.74}$$

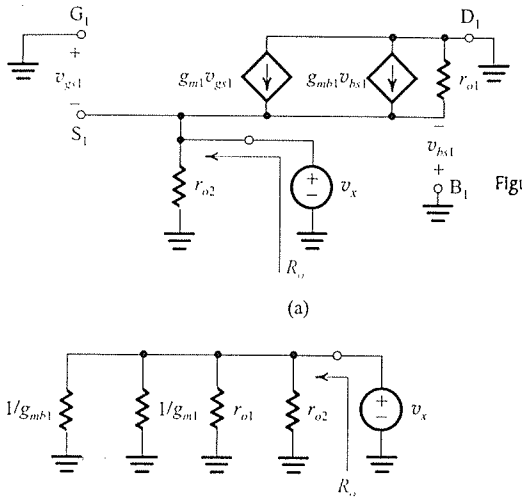


Figura 5.49 (a) Para determinar a resistência de saída do seguidor de fonte, v_i é curto-circuitado e uma tensão de teste v_x é aplicada no terminal de saída. (b) Versão simplificada do circuito em (a) com as fontes controladas trocadas por suas resistências equivalentes após utilizar o teorema da absorção de fonte.

O ganho de tensão obtido anteriormente pode ser empregado junto com R_o para deteminar o ganho de tensão quando uma carga R_L é conectada na saída do seguidor de fonte,

$$A_v\Big|_{R_L} = A_v\Big|_{R_L=\infty} \frac{R_L}{R_o + R_L} \tag{5.75}$$

em que $A_v\Big|_{R_L=\infty}$ é o ganho de tensão sem R_L, que é a expressão nas Equações 5.70, 5.71 e 5.72.

Exercício

5.28 Considere o circuito seguidor de fonte na Figura 5.48 fabricado com tecnologia CMOS de 0,8 μm (veja Apêndice A). Considere W/L = 100 μm/1,6 μm para todos os transistores, k_n' = 90 μA/V^2, I_{REF} = 100 μA, V_{An} = 8 L (μm), volts, e χ = 0,15. Obtenha g_{m1}, g_{mb1}, r_{o1}, r_{o2}, A_v e R_o. Qual será o ganho de tensão se a saída estiver conectada a uma resistência de 10 kΩ ?

Resposta 1,06 mA/V; 0,16 mA/V; 128 kΩ; 0,86 V/V; 809 Ω; 0,80 V/V

5.7.4 Estágios Amplificadores NMOS

Conforme mencionado anteriormente, a tecnologia CMOS é atualmente a mais popular para o projeto de circuitos tanto digitais como analógicos. A disponibilidade de dispositivos canal p e

canal n permite uma flexibilidade de projeto de circuitos integrados sem precedentes e sem comparação com qualquer outra tecnologia de fabricação de circuitos integrados. Apesar disso, antes de deixar o assunto amplificadores integrados MOS, é salutar estudarmos rapidamente duas configurações de amplificadores que empregam apenas transistores NMOS. Esses circuitos NMOS foram, há algum tempo, muito populares porque permitiram a implementação de sistemas completos em NMOS. O processo de fabricação em NMOS é mais simples do que o CMOS, e no passado a densidade de integração dos dispositivos era até maior em NMOS. No entanto, no momento, os circuitos que apresentaremos nesta seção têm aplicações limitadas em sistemas digitais e analógicos. Ambos os circuitos fazem uso de transistores NMOS conectados como dispositivos de dois terminais para implementar a carga do amplificador.

Dispositivos de Carga NMOS. Na tecnologia NMOS são usados dois tipos de elementos de cargas: o MOSFET tipo enriquecimento com o dreno conectado na porta e o MOSFET tipo depleção com a porta conectada na fonte. A Figura 5.50 mostra o transistor tipo enriquecimento "conectado como diodo", juntamente com sua característica i–v, que é descrita por

$$i = \frac{1}{2}k_n' \frac{W}{L}(v - V_t)^2, \qquad v \geq V_t \tag{5.76}$$

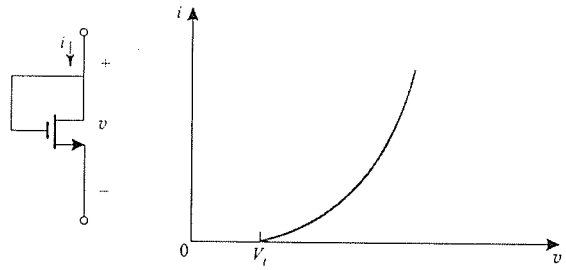


Figura 5.50 Um transistor MOS tipo enriquecimento conectado como diodo e sua característica i–v.

Observe que o transistor estará operando sempre na região de saturação. Se o transistor conectado como diodo for polarizado com uma tensão V, sua resistência dinâmica para pequenos sinais será igual a $1/g_m$, com o valor de g_m calculado no ponto de operação.

O MOSFET de depleção conectado como diodo está mostrado na Figura 5.51, juntamente com sua característica i–v. Para operar na região de saturação, a tensão entre os dois terminais do dispositivo deve exceder $-V_{tD}$, em que V_{tD} é a tensão de limiar do dispositivo de depleção e é negativa, tipicamente entre –1,V a –3 V. Na região de triodo a característica i–v é descrita por

$$i = \frac{1}{2}k_n' \frac{W}{L} V_{tD}^2 \left(1 + \frac{v}{V_A}\right) \tag{5.77}$$

em que V_A é a tensão Early. Essa equação pode ser reescrita como:

$$i = I_{DSS}\left(1 + \frac{v}{V_A}\right) \tag{5.78}$$

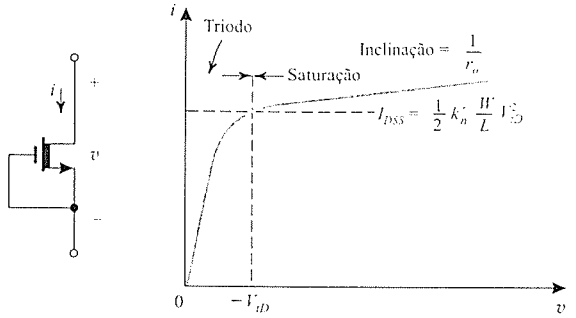


Figura 5.51 O transistor MOS tipo depleção conectado como diodo e sua característica i–v.

em que I_{DSS} é a corrente que passa entre dreno e fonte com a porta curto-circuitada na fonte,

$$I_{DSS} = \frac{1}{2} k_n' \frac{W}{L} V_{tD}^2 \tag{5.79}$$

Note que, quando operando em saturação, o dispositivo de carga tipo depleção exibe uma resistência incremental (r_o) que é muito maior do que a resistência incremental do dispositivo carga tipo enriquecimento ou carga enriquecida ($1/g_m$). Portanto, o dispositivo tipo depleção permite implementar um elemento de carga muito superior.

Amplificador NMOS com Carga Enriquecida. A Figura 5.52(a) mostra o amplificador com carga enriquecida. A característica de transferência de tensão, v_O *versus* v_I, pode ser obtida utilizando a construção gráfica da Figura 5.52(b). A característica resultante está esboçada na Figura 5.52(c) e seus três segmentos distintos estão claramente indicados. Observe que, embora o transistor de carga Q_2 opere na saturação o tempo todo, o transistor amplificador Q_1 pode operar no corte (segmento I), na saturação (segmento II) ou na região de triodo (segmento III). É também simples determinar a expressão relacionando v_O e v_I no segmento II da característica de transferência,

$$v_O = \left(V_{DD} - V_t + \sqrt{\frac{(W/L)_1}{(W/L)_2}} V_t \right) - \sqrt{\frac{(W/L)_1}{(W/L)_2}} v_I \tag{5.80}$$

em que é assumido que $V_{t1} = V_{t2} = V_t$, $\lambda = 0$ e o efeito de corpo foi desprezado. Observe que essa é uma relação linear, indicando que o amplificador é linear para sinais de grande excursão com um ganho de

$$A_v = -\sqrt{\frac{(W/L)_1}{(W/L)_2}} \tag{5.81}$$

Portanto, o ganho é determinado pela geometria dos dois dispositivos e é fixo para dois determinados transistores. Para obter ganhos relativamente grandes, o transistor Q_1 é feito curto e largo, ao passo que o transistor de carga Q_2 é feito longo e estreito. Apesar dessa possibilidade, na prática é muito difícil implementar ganhos maiores do que 10. Por outro lado, uma vez que a fonte de Q_2 não está aterrada, o efeito de corpo influenciará a operação de Q_2. Utilizando o modelo equivalente para pequenos sinais, pode ser mostrado que, se o efeito de corpo for levado em consideração para Q_2, mas com r_{o1} e r_{o2} desprezados, a expressão do ganho será modificada para:

$$A_v = -\sqrt{\frac{(W/L)_1}{(W/L)_2}} \frac{1}{1+\chi_2} \tag{5.82}$$

em que $\chi_2 = g_{mb2}/g_{m2}$. Portanto, o o efeito de corpo reduz o ganho máximo em cerca de 20% ou mais.

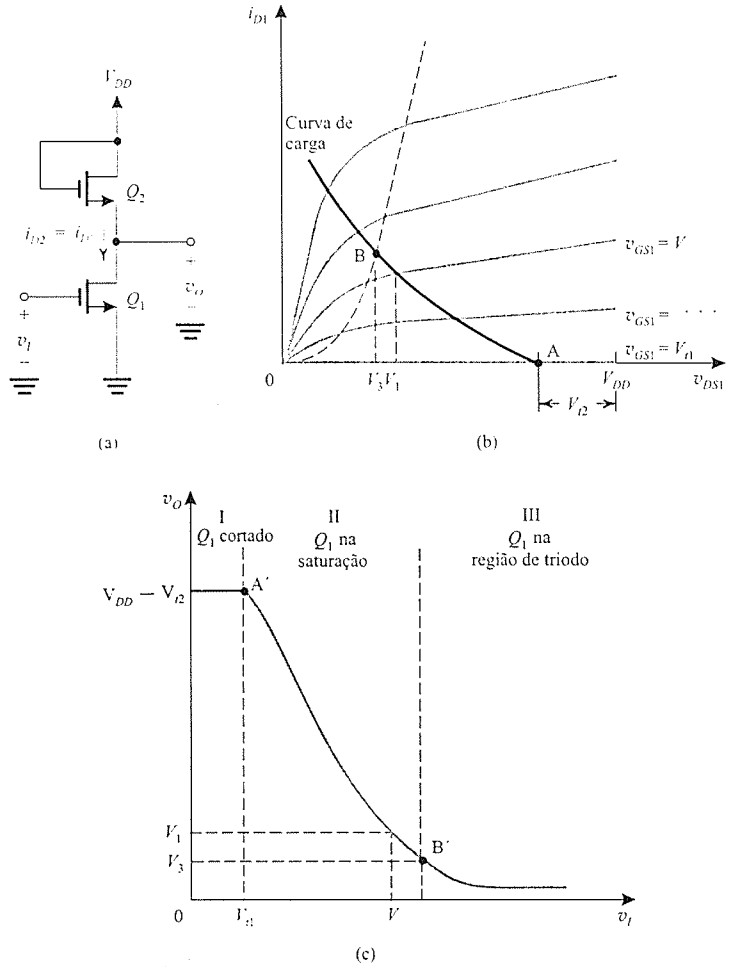


Figura 5.52 **(a)** O amplificador NMOS com carga tipo enriquecimento. **(b)** Determinação gráfica da característica de transferência. **(c)** Característica de transferência.

Finalmente, é possível verificar que, associado a esse ganho fixo e baixo (isto é, independente da corrente de polarização), o amplificador com carga enriquecida tem uma outra característica: sua excursão máxima de sinal é bastante limitada, uma vez que v_O não pode ser menor do que $(V_{DD} - V_t)$.

Exercício

5.29 Para um dado amplificador com carga enriquecida, suponha $W_1 = 100\ \mu m$, $L_1 = 6\ \mu m$, $W_2 = 6\ \mu m$ e $L_2 = 30\ \mu m$. Se o parâmetro do efeito de corpo for $\chi = 0{,}2$, calcule o ganho de tensão sem levar em consideração o efeito de corpo. Despreze o efeito de r_o.

Resposta 9,12 V/V; −7,61 V/V

Amplificador NMOS com Carga Tipo Depleção. A tecnologia NMOS permite a fabricação de ambos os dispositivos, enriquecimento e depleção, em uma mesma pastilha. Como será mostrado agora, usar o MOSFET de depleção como dispositivo de carga resulta em um amplificador com funcionamento superior ao do circuito com carga enriquecida. O amplificador com carga tipo depleção é mostrado na Figura 5.53(a).

Desprezando, neste ponto, o efeito de corpo no transistor de carga Q_2, podemos utilizar a construção gráfica ilustrada na Figura 5.53(b) para obter a característica de transferência do amplificador esboçada na Figura 5.53(c). Como mostrado, a característica é abrupta, indicando um alto ganho de tensão na região III, que é obtido quando ambos os transistores, Q_1 e Q_2, estão operando na saturação.

Para operação na região III da característica de transferência, temos o circuito equivalente para pequenos sinais apresentado na Figura 5.54. Nesse circuito foi incluída uma fonte controlada $g_{mb}v_{bs2}$ que modela o efeito de corpo em Q_2. Além disso, o único outro parâmetro representando Q_2 é a resistência de saída r_{o2}. A análise do circuito na Figura 5.54 é direta e demonstra-se facilmente que a expressão do ganho é dada por:

$$A_v \equiv \frac{v_o}{v_i} = -g_{m1}\left[\left(\frac{1}{g_{mb1}}\right) \| r_{o1} \| r_{o2}\right] \tag{5.83}$$

Infelizmente, $1/g_{mb2}$ costuma ser bem menor do que r_{o1} e r_{o2}, resultando em um ganho de aproximadamente:

$$A_v \cong -\frac{g_{m1}}{g_{mb2}} = -\frac{g_{m1}}{\chi \cdot g_{m2}}$$

Portanto,

$$A_v = -\sqrt{\frac{(W/L)_1}{(W/L)_2}}\,\frac{1}{\chi} \tag{5.84}$$

A comparação da Equação 5.84 com a expressão do ganho para o amplificador com carga enriquecida (Equação 5.82) revela que o ganho do amplificador com carga tipo depleção é um fator $(1 + \chi)/\chi$ maior. Como χ é tipicamente de 0,1 a 0,3, o aumento no ganho pode ser de um fator de 3 a 10. Ainda assim, isso é um pouco menor do que o ganho esperado para um amplificador CMOS.

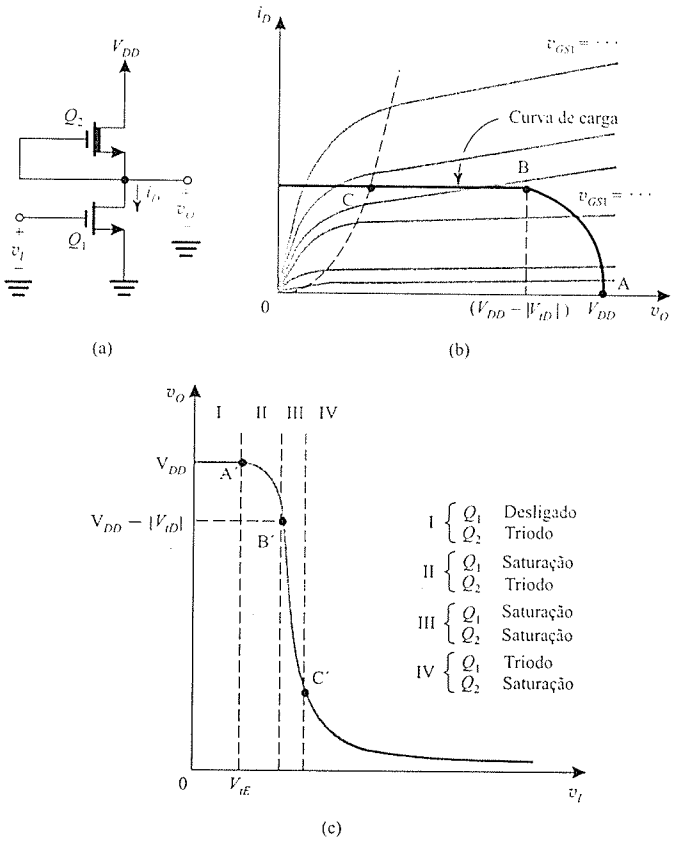


Figura 5.53 O amplificador NMOS com uma carga tipo depleção: (a) circuito; (b) construção gráfica para determinar a característica de transferência; e (c) característica de transferência.

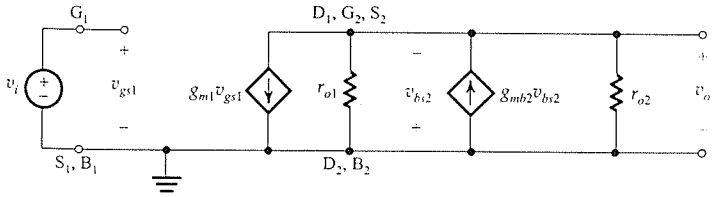


Figura 5.54 Circuito equivalente para pequenos sinais do amplificador carga tipo depleção da Figura 5.53(a), incorporando o efeito de corpo em Q_2.

Em resumo, embora a carga tipo depleção seja em algum grau mais simples que o circuito CMOS, o último apresenta desempenho superior. Além disso, a tecnologia CMOS oferece ao projetista de circuito flexibilidade de projeto muito maior.

Exercício

5.30 Para um dado amplificador com carga tipo depleção, suponha $W_1 = 100\ \mu m$, $L_1 = 6\ \mu m$, $W_2 = 6\ \mu m$ e $L_2 = 30\ \mu m$. Considerando o parâmetro de efeito do corpo $\chi = 0{,}2$, calcule o ganho de tensão para pequenos sinais desprezando o efeito de r_o.

Resposta $-45{,}6$ V/V

5.7.5 Uma Consideração Final

Nesta seção, estudamos as configurações básicas de amplificadores integrados MOS. No Capítulo 6, aproveitaremos esse material para construir versões e combinações mais elaboradas e com melhor desempenho e também estudaremos outros circuitos amplificadores MOS.

5.8 O INVERSOR LÓGICO DIGITAL CMOS

Circuitos MOS complementares ou circuitos lógicos CMOS têm estado disponíveis como "pacotes-padrão" para uso no projeto de sistemas digitais convencionais desde o início dos anos 70. Tais "pacotes" contêm portas lógicas e outros blocos construtivos de sistemas digitais com o número de portas por "pacote" variando desde uns poucos (circuitos integrados em pequena escala ou circuitos SSI – *Small-scale Integrated*) a algumas dezenas (circuitos integrados em média escala ou circuitos MSI – *Medium-scale Integrated*).

No final dos anos 70, com o início da era da integração em escala ampla e da integração em escala muito ampla (centenas a centenas de milhares de portas por pastilha; LSI e VLSI – *Large-scale Integration* e *Very-large-scale Integration*), a tecnologia de fabricação NMOS foi a escolhida. E, de fato, os primeiros circuitos VLSI, como microprocessadores, empregaram a tecnologia NMOS. Tais circuitos utilizavam carga enriquecida e, mais tarde, carga tipo depleção na configuração do inversor lógico básico. Embora nessa época fossem conhecidas a flexibilidade de projeto e outras vantagens da tecnologia CMOS, esta era, então, complexa demais para produzir pastilhas VLSI de alta densidade de forma economicamente viável. No entanto, com os avanços da tecnologia de processamento, esse quadro mudou radicalmente. Já na época da redação deste livro, a tecnologia CMOS havia virtualmente substituído a tecnologia NMOS em todos os níveis de integração em aplicações tanto analógicas como digitais.

Em qualquer tecnologia de fabricação de circuitos integrados empregada no projeto de circuitos digitais, o elemento básico de circuito é o inversor lógico. Uma vez que a operação e as características do circuito inversor sejam claramente entendidas, os resultados poderão ser estendidos para o projeto de portas lógicas e outros circuitos mais complexos. Nesta seção em particular, estudaremos o inversor CMOS.

O inversor CMOS básico está mostrado na Figura 5.55. Ele utiliza dois transistores MOSFETs tipo enriquecimento casados; um, Q_N, com um canal n e um outro, Q_P, com um canal p. Como está indicado, o corpo de cada dispositivo está conectado à sua fonte e, portanto, nenhum efeito de corpo deve ser considerado. Assim, utilizaremos o circuito esquemático mostrado na Figura 5.55(b). Como veremos a seguir, o inversor CMOS realiza a implementação do inversor conceitual já estudado no Capítulo 1 (Figura 1.32), em que um par de chaves é controlado de forma complementar através de uma tensão de entrada v_I.

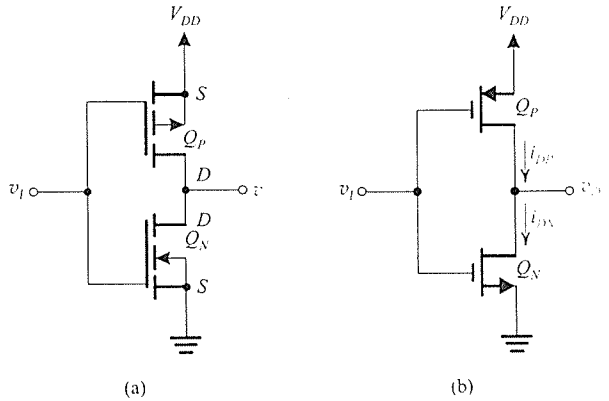


Figura 5.55 (a) O inversor CMOS. (b) Circuito esquemático simplificado do mesmo inversor.

Operação do Circuito

Em primeiro lugar, consideraremos dois casos extremos: quando v_I estiver no nível lógico 0, que corresponde a aproximadamente 0 V, e quando v_I estiver no nível lógico 1, que corresponde a aproximadamente V_{DD} volts. Em ambos os casos consideraremos o transistor Q_N de canal n como sendo o transistor de comando (*driver*) e o transistor Q_P de canal p como sendo o transistor de carga. Entretanto, uma vez que o circuito inversor é completamente simétrico, essa consideração é obviamente arbitrária e o pressuposto contrário também conduziria a resultados idênticos.

A Figura 5.56 ilustra o caso para o qual $v_I = V_{DD}$, mostrando a curva característica i_D–v_{DS} para Q_N com $v_{GSN} = V_{DD}$. (Note que $i_D = i$ e $v_{DSN} = v_O$.)

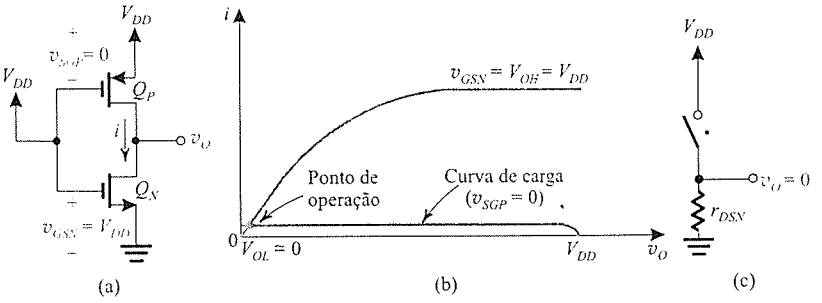


Figura 5.56 Operação do inversor CMOS quando v_I está alto: (a) circuito com $v_I = V_{DD}$ (nível lógico 1, ou V_{OH}); (b) construção gráfica para determinar o ponto de operação; e (c) circuito equivalente.

Superposta à curva característica de Q_N está a curva de carga, que é a curva i_D–v_{SD} de Q_P para o caso $v_{SGP} = 0$ V. Sendo $v_{SGP} < |V_t|$, a curva de carga será uma linha reta horizontal em um nível de corrente de valor quase igual a zero. O ponto de operação estará na interseção das duas curvas, onde notamos que a tensão de saída será aproximadamente igual a zero (tipicamente menor do que 10 mV) e a corrente através dos dois transistores também será de aproximamente zero. Isso significa que a dissipação de potência no inversor é muito pequena (tipicamente, uma fração de microwatt). Note, entretanto, que, embora Q_N esteja operando em uma corrente e uma tensão, ambas com valores próximos de zero (isto é, próximo da origem do plano i_D–v_{DS}), o ponto de operação está sobre um segmento da característica i_D–v_{DS} com grande inclinação. Portanto, Q_N corresponde a um caminho de baixa resistência entre o terminal de saída e o terra, sendo que essa resistência pode ser obtida utilizando a Equação 5.13 para $v_{GS} = V_{DD}$ e $V_t = V_{tn}$, ou seja:

$$r_{DS} = 1\Big/\left[k_n'\left(\frac{W}{L}\right)_n\left(V_{DD} - V_{tn}\right)\right] \tag{5.85}$$

A Figura 5.56(c) mostra o circuito equivalente do inversor quando a entrada está em nível alto. Esse circuito confirma que $v_O \equiv V_{OL} = 0$ V, e a dissipação de potência no inversor, novamente, é praticamente nula.

O outro caso extremo, quando $v_I = 0$ V, está ilustrado na Figura 5.57. Nesse caso, Q_N está operando em $v_{GSN} = 0$, portanto sua característica i_D–v_{DS} é quase uma linha reta horizontal passando por um nível de corrente de aproximadamente zero. A curva de carga é a característica i_D–v_{SD} do transistor canal p com $v_{SGP} = V_{DD}$. Conforme mostrado no ponto de operação, a tensão de saída é quase igual a V_{DD} (tipicamente, menos de 10 mV abaixo de V_{DD}), e a corrente através dos dois transistores é muito próxima de zero. Portanto, a dissipação de potência no inversor é muito pequena em ambos os extremos de operação.

A Figura 5.57(c) mostra o circuito equivalente do inversor quando a entrada está em nível baixo. Aqui, percebemos que o transistor Q_P faz o papel de um caminho de baixa resistência entre o terminal de saída e a fonte *cc* representada por V_{DD}, cuja resistência é dada por:

$$r_{DSP} = 1\Big/\left[k_p'\left(\frac{W}{L}\right)_n\left(V_{DD} - |V_{tn}|\right)\right] \tag{5.86}$$

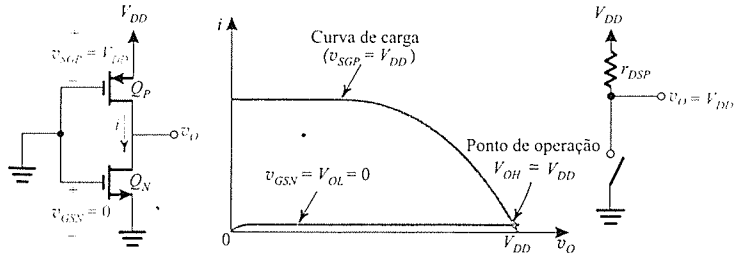


Figura 5.57 Operação do inversor CMOS quando v_I está baixo: (a) circuito com $v_I = 0$ V (nível lógico 0, ou V_{OL}); (b) construção gráfica para determinar o ponto de operação; e (c) circuito equivalente.

O circuito equivalente confirma que, nesse caso, $v_O \equiv V_{OH} = V_{DD}$ e que a dissipação de potência no inversor é praticamente nula.

Deve ser observado, entretanto, que apesar de a corrente quiescente ser nula, a capacidade de fornecer corrente do inversor CMOS é alta. Por exemplo, com a entrada em nível alto no circuito da Figura 5.56, o transistor Q_N pode drenar uma corrente da carga relativamente alta. Essa corrente pode rapidamente descarregar uma dada capacitância de carga na saída, como será visto em breve. Devido a sua habilidade de drenar corrente da carga e, portanto, puxar a tensão de saída em direção ao terra, o transistor Q_N é conhecido como dispositivo abaixador (*pull-down*). De forma similar, com a entrada em nível baixo no circuito da Figura 5.57, o transistor Q_P pode fornecer uma corrente de carga relativamente grande. Essa corrente pode rapidamente carregar uma capacitância de carga, puxando, portanto, a tensão de saída para cima em direção a V_{DD}. Portanto, Q_P é conhecido como dispositivo levantador (*pull-up*). O leitor deve se lembrar de que já utilizamos essa terminologia quando descrevemos o inversor conceitual da Figura 1.32.

Do que foi descrito anteriormente, podemos concluir que o inversor CMOS pode ser considerado como ideal se:

1. Os níveis de tensão de saída são 0 e V_{DD} e, portanto, a excursão de sinal é a máxima possível. Isso, acoplado ao fato de que o inversor pode ser projetado para fornecer uma característica de transferência de tensão simétrica, resulta em margens de ruído largas.
2. A dissipação de potência estática no inversor é zero (desprezando a dissipação devido à corrente de fuga) em ambos os estados de operação. (Lembre-se de que a dissipação de potência estática é assim denominada para distingui-la da dissipação de potência dinâmica durante o chaveamento do inversor, a qual será discutida em breve.)
3. Um caminho de baixa resistência existe entre o terminal de saída e o terra (na situação de estado de saída em nível baixo) ou entre o terminal de saída e V_{DD} (na situação de estado de saída em nível alto). Esses caminhos de baixa resistência fazem com que a tensão de saída seja 0 ou V_{DD} independentemente dos valores exatos das razões (W/L) ou dos outros parâmetros do dispositivo. Além disso, a baixa resistência de saída faz com que o inversor seja menos sensível aos efeitos de ruído e outras perturbações.
4. Os dispositivos ativos levantador e abaixador fazem com que o inversor tenha capacidade de operar com altas correntes na saída em ambos os sentidos. Conforme será visto posteriormente, isso aumenta substancialmente a velocidade de operação.
5. A resistência de entrada do inversor é infinita (porque $I_G = 0$). Portanto, um dado inversor pode ter como carga um número arbitrariamente grande de inversores similares sem nenhuma perda no nível do sinal de saída. Obviamente, cada inversor adicional que é colocado na saída aumenta a capacitância de carga e diminui a velocidade de operação. Em breve analisaremos a operação do inversor ao ser chaveado.

A Característica de Transferência de Tensão

A característica de transferência de tensão completa (CTT) do inversor CMOS pode ser obtida repetindo-se o procedimento gráfico utilizado anteriormente nos dois casos extremos, para todos os valores intermediários de v_I. A seguir, calcularemos os pontos notáveis da curva de transferência de tensão. Para tanto, precisamos das relações i–v de Q_N e Q_P. Para Q_N,

$$i_{DN} = k_n'\left(\frac{W}{L}\right)_n\left[\left(v_I - V_{tn}\right)v_O - \frac{1}{2}v_O^2\right] \qquad \text{para } v_O \le v_I - V_{tn} \tag{5.87}$$

e

$$i_{DN} = k_n'\left(\frac{W}{L}\right)_n (v_I - V_{tn})^2 \qquad \text{para } v_O \geq v_I - V_{tn} \tag{5.88}$$

Para Q_P,

$$i_{DP} = k_p'\left(\frac{W}{L}\right)_p \left[\left(V_{DD} - v_I - |V_{tp}|\right)(V_{DD} - v_O) - \frac{1}{2}(V_{DD} - v_O)^2\right] \qquad \text{para } v_O \geq v_I + |V_{tp}| \tag{5.89}$$

e

$$i_{DP} = \frac{1}{2}k_p'\left(\frac{W}{L}\right)_p \left(V_{DD} - v_I - |V_{tp}|\right)^2 \qquad \text{para } v_O \leq v_I + |V_{tp}| \tag{5.90}$$

O inversor CMOS é normalmente projetado para ter

$$V_{tn} = |V_{tp}| \quad \text{e} \quad k_n'\left(\frac{W}{L}\right)_n = k_p'\left(\frac{W}{L}\right)_p$$

Deve-se notar que, já que μ_p é 0,3 a 0,5 vezes o valor de μ_n, para fazer $k_n'(W/L)$ dos dois transistores iguais, a largura do transistor canal p deve ser de duas a três vezes maior do que a largura do transistor canal n, considerando, é claro, comprimentos L iguais. Ou seja, os dois dispositivos podem ser projetados com comprimentos iguais e relação de larguras dada por:

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p}$$

Isso resultará em

$$k_n'\left(\frac{W}{L}\right)_n = k_p'\left(\frac{W}{L}\right)_p$$

e o inversor terá uma característica de transferência simétrica e capacidades de fornecer correntes idênticas em ambos os sentidos (de levantamento e de abaixamento).

Com Q_N e Q_P casados, o inversor CMOS terá a característica de transferência de tensão mostrada na Figura 5.58. Conforme indicado, a característica de transferência tem cinco trechos distintos correspondendo a combinações diferentes de modos de operação de Q_N e Q_P. O segmento vertical BC é obtido quando ambos os transistores, Q_N e Q_P, estiverem operando na região de saturação. Se desprezarmos a resistência de saída finita na saturação, o ganho do inversor nessa região será infinito. Por simetria, esse segmento vertical ocorre em $v_I = V_{DD}/2$ e é limitado por $v_O(B) = V_{DD}/2 + V_t$ e $v_O(C) = V_{DD}/2 - V_t$.

O leitor deve lembrar-se da Seção 1.7 que, além de V_{OL} e V_{OH}, dois outros pontos da curva de transferência determinam as margens de ruído do inversor. São eles o máximo nível lógico "0" permitido na saída, V_{IL}, e o mínimo nível lógico "1" na saída, V_{IH}. Estes são formalmente definidos como os dois pontos na curva de transferência em que o ganho incremental é unitário (isto é, a inclinação é –1 V/V).

Para determinar V_{IH}, devemos notar que Q_N está na região de triodo e, portanto, sua corrente é dada pela Equação 5.87, enquanto Q_P está na saturação e sua corrente é dada pela Equação 5.90. Equacionando i_{DN} e i_{DP} e assumindo dispositivos casados, temos:

$$(v_I - V_t)v_O - \frac{1}{2}(V_{DD} - v_I - V_t)^2 \tag{5.91}$$

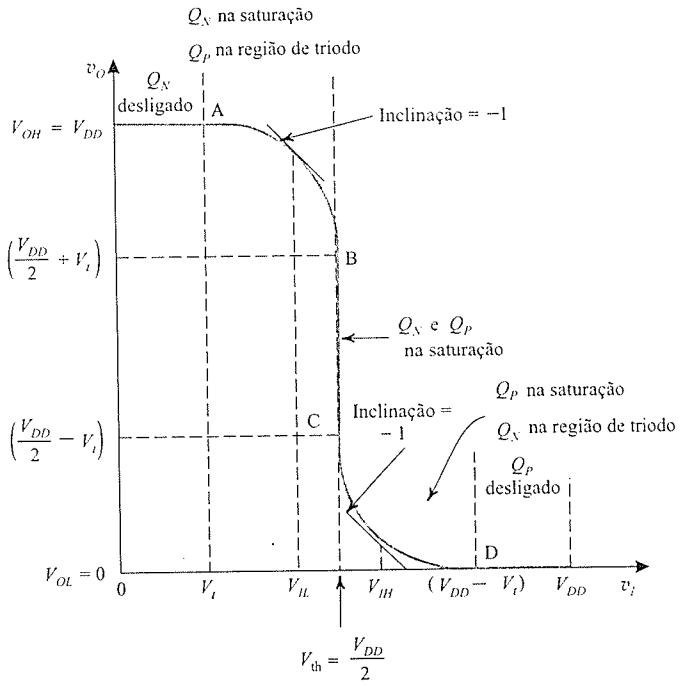


Figura 5.58 Característica de transferência de tensão do inversor CMOS.

Diferenciando ambos os membros em relação a v_I resulta em:

$$(v_I - V_t)\frac{dv_O}{dv_I} + v_O - v_O\frac{dv_O}{dv_I} = -(V_{DD} - v_I - V_t)$$

na qual podemos agora substituir $v_I = V_{IH}$ e $dv_O/dv_I = -1$ para obter:

$$v_O = V_{IH} - \frac{V_{DD}}{2} \tag{5.92}$$

Substituindo na Equação 5.91 $v_I = V_{IH}$ e tomando v_O da Equação 5.92, resulta:

$$V_{IH} = \frac{1}{8}(5V_{DD} - 2V_t) \tag{5.93}$$

V_{IL} pode ser determinada de forma similar a V_{IH}. Alternativamente, podemos utilizar uma relação de simetria dada por:

$$V_{IH} - \frac{V_{DD}}{2} = \frac{V_{DD}}{2} - V_{IL}$$

Esta última equação junto com a Equação 5.93 permite obter:

$$V_{IL} = \frac{1}{8}(3V_{DD} + 2V_t) \tag{5.94}$$

As margens de ruído podem agora ser determinadas conforme segue:

$$\begin{aligned} MR_H &= V_{OH} - V_{IH} \\ &= V_{DD} - \frac{1}{8}(5V_{DD} - 2V_t) \\ &= \frac{1}{8}(3V_{DD} + 2V_t) \end{aligned} \tag{5.95}$$

$$\begin{aligned} MR_L &= V_{IL} - V_{OL} \\ &= \frac{1}{8}(3V_{DD} - 2V_t) - 0 \\ &= \frac{1}{8}(3V_{DD} + 2V_t) \end{aligned} \tag{5.96}$$

Conforme esperado, a simetria da característica de transferência resulta em margens de ruído iguais. Certamente, se Q_N e Q_P não estiverem casados, a característica de transferência de tensão não será simétrica, e as margens de ruído não serão iguais (veja o Problema 5.94).

Exercícios

5.31 Para um inversor CMOS com MOSFETs casados com $V_t = 1$V, obtenha V_{IL}, V_{IH}, e as margens de ruído se $V_{DD} = 5$ V.

Resposta 2,1 V; 2,9 V; 2,1 V

5.32 Considere um inversor CMOS com $V_{tn} = |V_{tp}| = 2$ V, $(W/L)_n = 20$, $(W/L)_p = 40$, $\mu_n C_{ox} = 2\,\mu_p C_{ox} = 20\ \mu A/V^2$ e $V_{DD} = 10$ V. Para $v_I = V_{DD}$, obtenha a corrente máxima que o inversor pode drenar enquanto v_O permanecer ≤ 0,5 V.

Resposta 1,55 mA

5.33 Um inversor fabricado com tecnologia CMOS de 1,2 μm utiliza os menores comprimentos de canal possíveis (isto é, $L_n = L_p = 1{,}2$ μm). Se $W_n = 1{,}8$ μm, obtenha o valor de W_p que resultaria em Q_N e Q_P casados. Para essa tecnologia, $k'_n = 80\ \mu A/V^2$ e $k'_p = 27\ \mu A/V^2$. Também calcule o valor da resistência de saída do inversor quando $v_O = V_{OL}$.

Resposta 5,4 μm; 2 kΩ

5.34 Mostre que a tensão de transição V_{th} de um inversor CMOS (veja a Figura 5.58) é dada por

$$V_{th} = \frac{r\left(V_{DD} - |V_{tp}|\right) + V_{tn}}{1 + r}$$

em que

$$r = \sqrt{\frac{k'_p (W/L)_p}{k'_n (W/L)_n}}$$

Operação Dinâmica

Conforme explicado na Seção 1.7, a velocidade de operação de um sistema digital (por exemplo, um computador) é determinada pelo **atraso na propagação** das portas lógicas empregadas na construção do sistema. Uma vez que o inversor é a porta lógica básica de qualquer tecnologia de fabricação de circuitos integrados, o atraso na propagação de sinal do inversor é um parâmetro fundamental na caracterização da tecnologia. A seguir, analisaremos a operação de chaveamento do inversor CMOS a fim de determinar seu atraso na propagação. A Figura 5.59(a) mostra o inversor com um capacitor C entre o nó de saída e o terra. Aqui, C representa a soma das capacitâncias internas dos MOSFETs Q_N e Q_P, a capacitância das linhas de interconexão entre o nó de saída do inversor e a entrada das outras portas lógicas (para as quais o inversor está fornecendo corrente) mais as capacitâncias destas outras portas de carga (ou *fan-out*). Assumiremos que o inversor será chaveado através de um pulso ideal (tempos de subida e descida nulos) conforme mostrado na Figura 5.59(b).

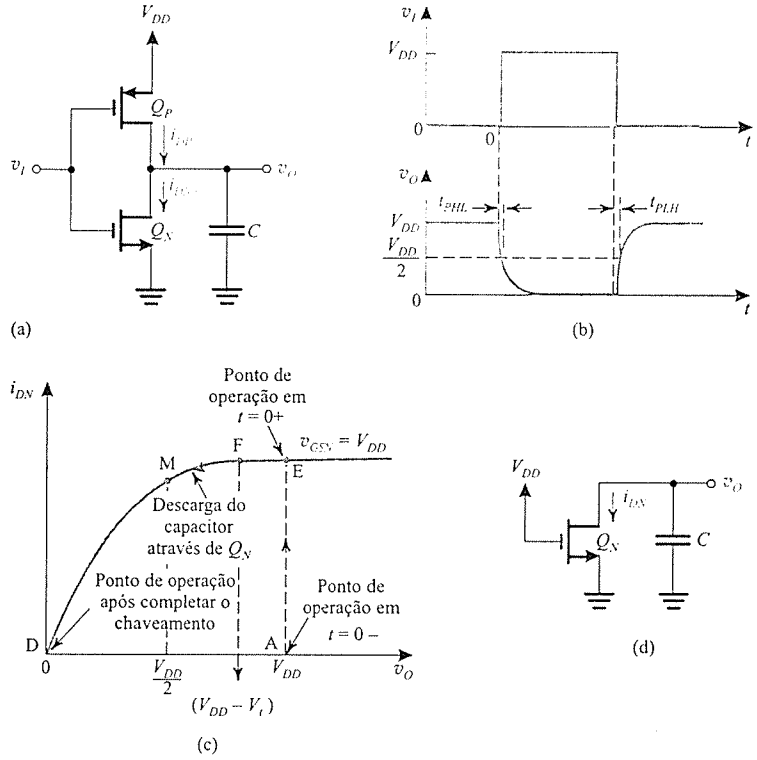


Figura 5.59 Operação dinâmica de um inversor CMOS capacitivamente carregado: **(a)** circuito; **(b)** formas de onda de entrada e saída; **(c)** trajetória do ponto de operação assim que a entrada fica em nível alto e o capacitor C se descarrega através de Q_N; **(d)** circuito equivalente durante a descarga do capacitor.

Uma vez que o circuito é simétrico (assumindo MOSFETs casados), os tempos de subida e descida da forma de onda de saída serão iguais. É suficiente, portanto, considerar ou o processo de "liga" ou o processo de "desliga". A seguir, consideraremos o primeiro.

A Figura 5.59(c) mostra a trajetória do ponto de operação obtido quando o pulso de entrada vai de $V_{OL} = 0$ para $V_{OH} = V_{DD}$ no instante $t = 0$. Imediatamente antes da transição do pulso de entrada (isto é, em $t = 0–$), a tensão de saída é igual a V_{DD} e o capacitor C está carregado nessa tensão. Em $t = 0$, v_I passa subitamente para V_{DD}, fazendo com que Q_P corte imediatamente. Nessa situação, o circuito equivalente passa a ser aquele mostrado na Figura 5.59(d) com o valor inicial de $v_O = V_{DD}$. Portanto, o ponto de operação em $t = 0+$ é o ponto E, no qual pode ser visto que o transistor Q_N estará na região de saturação e conduzindo com um valor elevado de corrente. À medida que C descarrega, a corrente em Q_N permanece constante até $v = V_{DD} - V_t$ (ponto F). Indicando esse trecho em que o capacitor descarrega de t_{PHL1} (em que o índice HL indica transição *high-to-low*), podemos escrever que:

$$t_{PHL1} = \frac{C\left[V_{DD} - (V_{DD} - V_t)\right]}{\frac{1}{2}k_n'\left(\frac{W}{L}\right)_n (V_{DD} - V_t)^2}$$

$$= \frac{CV_t}{\frac{1}{2}k_n'\left(\frac{W}{L}\right)_n (V_{DD} - V_t)^2} \tag{5.97}$$

Além do ponto F, o transistor Q_N opera na região de triodo e, portanto, sua corrente é dada pela Equação 5.87. Este trecho de descarga é descrito por:

$$i_{DN}dt = -C\,dv_O$$

Substituindo i_{DN} pela Equação 5.87 e rearranjando a equação diferencial, obtemos:

$$-\frac{k_n'(W/L)_n}{2C}dt = \frac{1}{2(V_{DD} - V_t)} \frac{dv_O}{\frac{1}{2(V_{DD} - V_t)}v_O^2 - v_O} \tag{5.98}$$

Para achar a parcela do tempo de atraso t_{PHL} durante a qual v_O decresce de $(V_{DD} - V_t)$ até o ponto de 50%, $v_O = V_{DD}/2$, integram-se ambos os lados da Equação 5.98. Indicando essa parcela do atraso por t_{PHL2}, obtém-se:

$$-\frac{k_n'(W/L)_n}{2C}t_{PHL2} = \frac{1}{2(V_{DD} - V_t)} \int_{v_O = V_{DD}-V_t}^{v_O = V_{DD}/2} \frac{dv_O}{\frac{1}{2(V_{DD} - V_t)}v_O^2 - v_O} \tag{5.99}$$

Utilizando o fato de que

$$\int \frac{dx}{\alpha x^2 - x} = \ln\left(1 - \frac{1}{\alpha x}\right)$$

pemite-nos calcular a integral na Equação 5.99 e, portanto, obtemos

$$t_{PHL2} = \frac{C}{k_n'(W/L)_n (V_{DD} - V_t)} \ln\left(\frac{3V_{DD} - 4V_t}{V_{DD}}\right) \tag{5.100}$$

As duas componentes de t_{PHL} expressas pelas Equações 5.97 e 5.100 podem ser somadas de forma a obter:

$$t_{PHL} = \frac{2C}{k_n'(W/L)_n (V_{DD} - V_t)}\left[\frac{V_t}{V_{DD} - V_t} + \frac{1}{2}\ln\left(\frac{3V_{DD} - 4V_t}{V_{DD}}\right)\right] \tag{5.10}$$

Para o caso usual de $V_t = 0{,}2\ V_{DD}$, essa equação reduz-se a

$$t_{PHL} = \frac{1{,}6C}{k_n'(W/L)_n V_{DD}} \tag{5.102}$$

Uma análise similar pode ser feita para o processo de "desliga", resultando em uma expressão para t_{PLH} idêntica àquela da Equação 5.102, exceto que $k_n'(W/L)_n$ deve ser trocado por $k_p'(W/L)_p$. O atraso de propagação t_P será dado pela média entre t_{PHL} e t_{PLH}. Da Equação 5.102, observa-se que, para obter menores atrasos na propagação e portanto maior velocidade, o capacitor C deve ser minimizado, o que implica que um valor elevado para o parâmetro de transcondutância do processo k' deveria ser utilizado, a razão W/L deveria ser aumentada ou, ainda, a tensão de alimentação V_{DD} deveria ser aumentada. Há, certamente, compromissos de projeto e os limites físicos envolvidos em todas as possíveis escolhas apresentadas. Esse assunto, entretanto, é avançado demais para nossas necessidades presentes.

Exercícios

5.35 Um inversor CMOS em um circuito VLSI está operando com uma fonte de alimentação de 5 V e tem $(W/L)_n = 10\ \mu m/5\ \mu m$, $(W/L)_p = 20\ \mu m/5\ \mu m$, $V_{tn} = |V_{tp}| = 1$ V, $\mu_n C_{ox} = 2\ \mu_p C_{ox} = 20\ \mu A/V^2$. Se a capacitância de carga efetiva for 0,1 pF, obtenha t_{PHL}, t_{PLH} e t_P.

Resposta 0,8 ns; 0,8 ns; 0,8 ns

5.36 Para o inversor CMOS do Exercício 5.32, projetado para aplicação em circuitos SSI e MSI, obtenha t_P se a capacitância de carga for de 15 pF.

Resposta 6 ns

Corrente e Dissipação de Potência

Quando o inversor CMOS é chaveado, flui corrente através da associação em série de Q_N e Q_P. A Figura 5.60 mostra a corrente que flui em função de v_I. Note que o pico de corrente ocorre durante a transição de chaveamento, $v_I = V_{th} = V_{DD}/2$. Essa corrente dá origem a uma dissipação de potência dinâmica no inversor CMOS. Entretanto, a componente de corrente mais significativa da dissipação de potência dinâmica resulta da corrente que flui em Q_N e Q_P quando o capacitor está carregado por um capacitor C.

Uma expressão para esta última componente mencionada pode ser calculada como segue: considere mais uma vez o circuito da Figura 5.59(a). No instante $t = 0–$, $v_O = V_{DD}$ e a energia armazenada no capacitor é $1/2\,CV_{DD}^2$. Em $t = 0$, v_I vai para V_{DD}, Q_P corta e Q_N conduz. O transistor Q_N então descarrega o capacitor e, no final do intervalo de descarga, a energia de $1\,2\,CV_{DD}^2$ é removida de C e dissipada em Q_N. Vamos agora considerar a outra metade do ciclo, quando v_I vai para zero.

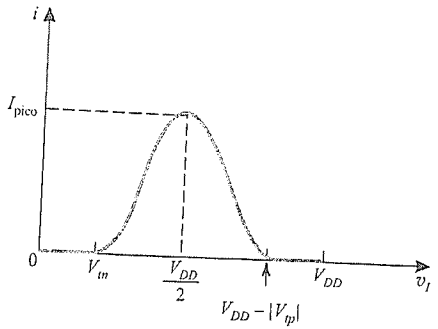


Figura 5.60 Corrente no inversor CMOS como função da tensão de entrada.

O transistor Q_N corta e Q_P conduz e carrega o capacitor. Seja a corrente instantânea fornecida por Q_P para C representada por i. Essa corrente vem, certamente, da fonte V_{DD}. Portanto, a energia consumida da fonte durante o período de carregamento será

$$\int V_{DD} i \, dt = V_{DD} \int i \, dt = V_{DD} \, Q$$

em que Q é a carga fornecida ao capacitor; que é $Q = CV_{DD}$. Portanto, a energia consumida pela fonte durante o intervalo de carregamento é CV_{DD}^2. No fim do intervalo de carregamento, a tensão no capacitor será de V_{DD} e, portanto, a energia armazenada nele será de $1/2\,CV_{DD}^2$. Segue que, durante o intervalo de carregamento, metade da energia fornecida pela fonte, $1/2\,CV_{DD}^2$, é dissipada em Q_P.

Da discussão anterior, conclui-se que, em cada ciclo, $1/2\,CV_{DD}^2$ de energia é dissipada em Q_N e $1/2\,CV_{DD}^2$ é dissipada em Q_P, para uma dissipação total de energia no inversor de CV_{DD}^2. Agora, se o inversor for chaveado a uma taxa de f ciclos por segundo, a dissipação de potência dinâmica nele será:

$$P_D = fCV_{DD}^2 \tag{5.103}$$

Observe que a freqüência de operação está relacionada ao tempo de propagação: quanto menor o tempo de propagação, maior a freqüência em que o circuito pode operar e, de acordo com a Equação 5.103, maior a dissipação de potência no circuito. Uma figura de mérito ou uma medida de qualidade da tecnologia de fabricação do circuito é **o produto atraso-potência** (*DP* – delay-power product),

$$DP = P_D t_P$$

O produto atraso-potência tende a ser constante para uma particular tecnologia de fabricação de circuitos digitais e pode ser utilizado para comparar diferentes tecnologias. Obviamente, quanto menor o valor de *DP*, melhor a tecnologia sob o ponto de vista de maior velocidade e menor consumo de potência. O produto atraso-potência tem a unidade de joules, e é efetivamente uma medida da energia dissipada por ciclo de operação. Portanto, para uma tecnologia CMOS em que a maior parte da dissipação de potência é dinâmica, podemos tomar *DP* como sendo simplesmente CV_{DD}^2.

Exercícios

5.37 Para o inversor especificado no Exercício 5.32, obtenha o valor do pico de corrente drenada de V_{DD} durante o chaveamento.

Resposta 1,8 mA

5.38 Considere que o inversor especificado no Exercício 5.32 esteja carregado com uma capacitância de 15 pF. Obtenha a dissipação de potência dinâmica que resulta quando o inversor é chaveado em uma freqüência de 2 MHz. Qual a corrente fornecida pela fonte?

Resposta 3 mW; 0,3 mA

5.39 Considere uma pastilha VLSI CMOS com 100 mil portas fabricadas em uma tecnologia CMOS de 1,2 μm. Se a pastilha operar com uma tensão de alimentação de 5 V e for chaveada a uma taxa de 100 MHz, obtenha (a) a dissipação de potência por porta e (b) a potência total dissipada na pastilha assumindo que somente 30% das portas estejam sendo chaveadas por vez.

Resposta 75 μW; 2,25 W

Uma Consideração Final

Nesta seção, foi apresentada uma introdução aos circuitos digitais CMOS. Retornaremos a este assunto no Capítulo 13, no qual portas lógicas CMOS e outros circuitos digitais CMOS serão estudados.

5.9 O MOSFET COMO CHAVE ANALÓGICA

Além de sua aplicação na fabricação do inversor básico, a tecnologia CMOS pode também ser empregada na fabricação de chaves controladas por tensão. Nesse tipo de aplicação, a tensão aplicada na porta dos transistores NMOS ou PMOS pode fazê-los entrar em condução ou colocá-los na situação de corte. Na situação de corte, o transistor MOSFET pode ser interpretado como uma chave aberta entre dreno e fonte, ao passo que, na situação de condução, o transistor MOSFET apresenta uma resistência r_{DS} entre dreno e fonte. O valor dessa resistência depende da localização do ponto de operação na região de triodo da curva i_D–v_{DS} e, certamente, também da tensão porta-fonte e das dimensões W e L do transistor. Lembrando da operação para v_{DS} pequeno (perto da origem), um transistor MOSFET canal *n* apresenta resistência entre dreno e fonte dada por:

$$r_{DS} = \frac{1}{k_n'\left(\frac{W}{L}\right)(V_{GS} - V_t)}$$

Embora seja desejável ter um baixo valor de r_{DS}, a operação do inversor digital CMOS não é substancialmente afetada por esse valor. Isso também acontece com as chaves digitais nas quais os transistores MOSFET são empregados para chavear sinais digitais. Há, no entanto, aplicações em que é necessário chavear sinais analógicos. Exemplos de tais aplicações incluem o projeto de conversores *análogico-para-digital* e *digital-para-analógico* (veja o Capítulo 10) e filtros para capacitores chaveados (veja o Capítulo 11). Nessas aplicações, a chave é dita ser uma **chave analógica** e o desempenho do circuito dependerá fundamentalmente das características da chave analógica. A seguir, analisaremos primeiro os requisitos e as características desejáveis de uma chave analógica. Depois, mostraremos que, embora um único transistor MOS possa ser utilizado como uma chave analógica, suas características não correspondem àquelas desejadas. Finalmente, mostraremos que transistores canal *n* e canal *p* conectados em paralelo resultam em uma chave analógica com características excelentes. O circuito resultante pode obviamente ser fabricado em tecnologia CMOS e é conhecido como **porta de transmissão CMOS**.

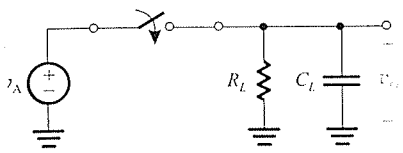


Figura 5.61 Uma chave analógica está conectando um sinal analógico v_A a um circuito representado por uma resistência R_L em paralelo com uma capacitância C_L. A chave é controlada por um sinal de controle (não-mostrado).

A Chave Analógica

Para ter idéia dos requisitos que devem ser obedecidos na implementação de uma chave analógica comparada a uma chave digital, consideremos, por exemplo, o circuito mostrado na Figura 5.61. Nesse caso, um sinal analógico v_A deve ser conectado a uma carga composta por uma resistência R_L em paralelo com uma capacitância C_L. Quando a chave está aberta, desejamos que a mesma seja, na medida do possível, um circuito aberto. Dessa forma, a resistência da chave em aberto deveria ser muito alta ou idealmente infinita. Na posição fechada, a chave deveria comportar-se o mais próximo possível de um curto-circuito. Portanto, um valor elevado de resistência associado à chave fechada resultaria em atenuação de sinal. Essa alta resistência em conjunto com a capacitância de carga introduziria também um comportamento de filtro passa-baixas (veja a Seção 1.6). Como resultado, segue que a amplitude e a fase do sinal que de fato aparece na saída dependem de forma crítica da amplitude de v_A, e o sinal de saída apresentará uma distorção não-linear. Finalmente, note que, devido ao fato de a tensão v_A poder ser positiva ou negativa, a chave é capaz de conduzir corrente em ambas as direções, isto é, ela é uma chave bidirecional.

Uma Chave Analógica NMOS

Vamos agora considerar o uso de um único MOSFET na implementação da chave analógica da Figura 5.61. Esse circuito utilizando um único transistor NMOS está mostrado na Figura 5.62. Para tornar concreta nossa discussão, considere v_A na faixa de –5 V a +5 V.

A fim de manter as junções *pn* substrato-fonte e substrato-dreno reversamente polarizadas o tempo todo, o terminal do substrato é conectado a –5 V.

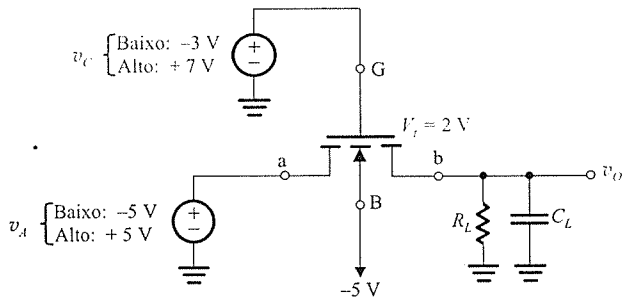


Figura 5.62 Utilização de um único MOSFET tipo enriquecimento como uma chave analógica no circuito da Figura 5.61.

O objetivo do sinal de controle v_C é de ligar e desligar a chave. Suponha que o dispositivo tenha uma tensão de limiar de $V_t = 2$ V. Isso implica que, para fazer o transistor conduzir para todos os possíveis níveis de sinal de entrada, o valor alto de v_C deve ser de pelo menos +7 V. De modo similar, para desligar o transistor para todos os possíveis níveis de sinal de entrada, o valor baixo de v_C deve ser no máximo de –3 V. Contudo, observe que esses níveis não são suficientes na prática, visto que o transistor apenas liga ou desliga nos limites. Em qualquer caso, vemos que a faixa da tensão de controle tem de ser pelo menos igual à faixa do sinal de entrada analógico que será chaveado. Entretanto, infelizmente, a resistência de fechamento da chave dependerá de que alcance terá o valor do sinal analógico de entrada. Portanto, a resposta transitória da chave dependerá do valor do sinal de entrada. Uma outra desvantagem óbvia são os níveis bastante inconvenientes exigidos para v_C.

O leitor pode observar que não foi indicado na Figura 5.62 qual terminal é o de fonte e qual é o de dreno. Evitamos denominá-los primeiramente pelo fato de o MOSFET ser um dispositivo simétrico, tendo fonte e dreno intercambiáveis. E, mais importante, a operação do dispositivo como chave é baseada na intercambialidade dos terminais. Especificamente, se o sinal de entrada analógico for positivo, digamos de +4 V, então é mais conveniente pensar no terminal *a* como o dreno e no terminal *b* como a fonte. Para esse caso, o circuito (quando v_C for alta) toma a forma familiar mostrada na Figura 5.63(a). Será fácil observar que o dispositivo estará operando na região de triodo e que v_O será muito próxima do nível do sinal analógico da entrada de +4 V. Por outro lado, se o sinal de entrada for negativo, digamos de –4 V, então é mais conveniente pensar no terminal *a* como a fonte e no terminal *b* como o dreno. Nesse caso, o circuito (no caso de v_C ser alta) pode ser redesenhado na forma familiar mostrada na Figura 5.63(b). Novamente, deve estar claro que o dispositivo opera na região de triodo e v_O será apenas ligeiramente maior do que o nível do sinal analógico de entrada de –4 V.

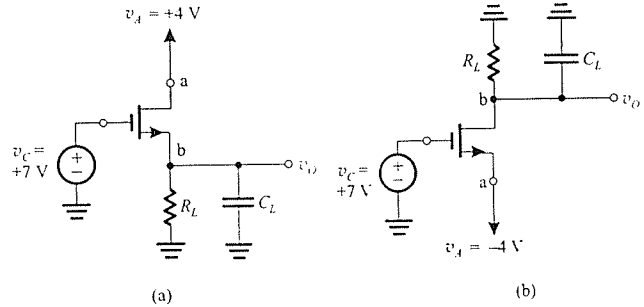


Figura 5.63 Método de visualização da operação do circuito da Figura 5.62 quando v_C é alta: (a) v_A é positiva; (b) v_A é negativa.

A Porta de Transmissão com CMOS

Consideraremos a seguir uma chave analógica melhor elaborada, conforme mostrado na Figura 5.64. Esse circuito é conhecido comumente como **porta de transmissão CMOS**. Como no caso anterior, supomos que o sinal analógico que está sendo chaveado está na faixa de –5 V a +5 V. A fim de evitar que as junções com o substrato se tornem diretamente polarizadas em qualquer

instante, o substrato do transistor canal *p* é conectado à tensão de nível mais positivo (+5 V) e o transistor canal *n* é conectado à tensão de nível mais negativo (–5 V). As portas dos transistores são controladas pelos dois sinais complementares representados por v_C e $\overline{v_C}$. Diferente da chave simples com um único transistor NMOS (Figura 5.2), aqui os níveis de v_C podem ter os mesmos valores dos extremos do sinal analógico, +5 V e –5 V. Quando v_C está no nível baixo, a porta do dispositivo de canal *n* estará em –5 V, evitando, portanto, que o transistor canal *n* entre em condução para qualquer valor de V_A (na faixa de –5 V a +5 V). Simultaneamente, a porta do transistor canal *p* estará em +5 V, evitando que o dispositivo entre em condução para qualquer valor de V_A (na faixa de –5 V e +5 V). Portanto, com v_C baixo, a chave está aberta.

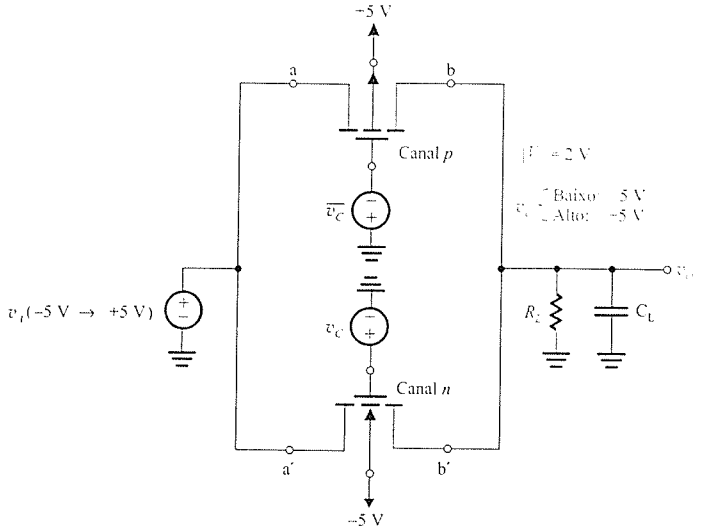


Figura 5.64 A porta de transmissão CMOS.

Para fecharmos a chave, temos de aumentar o sinal de controle v_C até o nível alto de +5 V. Correspondentemente, o transistor canal *n* terá em sua porta +5 V e, portanto, conduzirá para qualquer valor de V_A na faixa de –5 V a +3 V. Simultaneamente, o dispositivo de canal *p* terá em sua porta –5 V e, portanto, conduzirá para qualquer valor de V_A na faixa de –3 V a +5 V. Logo, vemos que, para v_A menor do que –3 V, somente o transistor canal *n* estará em condução, enquanto, para v_A maior do que +3 V, somente o transistor canal *p* estará conduzindo. Para a faixa de v_A de –3 V a +3 V, os dois dispositivos estarão conduzindo. Além disso, podemos ver que, se um dispositivo conduz mais intensamente, a condução do outro é reduzida. Portanto, se a resistência r_{DS} de um dispositivo diminui, a resistência do outro aumenta, com o equivalente paralelo, o qual é a resistência de fechamento da chave, permanecendo aproximadamente constante. Essa é claramente uma vantagem da porta de transmissão CMOS sobre a chave simples com NMOS considerada anteriormente. Essa vantagem atribuída à chave CMOS decorre do fato de os níveis de controle do sinal serem obviamente mais convenientes.

A operação da porta de transmissão (na posição fechada) pode ser melhor entendida a partir dos dois circuitos equivalentes mostrados na Figura 5.65. Aqui, o circuito da Figura 5.65(a) se aplica quando v_A é positiva, enquanto o circuito da Figura 5.65(b) se aplica quando v_A é negativa. Observe a intercambialidade das funções feitas pelas fontes e drenos de cada um dos dois dispositivos. Observe também que, ao pensar sobre a operação da porta CMOS, devemos considerar que o dreno de um dispositivo está conectado à fonte do outro e vice-versa.

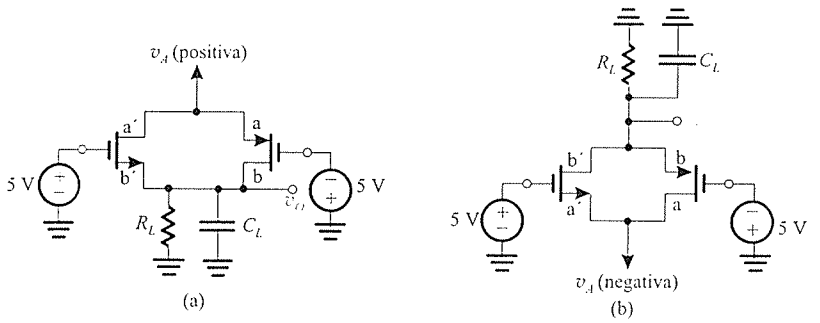


Figura 5.65 Circuitos equivalentes para a visualização da operação da porta de transmissão na posição fechada (liga): (a) v_A é positiva; (b) v_A é negativa.

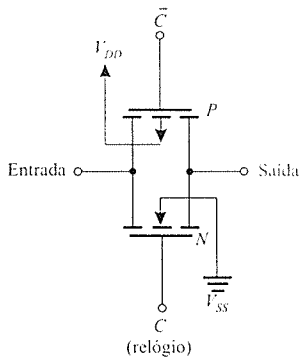
Comparada a uma chave NMOS simples, a porta de transmissão CMOS permite um melhor desempenho à custa de uma maior complexidade de circuito e o emprego de uma maior área na pastilha do circuito integrado. A utilização de um único transistor MOSFET ou de uma porta de transmissão CMOS dependerá dos requisitos de uma aplicação particular.

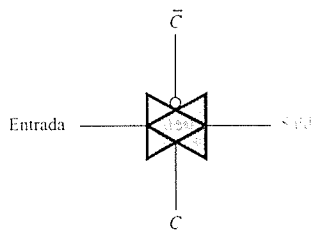
Apesar de ser uma excelente porta analógica, a porta de transmissão CMOS pode também ser empregada no projeto de circuitos digitais, como será estudado no Capítulo 13. Finalmente, estamos mostrando na Figura 5.66 uma porta de transmissão CMOS juntamente com o símbolo de circuito comumente empregado.

Exercício

5.40 Considere a porta de transmissão CMOS e seu circuito equivalente mostrado na Figura 5.65(b). Suponha que os dois dispositivos tenham $|V_t| = 2$ V e $k'(W/L) = 100\ \mu A/V^2$ e seja $R_L = 50\ k\Omega$. Para (a) $v_A = -5$ V, (b) $v_A = -2$ V e (c) $v_A = 0$ V, calcule v_O e a resistência total da chave.

Resposta (a) –4,878 V, 1,25 kΩ; (b) –1,986 V, 1,649 kΩ; (c) 0 V, 1,667 kΩ





C	Características
0	Circuito aberto bidirecional
1	Circuito fechado bidirecional

Figura 5.66 Porta de transmissão CMOS junto com seu símbolo de circuito comumente empregado.

Uma Consideração Final: Comparação de Chaves Analógicas com MOSFET ou TBJ

O MOSFET é melhor para o projeto de chaves analógicas do que o TBJ. Isso porque as características i_D–v_{DS} do MOSFET passam exatamente na origem e estendem-se simetricamente no terceiro quadrante. Em contraste, as características i_C–v_{CE} do TBJ interceptam o eixo v_{CE} em uma tensão finita e pequena ($\simeq 0{,}1$ V). Portanto, uma chave fabricada com TBJ exibirá uma tensão de offset, ou tensão residual (veja a Seção 4.12).

5.10 AS CAPACITÂNCIAS INTERNAS DO MOSFET E O MODELO PARA ALTAS FREQÜÊNCIAS[7]

Do estudo sobre a operação física do MOSFET na Seção 5.1, já sabemos que existem capacitâncias internas neste dispositivo. De fato, chegamos até a utilizar uma delas, a capacitância porta-canal, na determinação das características i–v do MOSFET. Entretanto, implicitamente assumimos que as cargas em estado estacionário nessas capacitâncias são adquiridas instantaneamente. Em outras palavras, não levamos em consideração o tempo finito necessário para carregar e descarregar as diversas capacitâncias internas. Como resultado, os modelos de dispositivo que obtivemos (por exemplo, o modelo para pequenos sinais) não inclui nenhuma capacitância. A utilização desses modelos prevê ganhos constantes para os amplificadores independentemente da freqüência. No entanto, sabemos que, infelizmente, isso não corresponde ao caso real. Na realidade, o ganho de qualquer amplificador com MOSFET cai para altas freqüências.

7. O material desta seção será necessário para o estudo da resposta em freqüência dos amplificadores MOS no Capítulo 7 e a resposta no tempo de circuitos digitais MOS no Capítulo 13. Pode-se adiar o estudo desta seção para uma etapa posterior.

Por outro lado, o circuito inversor com MOSFET exibe um tempo de atraso finito e diferente de zero.[8]

A previsão dos comportamentos descritos anteriormente só é possível se considerarmos adequadamente as capacitâncias internas no modelo do MOSFET. Esse será especificamente o assunto abordado nesta seção.

Para visualizar a origem física das diversas capacitâncias internas, o leitor deve observar a Figura 5.1. Há basicamente dois tipos de capacitâncias internas no MOSFET:

1. Efeito capacitivo da porta: o eletrodo de porta (por exemplo, o silício policristalino) forma um capacitor de placas paralelas com o canal, com a camada de óxido servindo como dielétrico. Já discutimos a capacitância de porta ou capacitância do óxido na Seção 5.1 e denominamos seu valor de unidade de área como C_{ox}.

2. Capacitâncias de depleção fonte-corpo e dreno-corpo: estas são as capacitâncias associadas às junções pn reversamente polarizadas formadas pela região de fonte n+ (também chamada de **difusão de fonte**) e substrato tipo p, e pela região de dreno n+ (a **difusão de dreno**) e o substrato. A determinação dessas capacitâncias pode ser feita por meio do equacionamento estudado na Seção 3.3.

Esses dois efeitos capacitivos podem ser modelados através da inclusão de capacitâncias no modelo do MOSFET entre seus quatro terminais, G, D, S e B. Haverá cinco capacitâncias no total: C_{gs}, C_{gd}, C_{gb}, C_{sb} e C_{db}, em que os índices indicam a localização das capacitâncias no modelo. Em seguida, mostraremos como os valores das cinco capacitâncias no modelo podem ser determinadas. Faremos isso considerando cada um dos dois efeitos capacitivos citados.

O Efeito Capacitivo da Porta

O efeito capacitivo da porta pode ser modelado pelas três capacitâncias C_{gs}, C_{gd} e C_{gb}. Os valores dessas capacitâncias podem ser determinados como segue:

1. Quando o MOSFET está operando na região de triodo para valores v_{DS} pequenos, o canal terá profundidade uniforme. A capacitância porta-canal será WLC_{ox} e pode ser modelada entre fonte e dreno; portanto

$$C_{gs} = C_{gd} = \frac{1}{2} WLC_{ox} \qquad \text{(região de triodo)} \qquad (5.104)$$

   Isso é, obviamente, uma aproximação (assim como toda a modelagem apresentada também é), mas funciona bem para a região de triodo mesmo quando v_{DS} não é pequena.

2. Quando o MOSFET opera na saturação, o canal tem uma forma triangular, sendo que o estragulamento de canal ocorre junto ao dreno. Demonstra-se que [veja Tsividis

8. Vimos este fato na Seção 5.8, na qual a operação dinâmica do inversor CMOS foi analisada. Lembre-se de que uma capacitância C foi conectada entre o nó de saída e o terra e que ela incluía o efeito das capacitâncias internas do transistor.

(1987)] a capacitância porta-canal nesse caso vale aproximadamente $(2/3)WLC_{ox}$ e pode ser modelada atribuindo-se toda capacitância porta-canal a C_{gs} e fazendo C_{gd} igual a zero (porque o canal está estrangulado junto ao dreno); portanto

$$\left.\begin{aligned} C_{gs} &= \frac{2}{3}WLC_{ox} \\ C_{gd} &= 0 \end{aligned}\right\} \quad \text{(região de saturação)} \qquad (5.105),\ (5.106)$$

3. Quando o MOSFET está cortado, o canal desaparece e, portanto, $C_{gs} = C_{gd} = 0$. Entretanto, podemos (após uma argumentação bastante complexa) modelar o efeito capacitivo de porta atribuindo uma capacitância WLC_{ox} à capacitância porta-corpo; portanto

$$\left.\begin{aligned} C_{gs} &= C_{gd} = 0 \\ C_{gb} &= WLC_{ox} \end{aligned}\right\} \quad \text{(região de corte)} \qquad (5.107),\ (5.108)$$

4. Há uma pequena componente capacitiva adicional que deveria ser adicionada a C_{gs} e C_{gd} em todas as fórmulas anteriores. Essa é uma capacitância que resulta do fato de as difusões de dreno e fonte se estenderem levemente abaixo do óxido de porta (veja a Figura 5.1). Se o comprimento de *sobreposição* (*overlap*) for chamado de L_{ov}, a **capacitância de sobreposição** pode ser expressa como

$$C_{ov} = WL_{ov}C_{ox} \qquad (5.109)$$

Tipicamente, $L_{ov} = 0{,}1$ a $0{,}2$ µm, que pode vir a ser uma fração significativa do comprimento de canal nas tecnologias modernas CMOS submicrométricas.[9]

s Capacitâncias de Junção

s capacitâncias de depleção das duas junções *pn* reversamente polarizadas formadas entre as fusões de fonte e dreno e o corpo podem ser determinadas utilizando-se a fórmula já vista na ção 3.3 (Equação 3.25). Portanto, para a difusão de fonte, temos a capacitância fonte-corpo, $_{sb}$,

$$C_{sb} = \frac{C_{sb0}}{\sqrt{1+\dfrac{V_{SB}}{V_0}}} \qquad (5.110)$$

[9] A Figura 5.1 mostra que o comprimento do *canal efetivo* é menor que o comprimento do canal nominal (ou comprimento *projetado de canal*), que é o comprimento de canal adicionado a $2L_{ov}$. Neste livro não faremos distinção entre os dois.

em que C_{sb0} é o valor de C_{sb} para polarização fonte-corpo nula, V_{SB} é o valor da tensão de polarização reversa e V_0 é a tensão interna da junção (0,6 – 0,8 V). De forma análoga, para a difusão de dreno, temos a capacitância dreno-corpo C_{db} dada por

$$C_{db} = \frac{C_{db0}}{\sqrt{1+\dfrac{V_{DB}}{V_0}}} \qquad (5.111)$$

em que C_{db0} é o valor da capacitância para tensão de polarização reversa nula e V_{DB} é o valor da tensão de polarização reversa. Note que assumimos, para ambas as junções, um coeficiente de graduação $m = 0{,}5$.

É importante observar que cada uma das capacitâncias de junção inclui uma componente proveniente da extremidade interna da junção e uma componente associada às paredes laterais da difusão.

Em relação a esse fato, observe que cada difusão tem três paredes laterais que estão em contato com o substrato e, portanto, contribuem para a capacitância de junção (a quarta parede está em contato com o canal). Em uma modelagem mais avançada do MOSFET, as duas componentes de cada capacitância de junção são calculadas separadamente [veja Rabaey (1996)].

As fórmulas para as capacitâncias de junção representadas pelas Equações 5.110 e 5.111 assumem operação com pequenos sinais. Essas fórmulas, entretanto, podem ser modificadas para a obtenção de valores médios aproximados para as capacitâncias quando o transistor estiver operando sob condição de grandes sinais, como em circuitos lógicos. Finalmente, valores típicos para as capacitâncias que o MOSFET canal *n* exibe para um processo CMOS relativamente moderno (1,2 µm) são obtidos no exercício seguinte.

Exercício

5.41 Para um MOSFET canal *n* com $t_{ox} = 20$ nm, $L = 2{,}4$ µm, $W = 10$ µm, $L_{ov} = 0{,}15$ µm, $C_{sb0} = C_{dbC} = 40$ fF, $V_0 = 0{,}8$ V e $|V_{SB}| = |V_{DB}| = 2$ V, determine as seguintes capacitâncias quando o transistor estiver operando na saturação: C_{ox}, C_{ov}, C_{gs}, C_{gd}, C_{sb} e C_{db}. (*Nota*: Você pode consultar a Tabela 5.1 para valores das constantes físicas.)

Resposta 1,75 fF/µm²; 2,6 fF; 30,6 fF; 2,6 fF; 21,4 fF; 21,4 fF

O Modelo para Altas Freqüências do MOSFET

A Figura 5.67(a) mostra o modelo para pequenos sinais do MOSFET, incluindo quatro capacitâncias, C_{gs}, C_{gd}, C_{sb} e C_{db}. Esse modelo pode ser utilizado para prever a resposta em altas freqüências dos amplificadores MOSFET. Entretanto, é bastante complexa a utilização de tal modelo para cálculo manual, sendo seu uso limitado a programas simuladores do tipo do SPICE. Felizmente, para o caso em que a fonte está conectada ao corpo, o modelo fica consideravelmente mais simples, conforme mostrado na Figura 5.67(b). Nesse modelo, C_{gd}, embora pequeno, tem um papel extremamente importante na resposta em altas freqüências de amplificadores (Capítulo 7) e, portanto, deve ser conservado no modelo. Por outro lado, a capacitância C_{db} pode normalmente ser desprezada, resultando em uma significativa simplificação da análise manual. O circuito resultante está mostrado na Figura 5.67(c).

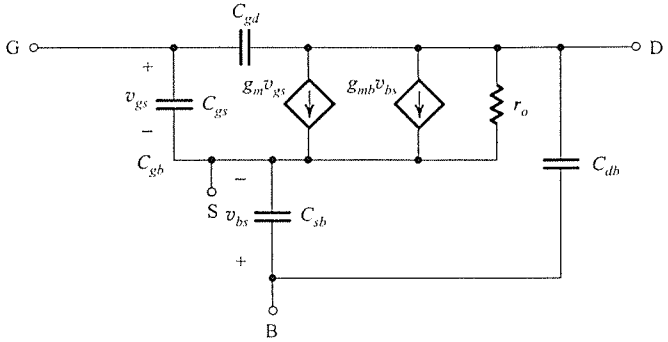


Figura 5.67 **(a)** Modelo equivalente para altas freqüências do MOSFET; **(b)** circuito equivalente para o caso em que a fonte está conectada ao substrato (corpo); **(c)** circuito equivalente de (b) com C_{db} desprezado (para simplificar a análise manual).

O modelo equivalente para o MOSFET apresentado na Figura 5.67(c) é muito semelhante ao modelo do TBJ mostrado na Figura 4.70. Portanto, vamos também nos referir ao modelo do MOSFET como modelo π-híbrido.

A Freqüência de Ganho Unitário do MOSFET (f_T)

Uma figura de mérito para a operação do MOSFET como amplificador em altas freqüências é a freqüência de ganho unitário, f_T. Esta é definida como a freqüência em que o ganho de corrente de curto-circuito da configuração fonte comum se torna unitário. Note que essa definição é idêntica àquela utilizada para o TBJ no Capítulo 4. A Figura 5.68 mostra o modelo π-híbrido do MOSFET com o terminal de fonte comum entre a entrada e a saída. Para determinar o ganho de corrente em curto-circuito, na entrada aplicamos uma fonte de corrente I_i e os terminais de saída são curto-circuitados. É fácil observar que a corrente na saída curto-circuitada é dada por

$$I_o = g_m V_{gs} - s C_{gd} V_{gs}$$

Lembrando que C_{gd} é pequeno nas freqüências de interesse, o segundo termo nesta equação pode ser desprezado,

$$I_o = g_m V_{gs} \tag{5.112}$$

Da Figura 5.68, podemos expressar V_{gs} em termos da corrente de saída I_i como

$$V_{gs} = I_i / s(C_{gs} + C_{gd}) \tag{5.113}$$

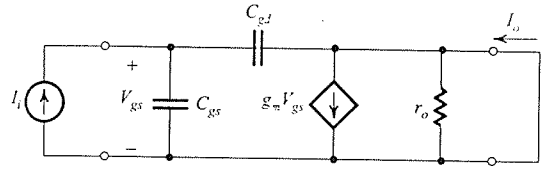


Figura 5.68 Calculando o ganho de corrente de curto-circuito I_o/I_i.

As Equações 5.112 e 5.113 podem ser combinadas de forma a fornecer o ganho de curto-circuito:

$$\frac{I_o}{I_i} = \frac{g_m}{s(C_{gs} + C_{gd})} \tag{5.114}$$

Em regime permanente senoidal ($s = j\omega$), observa-se que o ganho de corrente é unitário na freqüência

$$\omega_T = g_m / (C_{gs} + C_{gd})$$

Portanto, a freqüência de ganho unitário $f_T = \omega_T / 2\pi$ será

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \tag{5.115}$$

Uma vez que f_T é proporcional a g_m e inversamente proporcional às capacitâncias internas do MOSFET, quanto maior o valor de f_T, melhores serão as características do MOSFET como dispositivo amplificador. Substituindo no lugar de g_m sua expressão em função de I_D (Equação 5.44), podemos expressar f_T em termos de I_D (veja o Problema 5.36). Alternativamente, podemos colocar no lugar de g_m a expressão dada pela Equação 5.43 para expressar f_T em termos da tensão efetiva $V_{GS} - V_t$ (veja o Problema 5.37). Essas expressões permitem entender um pouco mais a operação em altas freqüências do MOSFET.

Tipicamente, f_T varia de cerca de 100 MHz para tecnologias mais antigas (isto é, processos CMOS com dimensão de 5 μm ou mais) até muitos GHz para tecnologias mais recentes (isto é, processos CMOS com dimensão mínima inferior a 0,8 μm).

Exercício

5.42 Calcule f_T para o MOSFET canal n cujas capacitâncias foram encontradas no Exercício 5.41. Assuma uma operação em 100 μA e note da Tabela 5.1 que $k_n' = 100\ \mu A/V^2$.

Resposta 1,38 GHz

5.11 O TRANSISTOR DE EFEITO DE CAMPO DE JUNÇÃO (JFET)

O **transistor de efeito de campo de junção**, ou JFET, talvez seja o mais simples dos transistores existentes. Ele possui algumas características importantes, notavelmente sua alta resistência de entrada. Contudo, infelizmente (para o JFET), o MOSFET tem também uma alta resistência de entrada. Esse fato, juntamente com muitas outras vantagens dos transistores MOS, tem feito do transistor JFET um dispositivo virtualmente obsoleto. No presente momento, suas aplicações estão limitadas ao projeto de circuitos discretos, no qual é empregado como amplificador e como chave. Suas aplicações em circuitos integrados estão limitadas ao projeto dos estágios de entrada diferenciais de alguns amplificadores operacionais, visando a uma alta impedância de entrada (comparada ao TBJ). Nesta seção, estudaremos a operação e as características elétricas do JFET de forma breve e simplificada. Uma outra importante razão para incluir o JFET no estudo de eletrônica é que ajudará a compreender a operação de dispositivos de arseneto de gálio, objeto da próxima seção.

A Estrutura do Dispositivo

Do mesmo modo que os outros tipos de FET, o JFET é encontrado com as duas polaridades: canal n e canal p. A Figura 5.69(a) mostra uma estrutura simplificada do JFET canal n. Ela consiste em uma fatia de silício tipo n com duas regiões tipo p difundidas nos dois lados. A região n é o canal e as regiões tipo p são eletricamente conectadas juntas, formando a porta. A operação do dispositivo é baseada na polarização reversa da junção pn entre a porta e o canal. É justamente a polarização reversa dessa junção que é empregada para controlar a largura do canal e, portanto, a corrente de dreno para a fonte. A principal função que essa junção executa na operação desse FET deu origem a seu nome: transistor de efeito de campo de junção (JFET).

Deve ficar claro que o dispositivo canal p pode ser fabricado simplesmente invertendo-se todos os tipos de semicondutores, logo usamos o silício tipo p para o canal e silício tipo n para as regiões da porta.

As Figuras 5.69(b) e (c) mostram os símbolos para os JFETs de ambas as polaridades. Observe que a polaridade do dispositivo (canal n ou canal p) está indicada pelo sentido da seta na linha que representa a porta. Essa seta aponta no sentido da porta-canal da junção pn. Embora o JFET seja um dispositivo simétrico cuja fonte e dreno podem ser trocados, é útil no projeto de circuito designar um de seus dois terminais como fonte e outro como dreno. Portanto, o símbolo é normalmente desenhado com a linha da porta mais próxima da fonte do que do dreno de forma que ambos possam ser distinguidos.

A Operação Física

Considere um JFET canal n disposto como na Figura 5.70(a). (Observe que, para efeito de simplificação, não mostraremos a conexão entre os terminais da porta; contudo, suponha que os dois terminais denominados por G estejam ligados juntos.) Com $v_{GS} = 0$, a aplicação de uma tensão

v_{DS} faz com que uma corrente circule do dreno para a fonte. Quando uma tensão negativa v_{GS} é aplicada, a região de depleção da junção porta–canal fica correspondentemente mais estreita; portanto, a resistência do canal aumenta e a corrente i_D (para um dado valor de v_{DS}) diminui. Pelo fato de v_{DS} ser de pequeno valor, a largura do canal é quase uniforme. O JFET está operando simplesmente como uma resistência cujo valor é controlado por v_{GS}. Se continuarmos a aumentar v_{GS} no sentido negativo, será atingido um valor no qual a região de depleção ocupará todo o canal. Com esse valor de v_{GS}, o canal fica completamente depletado de portadores de carga (elétrons) e o canal, como resultado, desaparece. Esse valor de v_{GS} é, portanto, a tensão de limiar do dispositivo, V_t, a qual é obviamente negativa para um JFET canal n. Para JFETs, a tensão de limiar costuma ser chamada de **tensão de estrangulamento** (*pinch-off voltage*) e é representada por V_P.

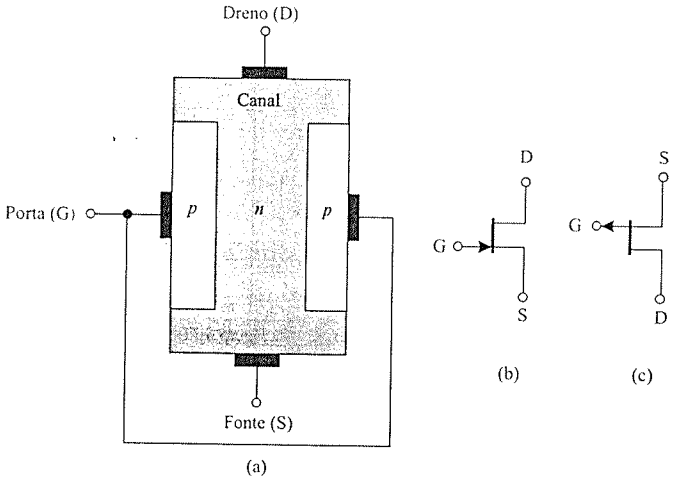
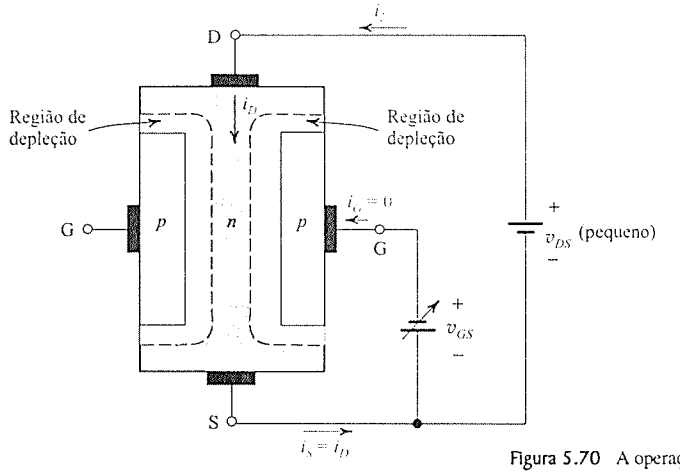


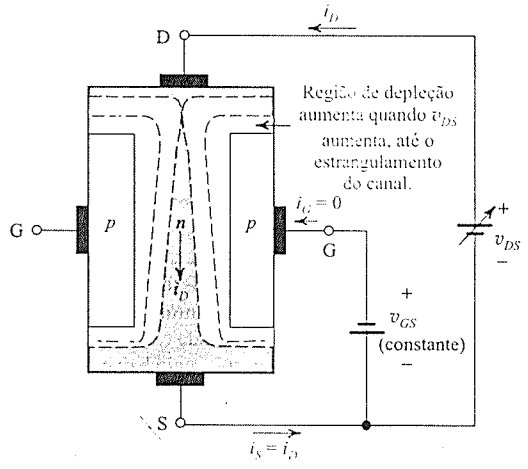
Figura 5.69 (a) A estrutura básica do JFET canal n. Essa é uma estrutura simplificada utilizada para explicar a operação do dispositivo. (b) Símbolo do JFET canal n. (c) Símbolo do JFET canal p.

Considere, a seguir, a situação representada na Figura 5.70(b). Nessa figura, v_{GS} é mantida constante em um valor maior (isto é, menos negativo) do que V_P, e v_{DS} é aumentada. Como v_{DS} aparece como uma queda de tensão no sentido do comprimento do canal, a tensão aumenta à medida que nos movemos ao longo do canal da fonte para o dreno. Isso significa que a tensão de polarização reversa entre a porta e o canal varia nos diferentes pontos ao longo do canal e é maior no final do dreno. Portanto, o canal adquire uma forma estreitada e a característica i_D–v_{DS} se torna linear. Quando a polarização reversa no final do dreno, v_{GD}, cai abaixo da tensão de limiar V_P, o canal se estrangula no final do dreno e a corrente de dreno satura. O restante da descrição da operação do JFET segue aproximadamente a descrição dada para o MOSFET. A descrição anterior indica claramente que o JFET é do tipo depleção. Isso é verdadeiro com uma exceção muito importante: embora seja possível operar um MOSFET tipo depleção no modo de

enriquecimento (aplicando-se simplesmente uma tensão v_{GS} positiva se o dispositivo for canal n), isso é impossível no caso do JFET. Se tentarmos aplicar uma tensão v_{GS} positiva, a junção porta–canal torna-se diretamente polarizada e a porta deixa de controlar o canal. Portanto, o valor máximo de v_{GS} está limitado em 0 V, embora seja possível ir até um valor de 0,3 V, visto que a junção permanece essencialmente em corte com essa pequena tensão direta.



(a)



(b)

Figura 5.70 A operação física do JFET canal n: (a) para pequenos valores de v_{DS}, o canal é uniforme e o dispositivo funciona como uma resistência cujo valor é controlado por v_{GS}; (b) aumentar v_{DS} faz com que o canal adquira a forma estreitada e eventualmente ocorre o estrangulamento. Observe que, embora não seja mostrado, as duas regiões da porta estão eletricamente conectadas.

As Características Corrente–Tensão

As características corrente–tensão do JFET são idênticas àquelas do MOSFET modo depleção estudadas na Seção 5.3, exceto que o máximo valor permitido de v_{GS} para o JFET é normalmente 0 V. Além disso, o JFET deve ser especificado em termos da tensão de estrangulamento V_P (igual a V_t do MOSFET) e da corrente de dreno-fonte com a porta curto-circuitada para a fonte, I_{DSS}, que corresponde a $0{,}5k_n' V_t^2$ para o MOSFET. Com essas substituições, as características do JFET canal n podem ser descritas como segue:

Corte: $$v_{GS} \le V_P, \quad i_D = 0$$

Região de triodo: $$V_P \le v_{GS} \le 0, \quad v_{DS} \le v_{GS} - V_P$$

$$i_D = I_{DSS}\left[2\left(1-\frac{v_{GS}}{V_P}\right)\left(\frac{v_{DS}}{-V_P}\right)-\left(\frac{v_{DS}}{V_P}\right)^2\right] \tag{5.116}$$

Região de saturação: $$V_p \le v_{GS} \le 0, \quad v_{DS} \ge v_{GS} - V_P$$

$$i_D = I_{DSS}\left(1-\frac{v_{GS}}{V_P}\right)^2(1+\lambda v_{DS}) \tag{5.117}$$

em que λ é o inverso da tensão Early; $\lambda = 1/V_A$ e V_A e λ são grandezas positivas para dispositivos canal n.

Devemos lembrar que, para um dispositivo canal n, V_P é negativa e a operação na região de estrangulamento é obtida quando a tensão de dreno é maior do que a tensão de porta por pelo menos $|V_P|$.

Como a junção porta–canal é sempre reversamente polarizada, somente uma corrente de fuga circula através do terminal da porta. No Capítulo 3, aprendemos que essa corrente é da ordem de 10^{-9} A. Embora i_G seja muito pequena, e suposta como sendo zero na maioria das aplicações, deve ser observado que a corrente de porta em um JFET é várias ordens de grandeza maior do que a corrente de porta de um MOSFET. É claro, essa última é muito pequena devido à estrutura de porta isolada. Surge uma outra complicação no JFET por causa da forte dependência da corrente de fuga com a temperatura – aproximadamente dobrando para cada 10°C de aumento na temperatura, exatamente como no caso do diodo reversamente polarizado (veja o Capítulo 3).

O JFET Canal *p*

As características corrente–tensão do JFET canal p podem ser descritas pelas mesmas equações do JFET canal n. Contudo, observe que, para o JFET canal p, V_P é positiva, $0 \le v_{GS} \le V_P$, v_{DS} é negativa, λ e V_A são negativas e a corrente i_D circula saindo do terminal do dreno. Para o JFET canal p operar no estrangulamento, $v_{DS} \le v_{GS} - V_P$, o que significa que a tensão de dreno deve ser menor do que a tensão de porta de pelo menos $|V_P|$. Caso contrário, com $v_{DS} \ge v_{GS} - V_P$, o JFET canal p operará na região de triodo.

O Modelo para Pequenos Sinais do JFET

O modelo para pequenos sinais do JFET é idêntico ao do MOSFET [veja a Figura 5.34(b)]. Nesse caso, g_m é dada por

$$g_m = \left(\frac{2I_{DSS}}{|V_P|}\right)\left(1 - \frac{V_{GS}}{V_P}\right) \tag{5.118a}$$

ou alternativamente por

$$g_m = \left(\frac{2I_{DSS}}{|V_P|}\right)\sqrt{\frac{I_D}{I_{DSS}}} \tag{5.118b}$$

em que v_{GS} e I_D são as grandezas de polarização *cc*, e

$$r_o = \frac{|V_A|}{I_D} \tag{5.119}$$

Em altas freqüências, o circuito equivalente da Figura 5.67(c) apresenta C_{gs} e C_{gd}, sendo ambas capacitâncias de depleção. Tipicamente, C_{gs} = 1 a 3 pF, C_{gd} = 0,1 a 0,5 pF e f_T = 20 a 100 MHz.

Exercícios

Nos Exercícios 5.43 até 5.46, suponha o JFET canal *n* tendo $V_P = -4$ V e $I_{DSS} = 10$ mA e, a não ser quando especificado, suponha que, no estrangulamento (saturação), a resistência de saída seja infinita.

5.43 Para $v_{GS} = -2$ V, encontre o valor mínimo de v_{DS} para que o dispositivo opere no estrangulamento. Calcule i_D para $v_{GS} = -2$ V e $v_{DS} = 3$ V.

Resposta 2 V; 2,5 mA

5.44 Para $v_{DS} = 3$ V, encontre a variação em i_D correspondente à variação em v_{GS} de –2 a –1,6 V.

Resposta 1,1 mA

5.45 Para um pequeno valor de v_{DS} calcule o valor de r_{DS} com $v_{GS} = 0$ V e $v_{GS} = -3$ V.

Resposta 200 Ω; 800 Ω

5.46 Se $V_A = 400$ V, calcule a resistência de saída r_o do JFET quando operando no estrangulamento para correntes de 1 mA, 2,5 mA e 10 mA.

Resposta 400 kΩ; 160 kΩ; 40 kΩ

5.47 O JFET no circuito da Figura E5.47 tem $V_P = -3$ V, $I_{DSS} = 9$ mA e $\lambda = 0$. Ache os valores de todos os resistores tal que $V_G = 5$ V, $I_D = 4$ mA e $V_D = 11$ V. Projete para 0,05 mA no divisor de tensão.

Resposta $R_{G1} = 200$ kΩ; $R_{G2} = 100$ kΩ; $R_S = 1{,}5$ kΩ; $R_D = 1$ kΩ

5.48 Para o circuito com JFET projetado no Exercício 5.47, seja um sinal de entrada v_i capacitivamente acoplado à porta e um capacitor de desvio conectado entre a fonte e o terra, e o sinal v_O tomado no dreno através de um capacitor de valor também elevado. O amplificador com fonte comum resultante está mostrado na Figura E5.48. Calcule g_m e r_o (assumindo $V_A = 100$ V). Também obtenha R_i, $A_v \equiv \dfrac{v_o}{v_i}$ e R_o.

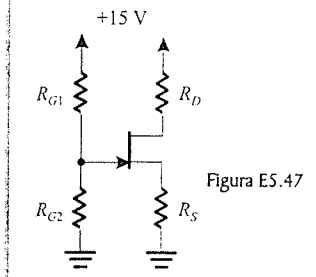


Figura E5.47

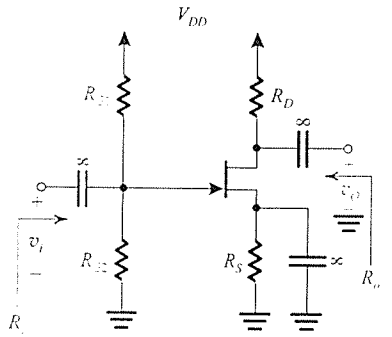


Figura E5.48

Resposta 4 mA/V; 25 kΩ; 66.7 kΩ; –3,8 V/V; 962 Ω

5.12 DISPOSITIVOS EM ARSENETO DE GÁLIO (GaAs) – O MESFET[10]

Os dispositivos discutidos até aqui e, claro, os dispositivos usados na maioria dos circuitos estudados neste livro, são feitos de silício. Isso reflete o que tem ocorrido na indústria de microeletrônica nas últimas três décadas. Além disso, devido aos avanços que continuamente têm sido verificados nos dispositivos de silício e na tecnologia de circuitos, o domínio do silício como o material semicondutor mais usado deve continuar por muitos anos. Todavia, um outro material semicondutor tem feito uma invasão nas aplicações digitais que requerem velocidades de operação extremamente altas e nas aplicações analógicas que exigem freqüências de operação muito altas. Estamos nos referindo ao arseneto de gálio (GaAs), um semicondutor composto formado de gálio, que está na terceira coluna da tabela periódica dos elementos, e de arsênio, que está na quinta coluna; portanto, o GaAs é conhecido como um semicondutor III-V.

A principal vantagem que o GaAs oferece sobre o silício é que os elétrons viajam muito mais rápido no GaAs tipo *n* do que no silício tipo *n*. Isso ocorre pois a mobilidade de deriva μ_n (que é a constante que relaciona a velocidade de deriva do elétron com o campo elétrico; $v_d = \mu_n E$) é cinco a dez vezes maior no GaAs do que no silício. Portanto, para as mesmas tensões de entrada, os dispositivos de GaAs têm correntes de valores maiores (e, portanto, maiores valores de g_m) do que os correspondentes dispositivos de silício. Quanto maior a corrente de saída, mais rápida a carga e descarga das capacitâncias parasitas e, portanto, maior a velocidade de operação.

Os dispositivos de GaAs têm sido usados há alguns anos no projeto de componentes discretos para amplificadores para aplicações em microondas (na faixa de freqüência de 10^9 Hz ou

10. O material desta seção só é necessário para o estudo dos circuitos com GaAs nas Seções 6.8 e 14.8, caso contrário esta seção pode ser pulada sem comprometer a continuidade.

1 GHz). Mais recentemente, o GaAs começou a ser empregado no projeto de circuitos integrados digitais de velocidade muito alta e nos CIs analógicos, como amp ops, que operam na faixa de freqüência de centenas de MHz. Embora a tecnologia seja ainda muito nova, sofrendo problemas de produção e de segurança e geralmente limitada a baixos níveis de integração, ela oferece um grande potencial. Portanto, este livro inclui um breve estudo dos dispositivos e circuitos com GaAs. Os dispositivos básicos estudados nesta seção são especificamente de GaAs; suas configurações básicas de circuito amplificador são discutidas na Seção 6.8; e os circuitos digitais com GaAs são estudados na Seção 14.8.

Os Dispositivos Básicos de GaAs

Embora haja atualmente várias tecnologias de GaAs em vários estágios de desenvolvimento, estudaremos a mais antiga dessas tecnologias. O dispositivo ativo utilizado com essa tecnologia é o transistor de efeito de campo de canal *n* conhecido como **FET de semicondutor e metal** ou **MESFET**. Essa tecnologia oferece também um tipo de diodo conhecido como **diodo de barreira Schottky (SBD)**. (Lembre-se de que o SBD foi brevemente introduzido na Seção 3.9.) A estrutura desses dois dispositivos básicos está ilustrada por suas seções transversais, representadas na Figura 5.71. O circuito em GaAs é formado sobre um substrato de GaAs não-dopado. Como a condutividade de um GaAs não-dopado é muito baixa, o substrato é considerado um semi-isolante. Isso se torna uma vantagem da tecnologia GaAs, visto que simplifica o processo de isolamento dos dispositivos sobre a pastilha uns dos outros, resultando assim em menores capacitâncias parasitas entre os dispositivos e o terra do circuito.

Conforme indicado na Figura 5.71, um diodo de barreira Schottky consiste em uma junção de semicondutor e metal. O metal, referido como metal da barreira Schottky para distinguir de diferentes tipos de metais usados para fazer um contato (veja Long & Butner (1990) para uma explanação mais detalhada dessa diferença), forma o anodo do diodo.

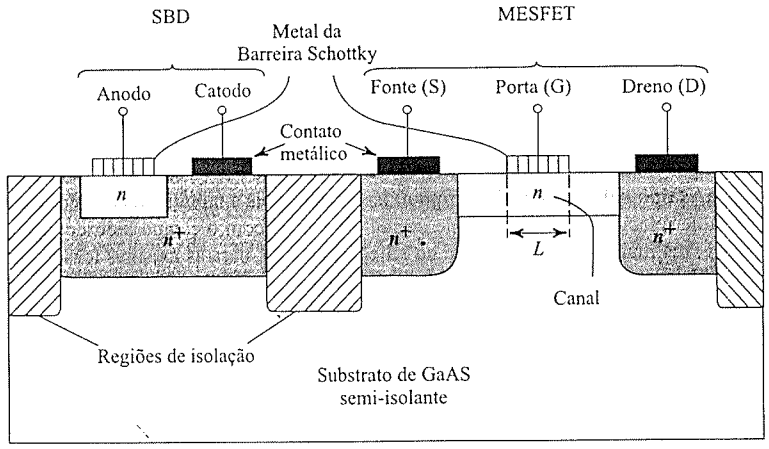


Figura 5.71 Seção transversal de um diodo de barreira Schottky em GaAs (SBD) e um MESFET.

O GaAs tipo *n* forma o catodo. Observe que o GaAs fortemente dopado (indicado por *n*+) é usado entre a região *n* e o contato de metal do catodo para manter as resistências parasitas em série com baixo valor.

A porta do MESFET é formada pelo metal da barreira Schottky de metal em contato direto com o GaAs tipo *n* que forma a região do canal. O comprimento do canal L é definido pelo comprimento do eletrodo da porta e, de modo similar, pela largura W (no sentido perpendicular ao da página). Para reduzir as resistências parasitas entre os contatos do dreno e da fonte em direção ao canal, os dois contatos são feitos com regiões GaAs fortemente dopadas (n^+).

Como a principal razão de usar circuitos em GaAs é obter alta velocidade/freqüência de operação, o comprimento do canal é feito o menor possível. Tipicamente, L = 0,2 a 2 μm.

Além disso, os transistores MESFET costumam ser fabricados sobre a pastilha do CI, todos com mesmo comprimento, deixando apenas a largura W de cada dispositivo para ser especificada pelo projetista de circuito. São encontrados apenas MESFETs canal *n* na tecnologia GaAs. Isso ocorre devido ao fato de as lacunas terem uma mobilidade de deriva relativamente baixa no GaAs, fazendo do MESFET canal *p* um dispositivo sem vantagens. A falta dos transistores de complementaridade é uma desvantagem clara da tecnologia de GaAs. Contudo, ela torna a tarefa do projetista de circuito ainda mais desafiadora do que a usual.

A Operação do Dispositivo

O MESFET opera de modo semelhante ao JFET, com o metal Schottky fazendo o mesmo papel da porta tipo *p* do JFET (veja a Figura 5.69). Basicamente, uma região de depleção se forma no canal abaixo da superfície da porta e a espessura da região de depleção é controlada pela tensão da porta v_{GS}. Isso, por sua vez, controla as dimensões da região de canal e, portanto, controla a corrente que circula do dreno para a fonte em resposta a uma tensão v_{DS} aplicada. Essa última tensão faz com que o canal tenha uma forma estreitada, com o estrangulamento ocorrendo eventualmente no final do canal junto ao dreno.

Os MESFETs com GaAs mais comuns encontrados são os do tipo de depleção com a tensão de limiar V_t (ou, de forma equivalente, tensão de estrangulamento V_P) na faixa de –0,5 a –2,5 V. Esses dispositivos podem operar com valores de v_{GS} na faixa de V_t negativo até valores positivos tão altos quanto alguns décimos de volt. Contudo, quando v_{GS} atinge 0,7 V ou mais, o diodo de barreira Schottky entre a porta e o canal conduz intensamente e a tensão na porta, efetivamente, não mais controla a corrente de dreno para a fonte. Uma condução da porta, que não é possível nos MOSFETs, é outra desvantagem clara do MESFET. Embora menos comuns, são encontrados MESFETs do tipo enriquecimento em certas tecnologias de fabricação. Esses dispositivos normalmente em corte são obtidos fazendo com que a região de depleção que existe com $v_{GS} = 0$ se estenda através da profundidade de todo o canal, bloqueando, portanto, o canal e fazendo $i_D = 0$. Para fazer uma corrente circular do dreno para a fonte, o canal deve ser aberto pela aplicação de uma tensão de porta positiva de valor suficiente para reduzir a espessura da região de depleção abaixo da região do canal. Tipicamente, a tensão de limiar V_t está na faixa de 0,1 a 0,3 V.

A descrição anterior sobre a operação do MESFET sugere que as características i_D–v_{DS} devem saturar com $v_{DS} = v_{GS} - V_t$, como é o caso de um JFET de silício. Contudo, foi observado que as características i_D–v_{DS} dos MESFETs de GaAs saturam para valores menores de v_{DS} e, além do mais, que a tensão de saturação v_{DSsat} não depende de forma relevante de v_{GS}. O fenômeno dessa "saturação antecipada" ocorre porque a velocidade dos elétrons no canal não permanece proporcional ao campo elétrico (que, por sua vez, é determinado por v_{DS} e L; $E = v_{DS}/L$), como é o caso no silício; em vez disso, a velocidade do elétron alcança um valor de pico elevado e então satura (isto é, torna-se uma constante independente de v_{DS}). O efeito da saturação na velocidade

dos portadores é ainda mais pronunciado nos dispositivos com canal curto ($L \leq 1$ μm), ocorrendo para valores de v_{DS} menores que $(v_{GS} - V_t)$.

Finalmente, algumas palavras sobre a operação do diodo de barreira Schottky. A condução da corrente direta ocorre por portadores majoritários (elétrons) que circulam entrando pela barreira Schottky de metal (o anodo). Ao contrário do diodo de junção *pn*, os portadores minoritários não têm uma função na operação do SBD. O resultado é que o SBD não exibe o efeito de armazenamento de portadores de carga minoritários, que dá origem à capacitância de difusão no diodo de junção. Portanto, o SBD tem apenas um efeito capacitivo, que está associado à capacitância C_j na camada de depleção.

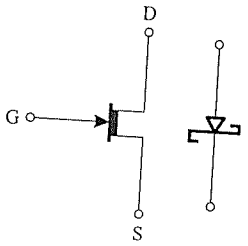
Características e Modelos do Dispositivo

Um modelo de primeira ordem para o MESFET, apropriado para cálculos, é obtido desprezando-se o efeito da saturação na velocidade e, portanto, o modelo resultante é quase idêntico ao do JFET:

$$\begin{aligned} i_D &= 0 \qquad \text{para } v_{GS} < V_t \\ i_D &= \beta\left[2(v_{GS} - V_t)v_{DS} - V_{DS}^2\right](1 + \lambda v_{DS}) \qquad \text{para } v_{GS} \geq V_t,\ v_{DS} < v_{GS} - V_t \\ i_D &= \beta(v_{GS} - V_t)^2(1 + \lambda v_{DS}) \qquad \text{para } v_{GS} \geq V_t,\ v_{DS} \geq v_{GS} - V_t \end{aligned} \tag{5.120}$$

As únicas diferenças entre essas equações e as dos JFETs são: (1) o fator de modulação do comprimento do canal, $1 + \lambda v_{DS}$, também está incluído na equação descritiva da região de triodo (também chamada de região ôhmica) simplesmente pelo fato de o λ do MESFET ser maior e a inclusão desse fator resultar em um melhor ajuste da equação com as características medidas; (2) o parâmetro de transcondutância está sendo denominado por β para corresponder à nomenclatura empregada na literatura (observe, contudo, que esse β não tem absolutamente nada a ver com o β do TBJ!). Uma modificação desse modelo para considerar o efeito da saturação antecipada é encontrada em Hodges e Jackson (1988).

A Figura 5.72(a) mostra o símbolo do MESFET de GaAs de depleção canal *n*. Como somente um tipo de transistor (canal *n*) está disponível, todos os dispositivos serão desenhados do mesmo modo e não deve ser feita nenhuma confusão sobre qual terminal é o dreno e qual é a fonte.



(a) (b)

Figura 5.72 Símbolos do **(a)** MESFET de GaAs tipo depleção canal *n* e **(b)** diodo de barreira Schottky (SBD).

O símbolo do diodo de barreira Schottky está representado na Figura 5.72(b). Apesar de a operação física do SBD diferir da operação do diodo de junção, suas características *i–v* são idênticas. Portanto, a característica *i–v* do SBD é dada pela mesma relação exponencial estudada no Capítulo 3. Para o SBD de GaAs, a constante *n* está tipicamente na faixa de 1 a 1.2

O modelo para pequenos sinais do MESFET é idêntico ao dos outros tipos de FET. Os valores dos parâmetros de modelo são dados por

$$g_m = 2\beta(V_{GS} - V_t)(1 + \lambda V_{DS}) \tag{5.121}$$

$$\begin{aligned} r_o &\equiv \left[\frac{\partial i_D}{\partial v_{DS}}\right]^{-1} \\ &= 1/\lambda\beta(V_{GS} - V_t)^2 \end{aligned} \tag{5.122}$$

Contudo, o MESFET tem um valor muito mais alto para λ (0,1 a 0,3 V^{-1}), cujo resultado é uma menor resistência de saída r_o. Isso, por sua vez, vem a ser uma séria desvantagem da tecnologia do MESFET de GaAs, resultando em um baixo ganho de tensão que pode ser obtido de cada estágio. Além disso, foi observado que r_o diminui com as altas freqüências. As técnicas de projeto de circuito que tratam do baixo valor de r_o serão apresentadas na Seção 6.8.

Para facilitar a referência, a Tabela 5.2 dá os valores típicos dos parâmetros dos dispositivos da tecnologia MESFET de GaAs. Os dispositivos dessa tecnologia têm um comprimento de canal $L = 1$ μm. Os valores dados são para um dispositivo com uma largura de $W = 1$ μm. Os valores dos parâmetros dos dispositivos reais podem ser obtidos pela adequação da escala pela largura *W*. Esse processo está ilustrado no exemplo seguinte. A não ser que seja especificado, os valores da Tabela 5.2 devem ser usados para os exercícios e para os problemas de final de capítulo.

Tabela 5.2 Valores dos parâmetros típicos para os MESFETS com GaAs e diodos Schottky, em tecnologia $L = 1$ μm, normalizados para $W = 1$ μm.

$V_t = -1{,}0$ V
$\beta = 10^{-4}$ A/V^2
$\lambda = 0{,}1$ V^{-1}
$I_S = 10^{-15}$ A
$n = 1{,}1$

EXEMPLO 5.11

A Figura 5.73 mostra um amplificador com MESFET de GaAs simples, com os valores de largura *W* dos transistores indicados. Suponha que a componente *cc* de v_I, que é v_{GS1}, polariza Q_1 com a fonte de corrente formada por Q_2, de modo que os dois dispositivos operam na saturação e que a saída *cc* é a metade da tensão de alimentação. Calcule:

(a) os valores de β para Q_1 e Q_2;

(b) V_{GS1};

(c) g_{m1}, r_{01} e r_{02};

(d) o ganho de tensão para pequenos sinais.

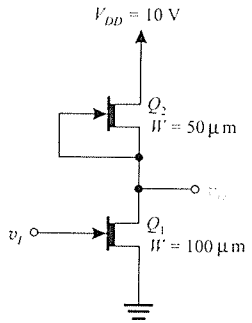


Figura 5.73 Circuito para o Exemplo 5.11: um amplificador com MESFET simples.

SOLUÇÃO

(a) Os valores de β podem ser obtidos aplicando-se um fator de escala no valor dado na Tabela 5.2 usando os valores especificados de W,

$$\beta_1 = 100\times10^{-4} = 10^{-2}\ \text{A/V}^2 = 10\ \text{mA/V}^2$$

$$\beta_2 = 50\times10^{-4} = 5\times10^{-3}\ \text{A/V}^2 = 5\ \text{mA/V}^2$$

(b)

$$I_{D2} = \beta_2(V_{GS2} - V_t)^2(1+\lambda V_{DS2})$$
$$= 5(0+1)^2(1+0{,}1\times5)$$
$$= 7{,}5\ \text{mA}$$
$$I_{D1} = I_{D2} = 7{,}5\ \text{mA}$$
$$7{,}5 = \beta_1(V_{GS1} - V_t)^2(1+\lambda V_{DS1})$$
$$= 10(V_{GS1}+1)^2(1+0{,}1\times5)$$

Portanto,

$$V_{GS1} = -0{,}3\ \text{V}$$

(c)

$$g_{m1} = 2\times10(-0{,}3+1)(1+0{,}1\times5)$$
$$= 21\ \text{mA/V}$$
$$r_{o1} = \frac{1}{0{,}1\times10(-0{,}3+1)^2} = 2\ \text{k}\Omega$$
$$r_{o2} = \frac{1}{0{,}1\times5(0+1)^2} = 2\ \text{k}\Omega$$

(d)

$$A_v = -g_{m1}(r_{o1}//r_{o2})$$
$$= -21\times(2//2) = -21\ \text{V/V}$$

Exercício

5.49 Para um MESFET com a porta curto-circuitada com a fonte e tendo $W = 10\ \mu\text{m}$, calcule a tensão mínima entre o dreno e a fonte para operação na saturação. Para $V_{DS} = 5$ V, encontre a corrente I_D. Qual a resistência de saída dessa fonte de corrente?

Resposta 1 V; 1.5 mA; 10 kΩ

Como mencionado, a principal razão para utilizar dispositivos e circuitos com GaAs é a possibilidade de operação em altas freqüências e com altas velocidades. Cabe, portanto, fazer uma observação com relação às capacitâncias internas e freqüência de transição f_T de transistores de GaAs. Para uma particular tecnologia com $L = 1\ \mu\text{m}$, C_{gs} (em $V_{GS} = 0$ V) é 1,6 fF/μm.largura e C_{gd} (em $V_{DS} = 2$ V) é 0,16 fF/μm.largura. Portanto, para um MESFET com $W = 100\ \mu\text{m}$, temos $C_{gs} = 0{,}16$ pF e $C_{gd} = 0{,}016$ pF. Tipicamente f_T varia na faixa de 5 a 15 GHz.

5.13 O MODELO SPICE DO TRANSISTOR MOSFET E EXEMPLOS DE SIMULAÇÃO[11]

Assim como fizemos para diodos no Capítulo 3 e para o TBJ no Capítulo 4, concluiremos este capítulo com a apresentação do modelo que o SPICE utiliza para o MOSFET. Também ilustraremos a utilização do SPICE na simulação de dois dos circuitos estudados neste capítulo, o amplificador CMOS e o inversor CMOS.

O Modelo

Os modelos até agora empregados neste capítulo para representar o MOSFET são simplificados ou de primeira ordem e funcionam bem para transistores com comprimentos de canal relativamente longos (por exemplo, $L = 5$ a $10\ \mu\text{m}$). Para dispositivos com canais mais curtos, e a maioria dos dispositivos atuais o são, e especialmente aqueles com $L < 1\ \mu\text{m}$, muitos efeitos físicos que não tínhamos levado em consideração passam a ser importantes e, dessa forma, os modelos simples de primeira ordem não mais representam precisamente a operação do dispositivo. Embora os modelos simples possam ainda ser empregados para realizar projetos aproximados de "lápis e papel", modelos mais elaborados e complexos são necessários a fim de sermos capazes de prever o desempenho de um dado circuito com certo grau de precisão, antes da fabricação. Tais modelos foram desenvolvidos e continuam a ser refinados, sendo utilizados no SPICE. De fato, o poder da simulação computacional é melhor avaliado quando temos a possibilidade de empregar esses modelos mais complexos de dispositivos na análise com a ajuda do SPICE.

Embora esteja fora do objetivo deste livro lidar com o assunto "modelamento do MOSFET", é importante que o leitor esteja a par das limitações dos modelos de primeira ordem e da disponibilidade de outros modelos mais precisos e, ao mesmo tempo, mais complexos. Especificamente, o SPICE fornece ao usuário a escolha de três níveis de modelos para o MOSFET: o mais simples, ou nível 1, é um modelo baseado no material apresentado neste capítulo (por exemplo, a lei quadrática para a relação i–v na saturação). O modelo nível 2 é um modelo físico bastante ela-

11. Leitores que não estejam familiarizados com o SPICE devem consultar o Apêndice C e, para outros detalhes, algum dos livros disponíveis a respeito desse assunto (por exemplo, Roberts e Sedra, 1997).

borado cujos parâmetros são muito difíceis de determinar precisamente e, portanto, não é muito popular. O modelo nível 3, por outro lado, utiliza uma miscelânea de equações físicas e dados empíricos para representar o MOSFET razoavelmente bem. Seus parâmetros podem ser determinados a partir de medidas realizadas sobre uma variedade de dispositivos fabricados com o processo a ser modelado. Nesta aplicação, deve ser salientado que os fabricantes de dispositivos semicondutores gastam grande parte de seu tempo para modelar seus processos. Tais esforços são recompensados nos circuitos fabricados resultantes, que trabalham em níveis muito próximos daqueles previstos por simulação, portanto reduzindo a necessidade de reprojetos onerosos.

A Tabela 5.3 mostra uma lista de alguns dos parâmetros que são utilizados nos modelos SPICE para MOSFET. Observe que o modelo default é o nível 1, que é, se o usuário não especificar, o modelo empregado. Isto é, mesmo especificando os parâmetros, se não especificar o modelo, o SPICE reverte para o modelo nível 1. A maioria dos parâmetros na Tabela 5.3 deveria ser familiar ao leitor; as únicas exceções são as resistências R_S e R_D, que representam as resistências ôhmicas das difusões de fonte e dreno, respectivamente.

Tabela 5.3 Parâmetros para o modelo SPICE de MOSFETS (lista parcial).

Nome do parâmetro	Símbolo	Nome SPICE	Unidades	Valor default
Nível de modelo SPICE	–	LEVEL	–	1
Tensão de limiar sem polarização de substrato	V_{t0}	VT0	V	0
Transcondutância do processo	k'	KP	A/V^2	2×10^{-5}
Parâmetro de efeito de corpo	γ	GAMMA	$V^{1/2}$	0
Modulação do comprimento de canal	λ	LAMBDA	V^{-1}	0
Espessura do óxido	t_{ox}	TOX	m	1×10^{-7}
Difusão lateral	L_{ov}	LD	m	0
Potencial de inversão da superfície	$2\phi_f$	PHI	V	0,6
Dopagem do substrato	N_A, N_D	NSUB	cm^{-3}	0
Mobilidade superficial	μ	U0	cm^2/Vs	600
Resistência de fonte	R_S	RS	Ω	0
Resistência de dreno	R_D	RD	Ω	0
Capacitância de junção com polarização nula	C_{j0}	CJ	F/m^2	0
Coeficiente de graduação da junção de corpo	m	MJ	–	0,5
Capacitância de sobreposição porta-fonte	C_{ov}	CGSO	F/m	0
Capacitância de sobreposição porta-dreno	C_{ov}	CGDO	F/m	0
Potencial interno da junção de corpo	V_0	PB	V	0,8

Como no caso do diodo e do TBJ, o usuário pode especificar um valor para um parâmetro do MOSFET particular ou deixar que o SPICE utilize um valor default conforme listado na tabela anterior. Em relação à especificação de parâmetros, observe que há uma redundância na especificação dos parâmetros de modelo. Portanto, o usuário pode especificar o valor de k' para um dispositivo MOS ($k'_p = \mu_n C_{ox}$) ou, alternativamente, especificar t_{ox} e μ_n e deixar o SPICE calcular k'_n. Similarmente, o parâmetro de efeito de corpo γ pode ser diretamente especificado, ou também os parâmetros físicos que entram na fórmula de cálculo do γ, de forma que o SPICE

calcule (por exemplo, o valor de N_A é empregado no cálculo do γ). Em qualquer caso, *os valores diretamente especificados pelo usuário terão sempre prioridade sobre aqueles calculados pelo SPICE* (por exemplo, se γ é especificado, então o valor calculado a partir de N_A é desprezado pelo SPICE).

Além de especificar os parâmetros do modelo, o usuário precisa especificar as dimensões do dispositivo. Pelo menos a largura W e o comprimento L devem ser especificados.

Finalmente, cabe observar que o SPICE computa os valores dos parâmetros do modelo equivalente para pequenos sinais junto a seu ponto de operação *cc*. Esses podem, então, ser utilizados pelo SPICE para realizar a análise para pequenos sinais.

EXEMPLO 5.12

Para nosso primeiro exemplo de simulação, utilizaremos o SPICE para investigar a operação do circuito amplificador CMOS estudado na Seção 5.7. Especificamente, simularemos o circuito da Figura 5.45(a), cujo desempenho foi analisado no Exemplo 5.10. O circuito está redesenhado na Figura 5.74 com seus nós numerados. A listagem do arquivo de entrada é fornecida no Apêndice D. O modelo nível 1 é utilizado neste exemplo e somente os valores de três parâmetros do modelo, k', V_{t0} e λ, são especificados. O SPICE é utilizado para calcular a característica de transferência *cc* em intervalos de 10 mV, para v_I variando de 0 V a 10 V, e para plotar v_O *versus* v_I.

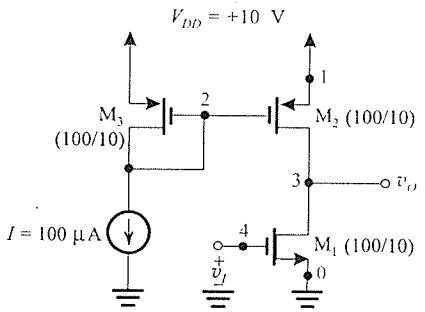
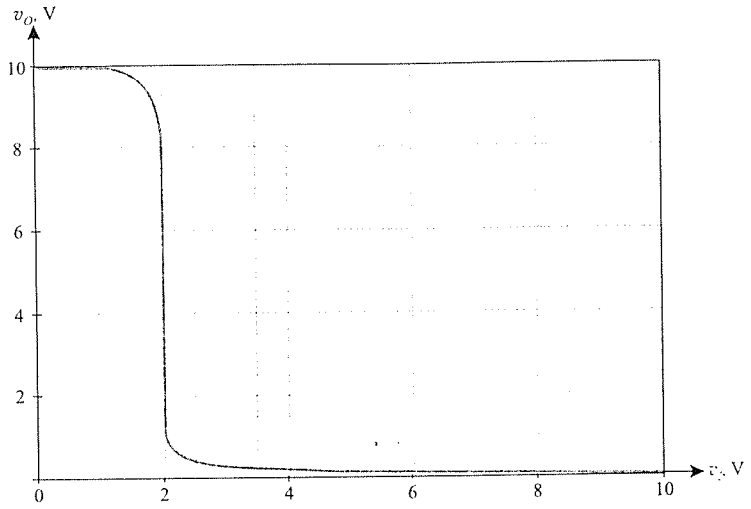
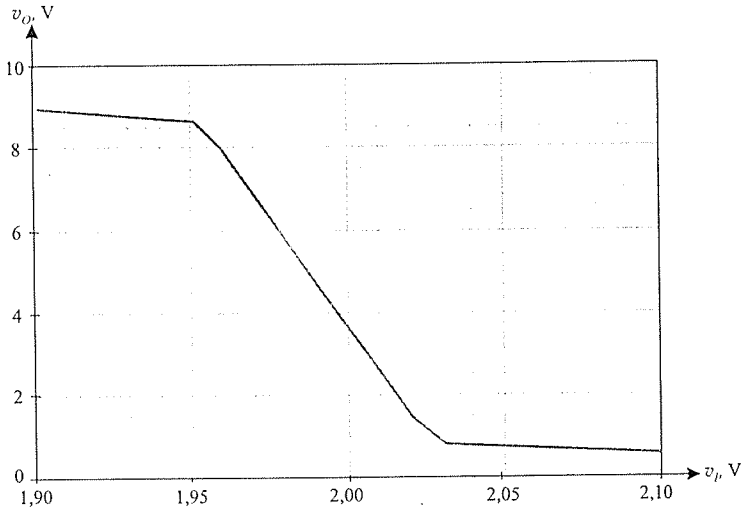


Figura 5.74 Amplificador CMOS para simulação SPICE do Exemplo 5.12. Este circuito foi analisado manualmente no Exemplo 5.10. O arquivo de entrada do SPICE está listado no Apêndice D.

A Figura 5.75(a) mostra a característica de transferência resultante com o segmento de alto ganho visível para v_I em torno de 2 V. Para examinar a região de alto ganho com mais detalhe, a varredura *cc* foi repetida para v_I entre 1,9 V e 2,1 V, utilizando um passo de tamanho 100 μV para obter uma curva suave. O resultado está mostrado na Figura 5.75(b), da qual verificamos (utilizando o programa gráfico PROBE do PSPICE) que a região linear está delimitada por v_I = 1,955 e 2,027 V. Os valores correspondentes de v_O são 8,589 V e 0,9966 V. Esses resultados sugerem que o ganho desse amplificador é cerca de –119 V/V. O SPICE foi também utilizado para realizar uma análise para pequenos sinais no ponto de polarização determinado por v_I = 2 V. O resultado obtido foi um ganho para pequenos sinais de –105 V/V. Esses resultados são razoavelmente próximos daqueles obtidos por análise manual no Exemplo 5.10, ou seja, –95 V/V e –100 V/V, para ganhos com pequenos e grandes sinais, respectivamente.



(a)



(b)

Figura 5.75 (a) Característica de transferência *cc* do amplificador CMOS mostrado na Figura 5.74 conforme obtido por simulação SPICE. (b) Uma visão expandida da característica de transferência do amplificador CMOS mostrado na Figura 5.74 na região de alto ganho.

EXEMPLO 5.13

Para nosso segundo exemplo, utilizaremos o SPICE para simular a operação do inversor básico CMOS estudado na Seção 5.8. O circuito inversor está redesenhado na Figura 5.76 com os nós numerados. O arquivo de entrada do SPICE está listado no Apêndice D. Na construção desse arquivo de dados foi empregada uma tecnologia MOSFET correspondente a um processo comercial de 3 μm, em que os parâmetros são, para o dispositivo canal *n*, $V_{t0} = 0{,}7$V, $k_n' = 40\ \mu A/V^2$, $\gamma = 1{,}1\ V^{1/2}$, $\lambda = 0.01\ V^{-1}$; e para o dispositivo canal *p*, $V_{t0} = -0{,}8$ V, $k_p' = 12\ \mu A/V^2$, $\gamma = 0{,}6\ V^{1/2}$ e $\lambda = 0{,}03\ V^{-1}$. O modelo nível 3 foi utilizado e o restante dos parâmetros do modelo estão listados no comando Model no arquivo de entrada SPICE. Também são listadas as dimensões do dispositivo: $L = 3$ μm e $W = 3$ μm para o dispositivo canal *n*, e $L = 3$ μm e $W = 9$ μm para o dispositivo canal *p*. Note que o comprimento de canal é selecionado para ser o mínimo possível para a tecnologia disponível, uma prática comum no projeto de CIs digitais. Além disso, a fim de compensar o fato de o valor de μ_p ser somente 30% daquele de μ_n, o dispositivo canal *p* foi feito três vezes mais largo do que o transistor canal *n*.

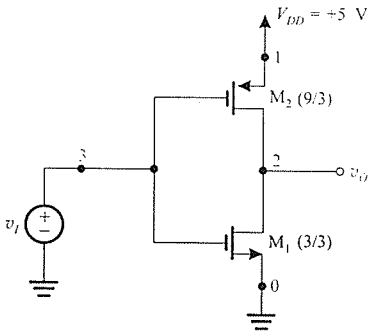


Figura 5.76 Inversor CMOS para a simulação SPICE no Exemplo 5.13. O arquivo de entrada SPICE está listado no Apêndice D.

O programa SPICE foi empregado na análise *cc* com a varredura da tensão de entrada v_I em uma faixa de 0 V a 5 V, em incrementos de 50 μV, para que se achassem tanto a característica de transferência (CTT) do inversor como a corrente fornecida pela fonte para vários valores de v_I. Os gráficos das duas funções foram obtidos a partir do aplicativo PROBE do PSPICE para ajudar a examinar os detalhes das curvas resultantes.

A CTT calculada a partir do SPICE está mostrada na Figura 5.77(a). Note que o inversor chaveia perto da metade do valor da tensão de alimentação, conforme esperado. A inclinação da curva de transferência na região de chaveamento, entretanto, não é infinita, conforme previsto pela teoria simples apresentada na Seção 5.8. Além disso, os valores não-nulos de λ fazem com que o ganho do inversor seja finito. Utilizando a ferramenta de derivada do Probe, fomos capazes de achar V_{IL} e V_{IH} como 2,03 V e 2,83 V, respectivamente. Observe que esses resultados se correlacionam razoavelmente bem com os cálculos manuais utilizando as fórmulas aproximadas da Seção 5.8 (junto com os valores dos parâmetros da tecnologia dada), que indicam $V_{IL} = 2{,}05$ V e $V_{IH} = 2{,}93$ V. As margens da CTT computadas pelo SPICE são $MR_H = 2{,}17$ V e $MR_L = 2{,}03$ V. As duas margens não são exatamente iguais porque os dispositivos *p* e *n* não estão perfeitamente casados.

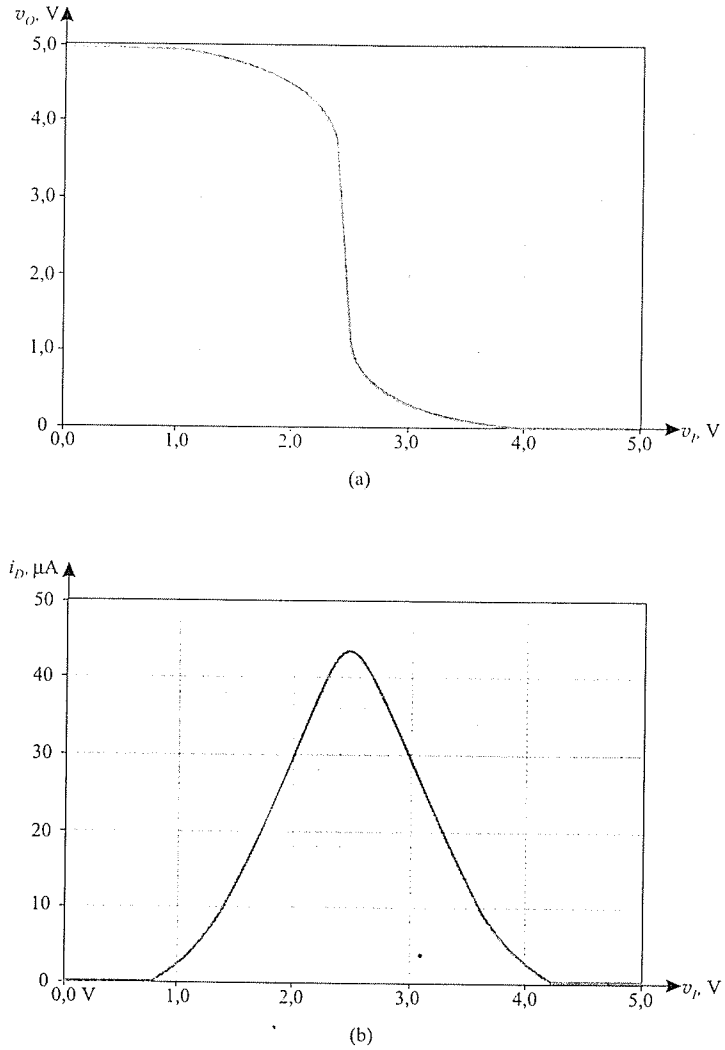


Figura 5.77 (a) Característica de transferência entrada–saída obtida a partir do SPICE para o inversor CMOS da Figura 5.76. (b) Corrente no inversor CMOS *versus* tensão de entrada.

A corrente do inversor *versus* v_I, conforme computado pelo SPICE, está mostrada na Figura 5.77(b). Ela indica que o pico de corrente na transição de VTC é de 44 μA. Obviamente, muitos mais detalhes das características computadas podem ser investigados, e outras propriedades do inversor podem ser exploradas e simuladas com a ajuda dessa poderosa ferramenta de análise, SPICE. O leitor pode fazê-lo se assim desejar!

RESUMO

- Para uma referência conveniente, a Tabela 5.4 fornece um resumo de relações importantes para o MOSFET.
- O MOSFET tipo enriquecimento é o dispositivo mais empregado no projeto de circuitos integrados. Dispositivos canal *n* são mais utilizados que dispositivos canal *p* devido a suas altas transcondutâncias, um resultado do fato de μ_n ser de duas a três vezes maior do que μ_p. Ambos os dispositivos são, entretanto, utilizados na tecnologia CMOS, atualmente a mais popular tecnologia para o projeto de circuitos integrados analógicos e digitais.
- Amplificadores MOS em circuitos integrados utilizam fontes de corrente para, ao mesmo tempo, polarizar e servir como elementos de carga (cargas ativas). Em relação a essa aplicação, o espelho de corrente é um bloco construtivo muito importante.
- O ganho de tensão do amplificador básico com fonte comum e carga ativa é aproximadamente $-g_m r_o/2$.
- O seguidor de fonte fornece um ganho de tensão menor do que, mas próximo de, um, sendo aproximadamente igual a $1/(1 + \chi)$ sem nenhuma carga. Sua resistência de saída é baixa, aproximadamente $1/(g_m + g_{mb})$, possibilitando que ele seja utilizado como amplificador isolador (*buffer*) ou como estágio de saída.
- O amplificador porta comum apresenta ganho elevado, mas sua impedância de entrada é baixa, aproximadamente $1/(g_m + g_{mb})$. Sua aplicação principal é na configuração cascode a ser estudada no Capítulo 6.
- O inversor CMOS fornece uma implementação quase ideal da função lógica de inversão, com $V_{OH} = V_{DD}$, $V_{OL} = 0$, uma tensão de transição de $V_{DD}/2$ e margens de ruído iguais. Para compensar os valores desiguais de μ_n e μ_p, o inversor é projetado tal que $L_n = L_p$ e $W_p/W_n = \mu_n/\mu_p$. O inversor fornece um caminho de baixa impedância para o terra quando a saída está no estado de nível baixo e a saída fica em V_{DD} para o estado de nível alto.
- Embora o inversor CMOS tenha dissipação de potência estática desprezível, sua dissipação de potência dinâmica é $f CV_{DD}^2$. Seu atraso na propagação é aproximadamente

$$\frac{1.6\,C}{k'(W/L)V_{DD}}$$

- A porta de transmissão CMOS é uma excelente chave analógica, com resistência aproximadamente constante quando habilitada para uma larga faixa de sinais de entrada. Esse componente também tem aplicação no projeto de circuitos digitais.
- O JFET, no presente momento, apresenta um número limitado de aplicações no projeto de circuitos discretos, principalmente como amplificador de alta resistência de entrada e como chave analógica.
- Os dispositivos de arseneto de gálio têm grande potencial na fabricação de amplificadores de freqüência muito elevada e também de circuitos digitais de velocidade muito alta. A disponibilidade comercial de tais dispositivos, entretanto, é ainda limitada.

BIBLIOGRAFIA

R. S. C. Cobbold, *Theory and Applications of Field-Effect Transistors*, New York, Wiley, 1969.

P. R. Gray, D. A. Hodges e R. W. Brodersen, *Analog MOS Integrated Circuits*, New York, IEEE Press, 1980.

Tabela 5.4 Sumário de equações importantes do MOSFET.

Relações Corrente–Tensão

- PARA DISPOSITIVOS NMOS:
  - *Região de triodo* ($v_{GS} \geq V_t$, $v_{DS} \leq v_{GS} - V_t$)

    $$i_D = k_n'\left(\frac{W}{L}\right)\left[(v_{GS} - V_t)v_{DS} - \frac{1}{2}v_{DS}^2\right]$$

    Para v_{DS} pequeno: $r_{DS} \equiv \dfrac{v_{DS}}{i_D} = \left[k_n'\left(\dfrac{W}{L}\right)(v_{GS} - V_t)\right]^{-1}$
  - *Região de saturação* ($v_{GS} \geq V_t$, $v_{DS} \geq v_{GS} - V_t$)

    $$i_D = \frac{1}{2}k_n'\left(\frac{W}{L}\right)(v_{GS} - V_t)^2(1 + \lambda v_{DS})$$
  - $k_n' = \mu_n C_{ox}$ (veja Tabela 5.1)

    $$V_t = V_{t0} + \gamma\left[\sqrt{2\phi_f + |V_{SB}|} - \sqrt{2\phi_f}\right]$$

    $$\gamma = \sqrt{2qN_A\varepsilon_S}/C_{ox}, \qquad q = 1{,}6\times10^{-19} \text{ coulomb}, \quad \varepsilon_S = 1{,}04\times10^{-12} \text{ F/cm}$$

    $$\lambda = 1/V_A, \qquad V_A \propto \alpha L$$

- PARA DISPOSITIVOS PMOS: V_t, γ, λ E V_A SÃO NEGATIVOS
  - Para região de triodo, $v_{GS} \leq V_t$ e $v_{DS} \geq v_{GS} - V_t$
  - Para região de saturação, $v_{GS} \leq V_t$ e $v_{DS} \leq v_{GS} - V_t$

- PARA DISPOSITIVOS DE DEPLEÇÃO (VEJA A FIGURA 5.23):
  - Canal *n*: V_t é negativo
  - Canal *p*: V_t é positivo
  - $I_{DSS} = \dfrac{1}{2}k'\left(\dfrac{w}{l}\right)V_t^2$

Modelo para Pequenos Sinais (Figura 5.67)

$$g_m = \sqrt{2k'(W/L)}\sqrt{I_D} \qquad r_o = \frac{|V_A|}{I_D}$$

$$g_m = k'(W/L)(v_{GS} - V_t)$$

$$g_m = \frac{2I_D}{V_{GS} - V_t} \qquad V_{GS} - V_t \equiv V_{eff}$$

$$g_{mb} = \chi g_m, \qquad \chi = \gamma\left[2\sqrt{2\phi_f + |V_{SB}|}\right]$$

$$C_{gs} = \frac{2}{3}WLC_{ox} + WL_{ov}C_{ox} \qquad C_{gd} = WL_{ov}C_{ox}$$

$$C_{sb} = \frac{C_{sb0}}{\sqrt{1 + \dfrac{|V_{SB}|}{V_0}}} \qquad C_{db} = \frac{C_{db0}}{\sqrt{1 + \dfrac{|V_{DB}|}{V_0}}}$$

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})}$$

P. R. Gray e R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 2ª ed., New York, Wiley, 1984.

A. B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*, New York, Wiley, 1984.

D. J. Hamilton & W. G. Howard, *Basic Integrated Circuit Engineering*, New York, McGraw-Hill, 1975.

D. A. Hodges e H. G. Jackson, *Analysis and Design of Digital Integrated Circuits*, 2ª ed., New York, McGraw-Hill, 1988.

D. A. Johns e K. W. Martin, *Analog Integrated Circuit Design*, New York, Wiley, 1997

S. I. Long e S. E. Butner, *Gallium Arsenide Digital Integrated Circuit Design*, New York, McGraw-Hill, 1990.

C. Mead, *Analog VLSI and Neural Systems*, Reading, MA, Addison Wesley, 1989.

D. L. Pulfrey e N. G. Tarr, *Introduction to Microelectronic Devices*, Englewood Cliffs, NJ, Prentice-Hall, 1989.

J. M. Rabaey, *Digital Integrated Circuits*, Englewood Cliffs, NJ, Prentice-Hall, 1996.

G. Roberts & A. Sedra, *SPICE*, New York, Oxford University Press, 1997.

Y. Tsividis, "Design considerations in single-channel MOS analog integrated circuits – A tutorial", *IEEE Journal of Solid-State Circuits*, vol. SC-13, pp. 383-391, junho de 1978.

Y. Tsividis, *Operation and Modeling of the MOS Transistor*, New York, McGraw-Hill, 1987.

PROBLEMAS

Seção 5.1: Estrutura e Operação Física do MOSFET Tipo Enriquecimento

A menos que seja especificado de outra forma, utilize os dados fornecidos na Tabela 5.1.

5.1 Sabendo-se que $\mu_p \cong 0{,}4\ \mu_n$, obtenha para os dispositivos canal *p* os valores dos parâmetros correspondentes àqueles mostrados na Tabela 5.1 para MOSFETs canal *n*.

5.2 Considere um MOSFET canal *n* com t_{ox} = 20 nm, V_t = 0,8 V e W/L = 10. Obtenha a corrente de dreno nos seguintes casos: (a) v_{GS} = 5 V e v_{DS} = 1 V; (b) v_{GS} = 2 V e v_{DS} = 1 V; (c) v_{GS} = 5 V e v_{DS} = 0,2 V; (d) $v_{GS} = v_{DS}$ = 5 V.

Seção 5.2: As Características Corrente–Tensão do MOSFET Tipo Enriquecimento

5.3 Suponha que o MOSFET tipo enriquecimento canal *n*, cujas características estão mostradas na Figura 5.11 e para as quais V_t = 1 V e $k_n'(W/L)$ = 0,05 mA/V², esteja operando com v_{GS} = 3 V. Calcule i_D para v_{DS} = 2 V e para v_{DS} = 6 V.

5.4 Um transistor NMOS fabricado com W = 100 μm e L = 5 μm em uma tecnologia com k_n' = 20 μA/V² e V_t = 1 V opera com pequenos valores de v_{DS}, dessa forma assemelhando-se a um resistor linear. Para v_{GS} variando de 1,1 V a 11 V, qual a faixa de resistências que pode ser obtida nesse dispositivo? Qual a faixa disponível se: (a) o dispositivo tem sua largura dividida pela metade? (b) o dispositivo tem seu comprimento dividido pela metade? (c) o dispositivo tem tanto a largura quanto seu comprimento divididos pela metade?

5.18 Um MOSFET particular tem V_A = 50 V. Para operar com 1 mA e 10 mA, quais os valores de resistência de saída que você espera? Em cada caso, para uma variação de 10% em v_{DS}, qual a variação na corrente de dreno que você espera?

5.21 Em uma tecnologia para a qual a espessura do óxido de porta é 20 nm, obtenha o valor de N_A para a qual γ = 0,5 V$^{1/2}$. Se o nível de dopagem é mantido, mas a espessura do óxido é aumentada para 100 nm, como fica o novo valor de γ?

***5.23** Um transistor PMOS tipo enriquecimento tem um valor de $k_p'(W/L)$ = 80 μA/V², V_t = –1,5 V e λ = –0,02 V^{-1}. A porta está conectada ao terra e a fonte a +5 V. Calcule a corrente de dreno para (a) v_D = +4 V; (b) v_D = +1,5 V; (c) v_D = 0 V; e (d) v_D = –5 V.

Seção 5.3: O MOSFET Tipo Depleção

5.8 Um MOSFET tipo depleção canal *n* com $k_n'(W/L) = 2$ mA/V^2 e $V_t = -3$ V tem sua porta e fonte aterradas. Encontre a região de operação e a corrente de dreno para (a) $v_D = 0{,}1$ V; (b) $v_D = 1$ V; (c) $v_D = 3$ V; e (d) $v_D = 5$ V. Despreze o efeito da modulação do comprimento do canal.

Seção 5.4: Circuitos MOSFET em *cc*

P5.9 Projete o circuito da Figura 5.24 de forma a estabelecer uma corrente de dreno de 1 mA e uma tensão de dreno de 0 V. O MOSFET tem $V_t = 2$ V, $\mu_n C_{ox} = 20$ μA/V^2, $L = 10$ μm e $W = 400$ μm.

P5.10 Os transistores NMOS no circuito da Figura P5.10 têm $V_t = 2$ V, $\mu_n C_{ox} = 20$ μA/V^2, $\lambda = 0$ e $L_1 = L_2 = 10$ μm. Encontre os valores necessários para a largura da porta para Q_1 e Q_2 e o valor de R para obter os valores de tensões e de correntes indicados.

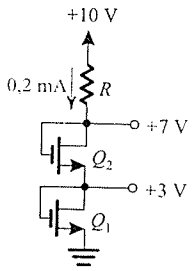


Figura P5.10

P5.11 Usando um transistor PMOS tipo enriquecimento com $V_t = -1{,}5$ V, $k_p' = 1$ mA/V^2 e $\lambda = 0$, projete um circuito que pareça com o da Figura 5.27(a). Usando uma alimentação de 10 V, projete para que a tensão na porta seja de +6 V, a corrente no dreno, de 0,5 mA e a tensão no dreno, de +5 V. Calcule os valores de R_S e R_D.

5.12 Para cada um dos circuitos na Figura P5.12, encontre as tensões de dreno, assumindo $k_n'(W/L) = 200$ μA/V^2, $V_t = 2$ V, e $V_A = 20$ V.

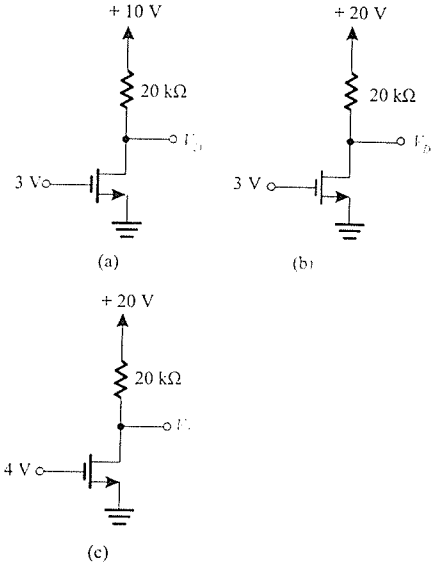


Figura P5.12

Seção 5.5: O MOSFET Como Amplificador

*5.46 Este problema investiga a distorção linear introduzida por um amplificador FET. Suponha o sinal v_{gs} como sendo uma onda senoidal com amplitude V_{gs} e substitua $v_{gs} = V_{gs}$ sen ωt na Equação 5.35. Usando a identidade trigonométrica $\text{sen}^2\theta = 0{,}5 - 0{,}5\cos 2\theta$, mostre que a razão da amplitude do sinal na freqüência 2ω em relação à amplitude na freqüência ω, expressa como porcentagem, conhecida como distorção de segunda harmônica, é:

Distorção de segunda harmônica =

$$\frac{1}{4}\frac{V_{gs}}{V_{GS} - V_t} \times 100$$

Se em uma aplicação particular $V_t = 2$ V e $V_{GS} = 5$ V, encontre o maior valor de amplitude do sinal senoidal de entrada para o qual a distorção de segunda harmônica não exceda 1%.

5.14 Considere o amplificador com FET na Figura 5.31 para o caso de $V_t = 2$ V, $k_n'(W/L) = 1$ mA/V^2, $V_{GS} = 4$ V, $V_{DD} = 10$ V e $R_D = 3{,}6$ kΩ.
(a) Calcule os valores *cc* de I_D e V_D.
(b) Calcule o valor de g_m no ponto de polarização.
(c) Calcule o valor do ganho de tensão.
(d) Se o MOSFET tem $\lambda = 0{,}01$ V^{-1}, calcule r_o no ponto de polarização e o ganho de tensão.

*P5.15 Para uma versão particular do circuito da Figura 5.31, $I_D = 100$ μA, $V_{GS} - V_t = 1{,}2$ V, $R_D = 50$ kΩ e $V_{DD} = 9$V. Se $\lambda = 0$, qual será o valor de $k_n'(W/L)$? Qual o valor de g_m? Qual o valor da componente contínua da tensão de dreno, V_D? Qual o valor da tensão de pico do dreno para que o limite da região de saturação junto à região de triodo seja alcançado? Qual o ganho de tensão linear do circuito? Assumindo uma operação essencialmente linear, qual a amplitude máxima do sinal de entrada para que a região de triodo seja alcançada? Para esse último valor obtido de sinal de entrada, que sinal distorcido resulta na saída? A suposição de operação essencialmente linear é justificável? Para qual sinal de entrada v_{gs} o termo quadrático é apenas 1% do termo linear na saída? Qual a máxima excursão do sinal na saída? Para o sinal de entrada limitado a esse último valor obtido de excursão, para que valor a tensão de alimentação pode ser reduzida e, ainda assim, a operação no modo saturação ficar sustentada com um ganho constante?

5.16 Para o amplificador NMOS da Figura P5.16, o transistor NMOS tem $|V_t| = 0{,}9$ V e $V_A = 50$ V e opera com $V_D = 2$ V. Qual o ganho de tensão v_o/v_i? Quando aumentamos I para 1 mA, quais os novos valores de V_D e do ganho?

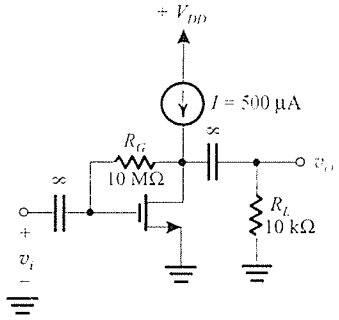


Figura P5.16

5.17 Para um processo de fabricação CMOS de 0,8 μm: $V_{tn} = 0{,}8$ V, $V_{tp} = -0{,}9$ V, $\mu_n C_{ox} = 90$ μA/V^2, $\mu_p C_{ox} = 30$ μA/V^2, $C_{ox} = 1.9$ fF/μm^2, $\phi_f = 0.34$ V, $\gamma = 0{,}5$ V$^{1/2}$, V_A (dispositivos canal *n*) = 8 *L* (μm), $|V_A|$(dispositivos canal *p*) = 12 *L*(μm). Obtenha os parâmetros do modelo para pequenos sinais (g_m, r_o, g_{mb}) para ambos os transistores, NMOS e PMOS, tendo $W/L = 20$ μm/2 μm e operando em $I_D = 100$ μA com $|V_{SB}| = 1$ V. Também obtenha as tensões efetivas ($V_{eff} = V_{GS} - V_t$) em que cada dispositivo deve operar.

Seção 5.6: Polarização de Circuitos Amplificadores MOS

*P5.18 Em um instrumento eletrônico usando o esquema de polarização mostrado na Figura 5.39(a), um erro de fabricação reduziu R_S a zero. Suponha $V_{DD} = 12$ V, $R_{G1} = 5{,}6$ MΩ e $R_{G2} = 2{,}2$ MΩ. Qual o valor resultante de V_G? Se as especificações do fornecedor permitirem uma variação em $k_n'(W/L)$ de 220 a 380 μA/V^2 e V_t variar de 1,3 a 2,4 V, quais os valores extremos de I_D que podem resultar? Qual o valor que R_S deveria ter para limitar o máximo valor de I_D em 0,15 mA. Escolha um valor apropriado do resistor R_S no padrão de 5% (veja o Apêndice H). Quais valores extremos de I_D resultam agora?

5.19 Projete o circuito da Figura 5.39(b) para um MOSFET tipo enriquecimento tendo $V_t = 2$ V e $k_n'(W/L) = 2$ mA/V^2. Suponha que $V_{DD} = V_{SS} = 10$ V e projete para uma corrente *cc* de polarização de 1 mA e para obter o maior ganho de tensão possível (e, portanto, o maior valor de R_D possível) consistente de modo a permitir uma excursão com uma tensão de 2 V pico a pico no dreno. Suponha que o sinal de tensão no terminal fonte do FET seja zero.

*P5.20 Para o circuito na Figura 5.39(a), utilizando um transistor MOS tipo enriquecimento, para o qual temos nominalmente $k_n'(W/L) = 500$ μA/V^2 e $V_t = 1{,}0$ V, polarizado para um g_m nominal de 0,5 mA/V, obtenha a tensão de porta V_G e o resistor de fonte R_S para que a variação em I_D seja menor do que 5% para V_t variando na faixa de 10%, assumindo resistores ideais e que $k_n'(W/L)$ seja relativamente constante. Qual a maior corrente de dreno observada? Qual a menor tensão de dreno possível que garante operação na saturação? Para uma tensão de alimentação de 9 V e uma excursão de sinal de 2 V, qual o valor de R_D permitido? Assumindo que a fonte possa estar aterrada através de um capacitor, qual o ganho de tensão da porta para o dreno? Se fosse necessário um ganho duas vez maior, qual valor de R_D e qual tensão de alimentação voce utilizaria? Para os dois casos anteriores (tensão de alimentação de 9 V ou aumentada) e considerando $R_{G1} = 10$ MΩ, obtenha o valor de R_{G2}.

P5.21 Usando o arranjo de polarização com realimentação mostrado na Figura 5.39(d) com uma fonte de alimentação de 9 V e um dispositivo NMOS para o qual $V_t = 1$ V e $k_n'(W/L) = 0{,}4$ mA/V^2, encontre R_D para estabelecer uma corrente de dreno de 0,2 mA. Se os valores dos resistores forem limitados aos do padrão de 5% (veja o Apêndice H), que valor você escolheria? Que valores de corrente e V_D resultam?

5.22 Considere o circuito espelho de corrente básico com dois transistores idênticos, tendo $k_n'(W/L) = 40$ μA/V^2, $V_t = 0{,}8$ V e $V_A = 20$ V. Seja $I_{REF} = 10$ μA. Qual a tensão de saída em que I_O é exatamente igual a I_{REF}? Qual será a mudança na corrente de saída correspondente a +2 V de aumento na tensão de saída?

Seção 5.7: Configurações Básicas de Amplificadores MOS de Estágio Simples em Circuitos Integrados

P5.23 Considere o amplificador CMOS da Figura 5.45(a), fabricado em uma tecnologia com $k_n' = 2{,}5k_p' = 50$ μA/V^2, $|V_t| = 1$ V e $|V_A| = 50$ V. Obtenha I_{REF} e (W/L), de forma que o ganho de tensão seja de −100 V/V e a resistência de saída seja de 1 MΩ.

5.24 A fonte de alimentação do amplificador CMOS analisado no Exemplo 5.10 é reduzida para 5 V. Qual será então a nova extensão da região linear de saída?

**5.25 Os MOSFETs no circuito da Figura P5.25 são casados, com $k_n'(W/L)_1 = k_n'(W/L)_2 = 50$ μA/V^2 e $|V_t| = 2$ V. A resistência R_2 é igual a 10 MΩ. Para G e D abertos, quais as correntes de dreno I_{D1} e I_{D2}? Para $r_o = \infty$, qual o ganho de tensão do amplificador de G para D? Para r_o finito ($r_o = |V_A|/I_D$, $|V_A| = 180$ V), qual o ganho de tensão de G para D e a resistência de entrada em G? Se G for acionada (através de um capacitor de acoplamento de valor elevado) por uma fonte v_i tendo uma resistência de 1 MΩ, encontre o ganho de tensão v_d/v_i. Para que faixa de sinais de saída Q_1 e Q_2 permanecem na região de estrangulamento?

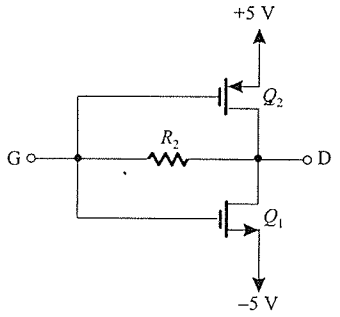


Figura P5.25

5.26 (a) Para o amplificador CMOS porta comum, utilize as expressões dadas pela Equações 5.64 e 5.65 juntas, indicando g_{mb1} como χg_{m1} e g_{m1} em termos de I_D (= I_{REF}) e V_{ef1} (= $V_{GS1} - V_{tn}$) e assumindo que $r_{o1} \cong r_{o2} = |V_A|/I_{REF}$, para mostrar que

$$A_v = (1+\chi)\frac{|V_A|}{V_{ef1}}$$

$$R_i = \frac{V_{ef1}}{I_{REF}(1+\chi)}$$

(b) Projete o circuito de forma a obter $A_v = 100$ V/V e $R_i = 5$ kΩ. Assuma $|V_A| = 50$ V, $\chi = 0{,}2$ e $k_n' = 20$ μA/V^2. Especifique I_{REF} e $(W/L)_1$.

P5.27 (a) Para uma carga MOS tipo enriquecimento conectada como diodo, encontre uma expressão para a resistência dinâmica em termos da corrente de operação e das dimensões do dispositivo.

(b) Em uma aplicação particular utilizando uma carga MOSFET, tendo disponível a largura mínima do canal, é pedido para formar uma resistência de carga três vezes maior, mantendo a corrente de operação sem alteração. O que deve ser feito?

5.28 A carga MOS tipo enriquecimento de um amplificador MOS tem uma largura de canal de 1/10 e um comprimento de canal de 10 vezes aquela do transistor do amplificador. Desprezando os efeitos de r_o e o efeito de corpo, encontre o ganho de tensão esperado.

5.29 Um amplificador MOSFET com carga tipo depleção tem $(W/L)_1/(W/L)_2 = 4$. Encontre o ganho de tensão para pequenos sinais para $\chi = 0{,}2$. Despreze o efeito de r_o.

**5.30 Para o circuito na Figura P5.30, suponha $|V_t| = 2$ V. Para cada um dos casos
(a) $k_p'(W/L)_2 = k_n'(W/L)_1$
(b) $k_p'(W/L)_2 = 0{,}1k_n'(W/L)_1$ e
(c) $k_p'(W/L)_2 = 0{,}01k_n'(W/L)_1$, encontre v_O correspondente a $v_I = 0$ V, 3 V e 6 V.

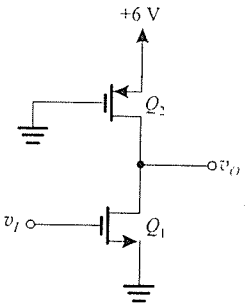


Figura P5.30

Seção 5.8: O Inversor Lógico Digital CMOS

A menos que seja especificado de outra forma, assuma nesta seção que esteja sendo utilizada uma tecnologia CMOS com comprimento de canal de 1,2 μm e o inversor seja um "projeto-padrão", com os seguintes parâmetros: comprimento de canal = 1,2 μm (para todos os dispositivos, a menos que seja especificado de outra forma); $k_n' = 81$ μA/V^2; $k_p' = 27$ μA/V^2; $V_{tn} = |V_{tp}| = 0{,}75$ V; e $V_{DD} = 5$ V.

5.31 Um inversor CMOS particular utiliza dispositivos canal *n* e canal *p* de tamanhos idênticos. Se $\mu_n = 2\mu_p$, $|V_t| = 1$ V e $V_{DD} = 5$ V, obtenha V_{IL} e V_{IH} e, portanto, também as margens de ruído.

5.32 Repita o Exercício 5.31 para $V_{DD} = 10$ V e 15 V.

5.33 Para uma tecnologia em que $V_{tn} = 0{,}2\ V_{DD}$, mostre que a corrente máxima que o inversor CMOS pode drenar enquanto o nível de saída não exceder $0{,}1\ V_{DD}$ é $0{,}075\ (\mu_n C_{ox})(W/L)_n V_{DD}^2$. Para $V_{DD} = 5$ V, $\mu_n C_{ox} = 20$ μA/V^2 e $L_n = 5$ μm, obtenha a largura necessária para o transistor de modo que a corrente seja 1,5 mA.

Seção 5.9: O MOSFET como Chave Analógica

5.34 Uma chave NMOS tem um sinal de entrada que varia em uma faixa de ± 5 V e uma entrada de controle de ±10 V. Calcule a resistência do canal para dois sinais extremos, quando a entrada de controle é alta, ligando a chave. Se a chave é para ser usada em um circuito cuja resistência de malha é R, qual deve ser o maior valor de R para garantir uma perda de sinal de apenas 1% na chave? Use para o transistor $k_n' W/L = 100\ \mu A/V^2$ e $V_t = 1$ V.

5.35 Uma chave CMOS é usada para conectar uma fonte senoidal de 0,1 sen ωt em uma carga capacitiva C. Para sinais de controle de ± 5 V e $k_n'(W/L)_n = k_p'(W/L) = 100\ \mu A/V^2$, $V_{tn} = |V_{tp}| = 1$ V, qual a freqüência de corte introduzida pela chave se $C = 1000$ pF?

Seção 5.10: As Capacitâncias Internas do MOSFET e Modelo para Altas Freqüências

5.36 Consulte o modelo para altas freqüências do MOSFET na Figura 5.67(a). Avalie os parâmetros do modelo para um transistor NMOS operando em $I_D = 100\ \mu A$, $V_{SB} = 2$ V e $V_{DS} = 5$ V. O MOSFET tem $W = 30\ \mu m$, $L = 10\ \mu m$, $t_{ox} = 0{,}1\ \mu m$, $\mu_n = 0{,}06\ m^2/Vs$, $\gamma = 0{,}5\ V^{1/2}$, $2\phi_f = 0{,}6$ V, $\lambda = 0{,}02\ V^{-1}$, $C_{ox} = 0{,}35\ fF/\mu m^2$, $V_0 = 0{,}6$ V e $C_{sb0} = C_{db0} = 0{,}1$ pF. Assuma que a capacitância de sobreposição da porta na fonte e da porta no dreno seja 0,01 pF e que há uma capacitância parasita entre porta e substrato de 0,05 pF. (Lembre-se de que $g_{mb} = \chi \cdot g_m$, em que $\chi = \left(\gamma \Big/ \left(2\sqrt{2\phi_f + V_{SB}}\right)\right)$.)

5.37 Obtenha f_T para um MOSFET operando em $I_D = 100\ \mu A$ e tendo $\mu_n C_{ox} = 20\ \mu A/V^2$, $W = 30\ \mu m$, $L = 10\ \mu m$, $C_{gs} = 0{,}08$ pF e $C_{gd} = 0{,}01$ pF.

Seção 5.11: O Transistor de Efeito de Campo de Junção (JFET)

5.38 Considere um JFET canal n cuja porta e fonte foram conectadas, resultando então em um dispositivo de dois terminais. Se a tensão no dispositivo for representada por v e a corrente que circula por ele for representada por i, mostre que

$$i = I_{DSS}\left[2\left(\frac{v}{-V_P}\right) - \left(\frac{v}{V_P}\right)\right], \quad \text{para } 0 \le v \le -V_P$$

$$i = I_{DSS}, \quad \text{para } v \ge -V_P$$

quando o efeito da modulação do comprimento do canal for desprezado. Qual a resistência dinâmica desse dispositivo de dois terminais quando o JFET está com o dreno estrangulado? Qual a resistência dinâmica se o efeito da modulação do comprimento do canal for considerado?

5.39 Um JFET com $V_P = -1$ V e $I_{DSS} = 1$ mA apresenta uma resistência de saída de 100 kΩ quando operando na região de saturação com $v_{GS} = 0$. Qual o valor da resistência de saída quando o dispositivo estiver operando na saturação com $v_{GS} = -0{,}5$ V?

*5.40 O JFET no circuito amplificador da Figura P5.40 tem $V_P = -4$ V e $I_{DSS} = 12$ mA e, em $I_D = 12$ mA, a resistência de saída é $r_o = 25$ kΩ.

(a) Determine os valores cc de polarização V_G, I_D, V_{GS} e V_D.
(b) Determine o valor de g_m (você pode usar a mesma fórmula empregada no MOSFET tipo enriquecimento). Determine também r_o.
(c) Substitua o JFET pelo modelo para pequenos sinais, obtendo então o circuito equivalente para pequenos sinais do amplificador.
(d) Use o circuito equivalente em (c) para determinar R_{in} e v_g/v_i.
(e) Use o circuito equivalente para determinar v_o/v_g.
(f) Encontre o valor do ganho de tensão total v_o/v_i.

Seção 5.12: Dispositivos de Arseneto de Gálio (GaAs) – O MESFET

5.41 Use os valores dos parâmetros dados na Tabela 5.2 para encontrar o valor de β de um MESFET com $W = 100\ \mu m$. Para $V_{GS} = 0{,}5$ V e $V_{DS} = 1$ V, calcule I_D. Calcule também g_m e r_o nesse ponto de polarização.

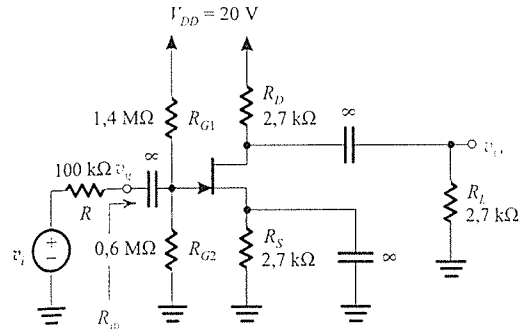


Figura P5.40

5.42 Se, no Exemplo 5.11, a largura de cada um dos dois transistores for dobrada, encontre os novos valores de corrente de polarização e o ganho de tensão obtido.

formam a outra classe de CIs analógicos estudados no Capítulo 10. Eles são sistemas em uma única pastilha (*systems-on-a-chip*) que alcançam os altos níveis de precisão e desempenho exigidos.

Os dois últimos capítulos da Parte 2 são orientados para sistemas. O Capítulo 11 trata do projeto de filtros, que são blocos de construção importantes nos sistemas de comunicação e instrumentação. O projeto de filtros é uma das raras áreas de engenharia para as quais há uma completa teoria de projeto, partindo-se das especificações e chegando a um circuito realmente funcional.

No projeto de sistemas eletrônicos, usualmente há a necessidade de gerar sinais de várias formas de onda: senoidal, pulso, onda quadrada etc. A geração de tais sinais é o tema abordado no Capítulo 12.

O projetista de circuitos analógicos usualmente se defronta com um vasto número de possibilidades. Isso torna o tópico mais excitante e mais desafiador. É objetivo da Parte 2 apresentar ao leitor algumas dessas possibilidades e prepará-lo para os desafios que isso representa.

CAPÍTULO 6

MAKRON Books

Amplificadores Diferenciais e de Múltiplos Estágios

Introdução
6.1 O Par Diferencial com TBJ
6.2 Operação com Pequenos Sinais do Amplificador Diferencial com TBJ
6.3 Outras Características Não-Ideais do Amplificador Diferencial
6.4 Polarização em Circuitos Integrados com TBJ
6.5 O Amplificador Diferencial com TBJ e Carga Ativa
6.6 Amplificadores Diferenciais MOS
6.7 Amplificadores BiCMOS
6.8 Amplificadores em GaAs
6.9 Amplificadores de Múltiplos Estágios
6.10 Exemplo de Simulação com o SPICE
Resumo
Bibliografia
Problemas

INTRODUÇÃO

O amplificador diferencial é o bloco de construção de circuito mais utilizado nos circuitos integrados analógicos. Por exemplo, o estágio de entrada de cada amp op é um amplificador diferencial. Além disso, o amplificador diferencial com TBJ é a base de uma família de circuitos lógicos de velocidade muito alta, chamada lógica de acoplamento por emissor (*emitter-coupled logic* – ECL), que será estudada no Capítulo 14.

Neste capítulo estudaremos os amplificadores diferenciais implementados com TBJs, MOSFETs e MESFETs. Serão apresentadas também as técnicas de polarização e blocos funcionais de circuitos empregados no projeto de circuitos integrados bipolares, MOS e GaAs. O capítulo encerra com uma discussão da estrutura de amplificadores de múltiplos estágios. A análise de tais amplificadores é ilustrada por um exemplo detalhado.

6.1 O PAR DIFERENCIAL COM TBJ

Descrição Qualitativa da Operação

A Figura 6.1 mostra a configuração básica do par diferencial com TBJ. Ela consiste em dois transistores casados, Q_1 e Q_2, cujos emissores estão conectados juntos e polarizados por uma fonte de

corrente constante I. Essa fonte é usualmente implementada por um circuito com transistor do tipo descrito no Capítulo 4 (veja a Figura 4.42(b)) e será estudada com mais detalhes na Seção 6.4. Embora cada coletor esteja conectado à fonte de alimentação positiva através de uma resistência R_C, essa conexão não é essencial para a operação do par diferencial – isto é, em algumas aplicações, os dois coletores podem ser conectados a outros transistores que farão o mesmo papel das cargas resistivas. Contudo, é essencial que o circuito de coletor seja tal que Q_1 e Q_2 nunca entrem em saturação.

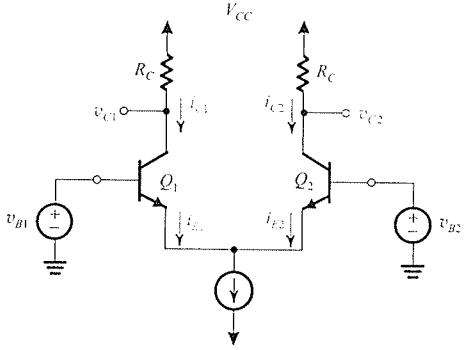


Figura. 6.1 A configuração básica do par diferencial com TBJ.

Para entender como o par diferencial funciona, considere primeiro o caso em que as duas bases estão conectadas juntas e ligadas a uma tensão v_{CM}, chamada de **tensão em modo comum**. Isto é, conforme mostrado na Figura 6.2(a), $v_{B1} = v_{B2} = v_{CM}$. Como Q_1 e Q_2 estão casados, isso implica que, pela simetria, a corrente I se divide igualmente entre os dois dispositivos. Portanto, $i_{E1} = i_{E2} = I/2$, e a tensão no emissor será $v_{CM} - V_{BE}$, em que V_{BE} é a tensão base–emissor (suposta na Figura 6.2(a) como sendo aproximadamente de 0,7 V), correspondendo à corrente de emissor de $I/2$. A tensão em cada coletor será de $V_{CC} - 1/2\alpha IR_C$ e a diferença de tensão entre os dois coletores será igual a zero.

Agora variaremos o valor do sinal de entrada em modo comum v_{CM}. Obviamente, enquanto Q_1 e Q_2 se mantiverem na região ativa, a corrente I continuará se dividindo igualmente entre Q_1 e Q_2 e as tensões nos coletores não sofrerão mudanças. Portanto, o par diferencial não responde (isto é, *rejeita*) aos sinais de entrada em modo comum.

Como outra experiência, ajuste a tensão v_{B2} com um valor constante, digamos, em zero (aterrando B_2), e ajuste $v_{B1} = +1$ V (veja a Figura 6.2(b)). É fácil concluir que Q_1 estará ligado e conduzindo toda a corrente I e que Q_2 estará em corte. Para Q_1 conduzir, o emissor deverá estar aproximadamente em +0,3 V, que mantém a JBE de Q_2 reversamente polarizada. As tensões de coletor serão $v_{C1} = V_{CC} - \alpha IR_C$ e $v_{C2} = V_{CC}$.

Mudaremos agora v_{B1} para –1 V (Figura 6.2(c)). Novamente, é fácil perceber que Q_1 estará em corte e Q_2 conduzirá toda a corrente I. O emissor comum estará com –0,7 V, o que significa que a JBE estará reversamente polarizada por 0,3 V. As tensões no coletor serão $v_{C1} = V_{CC}$ e $v_{C2} = V_{CC} - \alpha IR_C$.

Pelo exposto anteriormente, vemos que o par diferencial certamente responde ao **modo de diferença** ou a **sinais diferenciais**. Veja que, com diferenças de tensão relativamente pequenas, somos capazes de controlar a corrente de polarização total de um lado do par para o outro. Essa propriedade de controle da corrente do par diferencial permite usá-lo em circuitos lógicos, como será mostrado no Capítulo 14.

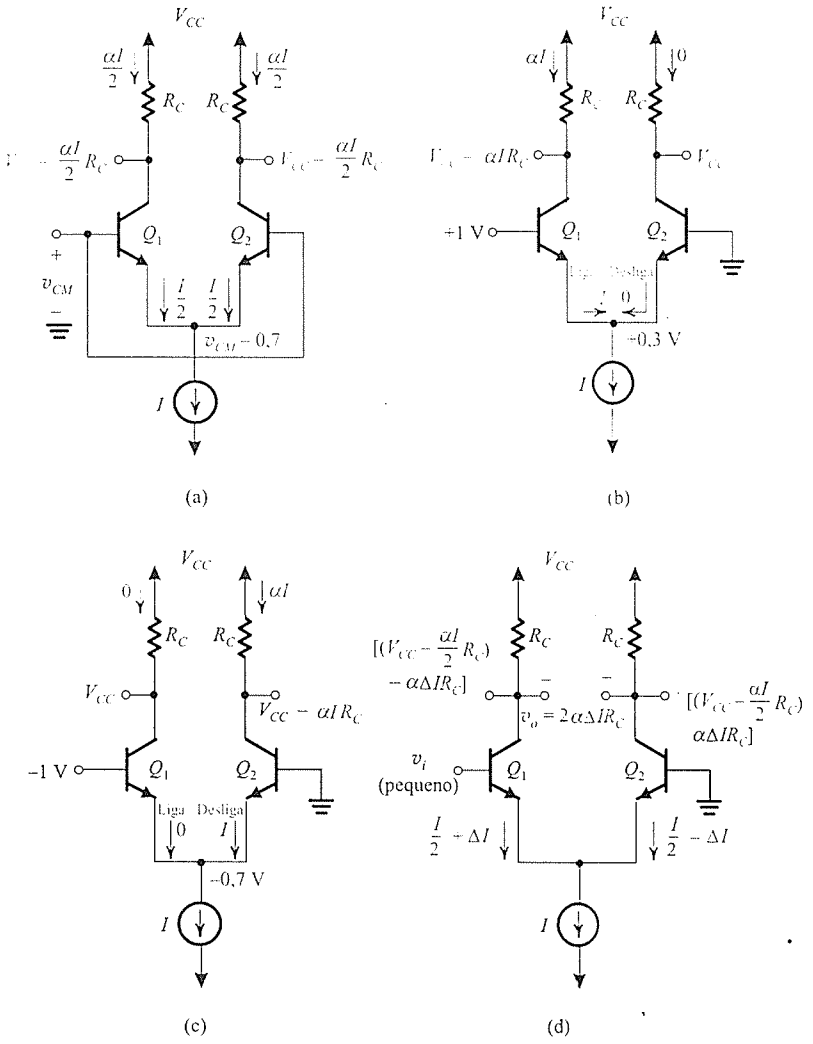


Figura 6.2 Diferentes situações de operação do par diferencial. **(a)** O par diferencial com um sinal de entrada em modo comum v_{CM}. **(b)** O par diferencial com um "grande" sinal diferencial de entrada. **(c)** O par diferencial com um grande sinal diferencial de entrada com polaridade oposta à de (b). **(d)** O par diferencial com um pequeno sinal diferencial de entrada v_i.

O leitor poderá facilmente observar que o par diferencial implementa a chave de um pólo e duas posições que empregamos na realização do conversor de modo corrente da Figura 1.33.

Para usar o par diferencial como um amplificador linear, aplicamos um sinal diferencial muito pequeno (alguns milivolts), que resultará na condução de um dos transistores com uma corrente de $I/2 + \Delta I$; a corrente no outro transistor será de $I/2 - \Delta I$, sendo ΔI proporcional à diferença de tensão de entrada (veja a Figura 6.2(d)). A tensão de saída tomada entre os dois coletores será de $2\alpha\Delta IR_C$, que é proporcional ao sinal diferencial de entrada v_i. A operação para pequenos sinais do par diferencial será estudada na Seção 6.2.

Exercício

6.1 Calcule v_E, v_{C1} e v_{C2} no circuito da Figura E6.1. Suponha que $|v_{BE}|$ de um transistor em condução é aproximadamente 0,7 V e que $\alpha \simeq 1$.

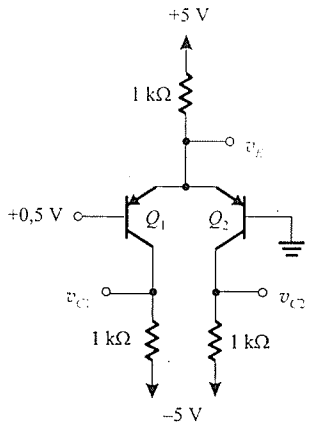


Figura E6.1

Resposta +0,7 V; –5 V; –0,7 V

Operação com Grandes Sinais do Par Diferencial com TBJ

Apresentaremos agora uma análise geral do par diferencial com TBJ da Figura 6.1. Se representarmos a tensão no emissor por v_E, a relação exponencial aplicada a cada um dos transistores pode ser escrita como

$$i_{E1} = \frac{I_S}{\alpha} e^{(v_{B1} - v_E)/V_T} \tag{6.1}$$

$$i_{E2} = \frac{I_S}{\alpha} e^{(v_{B2} - v_E)/V_T} \tag{6.2}$$

Essas duas equações podem ser combinadas para obter

$$\frac{i_{E1}}{i_{E2}} = e^{(v_{B1} - v_{B2})/V_T} \tag{6.3}$$

a qual pode ser rearranjada para produzir

$$\frac{i_{E1}}{i_{E1} - i_{E2}} = \frac{1}{1 + e^{(v_{B2} - v_{B1})/V_T}} \tag{6.4}$$

$$\frac{i_{E2}}{i_{E1} - i_{E2}} = \frac{1}{1 + e^{(v_{B1} - v_{B2})/V_T}} \tag{6.5}$$

O circuito impõe uma condição adicional

$$i_{E1} + i_{E2} = I \tag{6.6}$$

Usando a Equação 6.6 junto com as Equações 6.4 e 6.5, obtemos

$$i_{E1} = \frac{I}{1 + e^{(v_{B2} - v_{B1})/V_T}} \tag{6.7}$$

$$i_{E2} = \frac{I}{1 + e^{(v_{B1} - v_{B2})/V_T}} \tag{6.8}$$

As correntes de coletor i_{C1} e i_{C2} podem ser obtidas simplesmente multiplicando-se as correntes de emissor nas Equações 6.7 e 6.8 por α, que normalmente está muito próximo da unidade.

A operação fundamental do amplificador diferencial é ilustrada pelas Equações 6.7 e 6.8. Primeiro, observe que o amplificador responde apenas à diferença de tensão $v_{B1} - v_{B2}$. Isto é, se $v_{B1} = v_{B2} = v_{CM}$, a corrente I se divide igualmente entre os dois transistores, independentemente do valor da tensão em modo comum v_{CM}. Essa é a essência da operação do amplificador diferencial, que também dá origem a seu nome.

Outra observação importante é que uma diferença de tensão $v_{B1} - v_{B2}$ pequena fará com que a corrente I circule quase totalmente por um dos dois transistores. A Figura 6.3 mostra uma curva das duas correntes de coletor (supondo $\alpha \simeq 1$) como função da diferença de sinais. Essa é uma curva normalizada que pode ser usada universalmente. Observe que uma diferença de tensão de cerca de $4V_T$ ($\simeq 100$ mV) é suficiente para chavear quase inteiramente a corrente para um lado do par.

O fato de um sinal tão pequeno chavear a corrente de um lado do par diferencial para outro implica que o par diferencial pode ser usado como uma chave de corrente. Além disso, a velocidade dessa chave é muito alta, pois nenhum dos transistores satura. No Capítulo 4, vimos que um transistor saturado armazena em sua base cargas que devem ser removidas antes de o dispositivo ser cortado, geralmente um processo lento que resulta em um inversor lento. A ausência da saturação no par diferencial torna a família lógica baseada nesse circuito a mais rápida forma de circuitos lógicos disponíveis (veja o Capítulo 14).

As características de transferência não-lineares do par diferencial, mostradas na Figura 6.3, não serão mais utilizadas neste capítulo. A seguir, estaremos interessados especificamente na aplicação do par diferencial como um amplificador para pequenos sinais. Para esse fim, a diferença do sinal de entrada é limitada a cerca de $V_T/2$, a fim de podermos operar sobre um segmento linear das características em torno do ponto v

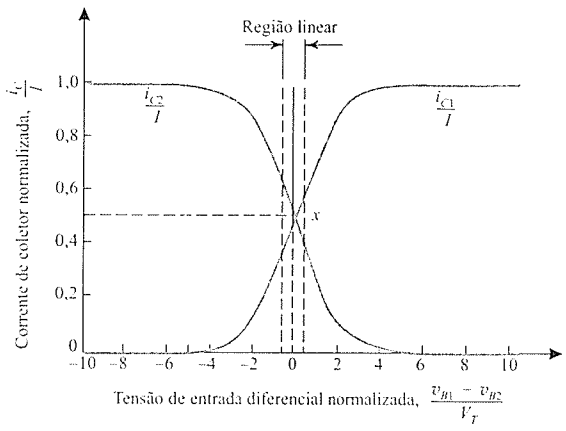


Figura 6.3 Características de transferência do par diferencial com TBJ da Figura 6.1 supondo $\alpha = 1$.

Exercício

6.2 Encontre o valor do sinal diferencial de entrada suficiente para fazer com que $i_{E1} = 0{,}99I$.

Resposta 115 mV

6.2 OPERAÇÃO COM PEQUENOS SINAIS DO AMPLIFICADOR DIFERENCIAL COM TBJ

Nesta seção estudaremos a aplicação do par diferencial com TBJ na amplificação de pequenos sinais. A Figura 6.4 mostra o par diferencial com um sinal de diferença de potencial v_d aplicado entre as duas bases. Observe que um nível *cc* na entrada – isto é, o sinal de entrada em modo comum – foi de alguma maneira estabelecido. Por exemplo, um dos dois terminais de entrada pode ser aterrado e v_d aplicada ao outro terminal de entrada. Alternativamente, o amplificador diferencial pode ser alimentado pela saída de outro amplificador diferencial. Nesse caso, a tensão em um dos terminais de entrada será $v_{CM} + v_d/2$, enquanto no outro terminal de entrada será $v_{CM} - v_d/2$. Consideraremos a operação em modo comum em uma próxima seção.

A Corrente de Coletor Quando é Aplicado v_d

Volte agora ao circuito da Figura 6.4. Podemos usar as Equações 6.7 e 6.8 para encontrar as correntes i_{C1} e i_{C2} como funções do sinal diferencial v_d substituindo-se $v_{B1} - v_{B2} = v_d$.

$$i_{C1} = \frac{\alpha I}{1 + e^{-v_d/V_T}} \tag{6.9}$$

$$i_{C2} = \frac{\alpha I}{1 + e^{v_d/V_T}} \tag{6.10}$$

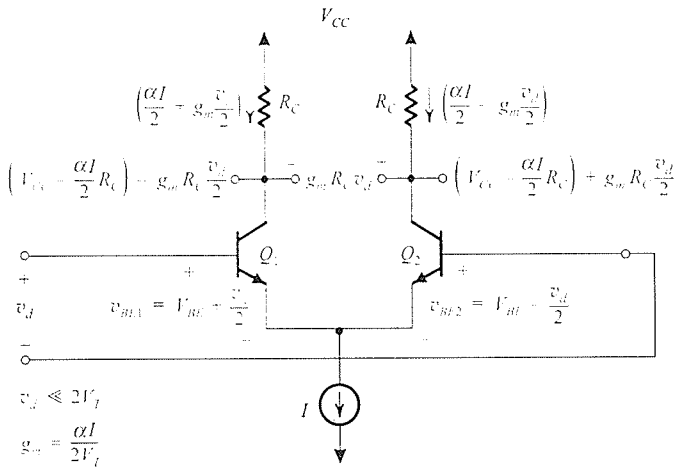


Figura 6.4 As correntes e as tensões em um amplificador diferencial quando um pequeno sinal diferencial v_d é aplicado.

Multiplicando o numerador e o denominador do lado direito da Equação 6.9 por $e^{(\pm v_d/2V_T)}$ obtemos

$$i_{C1} = \frac{\alpha I e^{v_d/2V_T}}{e^{v_d/2V_T} + e^{-v_d/2V_T}} \tag{6.11}$$

Suponha que $v_d << 2V_T$. Podemos, portanto, expandir a exponencial $e^{(\pm v_d/2V_T)}$ em uma série e considerar apenas os dois primeiros termos:

$$i_{C1} \simeq \frac{\alpha I(1 + v_d/2V_T)}{1 + v_d/2V_T + 1 - v_d/2V_T}$$

Portanto,

$$i_{C1} = \frac{\alpha I}{2} + \frac{\alpha I}{2V_T}\frac{v_d}{2} \tag{6.12}$$

Manipulações similares podem ser aplicadas à Equação 6.10 para obter

$$i_{C2} = \frac{\alpha I}{2} - \frac{\alpha I}{2V_T}\frac{v_d}{2} \tag{6.13}$$

As Equações 6.12 e 6.13 mostram-nos que, quando $v_d = 0$, a corrente de polarização I se divide igualmente entre os dois transistores do par. Portanto, cada transistor é polarizado com uma corrente de emissor de $I/2$. Quando um "pequeno sinal" v_d é aplicado diferencialmente (isto é, entre as duas bases), a corrente do coletor de Q_1 aumenta por um incremento i_c e a de Q_2 diminui por igual valor. Isso assegura que a soma das correntes em Q_1 e Q_2 permaneça constante,

condição forçada pela fonte de corrente de polarização. A corrente incremental ou componente de sinal da corrente, i_c, é dada por

$$i_c = \frac{\alpha I}{2V_T}\frac{v_d}{2} \tag{6.14}$$

A Equação 6.14 é de fácil interpretação. Primeiro, observe que, pela simetria do circuito (Figura 6.4), o sinal diferencial v_d deve-se dividir igualmente entre as junções base–emissor dos dois transistores. Portanto, as tensões base–emissor serão

$$v_{BE}\big|_{Q_1} = V_{BE} + \frac{v_d}{2} \tag{6.15}$$

$$v_{BE}\big|_{Q_2} = V_{BE} - \frac{v_d}{2} \tag{6.16}$$

em que V_{BE} é a tensão *cc* na JBE correspondente à corrente de emissor de $I/2$. Logo, a corrente de coletor de Q_1 aumentará de $g_m v_d/2$ e a corrente de coletor de Q_2 diminuirá de $g_m v_d/2$. Aqui, g_m representa a transcondutância de Q_1 e de Q_2, que são iguais e dadas por

$$g_m = \frac{I_C}{V_T} = \frac{\alpha I/2}{V_T} \tag{6.17}$$

Portanto, a Equação 6.14 simplesmente declara que $i_c = g_m v_d/2$.

Um Ponto de Vista Alternativo

Há uma interpretação alternativa extremamente útil dos resultados anteriores. Suponha que a fonte de corrente I seja ideal. Sua resistência incremental será então infinita. Portanto, a tensão v_d aparece através de uma resistência total de $2r_e$, em que

$$r_e = \frac{V_T}{I_E} = \frac{V_T}{I/2} \tag{6.18}$$

Correspondentemente, deve haver corrente de sinal i_e, conforme ilustrado na Figura 6.5, dada por

$$i_e = \frac{v_d}{2r_e} \tag{6.19}$$

Portanto, o coletor de Q_1 exibirá uma corrente incremental i_c e o coletor de Q_2 exibirá uma corrente decremental i_c:

$$i_c = \alpha i_e = \frac{\alpha v_d}{2r_e} = g_m\frac{v_d}{2} \tag{6.20}$$

Observe que na Figura 6.5 mostramos apenas as componentes de sinais das tensões e correntes. Está implícito, é claro, que cada transistor está polarizado com uma corrente de emissor de $I/2$.

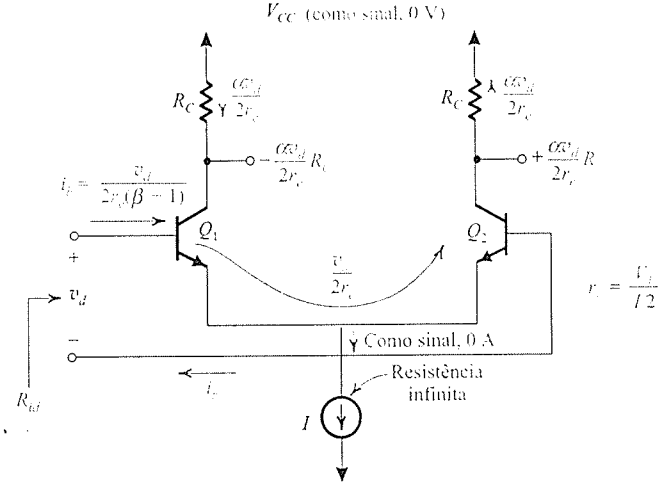


Figura 6.5 Uma técnica simples para a determinação das correntes de sinal em um amplificador diferencial excitado por uma tensão diferencial v_d; valores *cc* não estão mostrados.

Esse método de análise é particularmente útil quando são incluídas resistências nos emissores, conforme mostrado na Figura 6.6. Para esse circuito, temos

$$i_e = \frac{v_d}{2r_e + 2R_E} \tag{6.21}$$

A Resistência Diferencial de Entrada

A resistência diferencial de entrada é a resistência vista entre as duas bases, isto é, a resistência vista pelo sinal diferencial de entrada v_d. Para o amplificador diferencial, nas Figuras 6.4 e 6.5 pode ser visto que a corrente de base de Q_1 mostra um incremento i_b e a corrente de base de Q_2, um decremento igual,

$$i_b = \frac{i_e}{\beta+1} = \frac{v_d/2r_e}{\beta+1} \tag{6.22}$$

Portanto, a resistência de entrada diferencial R_{id} é dada por

$$R_{id} \equiv \frac{v_d}{i_b} = (\beta+1)2r_e = 2r_\pi \tag{6.23}$$

Esse resultado é uma reafirmação da familiar regra da reflexão de resistência; a saber, *a resistência vista entre as duas bases é igual à resistência total no circuito emissor multiplicado por* $\beta + 1$. Podemos empregar essa regra para encontrar a resistência diferencial de entrada para o circuito da Figura 6.6 como

$$R_{id} = (\beta+1)(2r_e + 2R_E) \tag{6.24}$$

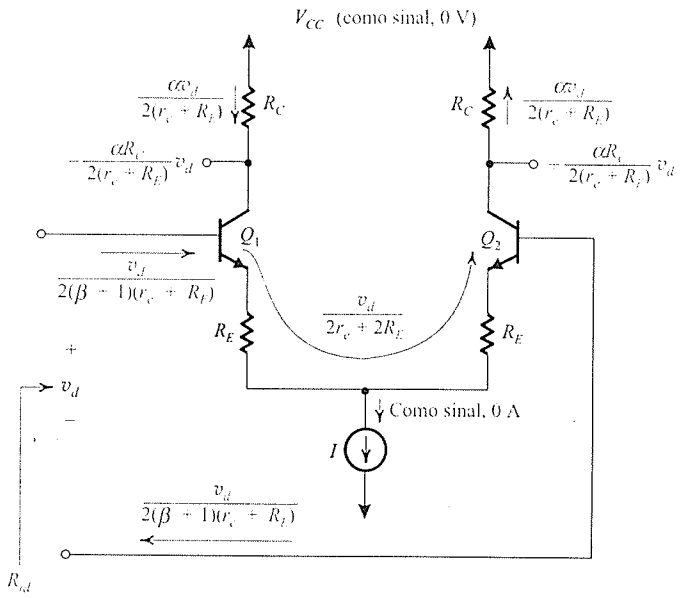


Figura 6.6 Um amplificador diferencial com resistências nos emissores. Apenas valores de sinais são indicados.

O Ganho Diferencial de Tensão

Foi estabelecido que, para tensões de entrada diferenciais de baixos valores ($v_d << 2V_T$, isto é, v_d menor do que 20 mV), as correntes de coletor são dadas por

$$i_{C1} = I_C + g_m \frac{v_d}{2} \tag{6.25}$$

$$i_{C2} = I_C - g_m \frac{v_d}{2} \tag{6.26}$$

em que

$$I_C = \frac{\alpha I}{2} \tag{6.27}$$

Portanto, as tensões nos coletores serão

$$v_{C1} = (V_{CC} - I_C R_C) - g_m R_C \frac{v_d}{2} \tag{6.28}$$

$$v_{C2} = (V_{CC} - I_C R_C) + g_m R_C \frac{v_d}{2} \tag{6.29}$$

Os valores entre parênteses são simplesmente as tensões *cc* em cada um dos dois coletores

A tensão de sinal na saída de um amplificador diferencial pode ser tomada tanto *diferencialmente* (isto é, entre os dois coletores) como *saída simples* (isto é, entre um coletor e o terra). Se a saída for tomada diferencialmente, então o ganho diferencial (oposto ao ganho em modo comum) do amplificador diferencial será

$$A_d = \frac{v_{c1} - v_{c2}}{v_d} = -g_m R_C \tag{6.30}$$

Por outro lado, se a saída tomada for simples (digamos entre o coletor de Q_1 e o terra), então o ganho diferencial será dado por

$$A_d = \frac{v_{c1}}{v_d} = -\tfrac{1}{2} g_m R_C \tag{6.31}$$

Para o amplificador diferencial com resistências nos terminais dos emissores (Figura 6.6), o ganho diferencial quando a saída é tomada diferencialmente é dado por

$$A_d = -\frac{\alpha(2R_C)}{2r_e + 2R_E} \simeq -\frac{R_C}{r_e + R_E} \tag{6.32}$$

Essa é uma equação familiar: ela declara que *o ganho de tensão é igual à razão entre a resistência total no circuito de coletor* ($2R_C$) *e a resistência total do circuito de emissor* ($2r_e + 2R_E$).

A Equivalência entre um Amplificador Diferencial e um Amplificador em Emissor Comum

A análise e o resultado anterior são muito semelhantes aos obtidos no caso do estágio amplificador em emissor comum. O fato de o amplificador diferencial ser equivalente ao amplificador em emissor comum está ilustrado na Figura 6.7. A Figura 6.7(a) mostra um amplificador diferencial alimentado por um sinal diferencial v_d aplicado de modo **complementar** (***push-pull*** ou **balanceado**). Isto é, enquanto a base de Q_1 é elevada de $v_d/2$, a base de Q_2 é rebaixada de $v_d/2$. Incluímos também a resistência de saída R da fonte de corrente de polarização. Pela simetria, implica que a tensão de sinal no emissor comum será zero. Portanto, o circuito é equivalente aos dois amplificadores em emissor comum mostrados na Figura 6.7(b), na qual cada um dos dois transistores está polarizado com uma corrente de emissor de $I/2$. Observe que a resistência de saída R finita da fonte de corrente não terá efeito sobre a operação. O circuito equivalente na Figura 6.7(b) é válido apenas para a operação diferencial.

Em muitas aplicações, o amplificador diferencial não é alimentado de modo complementar; em vez disso, o sinal de entrada pode ser aplicado a um dos terminais de entrada enquanto o outro terminal é aterrado, conforme mostrado na Figura 6.8. Nesse caso, a tensão de sinal nos emissores não será zero e, portanto, a resistência R terá um efeito sobre a operação. Todavia, se R for de alto valor ($R >> r_e$), como é usualmente o caso, então v_d ainda se dividirá igualmente (aproximadamente) entre as duas junções, como mostrado na Figura 6.8. Portanto, a operação do amplificador diferencial nesse caso será quase idêntica à do caso da alimentação simétrica e a equivalência com o amplificador emissor comum pode ainda ser empregada.

Como $v_{c2} = -v_{c1}$, na Figura 6.7, os dois transistores em emissor comum na Figura 6.7(b) produzem resultados similares para o desempenho do amplificador diferencial. Portanto, apenas um é necessário para analisar a operação do amplificador diferencial para pequenos sinais diferenciais e é conhecido como **meio-circuito diferencial**.

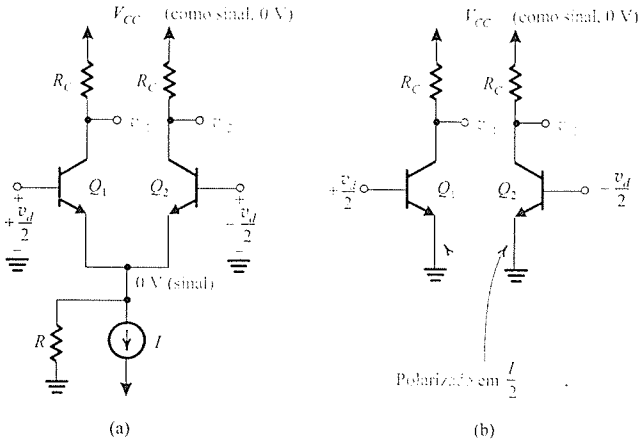


Figura 6.7 A equivalência entre o amplificador diferencial em (a) e os amplificadores em emissor comum em (b). Essa equivalência é válida apenas para sinais de entrada diferenciais. Qualquer um dos dois amplificadores em emissor comum em (b) pode ser usado para determinar os valores do ganho diferencial, da resistência diferencial de entrada, da resposta em freqüência etc. para o amplificador diferencial.

Se tomarmos o transistor em emissor comum alimentado com $+v_d/2$ como o meio-circuito diferencial e substituirmos o transistor por seu modelo de circuito equivalente para baixas freqüências, resulta no circuito da Figura 6.9. Na determinação dos valores dos parâmetros r_π, g_m e r_o do modelo devemos lembrar que o meio-circuito é polarizado com $I/2$. O ganho de tensão do amplificador diferencial (com a saída tomada diferencialmente) é igual ao ganho de tensão do meio-circuito – isto é, $v_{c1}/(v_d/2)$. Observe que, aqui, a inclusão de r_o modificará a expressão do ganho na Equação 6.30 para

$$A_d = -g_m(R_C // r_o) \tag{6.33}$$

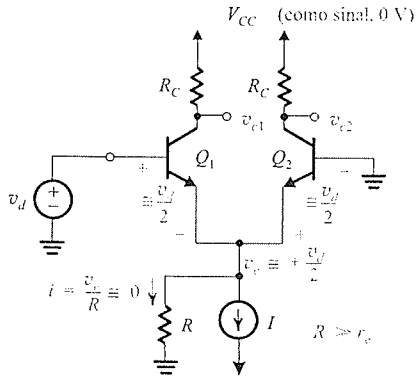


Figura 6.8 O amplificador diferencial alimentado no modo de entrada simples.

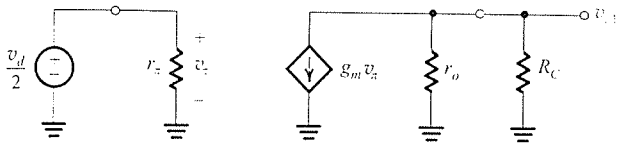


Figura 6.9 O modelo de circuito equivalente do meio-circuito diferencial.

A resistência diferencial de entrada do amplificador diferencial é duas vezes a do meio-circuito – isto é, $2r_\pi$. Finalmente, observamos que o meio-circuito diferencial do amplificador da Figura 6.6 é um transistor em emissor comum com uma resistência R_E no terminal de emissor.

O Ganho em Modo Comum

A Figura 6.10(a) mostra um amplificador diferencial alimentado por um sinal de tensão em modo comum v_{CM}. A resistência R é a resistência de saída incremental da fonte de corrente de polarização. Pela simetria, pode ser visto que o circuito é equivalente ao mostrado na Figura 6.10(b), no qual cada um dos dois transistores Q_1 e Q_2 está polarizado com uma corrente de emissor de $I/2$ e tem uma resistência de $2R$ no terminal do emissor. Assim, a tensão de saída em modo comum v_{c1} será

$$v_{c1} = -v_{CM}\frac{\alpha R_C}{2R + r_e} \simeq -v_{CM}\frac{\alpha R_C}{2R} \tag{6.34}$$

No outro coletor temos um sinal em modo comum, v_{c2}, de mesmo valor

$$v_{c2} = -v_{CM}\frac{\alpha R_C}{2R} \tag{6.35}$$

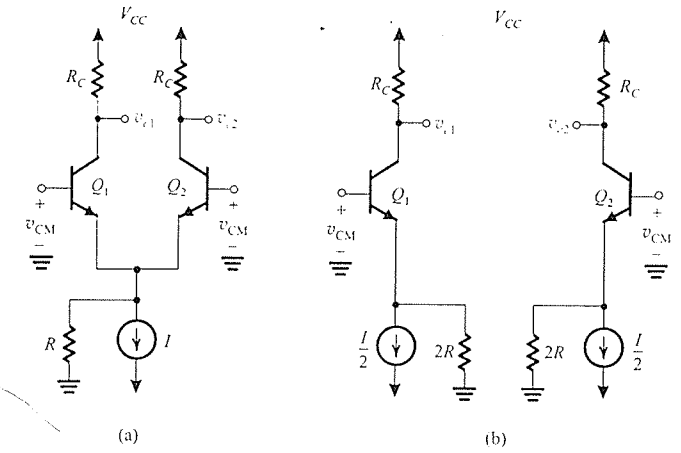


Figura 6.10 (a) O amplificador diferencial alimentado por um sinal de tensão em modo comum. (b) Meio-circuito equivalente para os cálculos em modo comum.

Agora, se a saída for tomada diferencialmente, então a tensão de saída $v_{c1} - v_{c2}$ será zero e o ganho em modo comum será zero também. Por outro lado, se a saída for tomada como uma saída simples, o ganho em modo comum A_{cm} será finito e dado por[1]

$$A_{cm} = -\frac{\alpha R_C}{2R} \tag{6.36}$$

Como nesse caso o ganho diferencial é

$$A_d = \tfrac{1}{2} g_m R_C \tag{6.37}$$

a razão de rejeição de modo comum (*common-mode rejection ratio* – CMRR) será

$$\text{CMRR} = \left|\frac{A_d}{A_{cm}}\right| \simeq g_m R \qquad \alpha \simeq 1 \tag{6.38}$$

Normalmente, a CMRR é expressa em dB:

$$\text{CMRR} = 20 \log \left|\frac{A_d}{A_{cm}}\right| \tag{6.39}$$

Cada um dos circuitos na Figura 6.10(b) é chamado de **meio-circuito em modo comum**.

A análise anterior supõe que o circuito seja perfeitamente simétrico. Porém, na prática, os circuitos não são perfeitamente simétricos, o que faz com que o ganho em modo comum não seja zero mesmo se a saída for tomada diferencialmente. Para ilustrar, considere o caso de simetria perfeita, exceto por um descasamento ΔR_C nas resistências dos coletores. Isto é, suponha que o coletor de Q_1 tenha uma resistência de carga R_C e que o coletor de Q_2 tenha uma resistência de carga $R_C + \Delta R_C$. Isso implica que

$$v_{c1} = -v_{CM} \frac{\alpha R_C}{2R + r_e}$$

$$v_{c2} = -v_{CM} \frac{\alpha (R_C + \Delta R_C)}{2R + r_e}$$

Portanto, o sinal na saída devido ao sinal de entrada em modo comum será

$$v_o = v_{c1} - v_{c2} = v_{CM} \frac{\alpha \Delta R_C}{2R + r_e}$$

e o ganho em modo comum será

$$A_{cm} = \frac{\alpha \Delta R_C}{2R + r_e} \cong \frac{\Delta R_C}{2R}$$

1. As expressões das Equações 6.34 e 6.35 foram obtidas desconsiderando-se r_o e r_μ. Uma dedução mais precisa utilizando o circuito equivalente empregando o modelo π-híbrido completo mostra que v_{c1}/v_{CM} e v_{c2}/v_{CM} são aproximadamente:

$$\frac{-\alpha R_C}{2R}\left[1 - 2R\left(\frac{1}{\beta r_o} + \frac{1}{\alpha r_\mu}\right)\right]$$

Essa expressão se reduz às Equações 6.34 e 6.35 quando $2R << \beta r_o$ e $2R << \alpha r_\mu$.

Essa expressão pode ser reescrita como

$$A_{cm} = \frac{R_C}{2R} \frac{\Delta R_C}{R_C} \tag{6.40}$$

Compare o ganho em modo comum na Equação 6.40 com aquele do caso com a saída simples na Equação 6.36. Vemos que o ganho em modo comum é muito menor no caso da saída diferencial. Portanto, o estágio de entrada diferencial de um amp op, por exemplo, é normalmente balanceado, com a saída tomada diferencialmente. Isso assegura que o amp op terá um ganho em modo comum baixo ou, equivalentemente, um valor alto de CMRR.

Os sinais de entrada v_1 e v_2 para um amplificador diferencial contêm usualmente uma componente em modo comum, v_{CM},

$$v_{CM} \equiv \frac{v_1 + v_2}{2} \tag{6.41}$$

e uma componente diferencial, v_d,

$$v_d \equiv v_1 - v_2 \tag{6.42}$$

Portanto, o sinal de saída será dado genericamente por

$$v_o = A_d (v_1 - v_2) + A_{cm}\left(\frac{v_1 + v_2}{2}\right) \tag{6.43}$$

Resistência de Entrada em Modo Comum

A definição da **resistência de entrada em modo comum** R_{icm} está ilustrada na Figura 6.11(a). A Figura 6.11(b) mostra o meio-circuito equivalente em modo comum; sua resistência de entrada é $2R_{icm}$.

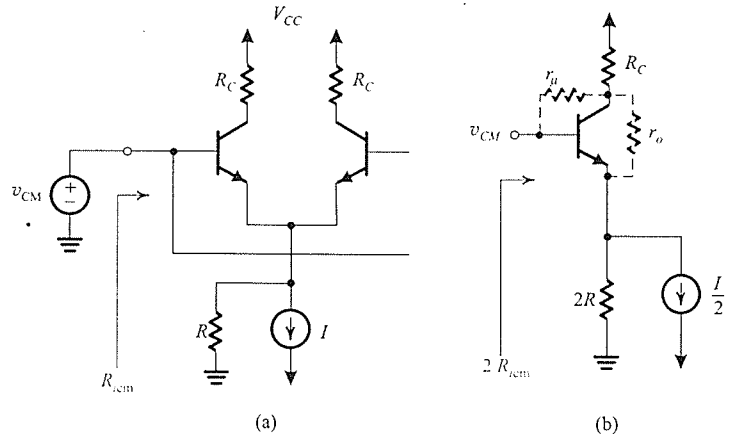


Figura 6.11 (a) Definição da resistência de entrada em modo comum R_{icm}. (b) Meio-circuito equivalente em modo comum.

Como a resistência de entrada em modo comum é usualmente muito alta, seu valor será afetado pelas resistências r_o e r_μ do transistor. Essas resistências estão indicadas no meio-circuito em modo comum equivalente na Figura 6.11(b). Agora, visto que o ganho em modo comum é usualmente pequeno, o sinal no coletor será muito pequeno. Podemos simplificar o problema consideravelmente se fizermos a suposição de que o sinal no coletor é de 0 V; isto é, o coletor está em terra para sinais. Com essa suposição, a resistência r_o aparece em paralelo com $(2R)$ no circuito emissor e r_μ aparece entre a entrada e o terra. Então, a resistência de entrada pode ser encontrada fazendo um exame como segue:

$$2R_{icm} = r_\mu // \left[(\beta+1)(2R)\right] // \left[(\beta+1)r_o\right]$$

Portanto,

$$R_{icm} = \left(\frac{r_\mu}{2}\right) // \left[(\beta+1)r_o\right] // \left[(\beta+1)\frac{r_o}{2}\right] \qquad (6.44)$$

EXEMPLO 6.1

O amplificador diferencial na Figura 6.12 usa transistores com $\beta = 100$. Determine os seguintes valores:

(a) A resistência diferencial de entrada R_{id}.
(b) O ganho total v_o/v_s (despreze o efeito de r_o).
(c) O ganho em modo comum para o pior caso se as duas resistências de coletor tiverem uma precisão de ± 1%.

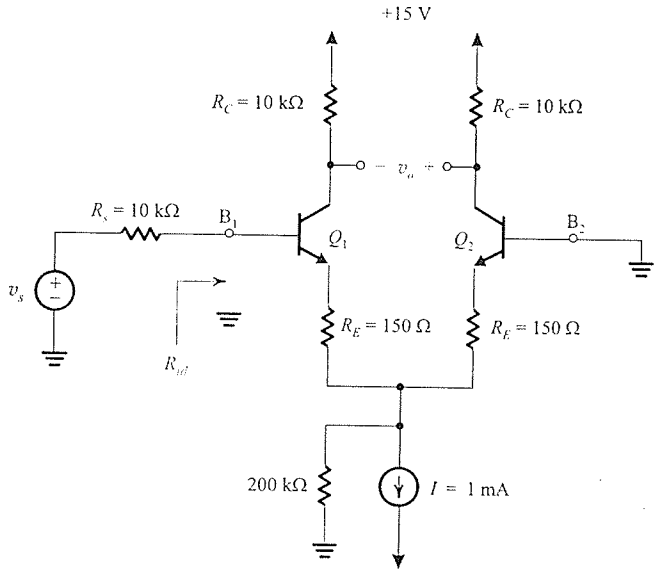


Figura 6.12 Circuito para o Exemplo 6.1.

(d) A CMRR, em dB.
(e) A resistência de entrada em modo comum (supondo a tensão Early $V_A = 100$ V e $r_\mu = 10\ \beta r_o$).

SOLUÇÃO

(a) Cada transistor é polarizado com uma corrente de emissor de 0,5 mA. Então,

$$r_{e1} = r_{e2} = \frac{V_T}{I_E} = \frac{25\text{ mV}}{0{,}5\text{ mA}} = 50\ \Omega$$

A resistência diferencial de entrada pode agora ser calculada como

$$R_{id} = 2(\beta+1)(r_e + R_E)$$
$$= 2\times101\times(50+150) \cong 40\ \text{k}\Omega$$

(b) O ganho de tensão da fonte a base de Q_1 é

$$\frac{v_{b1}}{v_s} = \frac{R_{id}}{R_s + R_{id}}$$
$$= \frac{40}{10+40} = 0{,}8\ \text{V/V}$$

O ganho de tensão de B_1 até a saída é

$$\frac{v_o}{v_{b1}} \cong \frac{\text{Resistência total nos coletores}}{\text{Resistência total nos emissores}}$$
$$= \frac{2R_C}{2(r_e+R_E)} = \frac{2\times10}{2(50+150)\times10^{-3}} = 50\ \text{V/V}$$

O ganho de tensão total pode agora ser obtido como:

$$\frac{v_o}{v_s} = \frac{v_{b1}}{v_s}\frac{v_o}{v_{b1}} = 0{,}8\times50 = 40\ \text{V/V}$$

(c) Usando a Equação 6.40

$$A_{cm} = \frac{R_C}{2R}\frac{\Delta R_C}{R_C}$$

em que $\Delta R_C = 0{,}02R_C$, para o pior caso. Então,

$$A_{cm} = \frac{10}{2\times200}\times0{,}02 = 5\times10^{-4}\ \text{V/V}$$

(d)

$$\text{CMRR} = 20\log\frac{A_d}{A_{cm}}$$
$$= 20\log\frac{40}{5\times10^{-4}} = 98\ \text{dB}$$

(e) $$r_o = \frac{V_A}{I/2} = \frac{100}{0{,}5} = 200\ \text{k}\Omega$$

$$r_\mu = 10\ \beta r_o = 10 \times 100 \times 200 = 200\ \text{M}\Omega$$

Usando a Equação 6.44,

$$R_{icm} = \left(\frac{r_\mu}{2}\right) \| [(\beta+1)R] \| \left[(\beta+1)\frac{r_o}{2}\right]$$
$$= 100 \| (101 \times 0{,}2) \| (101 \times 0{,}1)\ \text{M}\Omega$$
$$= 6{,}3\ \text{M}\Omega$$

Exercício

6.3 No circuito da Figura 6.4, suponha $I = 1$ mA, $V_{CC} = 15$ V, $R_C = 10$ kΩ e $\alpha = 1$ e suponha que as tensões de entrada sejam: $v_{B1} = 5 + 0{,}005$ sen $2\pi \times 1000\ t$, volts, e $v_{B2} = 5 - 0{,}005\ 2\pi \times 1000\ t$, volts. (a) Se os TBJs são especificados com $v_{BE} = 0{,}7$ V para uma corrente de 1 mA, determine a tensão dos emissores. (*Dica*: Observe a simetria do circuito.) (b) Determine g_m para os dois transistores. (c) Determine i_C de cada um dos transistores. (d) Determine v_C de cada um dos transistores. (e) Determine a tensão entre os dois coletores. (f) Determine o ganho aplicando-se um sinal de 1000 Hz.

Resposta (a) 0,683 V; (b) 20 mA/V; (c) $i_{C1} = 0{,}5 + 0{,}1$ sen $2\pi \times 1000\ t$, mA e $i_{C2} = 0{,}5 - 0{,}1$ sen $2\pi \times 1000\ t$, mA; (d) $v_{C1} = 10 - 1$ sen $2\pi \times 1000\ t$, V e $v_{C2} = 10 + 1$ sen $2\pi \times 1000\ t$, V; (e) $v_{C2} - v_{C1} = 2$ sen $2\pi \times 1.000\ t$, V; (f) 200 V/V

6.3 OUTRAS CARACTERÍSTICAS NÃO-IDEAIS DO AMPLIFICADOR DIFERENCIAL

A Tensão de Offset de Entrada

Considere o amplificador diferencial com TBJ quando ambas as entradas estão aterradas, conforme mostrado na Figura 6.13(a). Se os dois lados do par diferencial forem perfeitamente casados (isto é, Q_1 e Q_2 idênticos e $R_{C1} = R_{C2} = R_C$), então a corrente I se dividirá igualmente entre Q_1 e Q_2 e V_O será zero. Na prática, os circuitos exibem um descasamento que resulta em uma tensão *cc* de saída V_O mesmo com ambas as entrada aterradas. Chamamos V_O de tensão de *offset* (desequilíbrio) de saída. Mais comumente, dividimos V_O pelo ganho diferencial do amplificador, A_d, para obter um valor conhecido como tensão de offset de entrada, V_{OS},

$$V_{OS} = V_O / A_d \qquad (6.45)$$

Obviamente, se aplicarmos uma tensão $-V_{OS}$ entre os terminais de entrada do amplificador diferencial, então a tensão de saída será reduzida a zero (veja a Figura 6.13(b)). Essa observação dá origem à definição usual da tensão de offset de entrada. Contudo, deve ser notado que, como a tensão de *offset* é um resultado do descasamento dos dispositivos, sua polaridade não é conhecida antecipadamente.

A tensão de *offset* resulta de um descasamento nas resistências de carga R_{C1} e R_{C2} e dos descasamentos de Q_1 e Q_2.

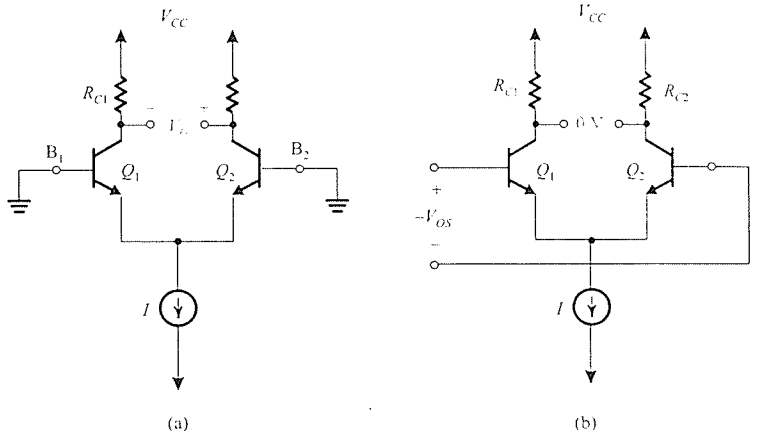


Figura 6.13 (a) O par diferencial com TBJ com ambas as entradas aterradas. Devido ao descasamento dos dispositivos, surge uma tensão *cc* de saída V_O finita. (b) Aplicação de uma tensão de *offset* de entrada $V_{OS} \equiv V_O/A_d$ nos terminais de entrada com polaridade oposta reduz V_O a zero.

Considere primeiro o efeito do descasamento da carga. Sejam

$$R_{C1} = R_C + \frac{\Delta R_C}{2} \qquad (6.46)$$

$$R_{C2} = R_C - \frac{\Delta R_C}{2} \qquad (6.47)$$

e suponha que Q_1 e Q_2 estejam perfeitamente casados. Isso implica que a corrente I se dividirá igualmente entre Q_1 e Q_2, logo

$$V_{C1} = V_{CC} - \left(\frac{\alpha I}{2}\right)\left(R_C + \frac{\Delta R_C}{2}\right)$$

$$V_{C2} = V_{CC} - \left(\frac{\alpha I}{2}\right)\left(R_C - \frac{\Delta R_C}{2}\right)$$

Portanto, a tensão de saída será

$$V_O = V_{C2} - V_{C1} = \alpha\left(\frac{I}{2}\right)(\Delta R_C)$$

e a tensão de *offset* de entrada será

$$V_{OS} = \frac{\alpha(I/2)(\Delta R_C)}{A_d} \qquad (6.48)$$

Substituindo $A_d = g_m R_C$ e

$$g_m = \frac{\alpha I/2}{V_T}$$

fornece

$$|V_{OS}| = V_T\left(\frac{\Delta R_C}{R_C}\right) \tag{6.49}$$

Como exemplo, considere a situação em que os resistores de coletor têm uma precisão de ± 1%. Então, o pior caso de descasamento será

$$\frac{\Delta R_C}{R_C} = 0{,}02$$

e a tensão de *offset* de entrada resultante será

$$|V_{OS}| = 25 \times 0{,}02 = 0{,}5 \text{ mV}$$

A seguir, considere o efeito do descasamento dos transistores Q_1 e Q_2. Em particular, suponha que os transistores tenham um descasamento nas áreas de suas junções emissor–base. Esse descasamento na área dá origem a um descasamento proporcional nas correntes I_S,

$$I_{S1} = I_S + \frac{\Delta I_S}{2} \tag{6.50}$$

$$I_{S2} = I_S - \frac{\Delta I_S}{2} \tag{6.51}$$

Veja a Figura 6.13(a) e observe que $V_{BE1} = V_{BE2}$. Portanto, a corrente I se dividirá entre Q_1 e Q_2 na proporção de seus valores de I_S, resultando em

$$I_{E1} = \frac{I}{2}\left(1 + \frac{\Delta I_S}{2I_S}\right) \tag{6.52}$$

$$I_{E2} = \frac{I}{2}\left(1 - \frac{\Delta I_S}{2I_S}\right) \tag{6.53}$$

Implica que a tensão de *offset* de saída será

$$V_O = \alpha\left(\frac{I}{2}\right)\left(\frac{\Delta I_S}{I_S}\right)R_C$$

e a tensão de *offset* de entrada correspondente será

$$|V_{OS}| = V_T\left(\frac{\Delta I_S}{I_S}\right) \tag{6.54}$$

Como exemplo, uma área descasada em 4% dá origem a $\Delta I_S/I_S = 0{,}04$ e uma tensão de *offset* de entrada de 1 mV. Como as duas contribuições da tensão de *offset* de entrada não estão correlacionadas entre si (são fenômenos independentes), uma estimativa da tensão de *offset* total de entrada pode ser obtida como

$$V_{OS} = \sqrt{\left(V_T\frac{\Delta R_C}{R_C}\right)^2 + \left(V_T\frac{\Delta I_S}{I_S}\right)^2}$$

$$= V_T\sqrt{\left(\frac{\Delta R_C}{R_C}\right)^2 + \left(\frac{\Delta I_S}{I_S}\right)^2} \tag{6.55}$$

Há outras possíveis fontes de origem para a tensão de *offset* de entrada, como descasamento nos valores de β e r_o. Algumas dessas fontes são abordadas em problemas no fim deste capítulo. Finalmente, deve ser observado que há um esquema popular para compensação da tensão de *offset*, introduzindo-se um descasamento nos valores dos dois resistores dos coletores de tal forma que a tensão diferencial de saída seja reduzida a zero quando ambos os terminais de entrada forem aterrados. Tal esquema é conhecido como **anulação de *offset***.

Correntes de Polarização e de Offset de Entrada (PULOU!)

Em um par diferencial perfeitamente simétrico, os dois terminais de entrada conduzem correntes *cc* iguais, isto é,

$$I_{B1} = I_{B2} = \frac{I/2}{\beta + 1} \tag{6.56}$$

Essa é a corrente de polarização de entrada do amplificador diferencial.

Descasamentos no circuito amplificador e, mais significativamente, um descasamento em β faz as duas correntes *cc* de entrada serem desiguais. A diferença resultante é a corrente de *offset* de entrada, I_{OS}, dada como

$$I_{OS} = |I_{B1} - I_{B2}| \tag{6.57}$$

Sejam

$$\beta_1 = \beta + \frac{\Delta\beta}{2}$$

$$\beta_2 = \beta - \frac{\Delta\beta}{2}$$

então

$$I_{B1} = \frac{I}{2}\frac{1}{\beta + 1 + \Delta\beta/2} \simeq \frac{I}{2}\frac{1}{\beta+1}\left(1 - \frac{\Delta\beta}{2\beta}\right) \tag{6.58}$$

$$I_{B2} = \frac{I}{2}\frac{1}{\beta + 1 - \Delta\beta/2} \simeq \frac{I}{2}\frac{1}{\beta+1}\left(1 + \frac{\Delta\beta}{2\beta}\right) \tag{6.59}$$

$$I_{OS} = \frac{I}{2(\beta+1)}\left(\frac{\Delta\beta}{\beta}\right) \tag{6.60}$$

Formalmente, a corrente de polarização de entrada I_B é definida como segue:

$$I_B \equiv \frac{I_{B1} + I_{B2}}{2} = \frac{I}{2(\beta+1)} \tag{6.61}$$

Portanto,

$$I_{OS} = I_B\left(\frac{\Delta\beta}{\beta}\right) \tag{6.62}$$

Como exemplo, um descasamento de 10% em β resulta em uma corrente de *offset* de um décimo do valor da corrente de polarização da entrada.

Faixa de Entrada em Modo Comum ($v_{OUT,CQ}$)

A faixa de entrada em modo comum de um amplificador diferencial é a faixa de tensão de entrada v_{CM} para a qual o par diferencial se comporta como um amplificador linear para uma entrada de sinais diferenciais. O limite superior da faixa em modo comum é determinada por Q_1 e Q_2, deixando o modo ativo e entrando no modo de operação de saturação. Portanto, o limite superior é aproximadamente igual à tensão *cc* de coletor de Q_1 e Q_2. O limite inferior é determinado pelo transistor que fornece a corrente de polarização I, deixando sua região de operação ativa e, portanto, não funcionando mais como uma fonte de corrente constante. Os circuitos de fontes de corrente serão estudados na próxima seção.

Concluímos esta seção observando que as definições apresentadas anteriormente são idênticas às apresentadas no Capítulo 2 para os amp ops. De fato, conforme será visto no Capítulo 10, é o estágio diferencial de entrada de um circuito amp op que determina primariamente a tensão de *offset cc*, as correntes de polarização de entrada e de *offset* e a faixa de entrada em modo comum do amp op.

Exercício

6.4 Para um amplificador diferencial com TBJ utilizando transistores com $\beta = 100$, com casamento máximo de 10%, e casamento de áreas de 10% ou melhor, e resistores de coletor com casamento de 2% ou melhor, encontre os valores de V_{OS}, I_B e I_{OS}. A corrente de polarização *cc* é de 100 mA.

Resposta 2,5 mV; 0,5 mA; 50 nA

6.4 POLARIZAÇÃO EM CIRCUITOS INTEGRADOS COM TBJ

As técnicas de polarização de TBJs discutidas no Capítulo 4 não são as mesmas empregadas para o projeto de circuitos amplificadores integrados. Essa diferença vem da necessidade, em amplificadores discretos, de um grande número de resistores (de um a três para cada estágio do amplificador), assim como de capacitores de acoplamento e de passagem (*bypass*) de altos valores. Com a tecnologia atual de CIs é quase impossível fabricar capacitores de altos valores e é antieconômico produzir resistências de altos valores. Por outro lado, a tecnologia de CIs proporciona ao projetista a possibilidade de uso de muitos transistores, que podem ser produzidos a um baixo custo. Além disso, é fácil produzir transistores com características casadas que se mantêm casados quando ocorrem variações nas condições ambientais. As limitações existentes na tecnologia de CIs dita uma filosofia de polarização que é bem diferente da empregada nos amplificadores discretos com TBJ.

Basicamente, o projeto de polarização de um circuito integrado é baseado no uso de fontes de corrente constante. Já vimos que o par diferencial utiliza uma fonte de corrente constante para polarização. Na pastilha de um CI com um certo número de estágios amplificadores, uma corrente *cc* constante é gerada em um ponto e é então reproduzida em vários outros locais para a polarização de vários estágios amplificadores. Esse procedimento tem a vantagem de as correntes de polarização dos vários estágios seguirem umas às outras no caso de variações na tensão da fonte de alimentação ou na temperatura. Nesta seção, estudaremos alguns circuitos do tipo fonte de corrente e do tipo guia de corrente (current-steering). Embora esses circuitos possam ser usados no projeto de unidades discretas, são destinados primariamente para aplicações no projeto de CI. Como será visto, fonte de corrente e guia de corrente bipolares são bastante similares aos implementados com transistores MOS. Estudaremos algumas configurações simples destes últimos no Capítulo 5 e também estudaremos tipos mais elaborados na Seção 6.6.

O Transistor Conectado como Diodo

Curto-circuitar a base com o coletor de um transistor resulta em um dispositivo de dois terminais com característica i–v idêntica à característica i_E–v_{BE} do TBJ. A Figura 6.14 mostra dois *transistores conectados como diodos*, um *npn* e o outro *pnp*. Observe que, como o TBJ ainda opera no modo ativo ($v_{CB} = 0$ resulta na operação no modo ativo), a corrente i se divide entre a base e o coletor de acordo com o valor de β do TBJ, conforme indicado na Figura 6.14. Portanto, internamente, o TBJ ainda opera como um transistor no modo ativo. Essa é a razão de a característica i–v do diodo resultante ser idêntica à relação i_E–v_{BE} do TBJ.

Pode-se mostrar (Exercício 6.5) que a resistência incremental do transistor conectado como diodo é aproximadamente igual a r_e. A seguir, faremos uso extensivo do TBJ conectado como diodo.

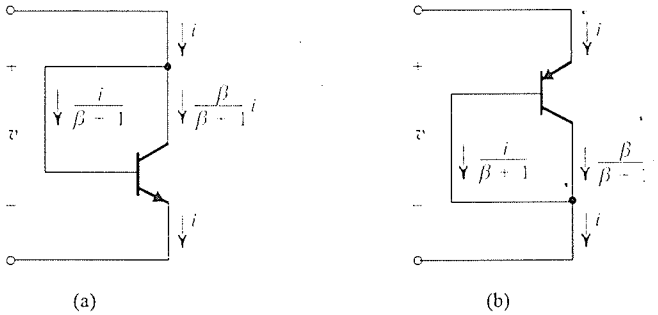


Figura 6.14 TBJs conectados como diodos.

Exercício

6.5 Substitua o TBJ conectado como diodo da Figura 6.14(a) por seu modelo π-híbrido completo para baixas freqüências. Assim, mostre que a resistência incremental do dispositivo de dois terminais é $[r\pi//(1/g_m)//r_o] \cong r_e$. Determine o valor da resistência incremental para $i = 0{,}5$ mA.

Resposta 50 Ω

O Espelho de Corrente

O **espelho de corrente**, mostrado em sua forma mais simples na Figura 6.15, é o elemento mais básico no projeto de circuitos fontes de corrente e guias de corrente para CIs. Foi feita uma breve introdução do circuito espelho de corrente no Capítulo 4 e no Capítulo 5 foi estudado o espelho de corrente com MOS. O espelho de corrente consiste em dois transistores casados Q_1 e Q_2 com suas bases e emissores conectados juntos, os quais têm, portanto, os mesmos valores de v_{BE}. Além disso, Q_1 é conectado como um diodo curto-circuitando seu coletor à sua base.

O espelho de corrente mostrado é alimentado por uma fonte de corrente constante I_{REF} e a corrente de saída é tomada no coletor de Q_2.

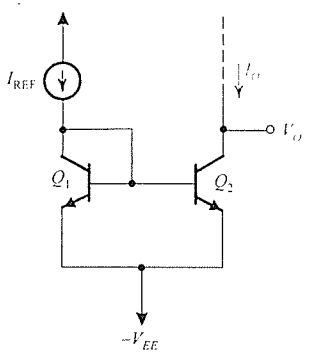


Figura 6.15 O espelho de corrente básico empregando TBJs.

O circuito alimentado pelo coletor de Q_2 deve assegurar uma operação no modo ativo para Q_2 (mantendo a tensão no coletor mais alta do que na base) o tempo todo. Suponha que os TBJs tenham um β elevado e, portanto, suas correntes de base sejam desprezivelmente pequenas. A corrente de entrada I_{REF} circula através do transistor Q_1 conectado como diodo e estabelece, portanto, uma tensão em Q_1 que corresponde ao valor de I_{REF}. Essa tensão, por sua vez, aparece entre a base e o emissor de Q_2. Como Q_2 é idêntico a Q_1, a corrente de emissor de Q_2 será igual a I_{REF}. Segue que, enquanto Q_2 for mantido na região ativa, sua corrente de coletor I_O será aproximadamente igual a I_{REF}. Observe que a operação do espelho é independente do valor da tensão $-V_{EE}$ enquanto Q_2 permanecer na região ativa.

A seguir, consideraremos o efeito de β finito do transistor sobre a operação do espelho de corrente. O procedimento da análise é como segue: como Q_1 e Q_2 estão casados e, desde que tenham valores iguais de v_{BE}, suas correntes de emissor são iguais. Esse é o ponto-chave. O restante da análise é direta e está ilustrada na Figura 6.16. Assim temos:

$$I_O = \frac{\beta}{\beta+1} I_E$$

$$I_{REF} = \frac{\beta+2}{\beta+1} I_E$$

Portanto, o ganho de corrente do espelho é dado por

$$\frac{I_O}{I_{REF}} = \frac{\beta}{\beta+2} = \frac{1}{1+2/\beta} \tag{6.63}$$

que se aproxima da unidade para $\beta >> 1$. Contudo, observe que o desvio do ganho de corrente da unidade pode ser relativamente alto: $\beta = 100$ resulta em um erro de 2%.

Outro fator que faz I_O diferente de I_{REF} é a dependência linear da corrente de coletor de Q_2, que é I_O, com a tensão de coletor de Q_2. De fato, mesmo se ignorarmos o efeito do valor finito de β e fizermos a suposição de que Q_1 e Q_2 estão perfeitamente casados, a corrente I_O será igual a I_{REF} apenas quando a tensão de coletor de Q_2 for igual à tensão de base. Quando a tensão de coletor é aumentada, I_O cresce. Como Q_2 opera com v_{BE} constante (conforme determinado por I_{REF}), a dependência de I_O sobre V_O é determinada por r_o de Q_2. Em outras palavras, a resistência de saída do espelho de corrente da Figura 6.15 é igual a r_o de Q_2.

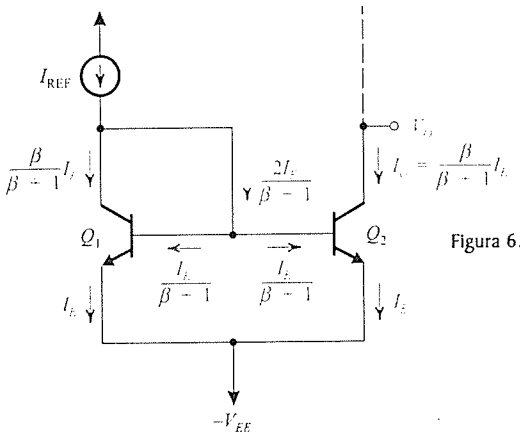


Figura 6.16 Análise do espelho de corrente levando em consideração o β finito dos TBJs.

Tomando o efeito de β finito junto com o efeito Early, concluímos que a corrente de saída do espelho é dada por

$$I_O = \frac{I_{REF}}{1+2/\beta}\left(1+\frac{V_O+V_{EE}-V_{BE}}{V_A}\right) \tag{6.64}$$

Observe que o termo representando o efeito Early foi escrito de tal forma que ele se reduz a zero quando v_{CB} de Q_2 é zero (assim como v_{CB} de Q_1): nesse caso I_O difere de I_{REF} apenas pelo fator devido ao β finito.

Exercício

6.6 O circuito do espelho de corrente da Figura 6.15 utiliza TBJs tendo $\beta = 100$ e uma tensão Early de $V_A = 100$ V. Encontre a resistência de saída e a corrente de saída para $I_{REF} = 1$ mA, $V_{EE} = 5$ V e $V_O = +5$ V. Suponha que $V_{BE} = 0{,}7$ V.

Resposta 100 kΩ; 1,07 mA

Uma Fonte de Corrente Simples

A Figura 6.17 mostra um circuito simples de fonte de corrente constante com TBJ. Esse circuito foi abordado brevemente no Capítulo 4; entretanto, vamos revê-lo aqui, uma vez que ele desempenha um papel central no projeto de circuitos guias de corrente com TBJ.

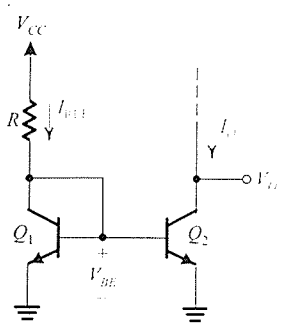


Figura 6.17 Uma fonte de corrente simples empregando TBJs.

Ele utiliza um par de transistores casados em uma configuração de espelho de corrente, com a corrente de referência de entrada para o espelho, I_{REF}, determinada por um resistor R conectado ao terminal positivo da fonte de alimentação V_{CC}. A corrente I_{REF} é dada por

$$I_{REF} = \frac{V_{CC} - V_{BE}}{R} \tag{6.65}$$

em que V_{BE} é a tensão emissor–base correspondente à corrente I_{REF} no emissor. Desprezando o efeito de β finito e a dependência de I_O sobre V_O, a corrente de saída I_O será igual a I_{REF}. O circuito operará como uma fonte de corrente constante enquanto Q_2 permanecer na região ativa – isto é, para $V_O \geq V_{BE}$.

A resistência de saída dessa fonte de corrente é r_o de Q_2. Levando em consideração o β finito e o efeito Early, a corrente de saída pode ser obtida combinando-se as Equações 6.64 e 6.65 e substituindo-se $V_{EE} = 0$.

Exercícios

P6.7 Para o circuito da Figura 6.17, encontre o valor de R que resulta em $I_O = 1$ mA com $V_{CC} = 5$ V. Suponha que $V_{BE} = 0{,}7$ V e despreze os efeitos de r_o e o valor finito de β. Agora, se $\beta = 100$ e $V_A = 50$ V, calcule o valor de I_O resultante para $V_O = 3$V.

Resposta 4,3 kΩ; 1,025 mA

6.8 Tendo em mente o fato de que um TBJ não entra no modo de saturação até que a junção coletor–base seja polarizada diretamente de 0,4 a 0,5 V, qual será o valor mínimo de V_O para o qual o circuito fonte de corrente da Figura 6.17 opera adequadamente?

Resposta 0,2 a 0,3 V

Circuitos Guias de Corrente (PULOU!)

Conforme mencionado anteriormente, a corrente de referência *cc* em um CI é gerada em um local e reproduzida em outros locais a fim de polarizar os vários estágios amplificadores do CI. Como exemplo, considere o circuito mostrado na Figura 6.18. O circuito utiliza duas fontes de alimentação, V_{CC} e $-V_{EE}$.

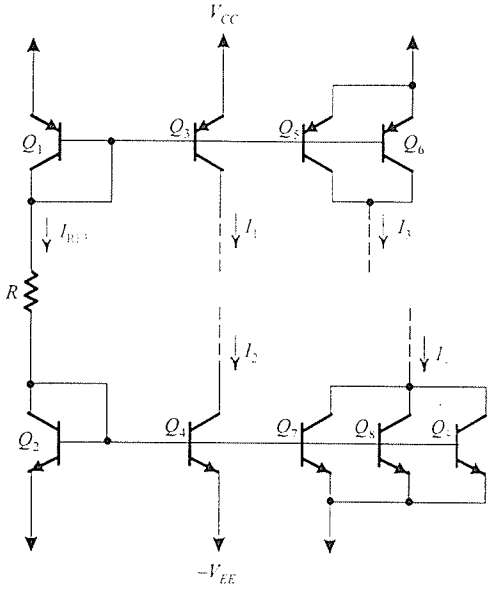


Figura 6.18 Gerando um conjunto de correntes constantes.

A corrente de referência *cc*, I_{REF}, é gerada no ramo que consiste no transistor Q_1 conectado como diodo, no resistor R e no transistor Q_2 conectado como diodo:

$$I_{REF} = \frac{V_{CC} + V_{EE} - V_{EB1} - V_{BE2}}{R} \tag{6.66}$$

Agora, para simplificar, suponha que todos os transistores tenham um valor elevado de β e, portanto, as correntes das bases são desprezivelmente pequenas. O transistor Q_1 conectado como diodo forma com Q_3 um espelho de corrente. Portanto, Q_3 fornecerá uma corrente constante I_1 igual a I_{REF}. O transistor Q_3 pode fornecer essa corrente para qualquer carga enquanto a tensão no coletor não exceder a tensão da base ($V_{CC} - V_{EB3}$).

Para gerar uma corrente *cc* com o dobro do valor de I_{REF}, dois transistores, Q_5 e Q_6, são conectados em paralelo e a combinação forma um espelho com Q_1. Logo $I_3 = 2I_{REF}$. Observe que a combinação de Q_5 e Q_6 em paralelo é equivalente a um transistor cuja área da JEB é o dobro de Q_1, que é precisamente o que deveria ser feito se esse circuito fosse fabricado na forma de CI. Os espelhos de corrente são usados na prática para fornecer correntes de referência de valores múltiplos simplesmente projetando transistores que tenham relações de áreas iguais aos valores múltiplos desejados. Isso é um pouco diferente do caso de um espelho com MOS (Seção 5.6.2), no qual a razão da transferência de corrente é determinada pela relação das razões *W/L* dos dois transistores (Equação 5.55) e não pelas áreas dos dispositivos.

O transistor Q_4 forma um espelho com Q_2 e, portanto, Q_4 fornece uma corrente I_2 constante e igual a I_{REF}. Observe uma diferença importante entre Q_3 e Q_4: embora ambos forneçam iguais valores de corrente, Q_3 *fornece* sua corrente para partes do circuito cuja tensão não deve exceder a $V_{CC} - V_{EB3}$. Por outro lado, Q_4 *drena* sua corrente de partes do circuito cuja tensão não deve

ficar abaixo de $-V_{EE} + V_{BE4}$. Finalmente, para gerar uma corrente três vezes maior do que a referência, três transistores, Q_7, Q_8 e Q_9, são ligados em paralelo e a combinação é colocada em uma configuração de espelho com Q_2. Novamente, em uma implementação em CI, Q_7, Q_8 e Q_9 seriam substituídos por um transistor tendo uma área da junção três vezes maior do que Q_2.

A descrição anterior desprezou os efeitos do valor finito de β. Esse efeito já foi analisado no caso de um espelho com saída simples. O efeito de β finito é mais pronunciado com o aumento do número de saídas do espelho.

Isso não é uma surpresa, visto que a adição de mais transistores significa que suas correntes de base têm de ser fornecidas pela fonte de corrente de referência.

Exercício

6.9 A Figura E6.9 mostra um espelho de corrente de N saídas. Supondo que todos os transistores estejam casados com β finito e ignorando o efeito da resistência de saída finita, mostre que

$$I_1 = I_2 = \cdots = I_N = \frac{1}{1 + (N+1)/\beta}$$

Para $\beta = 100$, encontre o número máximo de saídas para que o erro não exceda a 10%.

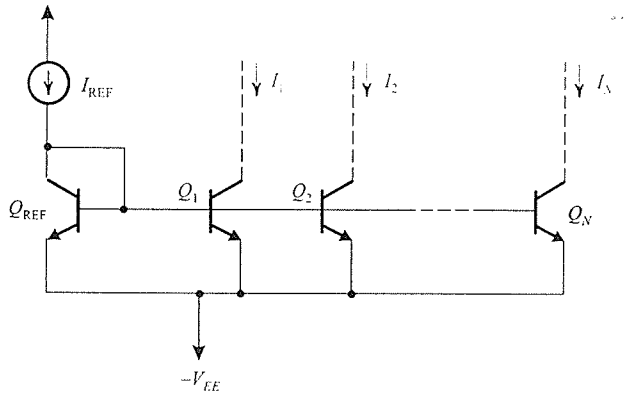


Figura E6.9

Resposta 9

Comparação com Circuitos MOS

Os circuitos básicos com TBJ, como o espelho de corrente, fonte de corrente e guia de corrente, são muito similares aos MOS estudados na Seção 5.6.2. Entretanto, há algumas diferenças que devem ser observadas:

1. O espelho MOS não sofre do efeito de β finito.

2. No espelho e fonte de corrente bipolar, a tensão de saída pode estar próxima de V_{CEsat}, que é mais ou menos 0,2 V da tensão do emissor (que está ou em uma tensão de alimentação *cc* ou no terra). O valor correspondente em circuitos MOS é $(V_{GS} - V_t)$ ou V_t – que é geralmente maior que V_{CEsat}. A possibilidade de operar muito próximo da tensão de alimentação é um aspecto importante para o projeto de CIs contemporâneos, nos quais as tensões de alimentação estão sendo reduzidas continuamente.
3. Como já mencionado, a razão da transferência de corrente em um espelho bipolar é determinada pelas áreas relativas dos transistores, enquanto em um espelho MOS a mesma é determinada pela relação entre as razões (W/L).
4. Ambos os espelhos básicos, bipolar e MOS, apresentam uma resistência de saída de $r_o = |V_A|/I$. Entretanto, $|V_A|$ é geralmente menor para dispositivos MOS.

Circuitos Melhorados de Fontes de Correntes

Dois parâmetros de funcionamento do TBJ da fonte de corrente precisam ser melhorados. O primeiro é a dependência de I_O com β, que resulta em um erro no ganho de corrente introduzido por um β finito do TBJ. O segundo é a resistência de saída da fonte de corrente, que foi determinada como sendo igual a r_o do TBJ e, assim, limitada a um valor da ordem de 100 kΩ. A necessidade de aumentar a resistência de saída da fonte de corrente pode ser apreciada se lembrarmos que o ganho em modo comum do amplificador diferencial é determinado diretamente pela resistência de saída da fonte de corrente de polarização. Além disso, será visto em uma seção posterior que as fontes de corrente são usadas normalmente no lugar da resistência de carga R_C do amplificador diferencial. Então, para obter um ganho elevado de tensão, é necessário um alto valor de resistência de saída.

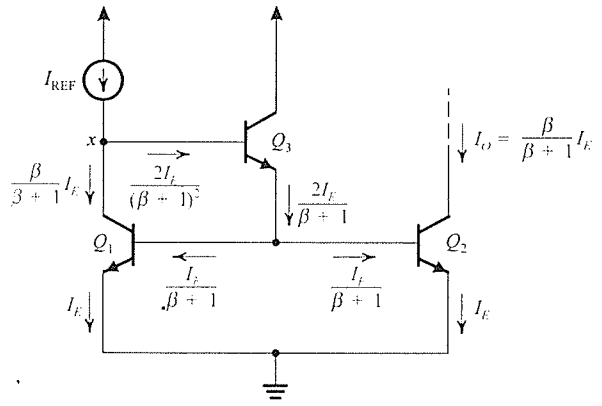


Figura 6.19 Um espelho de corrente com compensação de corrente de base.

Discutiremos agora várias técnicas de circuitos que resultam em uma dependência reduzida do valor de β e/ou aumento no valor da resistência de saída. O primeiro circuito, mostrado na Figura 6.19, inclui um transistor Q_3 cujo emissor fornece as correntes de base de Q_1 e Q_2. A soma das correntes de base é então dividida por $(\beta + 1)$ de Q_3, resultando em uma corrente muito me-

nor que deve ser fornecida por I_{REF}. Uma análise detalhada, mostrada no diagrama do circuito, é baseada na suposição de que Q_1 e Q_2 são casados e, portanto, têm correntes de emissor iguais, I_E. A equação nodal no ponto denominado de x fornece

$$I_{REF} = \left[\frac{\beta}{\beta+1} + \frac{2}{(\beta+1)^2}\right] I_E$$

Como

$$I_O = \frac{\beta}{\beta+1} I_E$$

implica que o ganho de corrente desse espelho é dado por

$$\frac{I_O}{I_{REF}} = \frac{1}{1+2/(\beta^2+\beta)} \tag{6.67}$$

$$\simeq \frac{1}{1+2/\beta^2} \tag{6.68}$$

o que significa que o erro devido ao valor finito de β foi reduzido de $2/\beta$ para $2/\beta^2$, que é uma melhora incrível. Finalmente, observe que, para simplificar, o circuito é mostrado alimentado por uma corrente I_{REF}. Para usar o circuito como uma fonte de corrente, conectamos um transistor R entre os pontos x e o terminal positivo da alimentação V_{CC}, logo

$$I_{REF} = \frac{V_{CC} - V_{BE1} - V_{BE3}}{R} \tag{6.69}$$

Um circuito alternativo de espelho que obtém compensação da corrente de base e uma maior resistência de saída é o **espelho de corrente de Wilson**, mostrado na Figura 6.20. A análise desse circuito, levando em consideração o valor finito de β, resulta em uma expressão para o ganho de corrente idêntica à da Equação 6.68.

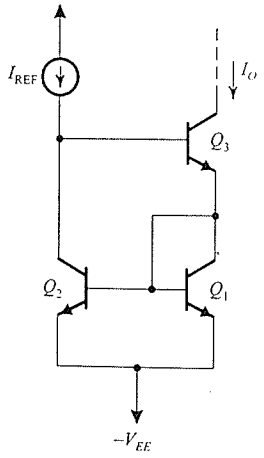


Figura 6.20 O espelho de corrente de Wilson.

A fonte de corrente de Wilson tem por característica uma resistência de saída aproximadamente igual a $\beta r_o/2$, um fator de $\beta/2$ maior do que a fonte de corrente simples da Figura 6.17. Entretanto, o espelho de Wilson apresenta a desvantagem de reduzir a excursão da tensão de saída; observe que a tensão no coletor de Q_3 tem de ser maior que a tensão de alimentação negativa por um valor de ($V_{BE1} + V_{CEsat3}$), que é aproximadamente 1 V.

Exercício

6.10 Para o espelho de corrente de Wilson na Figura 6.20, suponha que todos os transistores sejam casados e que tenham valor de β finito. Representando as correntes nos emissores de Q_1 e Q_2 por I_E, calcule I_{REF} e I_O em termos de I_E e mostre que I_O/I_{REF} é dada pela Equação 6.68.

Nosso último circuito de fonte de corrente, conhecido como **fonte de corrente de Widlar**, está mostrado na Figura 6.21. Ele difere do circuito de espelho de corrente básico de um modo importante: um resistor R_E é incluído no terminal emissor de Q_2. Desprezando as correntes de base, podemos escrever:

$$V_{BE1} = V_T \ln\left(\frac{I_{REF}}{I_S}\right) \tag{6.70}$$

e

$$V_{BE2} = V_T \ln\left(\frac{I_O}{I_S}\right) \tag{6.71}$$

em que supomos que Q_1 e Q_2 são dispositivos casados. Combinando as Equações 6.70 e 6.71, obtemos

$$V_{BE1} - V_{BE2} = V_T \ln\left(\frac{I_{REF}}{I_O}\right) \tag{6.72}$$

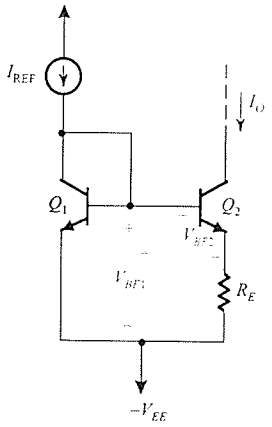


Figura 6.21 A fonte de corrente de Widlar.

Mas do circuito vemos que

$$V_{BE1} = V_{BE2} + I_O R_E \tag{6.73}$$

Portanto,

$$I_O R_E = V_T \ln\left(\frac{I_{REF}}{I_O}\right) \tag{6.74}$$

O projeto e as vantagens da fonte de corrente Widlar estão ilustrados no exemplo a seguir.

EXEMPLO 6.2

A Figura 6.22 mostra dois circuitos que geram uma corrente constante $I_O = 10\ \mu A$. Determine os valores dos resistores necessários sabendo que V_{BE} é de 0,7 V para uma corrente de 1 mA e despreze o efeito de β finito.

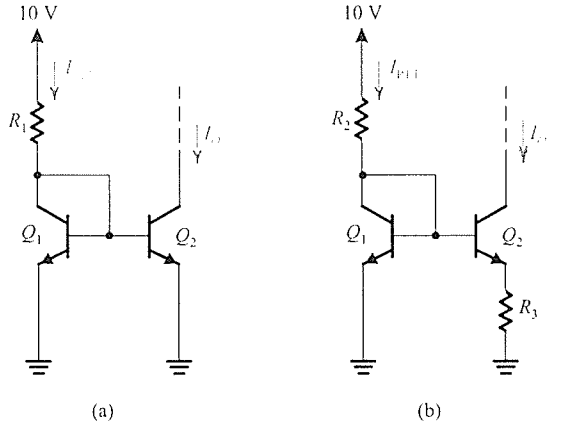


Figura 6.22 Circuitos para o Exemplo 6.2.

SOLUÇÃO

Para o circuito da fonte de corrente básica na Figura 6.22(a) escolhemos um valor de R_1 que resulta em $I_{REF} = 10\ \mu A$. Nessa corrente, a queda de tensão através de Q_1 será

$$V_{BE1} = 0{,}7 + V_T \ln\left(\frac{10\ \mu A}{1\ mA}\right) = 0{,}58\ V$$

Portanto,

$$R_1 = \frac{10 - 0{,}58}{0{,}01} = 942\ k\Omega$$

Para o circuito de Widlar na Figura 6.22(b), devemos primeiro obter um valor adequado de I_{REF}. Se escolhermos $I_{REF} = 1$ mA, então $V_{BE1} = 0{,}7$ V e R_2 será dada por

$$R_2 = \frac{10 - 0{,}7}{1} = 9{,}3\ k\Omega$$

O valor de R_3 pode ser determinado usando a Equação 6.74, como segue:

$$10 \times 10^{-6} R_3 = 0{,}025 \ln\left(\frac{1\ mA}{10\ \mu A}\right)$$

$$R_3 = 11{,}5\ k\Omega$$

Pelo exemplo anterior, observamos que usar o circuito de Widlar viabiliza o projeto de fontes de corrente de pequenos valores usando resistores de valores relativamente baixos. Essa é uma vantagem importante que resulta em uma economia considerável de área na pastilha. O circuito da Figura 6.22(a), por necessitar de uma resistência de 942 kΩ, é totalmente impraticável para uma implementação em forma de CI.

Outra característica importante da fonte de corrente de Widlar é que sua resistência de saída é alta. O aumento na resistência de saída acima da obtida na fonte de corrente básica da Figura 6.17 é devido à resistência de degeneração de emissor R_E. Para determinar a resistência de saída de Q_2, substituímos o TBJ por seu modelo π-híbrido para baixas freqüências e aplicamos uma tensão de teste v_x no coletor, conforme mostrado na Figura 6.23(a). Observe que a base de Q_2 está aterrada, o que não é completamente o caso no circuito original da Figura 6.21. Na verdade, a base de Q_2 está conectada ao terminal $-V_{EE}$ (terra para sinais) através do transistor Q_1 conectado como diodo. Contudo, este último tem uma pequena resistência incremental (r_e) e, portanto, para simplificar a questão, fizemos a suposição de que essa resistência é pequena o suficiente para colocar a base de Q_2 no terra para sinais.

O circuito da Figura 6.23(a) está simplificado pela combinação de R_E e r_π em paralelo para formar R'_E, conforme ilustrado na Figura 6.23(b), que mostra alguns detalhes da análise. Uma equação de malha produz

$$v_x = -v_\pi - \left(g_m + \frac{1}{R'_E}\right) v_\pi r_o \tag{6.75}$$

e uma equação nodal em C fornece

$$i_x = g_m v_\pi - \left(g_m + \frac{1}{R'_E}\right) v_\pi \tag{6.76}$$

Dividindo a Equação 6.75 pela Equação 6.76, obtém-se a resistência de saída

$$R_o \equiv \frac{v_x}{i_x} = \frac{1 + \left(g_m + \frac{1}{R'_E}\right) r_o}{1/R'_E}$$

que pode ser rearranjada na forma de

$$R_o = R'_E + (1 + g_m R'_E) r_o \tag{6.77}$$

$$= (1 + g_m R'_E) r_o \tag{6.78}$$

Essa é uma relação importante e geral; fornece a resistência de saída de um transistor com base aterrada quando há uma resistência R_E no emissor.

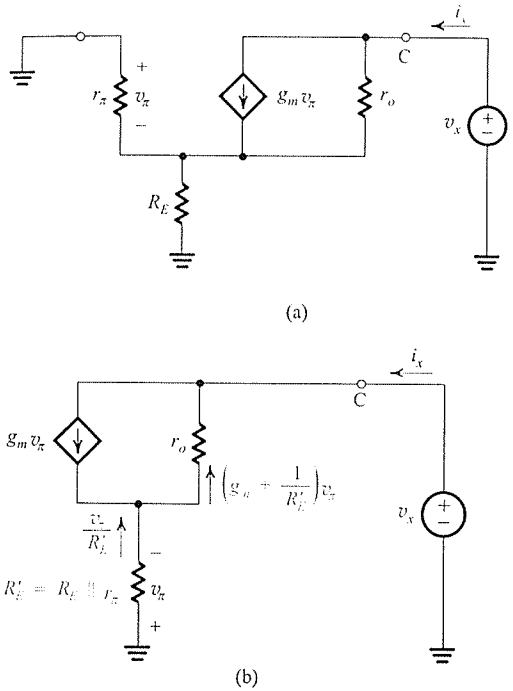


Figura 6.23 Determinação da resistência de saída da fonte de corrente de Widlar da Figura 6.21.

Utilizaremos freqüentemente essa relação. Finalmente, observe que na análise anterior desprezamos r_μ. Contudo, ela pode ser facilmente levada em consideração visto que aparece em paralelo com a resistência dada pela Equação 6.78.

Exercício

6.11 Encontre a resistência de saída de cada uma das duas fontes de corrente projetadas no Exemplo 6.2. Suponha $V_A = 100$ V e $\beta = 100$.

Resposta (a) 10 MΩ; (b) 54 MΩ

EXEMPLO 6.3

A Figura 6.24 mostra o circuito de um amplificador operacional simples. Os terminais 1 e 2, conectados ao terra como mostrado, são os terminais de entrada do amp op e o terminal 3 é o terminal de saída.

(a) Faça uma análise *cc* aproximada (supondo $\beta >> 1$, $|V_{BE}| = 0{,}7$ V e desprezando o efeito Early) para calcular todas as correntes e tensões *cc* no circuito. Observe que Q_6 tem quatro vezes a área tanto de Q_9 quanto de Q_3.

(b) Calcule a dissipação quiescente de potência nesse circuito.

(c) Se os transistores Q_1 e Q_2 tiverem $\beta = 100$, calcule a corrente de polarização de entrada do amp op.

(d) Qual a faixa em modo comum desse amp op?

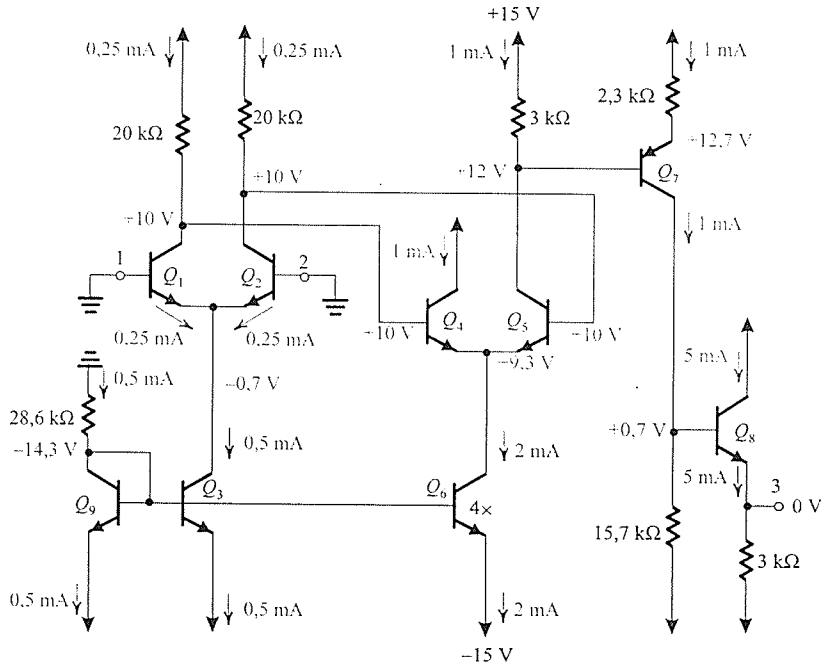


Figura 6.24 Circuito para o Exemplo 6.3.

SOLUÇÃO

(a) Os valores de todas as correntes e tensões *cc* estão indicados no diagrama do circuito. Esses valores foram calculados desprezando-se a corrente de base de cada transistor – isto é, supondo que β é muito alto. A análise começa determinando-se a corrente através do transistor Q_9, conectado como diodo, que é de 0,5 mA. Então, observamos que o transistor Q_3 conduz 0,5 mA e o transistor Q_6 conduz 2 mA. A fonte de corrente com o transistor Q_3 alimenta o par diferencial (Q_1, Q_2) com 0,5 mA. Portanto, cada transistor Q_1 e Q_2 será polarizado com 0,25 mA. Os coletores de Q_1 e Q_2 estarão com $[+15 - 0{,}25 \times 20] = +10$ V.

Continuando para o segundo estágio diferencial formado por Q_4 e Q_5, obtemos a tensão em seus emissores como sendo [+10 – 0,7] = 9,3 V. Esse par diferencial está polarizado pela fonte de corrente com o transistor Q_6, o qual fornece uma corrente de 2 mA; logo, Q_4 e Q_5 serão polarizados com 1 mA cada um. Podemos agora calcular a tensão no coletor de Q_5 como [+15 – 1 × 3] = +12 V. Isso fará a tensão no emissor do transistor Q_7, *pnp*, ser +12,7 V e a corrente no emissor de Q_7 será (+15 – 12,7)/2,3 = 1 mA.

A corrente de 1 mA no coletor de Q_7 faz com que a tensão no coletor seja [–15 + 1 × 15,7] = +0,7 V. O emissor de Q_8 estará 0.7 V abaixo da base; logo, o terminal de saída 3 estará em 0 V. Finalmente, a corrente no emissor de Q_8 pode ser calculada como sendo [0 – (–15)]/3 = 5 mA.

(b) Para calcular a potência dissipada no circuito no estado quiescente (isto é, para sinal de entrada zero), simplesmente determinamos a corrente *cc* que o circuito drena de cada uma das duas fontes de alimentação. A corrente *cc* drenada do terminal +15 V da fonte é $I^+ = 0{,}25 + 0{,}25 + 1 + 1 + 1 + 5 = 8{,}5$ mA. Portanto, a potência fornecida pelo terminal positivo da fonte de alimentação é de $P^+ = 15 \times 8{,}5 = 127{,}5$ mW. O terminal –15 V da fonte fornece uma corrente I^- dada por $I^- = 0{,}5 + 0{,}5 + 2 + 1 + 5 = 9$ mA. Portanto, a potência fornecida pelo terminal negativo da fonte de alimentação é $P^- = 15 \times 9 = 135$ mW. A soma de P^+ e P^- fornece a potência dissipada total P_D no circuito: $P_D = P^+ + P^- = 262{,}5$ mW.

(c) A corrente de polarização de entrada do amp op é a média das correntes *cc* que circulam nos dois terminais de entrada (isto é, nas bases de Q_1 e Q_2). Essas duas correntes são iguais (pois fizemos a suposição de que os dispositivos são casados); logo, a corrente de polarização é dada por

$$I_B = \frac{I_{E1}}{\beta + 1} \simeq 2{,}5\ \mu\text{A}$$

(d) O limite superior da tensão de entrada em modo comum é determinado pela tensão na qual Q_1 e Q_2 deixam o modo ativo e entram em saturação. Isso ocorre se a tensão de entrada igualar ou exceder a tensão de coletor, que é de +10 V. Logo, o limite superior da faixa em modo comum é de +10 V.

O limite inferior da faixa de entrada em modo comum é determinado pela tensão na qual Q_3 deixa o modo ativo e, portanto, deixa de funcionar como fonte de corrente constante. Isso ocorre se a tensão no coletor de Q_3 cair abaixo da tensão de sua base, que é de –14,3 V. Isso implica que a tensão de entrada em modo comum não deve ser menor que –14,3 + 0,7 = –13,6 V. Logo, a faixa em modo comum é de –13,6 a +10 V.

6.5 O AMPLIFICADOR DIFERENCIAL COM TBJ E CARGA ATIVA

Dispositivos ativos (transistores) ocupam uma área de silício muito menor do que os resistores de valores altos e médios. Por essa razão, estudamos no Capítulo 5 uma variedade de circuitos amplificadores com MOSFET que os utilizam como carga ativa. De modo similar, muitos amplificadores em circuitos integrados com TBJ usam cargas com TBJ no lugar de cargas resistivas, R_C. Nesses circuitos, o transistor TBJ como carga é usualmente conectado como fonte de corrente constante e, portanto, apresenta o transistor amplificador com uma resistência de carga muito alta

(a resistência de saída da fonte de corrente). Assim, o amplificador que utiliza *cargas ativas* pode ter ganhos de tensão maiores do que aqueles que utilizam cargas passivas (resistivas). Nesta seção, estudaremos uma configuração que se tornou muito popular no projeto de CIs com TBJ.

O circuito amplificador diferencial com carga ativa está mostrado na Figura 6.25. Os transistores Q_1 e Q_2 formam um par diferencial polarizado com uma corrente constante I. A carga do circuito consiste nos transistores Q_3 e Q_4 conectados em uma configuração de espelho de corrente. A saída simples é tomada do coletor de Q_2.

Considere primeiro o caso em que nenhum sinal de entrada é aplicado (isto é, os dois terminais de entrada são aterrados). A corrente I divide-se igualmente entre Q_1 e Q_2. Portanto, Q_1 drena uma corrente de cerca de $I/2$ do transistor Q_3 conectado como diodo. Supondo $\beta >> 1$, o espelho fornece uma corrente igual a $I/2$ através do coletor de Q_4. Como essa corrente é igual à que circula no coletor de Q_2, nenhuma corrente circula pelo terminal de saída. Contudo, deve ser notado que, em circuitos práticos, a tensão *cc* quiescente no terminal de saída é determinada pelo subseqüente estágio amplificador. Um exemplo disso será visto no Capítulo 10, no qual o circuito interno do amp op 741 é estudado em detalhes.

A seguir, considere a situação em que um sinal diferencial v_d é aplicado na entrada. Os sinais de corrente $g_m(v_d/2)$ aparecerão nos coletores de Q_1 e Q_2 com as polaridades indicadas na Figura 6.25. O espelho de corrente reproduz a corrente de sinal $g_m(v_d/2)$ no coletor de Q_4. Portanto, no nó de saída temos dois sinais de corrente que são somados para produzir a corrente de sinal total ($g_m v_d$). Agora, se a resistência apresentada pelo estágio amplificador subseqüente for muito alta, a tensão de sinal no terminal de saída será determinada pelo sinal total da corrente ($g_m v_d$) e pela resistência total entre o terminal de saída e o terra, R_o; isto é,

$$v_o = g_m v_d R_o \tag{6.79}$$

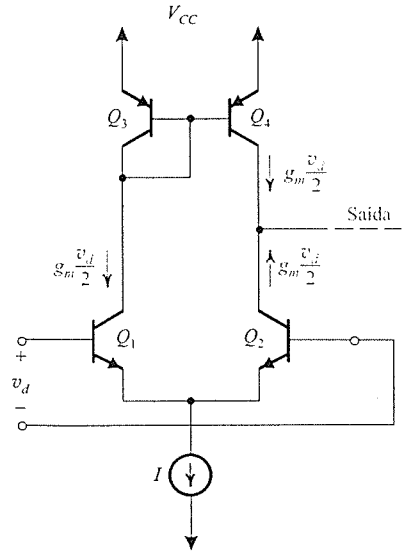


Figura 6.25 O amplificador diferencial com uma carga ativa.

A resistência de saída R_o é o equivalente paralelo à resistência de saída de Q_2 e à resistência de saída de Q_4. Como Q_2 está de fato operando em uma configuração em emissor comum, sua resistência de saída será igual a r_{o2}. Além disso, por nosso estudo do circuito do espelho de corrente básico na seção anterior, sabemos que sua resistência de saída é igual a r_o de Q_4 – isto é, r_{o4}. Portanto,

$$R_o = r_{o2} // r_{o4} \tag{6.80}$$

Para o caso de $r_{o2} = r_{o4} = r_o$,

$$R_o = r_o/2 \tag{6.81}$$

e a tensão de sinal de saída será

$$v_o = g_m v_d (r_o/2) \tag{6.82}$$

o que nos leva ao ganho de tensão

$$\frac{v_o}{v_d} = \frac{g_m r_o}{2} \tag{6.83}$$

Substituindo $g_m = I_C/V_T$ e $r_o = V_A/I_C$, em que $I_C = I/2$, obtemos

$$g_m r_o = \frac{V_A}{V_T} \tag{6.84}$$

que é uma constante para um dado transistor. Tipicamente, $V_A = 100$ V, levando a $g_m r_o = 4000$ e a um ganho de tensão do estágio de cerca de 2000.

Em alguns casos, a resistência de entrada do estágio amplificador subseqüente pode ser da mesma ordem de R_o e, portanto, deve ser levada em consideração na determinação do ganho de tensão. Nessa situação, é conveniente representar o amplificador da Figura 6.25 pelo modelo de amplificador de transcondutância mostrado na Figura 6.26. Nessa figura, R_i é a resistência de entrada diferencial, para nosso caso $R_i = 2r_\pi$. A transcondutância do amplificador G_m é a transcondutância em curto-circuito e para nosso caso

$$G_m = g_m = \frac{I/2}{V_T}$$

Finalmente, R_o é a resistência de saída dada pela Equação 6.81.

A fim de obter ganhos de tensão ainda mais elevados, podem ser utilizados circuitos de espelhos de corrente com resistências de saída mais elevadas, como o espelho de Wilson. Além disso, a configuração básica do amplificador diferencial pode ser modificada para aumentar a resistência de saída de Q_2. Tal modificação envolve o uso de um circuito conhecido como configuração *cascode*. Daremos uma ligeira introdução à configuração *cascode*.

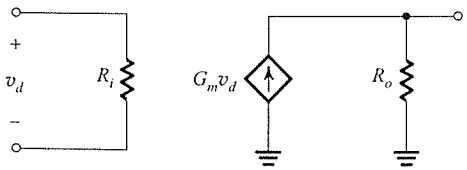


Figura 6.26 Modelo para pequenos sinais do amplificador diferencial da Figura 6.25.

É importante observar o papel que desempenha o circuito do espelho de corrente da Figura 6.25: ele inverte a corrente de sinal $g_m(v_d/2)$ fornecida pelo coletor de Q_1 e proporciona uma corrente igual no coletor de Q_4 com uma polaridade tal que ela se soma à corrente de sinal no coletor de Q_2. Sem o espelho de corrente (isto é, usando apenas uma fonte de corrente simples), o ganho de tensão seria a metade do valor encontrado anteriormente.

A Configuração Cascode

Desviaremos um pouco de nosso assunto para introduzir brevemente uma importante configuração de amplificador, a ***cascode***. Ela consiste em um estágio em emissor comum (EC) seguido por um estágio em base comum (BC) e está mostrada na forma diferencial na Figura 6.27(a). Nessa figura, o par (Q_1, Q_2) forma o amplificador diferencial básico que, para sinais de entrada diferenciais, se comporta como um amplificador em emissor comum. O par (Q_3, Q_4) forma um estágio diferencial em base comum. Embora seja mostrada uma carga passiva (resistiva), ela pode ser facilmente substituída por uma carga ativa.

O circuito meio-diferencial está mostrado na Figura 6.27(b), da qual a cascode EC-BC é imediatamente identificada. Além disso, por essa figura observamos que a resistência de carga vista pelo transistor Q_1 em EC não é mais R_C e sim a resistência de entrada do transistor Q_3 em BC, de valor muito menor, que chamamos normalmente de r_e.

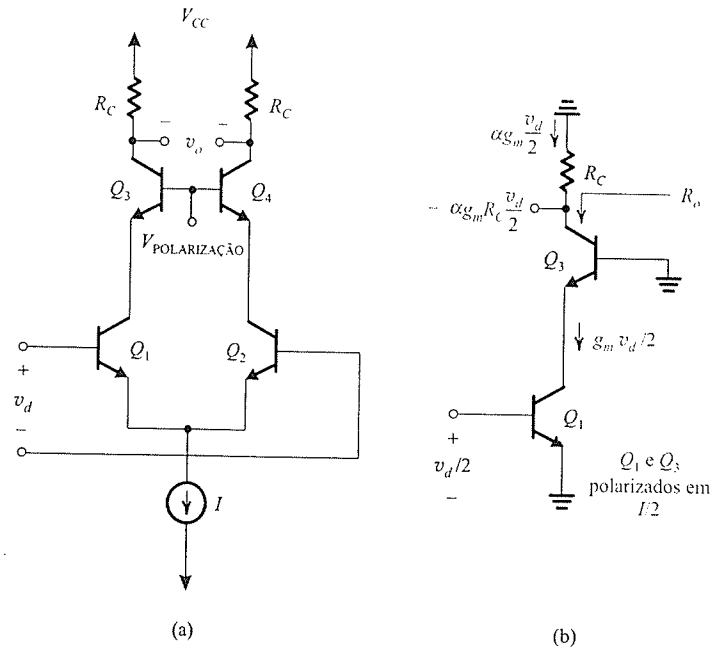


Figura 6.27 **(a)** A forma diferencial do amplificador *cascode* e **(b)** seu meio-circuito diferencial.

A resistência de saída R_o é o equivalente paralelo à resistência de saída de Q_2 e à resistência de saída de Q_4. Como Q_2 está de fato operando em uma configuração em emissor comum, sua resistência de saída será igual a r_{o2}. Além disso, por nosso estudo do circuito do espelho de corrente básico na seção anterior, sabemos que sua resistência de saída é igual a r_o de Q_2 – isto é, r_{o4}. Portanto,

$$R_o = r_{o2} // r_{o4} \tag{6.80}$$

Para o caso de $r_{o2} = r_{o4} = r_o$,

$$R_o = r_o/2 \tag{6.81}$$

e a tensão de sinal de saída será

$$v_o = g_m v_d (r_o/2) \tag{6.82}$$

o que nos leva ao ganho de tensão

$$\frac{v_o}{v_d} = \frac{g_m r_o}{2} \tag{6.83}$$

Substituindo $g_m = I_C/V_T$ e $r_o = V_A/I_C$, em que $I_C = I/2$, obtemos

$$g_m r_o = \frac{V_A}{V_T} \tag{6.84}$$

que é uma constante para um dado transistor. Tipicamente, $V_A = 100$ V, levando a $g_m r_o = 4000$ e a um ganho de tensão do estágio de cerca de 2000.

Em alguns casos, a resistência de entrada do estágio amplificador subseqüente pode ser da mesma ordem de R_o e, portanto, deve ser levada em consideração na determinação do ganho de tensão. Nessa situação, é conveniente representar o amplificador da Figura 6.25 pelo modelo de amplificador de transcondutância mostrado na Figura 6.26. Nessa figura, R_i é a resistência de entrada diferencial, para nosso caso $R_i = 2r_\pi$. A transcondutância do amplificador G_m é a transcondutância em curto-circuito e para nosso caso

$$G_m = g_m = \frac{I/2}{V_T}$$

Finalmente, R_o é a resistência de saída dada pela Equação 6.81.

A fim de obter ganhos de tensão ainda mais elevados, podem ser utilizados circuitos de espelhos de corrente com resistências de saída mais elevadas, como o espelho de Wilson. Além disso, a configuração básica do amplificador diferencial pode ser modificada para aumentar a resistência de saída de Q_2. Tal modificação envolve o uso de um circuito conhecido como configuração *cascode*. Daremos uma ligeira introdução à configuração *cascode*.

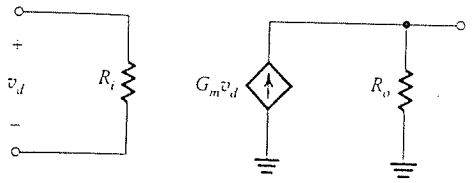


Figura 6.26 Modelo para pequenos sinais do amplificador diferencial da Figura 6.25.

É importante observar o papel que desempenha o circuito do espelho de corrente da Figura 6.25: ele inverte a corrente de sinal $g_m(v_d/2)$ fornecida pelo coletor de Q_1 e proporciona uma corrente igual no coletor de Q_4 com uma polaridade tal que ela se soma à corrente de sinal no coletor de Q_2. Sem o espelho de corrente (isto é, usando apenas uma fonte de corrente simples), o ganho de tensão seria a metade do valor encontrado anteriormente.

A Configuração Cascode

Desviaremos um pouco de nosso assunto para introduzir brevemente uma importante configuração de amplificador, a ***cascode***. Ela consiste em um estágio em emissor comum (EC) seguido por um estágio em base comum (BC) e está mostrada na forma diferencial na Figura 6.27(a). Nessa figura, o par (Q_1, Q_2) forma o amplificador diferencial básico que, para sinais de entrada diferenciais, se comporta como um amplificador em emissor comum. O par (Q_3, Q_4) forma um estágio diferencial em base comum. Embora seja mostrada uma carga passiva (resistiva), ela pode ser facilmente substituída por uma carga ativa.

O circuito meio-diferencial está mostrado na Figura 6.27(b), da qual a cascode EC-BC é imediatamente identificada. Além disso, por essa figura observamos que a resistência de carga vista pelo transistor Q_1 em EC não é mais R_C e sim a resistência de entrada do transistor Q_3 em BC, de valor muito menor, que chamamos normalmente de r_e.

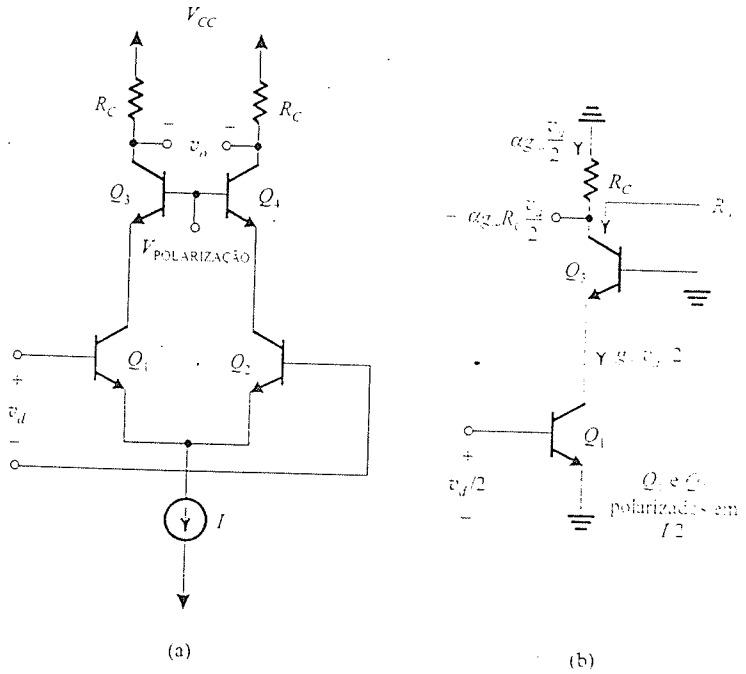


Figura 6.27 (a) A forma diferencial do amplificador *cascode* e (b) seu meio-circuito diferencial.

No Capítulo 7, veremos que a redução na resistência de carga efetiva de Q_1 resulta em uma grande melhora na resposta em freqüência do amplificador, que é uma característica muito importante do amplificador *cascode*.

Continuando nossa análise do meio-circuito diferencial, vemos que o estágio em base comum funciona como um reforçador (buffer) de corrente; ele aceita a corrente de sinal $g_m v_d/2$ do coletor de Q_1 com uma resistência de entrada de baixo valor (r_e) e entrega uma corrente de valor quase igual ($\alpha g_m v_d/2$) para a carga com uma resistência de saída de valor muito alto, R_o. A resistência de saída de alto valor constitui a segunda característica mais importante da configuração *cascode* e é particularmente útil se o amplificador for usado com uma carga ativa. Para encontrar uma expressão para R_o, observamos que é a resistência de saída de Q_3 que tem uma resistência de emissor igual a r_o de Q_1. Podemos utilizar a Equação 6.78, substituindo $R'_E = r_{\pi 3} // r_{o1} \cong r_{\pi 3}$ e obtendo, assim

$$R_o = r_{o3}(1 + g_{m3} r_{\pi 3})$$
$$= r_{o3}(1 + \beta_3) \cong \beta_3 r_{o3}$$

Como ambos os dispositivos são polarizados com a mesma corrente ($I/2$), seus parâmetros correspondentes para pequenos sinais são iguais e, portanto, podemos omitir os índices e expressar R_o como

$$R_o \cong \beta r_o \tag{6.85}$$

Portanto, a resistência de saída da configuração cascode é β vezes maior do que o amplificador em emissor-comum.[2]

A Figura 6.28 mostra um amplificador diferencial em *cascode* com uma carga ativa formada por um espelho de corrente de Wilson. No diagrama do circuito estão indicados os valores dos sinais de corrente resultantes quando um sinal diferencial de entrada v_d é aplicado, supondo $\alpha_3 = \alpha_4 \cong 1$. Embora essas correntes não sejam diferentes em relação ao circuito básico da Figura 6.25, aqui a resistência do nó de saída é muito maior por causa do amplificador *cascode* e da fonte de Wilson. Os valores das resistências também estão indicados na Figura 6.27. O ganho de tensão pode ser facilmente obtido como sendo

$$\frac{v_o}{v_d} = \frac{1}{3}\beta\left(\frac{V_A}{V_T}\right) \tag{6.86}$$

que é maior do que para o circuito básico por um fator de $\left(\frac{2}{3}\beta\right)$.

Finalmente, deve estar claro que a configuração cascode pode ser igualmente bem implementada com MOSFETs, conforme será visto mais adiante.

Exercícios

6.12 Para o amplificador diferencial com carga ativa da Figura 6.25, quando polarizado com uma corrente de $I = 0{,}2$ mA e se o TBJ tiver $\beta = 200$ e $V_A = 100$ V, encontre os valores de R_i, G_m, R_o e o ganho de tensão em circuito aberto.

2. Nessa análise, desconsideramos r_μ de Q_3, que aparece em paralelo com o valor obtido para R_o. Assim, uma melhor estimativa de R_o é $R_o = \beta r_o // r_\mu$.

Resposta 100 kΩ; 4 mA/V; 0,5 MΩ; 2.000 V/V

6.13 Repita o Exercício 6.12 com o par diferencial substituído por um amplificador diferencial em cascode. Qual a resistência de saída do amplificador *cascode*?

Resposta 100 kΩ; 4 mA/V; 1 MΩ; 4.000 V/V; 200 MΩ

6.14 Repita o Exercício 6.12 com o par diferencial substituído por um amplificador cascode e a carga do espelho de corrente básico substituído por um espelho de corrente de Wilson.

Resposta 100 kΩ; 4 mA/V; 66,7 MΩ; 2,67 × 10^5 V/V

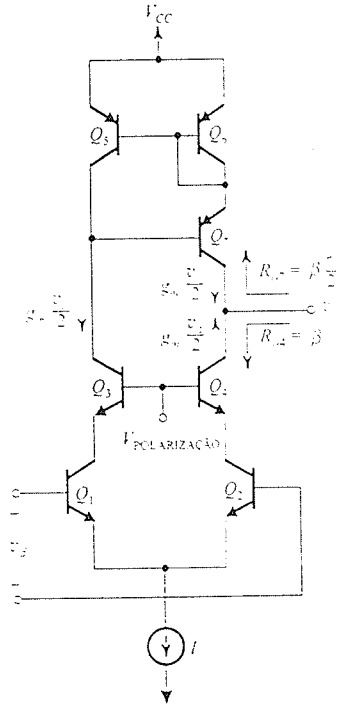


Figura 6.28 Um amplificador diferencial *cascode* com uma carga ativa do tipo espelho de corrente de Wilson.

6.6 AMPLIFICADORES DIFERENCIAIS MOS

Durante a década passada, o transistor MOS tornou-se muito importante no projeto de circuitos integrados analógicos. Já estudamos alguns dos circuitos amplificadores básicos empregados em CIs MOS no Capítulo 5. Baseado nesse material, esta seção apresenta o par diferencial com MOS, que é o elemento de circuito mais importante em CIs analógicos com MOS. Discutiremos tam-

No Capítulo 7, veremos que a redução na resistência de carga efetiva de Q_1 resulta em uma grande melhora na resposta em freqüência do amplificador, que é uma característica muito importante do amplificador *cascode*.

Continuando nossa análise do meio-circuito diferencial, vemos que o estágio em base comum funciona como um reforçador (buffer) de corrente; ele aceita a corrente de sinal $g_m v_d/2$ do coletor de Q_1 com uma resistência de entrada de baixo valor (r_e) e entrega uma corrente de valor quase igual ($\alpha g_m v_d/2$) para a carga com uma resistência de saída de valor muito alto, R_o. A resistência de saída de alto valor constitui a segunda característica mais importante da configuração *cascode* e é particularmente útil se o amplificador for usado com uma carga ativa. Para encontrar uma expressão para R_o, observamos que é a resistência de saída de Q_3 que tem uma resistência de emissor igual a r_o de Q_1. Podemos utilizar a Equação 6.78, substituindo $R'_E = r_{\pi 3} // r_{o1} \simeq r_{\pi 3}$ e obtendo, assim

$$\begin{aligned} R_o &= r_{o3}(1 + g_{m3} r_{\pi 3}) \\ &= r_{o3}(1 + \beta_3) \cong \beta_3 r_{o3} \end{aligned}$$

Como ambos os dispositivos são polarizados com a mesma corrente ($I/2$), seus parâmetros correspondentes para pequenos sinais são iguais e, portanto, podemos omitir os índices e expressar R_o como

$$R_o \simeq \beta r_o \tag{6.85}$$

Portanto, a resistência de saída da configuração cascode é β vezes maior do que o amplificador em emissor-comum.[2]

A Figura 6.28 mostra um amplificador diferencial em *cascode* com uma carga ativa formada por um espelho de corrente de Wilson. No diagrama do circuito estão indicados os valores dos sinais de corrente resultantes quando um sinal diferencial de entrada v_d é aplicado, supondo $\alpha_3 = \alpha_4 \simeq 1$. Embora essas correntes não sejam diferentes em relação ao circuito básico da Figura 6.25, aqui a resistência do nó de saída é muito maior por causa do amplificador *cascode* e da fonte de Wilson. Os valores das resistências também estão indicados na Figura 6.27. O ganho de tensão pode ser facilmente obtido como sendo

$$\frac{v_o}{v_d} = \frac{1}{3}\beta\left(\frac{V_A}{V_T}\right) \tag{6.86}$$

que é maior do que para o circuito básico por um fator de $\left(\frac{2}{3}\beta\right)$.

Finalmente, deve estar claro que a configuração cascode pode ser igualmente bem implementada com MOSFETs, conforme será visto mais adiante.

Exercícios

6.12 Para o amplificador diferencial com carga ativa da Figura 6.25, quando polarizado com uma corrente de $I = 0{,}2$ mA e se o TBJ tiver $\beta = 200$ e $V_A = 100$ V, encontre os valores de R_i, G_m, R_o e o ganho de tensão em circuito aberto.

2. Nessa análise, desconsideramos r_μ de Q_3, que aparece em paralelo com o valor obtido para R_o. Assim, uma melhor estimativa de R_o é $R_o = \beta r_o // r_\mu$.

Resposta 100 kΩ; 4 mA/V; 0,5 MΩ; 2.000 V/V

6.13 Repita o Exercício 6.12 com o par diferencial substituído por um amplificador diferencial em cascode. Qual a resistência de saída do amplificador *cascode*?

Resposta 100 kΩ; 4 mA/V; 1 MΩ; 4.000 V/V; 200 MΩ

6.14 Repita o Exercício 6.12 com o par diferencial substituído por um amplificador cascode e a carga do espelho de corrente básico substituído por um espelho de corrente de Wilson.

Resposta 100 kΩ; 4 mA/V; 66,7 MΩ; 2,67 × 10^5 V/V

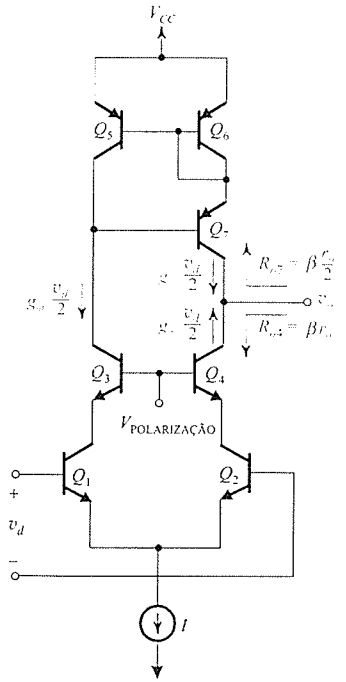


Figura 6.28 Um amplificador diferencial *cascode* com uma carga ativa do tipo espelho de corrente de Wilson.

6.6 AMPLIFICADORES DIFERENCIAIS MOS

Durante a década passada, o transistor MOS tornou-se muito importante no projeto de circuitos integrados analógicos. Já estudamos alguns dos circuitos amplificadores básicos empregados em CIs MOS no Capítulo 5. Baseado nesse material, esta seção apresenta o par diferencial com MOS, que é o elemento de circuito mais importante em CIs analógicos com MOS. Discutiremos tam-

bém o espelho de corrente com MOS, que é usado para polarização e como carga do par diferencial. Esta seção conclui com um amplificador diferencial com MOS com carga ativa.

O Par Diferencial MOS

A Figura 6.29 mostra o par diferencial básico com MOS. Ele consiste em dois MOSFETs tipo enriquecimento casados, Q_1 e Q_2, polarizados com uma fonte de corrente constante I. Essa fonte é usualmente implementada em uma configuração de espelho de corrente, como para o caso dos circuitos com TBJ. Observe que as cargas do amplificador diferencial não estão mostradas. Nesse momento, nosso propósito é relacionar as correntes de dreno à tensão de entrada. Isso, é claro, supondo que o circuito de carga do circuito seja tal que os dois MOSFETs do par operem na região de saturação.

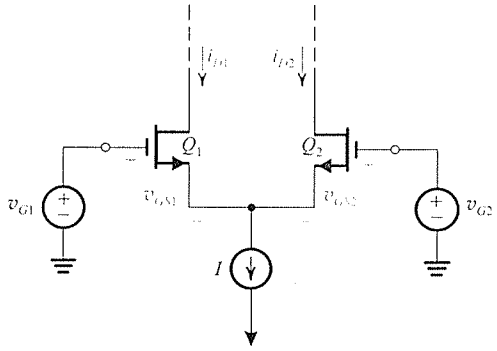


Figura 6.29 O par diferencial MOSFET.

Supondo que os dois dispositivos sejam idênticos, desprezando a resistência de saída e o efeito de corpo, podemos expressar a corrente de dreno como

$$i_{D1} = \frac{1}{2}k_n' \frac{W}{L}(v_{GS1} - V_t)^2 \tag{6.87}$$

$$i_{D2} = \frac{1}{2}k_n' \frac{W}{L}(v_{GS2} - V_t)^2 \tag{6.88}$$

As Equações 6.87 e 6.88 podem ser reescritas como

$$\sqrt{i_{D1}} = \sqrt{\frac{1}{2}k_n' \frac{W}{L}}(v_{GS1} - V_t) \tag{6.89}$$

$$\sqrt{i_{D2}} = \sqrt{\frac{1}{2}k_n' \frac{W}{L}}(v_{GS2} - V_t) \tag{6.90}$$

Subtraindo a Equação 6.90 da Equação 6.89 e substituindo

$$v_{GS1} - v_{GS2} = v_{id}$$

em que v_{id} é a tensão de entrada diferencial, temos

$$\sqrt{i_{D1}} - \sqrt{i_{D2}} = \sqrt{\frac{1}{2}k_n' \frac{W}{L}}v_{id} \tag{6.91}$$

A fonte de corrente de polarização impõe a condição

$$i_{D1} + i_{D2} = I \tag{6.92}$$

As Equações 6.91 e 6.92 são duas equações com duas incógnitas i_{D1} e i_{D2}. Elas podem ser resolvidas simultaneamente para produzir

$$i_{D1} = \frac{I}{2} + \sqrt{k_n' \frac{W}{L} I}\left(\frac{v_{id}}{2}\right)\sqrt{1 - \frac{(v_{id}/2)^2}{\left(I \Big/ k_n' \frac{W}{L}\right)}} \tag{6.93}$$

$$i_{D2} = \frac{I}{2} - \sqrt{k_n' \frac{W}{L} I}\left(\frac{v_{id}}{2}\right)\sqrt{1 - \frac{(v_{id}/2)^2}{\left(I \Big/ k_n' \frac{W}{L}\right)}} \tag{6.94}$$

No ponto de polarização (quiescente), $v_{id} = 0$, o que nos leva a

$$i_{D1} = i_{D2} = \frac{I}{2} \tag{6.95}$$

Correspondentemente,

$$v_{GS1} = v_{GS2} = V_{GS}$$

em que

$$\frac{I}{2} = \frac{1}{2}k_n' \frac{W}{L}(V_{GS} - V_t)^2 \tag{6.96}$$

Essa relação pode ser usada para reescrever as Equações 6.93 e 6.94 na forma

$$i_{D1} = \frac{I}{2} + \left(\frac{I}{V_{GS} - V_t}\right)\left(\frac{v_{id}}{2}\right)\sqrt{1 - \left(\frac{v_{id}/2}{V_{GS} - V_t}\right)^2} \tag{6.97}$$

$$i_{D2} = \frac{I}{2} - \left(\frac{I}{V_{GS} - V_t}\right)\left(\frac{v_{id}}{2}\right)\sqrt{1 - \left(\frac{v_{id}/2}{V_{GS} - V_t}\right)^2} \tag{6.98}$$

Para $v_{id}/2 << V_{GS} - V_t$ (aproximação para pequenos sinais),

$$i_{D1} = \frac{I}{2} + \left(\frac{I}{V_{GS} - V_t}\right)\left(\frac{v_{id}}{2}\right) \tag{6.99}$$

$$i_{D2} = \frac{I}{2} - \left(\frac{I}{V_{GS} - V_t}\right)\left(\frac{v_{id}}{2}\right) \tag{6.100}$$

Do Capítulo 5, lembramos que um MOSFET polarizado com uma corrente de dreno I_D tem $g_m = 2I_D/(V_{GS} - V_t)$. Portanto, vemos que para cada transistor no par diferencial

$$g_m = \frac{2(I/2)}{V_{GS} - V_t} = \frac{I}{V_{GS} - V_t} \tag{6.101}$$

e as Equações 6.99 e 6.100 simplesmente declaram que para sinais de entrada diferenciais $v_{id} << 2(V_{GS} - V_t)$, a corrente em Q_1 aumenta de i_d e diminui de i_d em Q_2, sendo

$$i_d = g_m(v_{id}/2) \tag{6.102}$$

Retornando às Equações 6.97 e 6.98, podemos calcular o valor de v_{id} em que ocorre o chaveamento total (isto é, $i_{D1} = I$ e $i_{D2} = 0$, ou vice-versa, para valores negativos de v_{id}), equacionando o segundo termo na Equação 6.97 para $I/2$. O resultado é

$$|v_{id}|_{máx} = \sqrt{2}(V_{GS} - V_t) \tag{6.103}$$

A Figura 6.30 mostra as curvas das correntes normalizadas i_{D1}/I e i_{D2}/I *versus* a tensão de entrada diferencial normalizada $v_{id}/(V_{GS} - V_t)$.

Finalmente, observamos que, para sinais de entrada diferenciais, cada MOSFET no par opera como um amplificador em fonte comum e, portanto, tem uma resistência de saída igual a r_o.

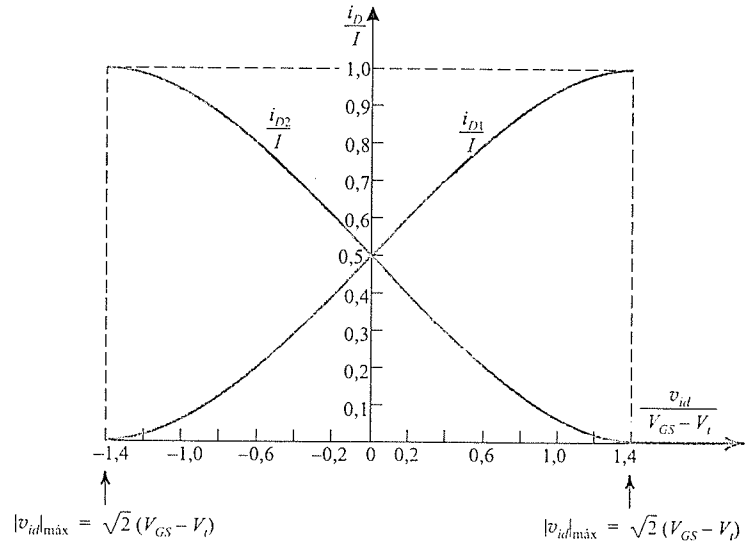


Figura 6.30 Curvas normalizadas das correntes em um par diferencial com MOSFET. Observe que V_{GS} é a tensão porta-fonte quando a corrente de dreno é igual à corrente de polarização de $(I/2)$.

Exercício

6.15 Um amplificador diferencial MOS utiliza uma corrente de polarização $I = 25$ µA. Os dispositivos têm $V_t = 1$ V, $W = 120$ µm, $L = 6$ µm e $(\mu_n C_{ox})$ para essa tecnologia é de 20 µA/V². Calcule V_{GS}, g_m e o valor de v_{id} para uma corrente total de chaveamento.

Resposta 1,25 V; 0,1 mA/V; 0,35 V

A Tensão de Offset

Três fatores contribuem para a tensão de *offset* do par diferencial MOS: resistências de carga não-casadas, valores de W/L não-casados e valores de V_t não-casados. Consideraremos esses três fatores, um de cada vez.

Considere o par diferencial mostrado na Figura 6.31, no qual são aplicadas cargas resistivas a fim de simplificar a análise. Como ambas as entradas estão aterradas, a tensão de saída V_O é a tensão de offset *cc* de saída.

Considere primeiro o caso em que Q_1 e Q_2 estão perfeitamente casados, mas R_{D1} e R_{D2} mostram um descasamento ΔR_D; isto é,

$$R_{D1} = R_D - \frac{\Delta R_D}{2} \tag{6.104}$$

$$R_{D2} = R_D - \frac{\Delta R_D}{2} \tag{6.105}$$

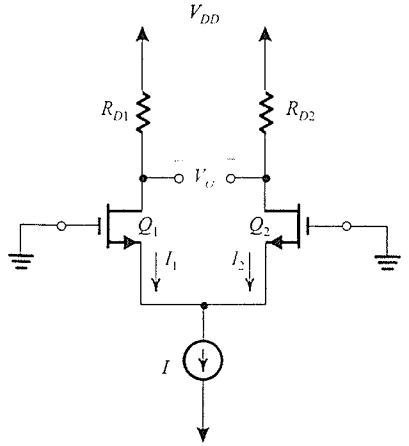


Figura 6.31 O par diferencial MOS com ambas as entradas aterradas. A saída V_o é a tensão de *offset cc* de saída.

A corrente I irá dividir-se igualmente entre Q_1 e Q_2. Contudo, devido ao descasamento nas resistências de carga, surgirá uma tensão de saída V_O.

$$V_O = \left(\frac{I}{2}\right)\Delta R_D \tag{6.106}$$

A tensão de offset de entrada correspondente é obtida dividindo-se V_O pelo ganho $g_m R_D$ e substituindo-se g_m na Equação 6.101. Assim

$$V_{OS} = \left(\frac{V_{GS} - V_t}{2}\right)\left(\frac{\Delta R_D}{R_D}\right) \tag{6.107}$$

A seguir, considere o efeito de um descasamento na razão W/L de Q_1 e Q_2,

$$\left(\frac{W}{L}\right)_1 = \frac{W}{L} + \frac{1}{2}\Delta\left(\frac{W}{L}\right) \tag{6.108}$$

$$\left(\frac{W}{L}\right)_2 = \frac{W}{L} - \frac{1}{2}\Delta\left(\frac{W}{L}\right) \tag{6.109}$$

Esse descasamento implica que a corrente I não mais se dividirá igualmente entre Q_1 e Q_2. Ao contrário, pode ser facilmente mostrado que I_1 e I_2 serão dadas por

$$I_1 = \frac{I}{2} + \frac{I}{2}\left(\frac{\Delta(W/L)}{2(W/L)}\right) \tag{6.110}$$

$$I_2 = \frac{I}{2} - \frac{I}{2}\left(\frac{\Delta(W/L)}{2(W/L)}\right) \tag{6.111}$$

Dividindo-se o incremento das correntes

$$\frac{I}{2}\left(\frac{\Delta(W/L)}{2(W/L)}\right)$$

por g_m, obtemos metade da tensão de offset de entrada (devido ao descasamento nos valores de W/L). Portanto,

$$V_{OS} = \left(\frac{V_{GS} - V_t}{2}\right)\left(\frac{\Delta(W/L)}{(W/L)}\right) \tag{6.112}$$

Finalmente, consideraremos o efeito de um descasamento ΔV_t entre as duas tensões de limiar,

$$V_{t1} = V_t + \frac{\Delta V_t}{2} \tag{6.113}$$

$$V_{t2} = V_t - \frac{\Delta V_t}{2} \tag{6.114}$$

A corrente I_1 será dada por

$$I_1 = \frac{1}{2}k_n'\frac{W}{L}\left(V_{GS} - V_t - \frac{\Delta V_t}{2}\right)^2$$

$$= \frac{1}{2}k_n'\frac{W}{L}(V_{GS} - V_t)^2\left[1 - \frac{\Delta V_t}{2(V_{GS} - V_t)}\right]^2$$

a qual, para $\Delta V_t << 2(V_{GS} - V_t)$, pode ser aproximada por

$$I_1 = \frac{1}{2}k_n'\frac{W}{L}(V_{GS} - V_t)^2\left(1 - \frac{\Delta V_t}{V_{GS} - V_t}\right)$$

De modo similar,

$$I_2 = \frac{1}{2}k_n'\frac{W}{L}(V_{GS} - V_t)^2\left(1 + \frac{\Delta V_t}{V_{GS} - V_t}\right)$$

Implica que

$$\frac{1}{2}k_n'\frac{W}{L}(V_{GS} - V_t)^2 = \frac{I}{2}$$

e o incremento (decremento) em Q_2 (Q_1) é

$$\Delta I = \frac{I}{2}\frac{\Delta V_t}{V_{GS} - V_t}$$

Dividindo-se ΔI por g_m, obtemos metade da tensão de offset de entrada (devido a ΔV_t). Portanto,

$$V_{OS} = \Delta V_t \tag{6.115}$$

Para tecnologias MOS modernas com porta de silício policristalino, ΔV_t pode alcançar facilmente cerca de 2 mV. Observamos que ΔV_t não tem correspondente no amplificador diferencial com TBJ. Além disso, a comparação do V_{OS} para o par diferencial MOS nas Equações 6.107 e 6.112 com o V_{OS} do par diferencial com TBJ nas Equações 6.49 e 6.54 mostra que a tensão de *offset* de entrada é maior no par MOS porque $(V_{GS} - V_t)/2$ é usualmente muito maior do que V_t. Finalmente, observamos das Equações 6.107 e 6.112 que, para manter V_{OS} com baixo valor, tenta-se operar Q_1 e Q_2 com valores baixos de $V_{GS} - V_t$.

Exercício

6.16 Para o par diferencial MOS especificado no Exercício 6.15, calcule as três componentes da tensão de *offset* de entrada. Use $\Delta R_D/R_D = 2\%$, $\Delta(W/L)/(W/L) = 2\%$ e $\Delta V_t = 2$ mV.

Resposta 2,5 mV; 2,5 mV; 2 mV

Os Espelhos de Corrente

Como nos circuitos integrados com TBJ, os espelhos de corrente são usados no projeto de fontes de corrente tanto para polarização como para operar como cargas ativas. O circuito básico de espelho de corrente, mostrado na Figura 6.32(a), foi estudado na Seção 5.6.2. A imprecisão na razão de transferência da corrente devido ao valor finito de β do TBJ não tem similar nos espelhos com MOS. Logo, o único parâmetro de desempenho importante é a resistência de saída. Para o espelho simples na Figura 6.32(a), a resistência de saída é aproximadamente igual a r_{o2} e a tensão de saída pode excursionar até o valor da fonte de tensão negativa, descontado V_{DSsat}.

A resistência de saída pode ser aumentada usando tanto o espelho em *cascode* da Figura 6.32(b) quanto o espelho de Wilson da Figura 6.32(c).

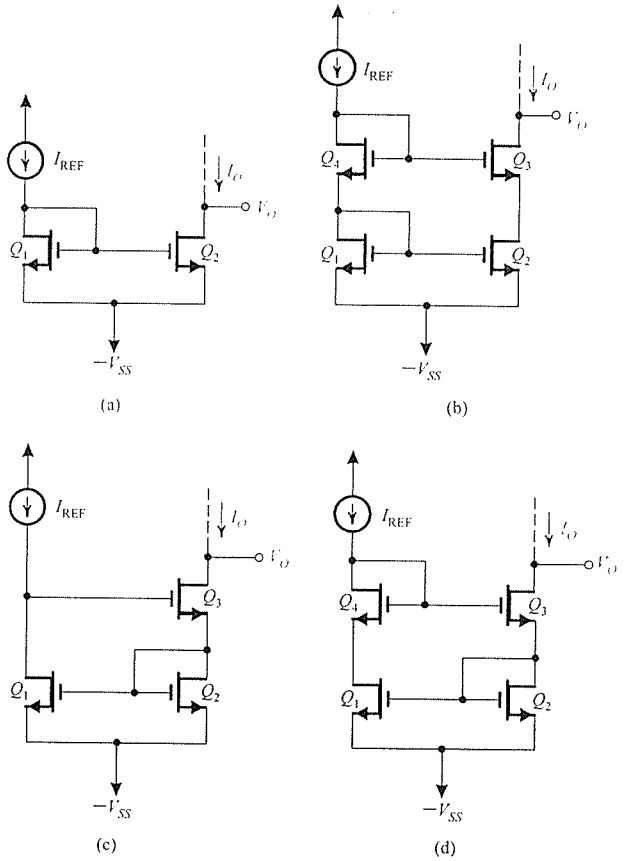


Figura 6.32 Espelhos de corrente MOS: (a) básico; (b) cascode, (c) Wilson e (d) Wilson modificado.

Para determinar a resistência de saída do espelho em *cascode*, usamos o circuito equivalente mostrado na Figura 6.33(a). Observe que, como a resistência incremental de cada transistor Q_1 ou Q_4 conectados como diodo é igual a $1/g_m$, ou seja, relativamente pequena, supomos que os sinais de tensão nas portas de Q_2 e Q_3 são aproximadamente zero. Substituir Q_2 por sua resistência de saída r_{o2} e substituir Q_3 por seu modelo de circuito equivalente nos leva ao circuito da Figura 6.33(b). Por simplicidade desconsideramos o efeito de corpo em Q_3. A análise do circuito da Figura 6.33(b) é direta e leva a

$$R_o \equiv \frac{v_x}{i_x} = r_{o3} + r_{o2} + g_{m3} r_{o3} r_{o2}$$
$$\simeq (g_{m3} r_{o3}) r_{o2} \qquad (6.116)$$

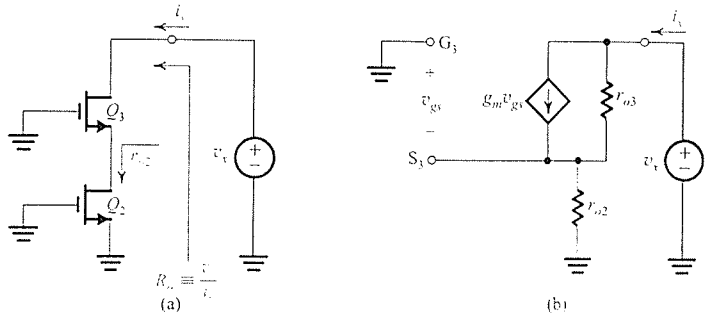


Figura 6.33 Determinação da resistência de saída da configuração *cascode* da Figura 6.32(b). Note que se assumiu Q_1 e Q_4 (conectados como diodos) com baixas resistências de saída, podendo ser substituídos por curtos-circuitos.

Poderíamos obter o mesmo resultado usando a Equação 6.78 com $r_\pi = \infty$ e, assim, $R'_E = r_{o2}$. A Equação 6.116 simplesmente nos diz que se ligando o transistor Q_2 com o transistor Q_3 em uma configuração *cascode* a resistência de saída aumenta de r_{o2} para $(g_{m3}r_{o3})r_{o2}$, que é um aumento por um fator de $(g_{m3}r_{o3})$. Numericamente, isso equivale a valores entre 20 e 100; portanto, o aumento da resistência de saída devido ao emprego da configuração *cascode* é significativo. Resultados similares são obtidos com o circuito de Wilson na Figura 6.32(c). O circuito de Wilson, contudo, apresenta o problema de as tensões de dreno de Q_1 e Q_2 não serem iguais e, portanto, suas correntes serão desiguais. Esse problema pode ser resolvido incluindo-se o transistor Q_4 conectado como diodo, conforme mostrado na Figura 6.32(d).

Tanto o espelho de corrente em *cascode* como o Wilson modificado possuem a desvantagem de uma excursão reduzida de sinal. Para perceber isso, considere o circuito *cascode* da Figura 6.31(b) e assuma que todos os transistores são idênticos e, portanto, possuem o mesmo V_{GS}. A tensão na porta de Q_3 é $2V_{GS}$ maior que a fonte de alimentação negativa. Para que Q_3 permaneça na saturação, a tensão em seu dreno (que é a tensão de saída do espelho, V_O) não deve cair abaixo da tensão na porta por mais de V_t volts. Isto é, V_{GS} volts acima do valor no espelho de corrente simples e, portanto, o *cascode* leva a uma redução na excursão do sinal de cerca de V_{GS} volts (que pode ser 1 V a 1,5 V em tecnologias modernas). Como as tensões das fontes de alimentação têm sido reduzidas nos circuitos modernos, isso pode significar uma séria limitação de projeto.

Exercícios

6.17 Considere o circuito do espelho de corrente da Figura 6.32(a) com $V_{SS} = -5$ V e $I_{REF} = 10$ μA. Suponha que Q_1 e Q_2 sejam idênticos, com $V_t = 1$ V, $\mu_n C_{ox} = 20$ mA/V², $L = 10$ μm, $W = 40$ μm e $V_A = 20$ V. Calcule a resistência de saída, V_{GS} e o menor valor de tensão de saída permitido.

Resposta 2 MΩ; 1,5 V; –4,5 V

6.18 Repita o Exercício 6.17 para o espelho em *cascode* da Figura 6.32(b), supondo que todos os dispositivos sejam idênticos.

Resposta 164 MΩ; 1,5 V; –3 V

Um Amplificador CMOS com Carga Ativa

Concluímos esta seção com a discussão de uma configuração popular para implementar um amplificador diferencial em tecnologia CMOS. O circuito, mostrado na Figura 6.34, consiste em um par diferencial Q_1 e Q_2 com carga em espelho de corrente formado por Q_3 e Q_4. A tensão *cc* de polarização na saída é obtida pelo estágio amplificador subseqüente, conforme será mostrado no Capítulo 10.

O circuito é análogo ao da versão com TBJ, na Figura 6.25. A corrente i para sinais é dada por

$$i = g_m(v_{id}/2)$$

em que, já que cada transistor tem $I_D = I/2$,

$$g_m = \frac{I}{V_{GS} - V_t}$$

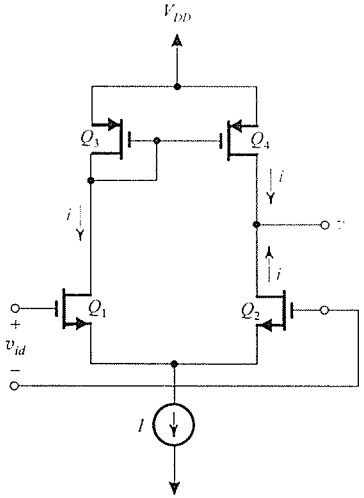


Figura 6.34 Um amplificador diferencial com carga ativa implementado na tecnologia CMOS.

A tensão de sinal na saída é dada por

$$v_o = 2i(r_{o2} /\!/ r_{o4})$$

Para

$$r_{o2} = r_{o4} = r_o = \frac{V_A}{I/2}$$

a tensão de saída é $v_o = 2i(r_o/2) = ir_o = g_m(v_{id}/2)r_o$ e o ganho de tensão será de

$$A_v \equiv \frac{v_o}{v_{id}} = g_m \frac{r_o}{2}$$

$$= \frac{V_A}{V_{GS} - V_t} \qquad (6.117)$$

que é simplesmente a razão de V_A pela tensão efetiva $V_{eff} = V_{GS} - V_t$ na qual os transistores do par diferencial estiverem operando. Para tecnologias modernas, um ganho de 20 a 100 é possível. Para obter um ganho de tensão de valor elevado, pode ser usado um espelho de corrente em *cascode* e um estágio diferencial em cascode. O resultado pode ser um aumento de ganho por um fator de 100, apesar de reduzir a máxima excursão da tensão de saída. Teremos mais a dizer sobre amplificadores diferenciais CMOS e amp ops no Capítulo 10 (Seções 10.7 e 10.8).

Exercício

6.19 Calcule o ganho de tensão do circuito amplificador diferencial da Figura 6.34 com a condição de que $I = 25\ \mu A$, $V_t = 1$ V, $W_1 = W_2 = 120\ \mu m$, $L_1 = L_2 = 6\ \mu m$, $\mu_n C_{ox} = 20\ \mu A/V^2$ e $V_A = 20$ V.

Resposta 80 V/V

6.7 AMPLIFICADORES BiCMOS

Há duas tecnologias básicas em silício para o projeto de amplificadores integrados e outros circuitos analógicos: a tecnologia bipolar, baseada no TBJ, e a tecnologia CMOS, baseada nos transistores NMOS e PMOS. O transistor bipolar tem a vantagem de apresentar uma transcondutância (g_m) maior para um mesmo valor de corrente *cc* de polarização. Portanto, maiores ganhos de tensão são obtidos com um estágio amplificador com transistor bipolar do que com seu correspondente MOSFET. Além disso, conforme será visto no próximo capítulo, os amplificadores com transistor bipolar têm um desempenho superior em altas freqüências do que seus correspondentes MOS.

Por outro lado, a resistência de entrada praticamente infinita na porta de um MOSFET torna possível o projeto de amplificadores MOS com resistências de entrada extremamente elevadas e uma corrente de polarização de entrada praticamente zero. Além disso, o MOSFET proporciona uma excelente implementação para uma chave; enquanto um TBJ saturado exibe uma tensão de *offset* de alguns poucos décimos de volt, a característica *i–v* do MOSFET passa diretamente pela origem, resultando em uma tensão de *offset* zero. A disponibilidade de chaves de alta qualidade na tecnologia CMOS viabiliza um grande número de técnicas de circuitos analógicos que são empregadas no projeto de vários tipos de circuitos, incluindo os conversores de dados (Capítulo 10) e os filtros (Capítulo 11). A tecnologia CMOS é também a mais empregada no projeto de sistemas de circuitos digitais.

Portanto, pode ser visto que cada uma das duas tecnologias, bipolar e CMOS, tem vantagens únicas e distintas. Uma tecnologia de CI que combina esses dois tipos de dispositivos, permitindo empregar dentro de um único circuito o tipo mais adequado a cada situação, está disponível com o nome apropriado de BiCMOS. Essa tecnologia é útil no projeto tanto de pastilhas digitais como analógicas e, também, em pastilhas que combinam ambos, circuitos analógicos e digitais. Os circuitos amplificadores básicos com BiCMOS serão estudados nesta seção.

Estágios Amplificadores Básicos

Antes de apresentar os dois estágios de amplificadores BiCMOS, vamos examinar e comparar os estágios de amplificadores básicos com TBJ e MOS. A Figura 6.35(a) mostra um amplificador com TBJ em emissor comum com carga ativa. Esse circuito pode ser usado do modo como está apresentado ou pode ser considerado como metade de um circuito diferencial de um amplifica-

dor diferencial. Supondo que a fonte de corrente que serve de carga tenha resistência incremental infinita, a resistência total no coletor é a resistência de saída do TBJ, r_o, e então o ganho de tensão resultante é

$$\frac{v_o}{v_i} = -g_m r_o \tag{6.118}$$

$$= -\frac{I_C}{V_T}\frac{V_A}{I_C} = -\frac{V_A}{V_T} \tag{6.119}$$

Esse é o maior valor de ganho possível de obter de um estágio EC. Tipicamente, $V_A = 50$ V e, como $V_T = 0{,}025$ V na temperatura ambiente, o *ganho intrínseco* do estágio CE é cerca de 2000 V/V. Uma desvantagem desse circuito, contudo, é sua baixa resistência de entrada, aproximadamente igual a r_π do TBJ.

O estágio amplificador MOSFET correspondente está mostrado na Figura 6.35(b), para o qual o ganho de tensão é

$$\frac{v_o}{v_i} = -g_m r_o$$

$$= -\sqrt{2\mu_n C_{ox}(W/L)I}/\lambda I \tag{6.120}$$

$$= -\frac{\sqrt{2\mu_n C_{ox}(W/L)}}{\lambda\sqrt{I}} \tag{6.121}$$

em que λ é o fator de modulação do comprimento do canal, $\lambda = 1/V_A$. Observe que, diferente do caso do TBJ, no qual o ganho é independente do valor da corrente de polarização, o ganho do amplificador MOSFET é inversamente proporcional a $\sqrt{I}$. A Figura 6.36 mostra uma curva típica do ganho de tensão *versus* corrente de polarização, da qual observamos que o ganho aumenta com a redução da corrente. Para baixos valores de corrente, o MOSFET entra na região de sublimiar e o ganho fica constante; esse aumento no ganho é acompanhado por uma redução na faixa de passagem (Capítulo 7).

Visto que, para uma mesma corrente de polarização I, o valor de g_m do transistor MOS é muito menor do que o valor do TBJ e visto que, além disso, o valor de V_A e de r_o do TBJ é maior do que o do MOSFET (para o qual V_A é tipicamente de 20 V), o ganho intrínseco do estágio com MOSFET é tipicamente uma ordem de grandeza menor que o do amplificador com TBJ. O amplificador MOSFET, contudo, apresenta a vantagem da resistência de entrada praticamente infinita.

Exercício

6.20 Para $I = 100$ μA, calcule g_m, R_i, r_o e o ganho de tensão dos estágios amplificadores EC e FC das Figuras 6.35(a) e (b). Para o TBJ: $V_A = 50$ V e $\beta = 100$. Para o MOSFET: $\lambda = 0{,}05$ V^{-1}, $\mu_n C_{ox} = 20$ μA/V^2, $L = 2$ μm e $W = 20$ μm.

Resposta Para o TBJ: $g_m = 4$ mA/V, $R_i = 25$ kΩ, $r_o = 500$ kΩ, ganho = −2000 V/V; para o MOSFET: $g_m = 0{,}2$ mA/V, $R_i = \infty$, $r_o = 200$ kΩ, ganho = −40 V/V

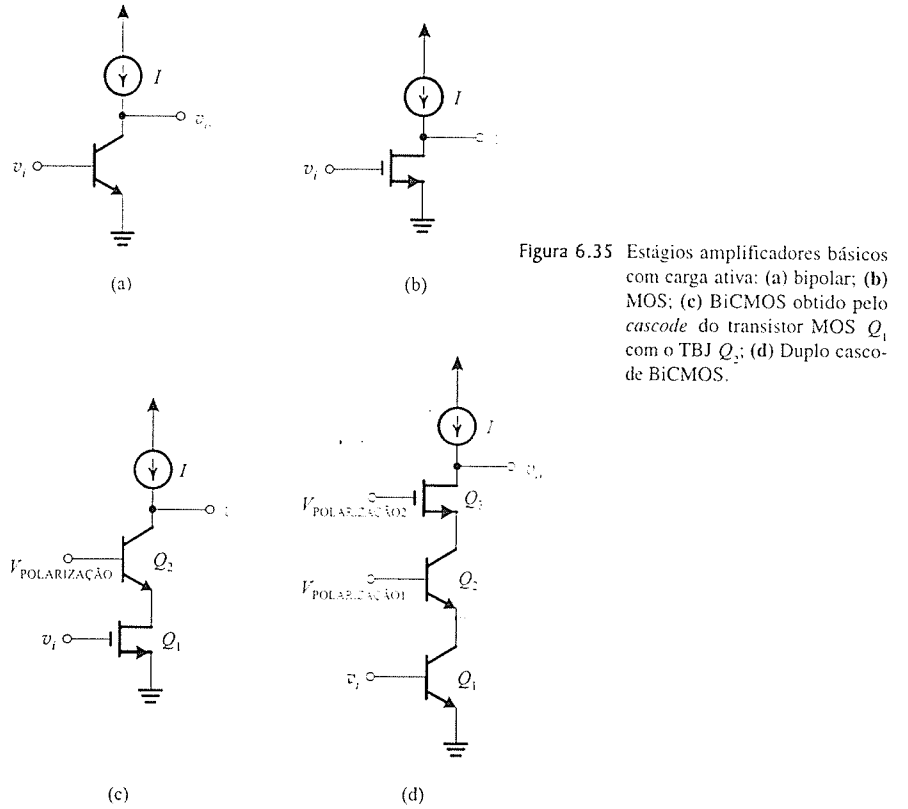


Figura 6.35 Estágios amplificadores básicos com carga ativa: (a) bipolar; (b) MOS; (c) BiCMOS obtido pelo *cascode* do transistor MOS Q_1 com o TBJ Q_2; (d) Duplo cascode BiCMOS.

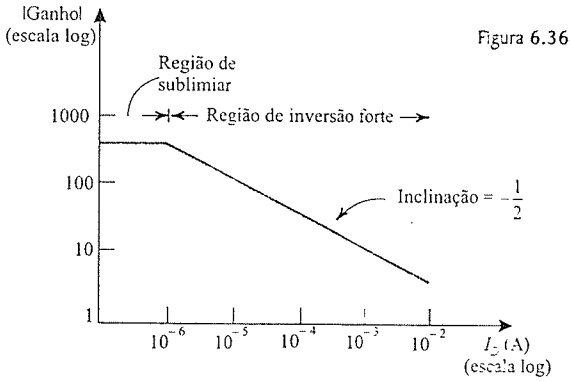


Figura 6.36 Ganho de tensão do amplificador fonte comum com carga ativa *versus* corrente de polarização I_D. Fora da região de sublimiar temos a representação gráfica da Equação 6.121 para o caso $\lambda = 0{,}05$ V^{-1}, $\mu_n C_{ox} = 20$ μA/V^2, $L = 2$ μm e $W = 20$ μm.

O ganho do amplificador MOSFET pode ser aumentado por uma configuração *cascode* com um transistor bipolar Q_2, conforme mostrado no circuito BiCMOS da Figura 6.35(c). Há duas razões que justificam a preferência pelo transistor bipolar em vez de um MOSFET para o dispositivo Q_2 na configuração *cascode*: maior resistência de saída e, conseqüentemente, maior ganho de tensão – e o que é mais importante, obtém-se maior faixa de passagem com o transistor bipolar. O segundo ponto será observado quando estudarmos a resposta em freqüência do amplificador cascode no Capítulo 7. O ganho do amplificador BiCMOS pode ser encontrado observando-se primeiro que a corrente de sinal no dreno de Q_1 é $g_{m1}v_i$. Uma corrente quase igual (supondo $\alpha_2 \simeq 1$) circula no coletor de Q_2, resultando em uma tensão de saída de $-(g_{m1}v_i)R_o$, em que R_o é a resistência de saída do coletor de Q_2. Supondo que a fonte de corrente I de polarização tenha uma resistência incremental infinita, a resistência R_o é simplesmente a resistência vista olhando-se para o coletor de Q_2. Agora Q_2 tem em seu emissor uma resistência R_E igual a r_{o1} e podemos usar a Equação 6.78 para calcular a resistência de saída pela substituição de $R'_E = r_{o1} /\!/ r_{\pi 2} \simeq r_{\pi 2}$. O resultado é

$$R_o \simeq \beta_2 r_{o2} \tag{6.122}$$

Portanto, o ganho de tensão é

$$\frac{v_o}{v_i} = -g_{m1}\beta_2 r_{o2} \tag{6.123}$$

que pode ser de valor muito elevado.

Exercício

6.21 Usando os dados do dispositivo fornecidos no Exercício 6.20, calcule o ganho de tensão do amplificador BiCMOS da Figura 6.35(c).

Resposta – 10.000 V/V

Outro estágio amplificador BiCMOS é mostrado na Figura 6.35(d). Nessa figura, a ênfase é obter uma resistência de saída R_o muito alta e correspondentemente um alto ganho, $g_{m1}R_o$. Isso é obtido pelo uso da configuração em **cascode duplo**, com o segundo nível da configuração *cascode* obtido por um MOSFET (Q_3). A razão do uso de um MOSFET se deve simplesmente ao fato de que um transistor bipolar não pode ter uma resistência de saída maior do que o valor disponível no coletor de Q_2; a resistência de emissor-base finita r_π faz com que R'_E na Equação 6.78 seja aproximadamente igual a r_π e a resistência de saída seja βr_o, o mesmo valor disponível no coletor de Q_2. O MOSFET, por outro lado, aumenta a resistência por um fator de $g_{m3}r_{o3}$ (pela Equação 6.116); logo

$$R_o = (g_{m3}r_{o3})(\beta_2 r_{o2}) \tag{6.124}$$

e o ganho de tensão é

$$\frac{v_o}{v_i} = -g_{m1}g_{m3}r_{o3}\beta_2 r_{o2} \tag{6.125}$$

Para usufruir totalmente da resistência de saída extremamente elevada desse amplificador BiCMOS, a fonte de corrente I deve ser implementada com um circuito com resistência de saída

muito alta (por exemplo, uma configuração cascode ou um espelho em duplo cascode) e o nó de saída deve ser reforçado (com um buffer) por um seguidor de fonte.

Exercício

6.22 Usando os dados do dispositivo fornecidos no Exercício 6.20, calcule R_o e o ganho de tensão do amplificador com o duplo cascode BiCMOS da Figura 6.35(d).

Resposta 2000 MΩ; -8×10^6 V/V

Espelhos de Corrente

Um espelho de corrente com duplo cascode BiCMOS tem por característica uma resistência de saída extremamente elevada, como está mostrado na Figura 6.37. Se supusermos que a resistência incremental de cada um dos três transistores conectados como diodo (Q_4, Q_5 e Q_6) é pequena, a resistência de saída do espelho será a mesma encontrada para o circuito amplificador da Figura 6.35(d), isto é, a mesma dada pela Equação 6.124.

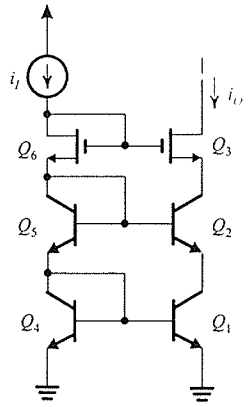


Figura 6.37 Um espelho de corrente com duplo cascode BiCMOS.

Amplificadores Diferenciais

A partir das análises da tensão de *offset* do par diferencial com TBJ na Seção 6.3 e do par diferencial MOS na Seção 6.6, sabemos que V_{OS} para o amplificador MOS (tipicamente 10 mV) é maior que para o amplificador TBJ (tipicamente 1 mV). Isso se deve a dois fatores:

1. O par MOS apresenta o problema do descasamento de V_t, que pode ser de até 5 mV. Não há efeito correspondente no par com TBJ.
2. As componentes de V_{OS} do amplificador MOS (a não ser aquelas devidas a ΔV_t) são proporcionais a $1/2(V_{GS} - V_t)$, que é tipicamente de 0,2 V a 0,5 V. O fator correspondente no amplificador com TBJ é a tensão térmica V_T, que é de 0,025 V à temperatura ambiente.

Isso implica que, se um baixo valor de tensão de *offset* de entrada for uma exigência crítica, um par com TBJ é recomendável. Por outro lado, um par diferencial MOS pode ser usado quando se consideram a resistência de entrada (praticamente infinita) e a corrente de polarização de entrada (zero).

A Figura 6.38 mostra o circuito de um amplificador diferencial com carga ativa utilizando um par PMOS de entrada e um espelho bipolar para o circuito de carga. Esse circuito pode servir como estágio de entrada de um amp op. Teremos mais a dizer sobre circuitos amp op com BiCMOS no Capítulo 10. Além disso, os circuitos digitais com BiCMOS serão estudados no Capítulo 14.

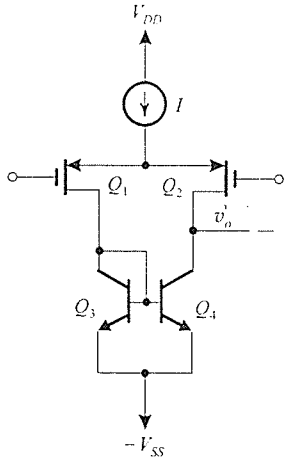


Figura 6.38 Um estágio amplificador diferencial BiCMOS empregando um par diferencial PMOS. O circuito de carga e os estágios subseqüentes do amplificador (que não estão mostrados) usam TBJs para obter uma maior faixa de passagem.

6.8 AMPLIFICADORES EM GaAs[3]

A tecnologia de arseneto de gálio (GaAs) torna possível o projeto de amplificadores tendo faixas de passagem extremamente largas, de centenas de megahertz ou mesmo gigahertz. Nesta seção, estudaremos algumas das técnicas de projeto de circuitos que foram desenvolvidas nos últimos anos para o projeto de amplificadores em GaAs.

Como será visto, essas técnicas ajudam a evitar o maior problema do MESFET, ou seja, sua baixa resistência de saída na saturação. Antes de prosseguir nesta seção, o leitor deve revisar o material sobre dispositivos GaAs apresentado na Seção 5.12.

Fontes de Corrente

As fontes de corrente são fundamentais no projeto de amplificadores em circuitos integrados, sendo empregadas tanto para polarização como para cargas ativas. Na tecnologia GaAs, a forma mais simples de implementar uma fonte de corrente é conectando a porta de um MESFET tipo depleção à sua fonte, conforme mostrado na Figura 6.39(a). Contanto que v_{DS} seja mantido maior do que $|V_t|$, o MESFET operará na saturação e a corrente i_D será

3. Esta seção pode ser omitida sem perda na continuidade do estudo.

$$i_D = \beta V_t^2 (1 + \lambda v_{DS}) \tag{6.126}$$

Portanto, a fonte de corrente terá o circuito equivalente mostrado na Figura 6.39(b), em que a resistência de saída é a r_o do MESFET,

$$r_o = 1/\lambda\beta V_t^2 \tag{6.127}$$

Em termos da terrminologia JFET, $\beta V_t^2 = I_{DSS}$ e $\lambda = 1/|V_A|$; logo

$$r_o = |V_A|/I_{DSS} \tag{6.128}$$

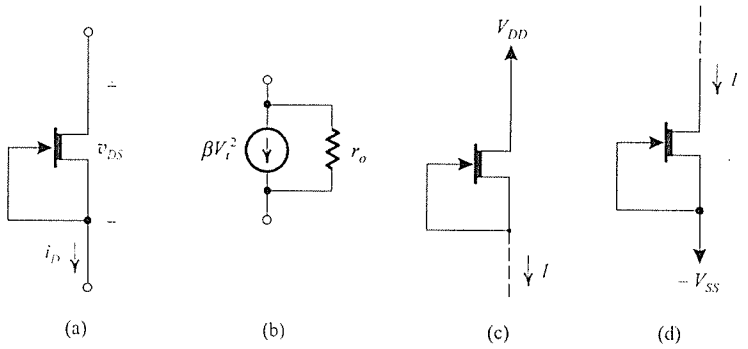


Figura 6.39 **(a)** A fonte de corrente MESFET básica; **(b)** circuito equivalente da fonte de corrente; **(c)** a fonte de corrente conectada a uma fonte de alimentação positiva para fornecer correntes para cargas com tensões menores ou iguais a $V_{DD} - |V_t|$; e **(d)** a fonte de corrente conectada a uma fonte de alimentação negativa para drenar correntes provenientes de cargas com tensões maiores ou iguais a $-V_{SS} + |V_t|$.

Como para o MOSFET λ é relativamente alto (0,1 a 0,3 V^{-1}), a resistência de saída da fonte de corrente da Figura 6.39(a) é usualmente baixa, tornando a utilização dessa fonte de corrente inadequada para muitas aplicações. Antes de considerarmos as formas para aumentar a resistência de saída efetiva da fonte de corrente, mostramos, na Figura 6.39(c), como a fonte de corrente básica pode ser conectada para *fornecer* corrente a uma carga cuja tensão pode ser tão alta quanto $V_{DD} - |V_t|$. Alternativamente, o mesmo dispositivo pode ser conectado, conforme mostrado na Figura 6.39(d), para *drenar* correntes de uma carga cuja tensão pode ser tão baixa quanto $-V_{SS} + |V_t|$.

Exercício

6.23 Usando os dados do dispositivo fornecido na Tabela 5.2 (Seção 5.12), calcule a corrente fornecida por um MESFET com largura de $W = 10$ µm conectado à configuração de fonte de corrente. Suponha que a fonte esteja conectada a uma fonte de alimentação de –5 V e calcule a corrente quando a tensão de dreno for de –4 V. Qual a resistência de saída da fonte de corrente? Que variação ocorrerá na corrente se a tensão de dreno for elevada em +4 V?

Resposta 1,1 mA; 10 kΩ; 0,4 mA

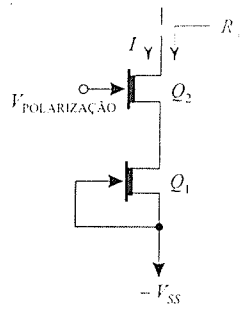


Figura 6.40 A adição do transistor cascode Q_2 aumenta a resistência de saída da fonte de corrente por um fator $g_{m2}r_{o2}$; isto é, $R_o = g_{m2}r_{o2}r_{o1}$.

A Fonte de Corrente em Cascode

A resistência de saída da fonte de corrente pode ser aumentada utilizando-se a configuração cascode, conforme mostrado na Figura 6.40. A resistência de saída R_o da fonte de corrente em cascode pode ser calculada usando-se a Equação 6.116,

$$R_o \simeq g_{m2}r_{o2}r_{o1} \tag{6.129}$$

Portanto, acrescentar o transistor Q_2 ao cascode aumenta a resistência de saída da fonte de corrente por um fator de $g_{m2}r_{o2}$, que é o ganho de tensão intrínseco de Q_2. Para MESFETs em GaAs, $g_{m2}r_{o2}$ é tipicamente de 10 a 40. Para permitir uma ampla faixa de tensão na saída da fonte de corrente em cascode, $V_{POLARIZAÇÃO}$ deve ter o menor valor que ainda possibilita a operação de Q_1 na saturação.

Exercício

P6.24 Para a fonte de corrente em cascode da Figura 6.40, suponha $V_{SS} = 5$ V, $W_1 = 10$ µm, $W_2 = 20$ µm e suponha que os dispositivos tenham valores típicos de parâmetros dados na Tabela 5.2. (a) Calcule o valor de $V_{POLARIZAÇÃO}$ que resultará em Q_1 operando na borda da região de saturação (isto é, $V_{DS1} = |V_t|$) quando a tensão na saída é de –3 V. (b) Qual o menor valor de tensão permissível na saída da fonte de corrente? (c) Que valor de corrente de saída é obtido com $V_O = -3$ V? (d) Qual a resistência de saída da fonte de corrente? (e) Que variação resulta na corrente de saída quando a tensão passa de –3 V para +1 V?

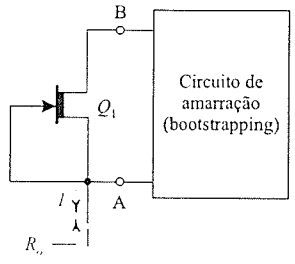
Resposta (a) –4,3 V; (b) –3,3 V; (c) 1,1 mA; (d) 310 kΩ; (e) 0,013 mA

Aumentando a Resistência de Saída pelo Efeito de Amarração (Bootstrapping)

Outra técnica freqüentemente empregada para aumentar a resistência de saída efetiva de um MESFET, incluindo o MESFET conectado como fonte de corrente, é conhecida como **amarração** (bootstrapping). A idéia de amarração está ilustrada na Figura 6.41(a). Nessa figura, o circuito dentro do bloco sente a tensão no nó de baixo da fonte de corrente, v_A, e faz com que v_B apareça no nó de cima com um valor de

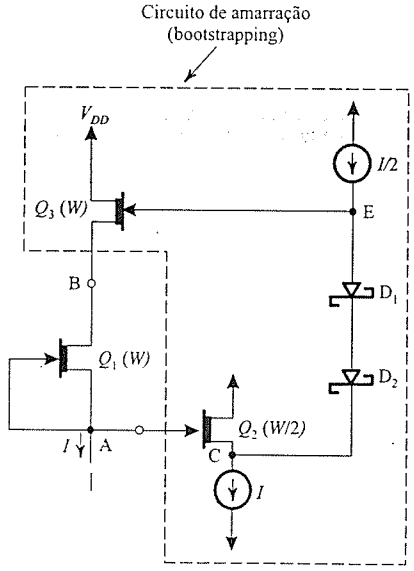
$$v_B = V_S + \alpha v_A \tag{6.130}$$

em que V_S é a tensão *cc* necessária para operar o transistor da fonte de corrente na saturação ($V_S \geq |V_t|$) e α é uma constante ≤ 1. A resistência incremental de saída da fonte de corrente amarrada pode ser calculada fazendo com que a tensão v_A aumente em um incremento v_a. Pela Equação 6.130 calculamos que o incremento resultante em v_B é $v_b = \alpha v_a$. A corrente incremental que se desenvolve na fonte de corrente é, portanto, de $(v_a - v_b)/r_o$ ou $(1 - \alpha)v_a/r_o$.

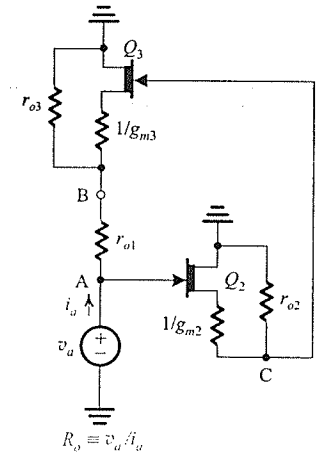


(a)

Figura 6.41 Amarração (*bootstrapping*) de um transistor Q_1 operando como fonte de corrente: (a) arranjo básico; **(b)** uma implementação; (c) modelo equivalente para pequenos sinais do circuito em (b) a fim de determinar a resistência de saída R_o.



(b)



(c)

Logo, a resistência de saída R_o é

$$R_o = \frac{v_a}{(1-\alpha)v_a/r_o} = \frac{r_o}{1-\alpha} \tag{6.131}$$

Portanto, a amarração aumenta a resistência de saída por um fator de $1/(1 - \alpha)$, que aumenta à medida que α se aproxima da unidade. Uma amarração perfeita é alcançada quando $\alpha = 1$, resultando em $R_o = \infty$.

Pelo que vimos anteriormente, observamos que o circuito de amarração percebe quando ocorre uma variação na tensão de um terminal da fonte de corrente e faz com que ocorra uma variação quase igual no outro terminal, mantendo assim uma tensão quase constante na fonte de corrente e minimizando a variação na corrente através do transistor da fonte de corrente. A ação do circuito de amarração pode ser comparada a uma pessoa que tenta se erguer do solo puxando os cadarços de seu sapato, dando origem ao termo em inglês *bootstrapping*.[4] A amarração é uma forma de realimentação positiva; o sinal v_b que é realimentado pelo circuito de amarração está em fase com o sinal que está sendo observado, v_a. A realimentação será estudada formalmente no Capítulo 8.

Uma implementação de uma fonte de corrente com amarração está mostrada na Figura 6.41(b). Nessa figura, Q_2 é um seguidor de fonte usado para isolar (funciona como buffer) o nó A, cuja tensão está sendo observada. A largura de Q_2 é metade da largura de Q_1 e está operando com a metade da corrente de polarização. (Dizemos que os transistores Q_1 e Q_2 operam com a mesma **densidade de corrente**.) Portanto, a V_{GS} de Q_2 será igual à de Q_1 – nominalmente zero – e, então, $V_C = V_A$. Os dois diodos Schottky funcionam como uma bateria de aproximadamente 1,4 V, resultando em uma tensão *cc* no nó E que é 1,4 V maior do que V_C. Observe que a tensão de sinal no nó C aparece intacta no nó E; apenas o nível *cc* é deslocado. Dizemos que os diodos executam um **deslocamento de nível**, uma aplicação comum dos diodos Schottky na tecnologia MESFET em GaAs.

O transistor Q_3 é um seguidor de fonte que está operando com a mesma densidade de corrente de Q_1 e, portanto, seu V_{GS} deve ser zero, resultando em $V_B = V_E$. O resultado final é que o circuito de amarração faz com que uma tensão *cc* de 1,4 V apareça no transistor Q_1 da fonte de corrente. Desde que $|V_t|$ de Q_1 seja menor do que 1,4 V, Q_1 operará na saturação conforme exigido.

Para determinar a resistência de saída da fonte de corrente com amarração, aplicaremos uma tensão incremental v_a no nó A, conforme mostrado na Figura 6.41(c). Observe que esse circuito equivalente para pequenos sinais é obtido simplesmente usando-se o modelo T (incluindo r_o) para cada FET e supondo-se que os diodos Schottky agem como um deslocador de nível perfeito (isto é, como uma tensão *cc* ideal de 1,4 V com resistência interna zero). A análise desse circuito é direta e produz

$$\alpha \equiv \frac{v_b}{v_a} = \frac{g_{m3}r_{o3}\dfrac{g_{m2}r_{o2}}{g_{m2}r_{o2}+1} + \dfrac{r_{o3}}{r_{o1}}}{g_{m3}r_{o3} + \dfrac{r_{o3}}{r_{o1}} + 1} \tag{6.132}$$

que é menor que a unidade, porém muito próximo dela, conforme exigido. A resistência de saída R_o é então obtida como

$$R_o \equiv \frac{v_a}{i_a} = \frac{r_{o1}}{1-\alpha} = r_{o1}\frac{g_{m3}r_{o3} + (r_{o3}/r_{o1}) + 1}{g_{m3}r_{o3}/(g_{m2}r_{o2}+1) + 1} \tag{6.133}$$

4. N.T.: Podemos também imaginar que a tensão no ponto v_B está amarrada à tensão no ponto v_A.

Para $r_{o3} = r_{o1}$, supondo que $g_{m3}r_{o3}$ e $g_{m2}r_{o2}$ são muito maiores que 1, e usando as relações para g_m e r_o de Q_2 e Q_3, pode-se mostrar que

$$R_o \simeq r_{o1}(g_{m3}r_{o3}/2) \tag{6.134}$$

que representa um aumento de cerca de uma ordem na resistência de saída. Infelizmente, contudo, o circuito é muito complexo.

Uma Configuração em Cascode Simples – O Transistor Composto

A baixa resistência de saída do MESFET coloca uma limitação severa ao funcionamento da fonte de corrente com MESFET e em vários amplificadores com MESFET. Esse problema pode ser aliviado usando a configuração com MESFET composto, mostrada na Figura 6.42(a), em vez de um MESFET simples. Esse circuito só existe para MESFETs GaAs e só funciona devido ao fenômeno da **saturação antecipada** observada nesses dispositivos. Vimos, na Seção 5.12, que a saturação antecipada se refere ao fato de que no MESFET com GaAs a corrente de dreno satura com uma tensão V_{DSsat} que é menor do que $V_{GS} - V_t$.

No MESFET composto da Figura 6.42(a), Q_2 é muito mais largo que Q_1. Isso implica que, como os dois dispositivos estão conduzindo a mesma corrente, Q_2 terá uma tensão porta-fonte v_{GS2} cujo valor é muito mais próximo de $|V_t|$ do que $|v_{GS1}|$ (e, portanto, $|v_{GS2}| >> |v_{GS1}|$). Por exemplo, se usarmos os dispositivos cujos parâmetros típicos são dados na Tabela 5.2 e ignorarmos neste momento a modulação do comprimento do canal ($\lambda = 0$), calcularemos que, para $W_1 = 10$ µm e $W_2 = 90$ µm, com uma corrente de 1 mA, $v_{GS1} = 0$ e $v_{GS2} = -2/3$ V. Agora, como a tensão dreno-fonte de Q_1 é $v_{DS1} = -v_{GS2} + v_{GS1}$, vemos que v_{DS1} será positiva e próxima de $v_{GS1} - V_t$, porém menor que esta (2/3 V em nosso exemplo, comparado a 1 V). Portanto, na ausência da saturação antecipada, Q_1 estaria operando na região de triodo. Com a saturação antecipada, contudo, foi calculado que o modo de operação na saturação é obtido por Q_1 fazendo-se Q_2 5 ou 10 vezes mais largo.

O MESFET composto da Figura 6.42(a) pode ser visto como uma configuração *cascode*, na qual Q_2 é o transistor *cascode*, mas sem uma linha de polarização separada para alimentar a porta do transistor *cascode* (como na Figura 6.40). Substituindo-se cada um dos transistores Q_1 e Q_2 por seus modelos para pequenos sinais, pode-se mostrar que o dispositivo composto pode ser representado pelo modelo de circuito equivalente da Figura 6.42(b).

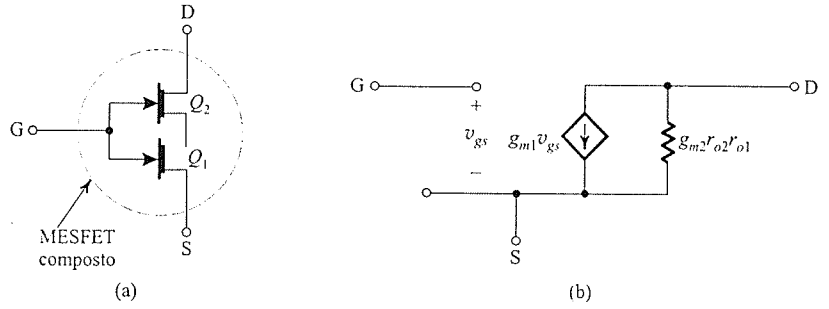


Figura 6.42 (a) O MESFET composto e (b) seu modelo para pequenos sinais.

Logo, enquanto g_m do dispositivo composto é igual ao de Q_1, a resistência de saída é elevada pelo ganho intrínseco de Q_2, $g_{m2}r_{o2}$, que é tipicamente na faixa de 10 a 40. Essa substancial elevação é a razão da atratividade do MESFET composto.

O MESFET composto pode ser empregado em quaisquer aplicações que se beneficiem de sua resistência de saída elevada. Alguns exemplos são mostrados na Figura 6.43. O circuito na Figura 6.43(a) é o da fonte de corrente com a resistência de saída aumentada. Outro modo de ver a operação desse circuito é considerar Q_2 como um seguidor de fonte que faz o dreno de Q_1 acompanhar as variações de tensão no terminal da fonte de corrente (nó A), portanto, amarrando Q_1 e aumentando a resistência efetiva de saída da fonte de corrente. Essa interpretação alternativa da operação do circuito resultou em um nome alternativo: fonte de corrente **auto-amarrada** (*self-bootstrapped*).

A aplicação do MESFET composto como um seguidor de fonte está apresentada na Figura 6.43(b). Supondo a fonte de corrente de polarização I ideal, podemos escrever para o ganho desse seguidor:

$$\frac{v_o}{v_i} = \frac{r_{o,eff}}{r_{o,eff} + (1/g_{m1})} = \frac{g_{m2}r_{o2}r_{o1}}{g_{m2}r_{o2}r_{o1} + (1/g_{m1})} \tag{6.135}$$

que é muito mais próximo do valor ideal (unidade) do que o ganho com o seguidor de fonte com MESFET simples.

Exercício

6.25 Usando os parâmetros fornecidos na Tabela 5.2, compare o ganho de tensão de um seguidor de fonte formado por um MESFET simples, tendo $W = 10$ μm, a um seguidor com MESFET composto, com $W_1 = 10$ μm e $W_2 = 90$ μm. Suponha que em ambos os casos a polarização seja de 1 mA e despreze λ ao calcular g_m (para simplificar).

Resposta Simples: 0,952 V/V; composto: 0,999 V/V

Um exemplo final da aplicação do MESFET composto está mostrado na Figura 6.43(c). O circuito é um estágio de ganho utilizando um MESFET composto (Q_1, Q_2) como um acionador (*driver*) e um outro MESFET composto (Q_3, Q_4) como carga (fonte de corrente). O ganho para pequenos sinais é dado por

$$\frac{v_o}{v_i} = -g_{m1}R_o \tag{6.136}$$

em que R_o é a resistência de saída,

$$R_o = r_{o,eff}(Q_1, Q_2) /\!/ r_{o,eff}(Q_3, Q_4) = g_{m2}r_{o2}r_{o1} /\!/ g_{m4}r_{o4}r_{o3} \tag{6.137}$$

Amplificadores Diferenciais

A implementação mais simples de um amplificador diferencial na tecnologia MESFET GaAs está mostrada na Figura 6.44.

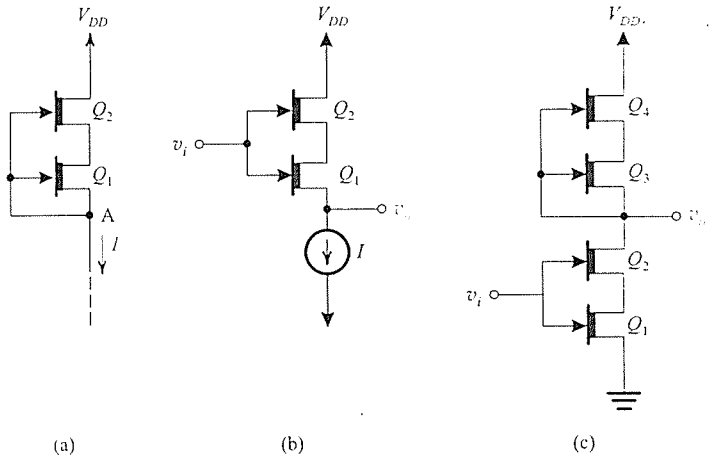


Figura 6.43 Aplicação do MESFET composto: (a) como uma fonte de corrente; (b) como um seguidor de fonte; e (c) como um estágio de ganho.

Nessa figura, Q_1 e Q_2 formam o par diferencial, Q_3 forma a fonte de corrente de polarização e Q_4 forma a carga ativa (fonte de corrente). O desempenho do circuito é prejudicado pela baixa resistência de saída de Q_3 e Q_4. O ganho de tensão é dado por

$$\frac{v_o}{v_i} = -g_{m2}(r_{o2} /\!/ r_{o4}) \tag{6.138}$$

O ganho pode ser aumentado pela implementação de uma das fontes de corrente melhoradas discutidas anteriormente. Além disso, uma técnica engenhosa foi desenvolvida para aumentar o ganho do par diferencial com MESFET. O circuito está mostrado na Figura 6.45(a).

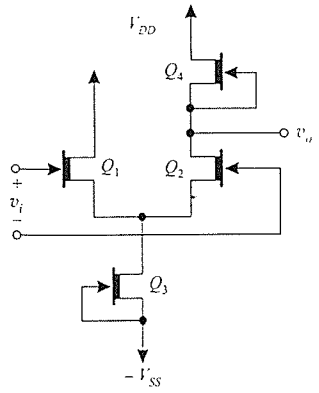


Figura 6.44 Um amplificador diferencial simples com MESFETs.

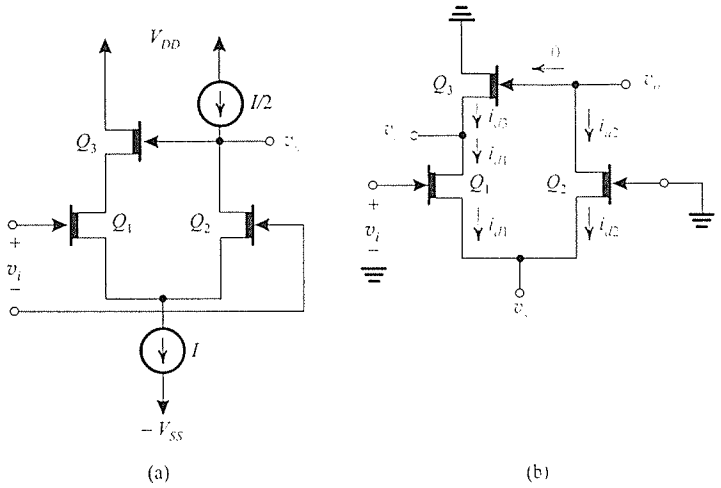


Figura 6.45 (a) Um amplificador diferencial MESFET cujo ganho é aumentado pela aplicação de uma realimentação positiva através do seguidor de fonte Q_3; (b) análise para pequenos sinais do circuito em (a).

Enquanto o dreno de Q_2 tem uma fonte de corrente como carga (como antes), o sinal de saída é realimentado para o dreno de Q_1 através do seguidor de fonte Q_3. A análise do circuito para pequenos sinais está ilustrada na Figura 6.45(b), na qual as fontes de corrente I e $I/2$ foram consideradas ideais e, portanto, substituídas por circuitos abertos. Para determinar o ganho de tensão, aterramos o terminal de porta de Q_2 e aplicamos o sinal diferencial de entrada v_i na porta de Q_1. A análise é feita pelos seguintes passos:

1. A partir do nó de saída vemos que $i_{d2} = 0$.
2. A partir dos nós das fontes, visto que $i_{d2} = 0$, encontramos que $i_{d1} = 0$.
3. A partir do nó no dreno de Q_1, visto que $i_{d1} = 0$, encontramos que $i_{d3} = 0$.
4. Escrevendo para cada transistor

$$i_d = g_m v_{gs} + v_{ds}/r_o = 0$$

obtemos três equações com três incógnitas, v_{d1}, v_s e v_o. A solução fornece

$$\frac{v_o}{v_i} = g_{m1} r_{o1} \Bigg/ \left[\frac{g_{m1} r_{o1} + 1}{g_{m2} r_{o2} + 1} - \frac{g_{m3} r_{o3}}{g_{m3} r_{o3} + 1} \right] \tag{6.139}$$

Se os três transistores tiverem as mesmas geometrias e estiverem operando com as mesmas correntes *cc*, seus valores de g_m e r_o serão iguais e a expressão na Equação 6.139 se reduz a

$$\frac{v_o}{v_i} \simeq (g_m r_o)^2 \tag{6.140}$$

Portanto, a aplicação de uma realimentação positiva através do seguidor Q_3 nos permite obter um ganho igual ao quadrado do ganho obtido naturalmente com um estágio simples!

Exercício

6.26 Usando os parâmetros de dispositivo fornecidos na Tabela 5.2, calcule o ganho do amplificador diferencial da Figura 6.45(a) para $I = 10$ mA e $W_1 = W_2 = W_3 = 100$ μm.

Resposta 784 V/V

6.9 AMPLIFICADORES DE MÚLTIPLOS ESTÁGIOS

Na prática, os amplificadores com transistores consistem usualmente em um número de estágios conectados em cascata. Além de aumentar o ganho, o primeiro estágio (ou o estágio de entrada) tem usualmente a função de proporcionar uma alta resistência de entrada para evitar perdas no nível do sinal quando o amplificador for acionado por uma fonte de sinal de alta resistência. Em amplificador diferencial, o estágio de entrada deve proporcionar também uma alta rejeição de modo comum. A função do estágio intermediário de um amplificador em cascata é a de proporcionar a maior parcela do ganho de tensão. Além disso, o estágio intermediário executa outras funções, como a conversão do sinal do modo diferencial para o modo de saída simples e o deslocamento do nível *cc* do sinal. Essas duas funções e outras serão ilustradas mais tarde nesta mesma seção e com mais detalhes no Capítulo 10.

Finalmente, a principal função do último estágio (ou estágio de saída) de um amplificador é proporcionar uma baixa resistência de saída, a fim de evitar perdas no ganho quando uma resistência de carga de baixo valor for conectada ao amplificador. Além disso, o estágio de saída deve ser capaz de fornecer a corrente solicitada pela carga de modo eficiente – isto é, sem dissipar indevidamente uma elevada quantidade de potência nos transistores de saída. Já estudamos um tipo de configuração de amplificador apropriado para a implementação dos estágios de saída, a configuração seguidora de fonte (ou seguidora de emissor). Será mostrado no Capítulo 9 que os seguidores de fonte e de emissor não são otimizados do ponto de vista da eficiência de potência e que há outras configurações de circuitos mais apropriadas para estágios de saída que necessitam fornecer valores elevados de potência.

Para ilustrar a estrutura e o método de análise dos amplificadores de múltiplos estágios, concluiremos este capítulo com um exemplo detalhado. O circuito amplificador a ser analisado está mostrado na Figura 6.46. A análise *cc* do circuito amp op simples foi apresentada no Exemplo 6.3, que recomendamos ao leitor rever antes de prosseguir no estudo desta seção.

O circuito amp op na Figura 6.46 consiste em quatro estágios. O estágio de entrada tem **entrada e saída diferenciais** e consiste nos transistores Q_1 e Q_2, que são polarizados por uma fonte de corrente Q_3. O segundo estágio é também um amplificador com entrada diferencial, mas sua saída é simples, tomada no coletor de Q_5. Esse estágio é formado por Q_4 e Q_5, que são polarizados por uma fonte de corrente Q_6. Observe que a conversão de entrada diferencial para saída simples, conforme executada pelo segundo estágio, resulta em uma redução do ganho por um fator de 2. Um método mais elaborado para a obtenção dessa conversão foi estudado na Seções 6.5 e 6.6; ele faz uso do espelho de corrente como carga ativa.

Além de fornecer algum ganho de tensão, o terceiro estágio, constituído pelo transistor *pnp* Q_7, executa a função essencial de *deslocamento de nível cc* do sinal.

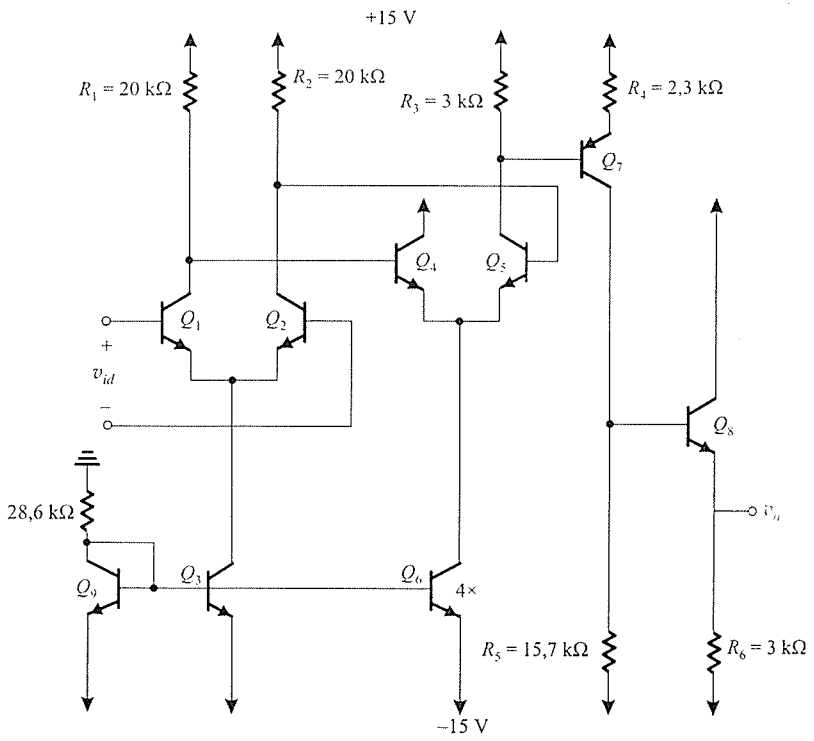


Figura 6.46 Um circuito amplificador de múltiplos estágios (Exemplo 6.4).

Portanto, embora o sinal no coletor de Q_5 não possa excursionar abaixo da tensão da base de Q_5 (+10 V), o sinal no coletor de Q_7 pode ter uma excursão negativa (e positiva, é claro). De nosso estudo de amp ops no Capítulo 2, sabemos que o terminal de saída do amp op deve ser capaz de oferecer uma tensão que excursione de um valor positivo para um valor negativo. Logo, todo circuito amp op inclui um arranjo para **deslocamento de nível**. Embora o uso do transistor complementar *pnp* ofereça uma solução simples para o problema do deslocamento de nível, há outras formas de obter esse deslocamento – uma delas será discutida no Capítulo 10.

Finalmente, observamos que o estágio de saída consiste em um seguidor de emissor Q_8 e que idealmente o nível *cc* na saída é de zero volts (conforme foi calculado no Exemplo 6.3).

EXEMPLO 6.4

Use os valores de polarização *cc* calculados no Exemplo 6.3 e analise o circuito da Figura 6.46 para determinar a resistência de entrada, o ganho de tensão e a resistência de saída.

SOLUÇÃO

A resistência diferencial de entrada R_{id} é dada por

$$R_{id} = r_{\pi 1} + r_{\pi 2}$$

Visto que Q_1 e Q_2 estão cada um operando com uma corrente de emissor de 0,25 mA, isso implica que

$$r_{e1} = r_{e2} = \frac{25}{0.25} = 100\ \Omega$$

Supondo $\beta = 100$, então

$$r_{\pi 1} = r_{\pi 2} = 101 \times 100 = 10{,}1\ \text{k}\Omega$$

Portanto, $R_{id} = 20{,}2\ \text{k}\Omega$.

Para calcular o ganho do primeiro estágio, encontramos primeiro a resistência de entrada do segundo estágio, R_{i2},

$$R_{i2} = r_{\pi 4} + r_{\pi 5}$$

Q_4 e Q_5 estão cada um operando com uma corrente de emissor de 1 mA, logo

$$r_{e4} = r_{e5} = 25\ \Omega$$

$$r_{\pi 4} = r_{\pi 5} = 101 \times 25 = 2{,}525\ \text{k}\Omega$$

Portanto, $R_{i2} = 5{,}05\ \text{k}\Omega$. Essa resistência aparece entre os coletores de Q_1 e Q_2, conforme mostrado na Figura 6.47. Assim, o ganho de tensão do primeiro estágio será

$$A_1 \equiv \frac{v_{o1}}{v_{id}} = \frac{\text{Resistência total no circuito de coletor}}{\text{Resistência total no circuito de emissor}}$$

$$= \frac{[R_{i2} // (R_1 + R_2)]}{r_{e1} + r_{e2}}$$

$$= \frac{(5{,}05\ \text{k}\Omega // 40\ \text{k}\Omega)}{200\ \Omega} = 22{,}4\ \text{V/V}$$

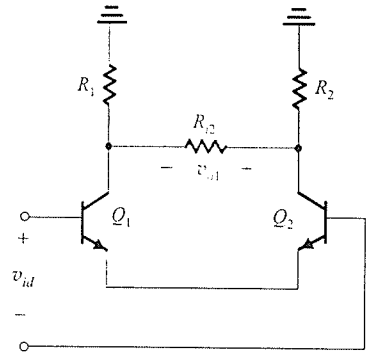


Figura 6.47 Circuito equivalente para calcular o ganho do estágio de entrada do amplificador na Figura 6.46.

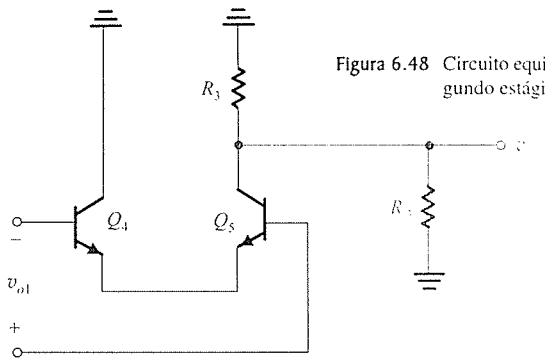


Figura 6.48 Circuito equivalente para calcular o ganho do segundo estágio do amplificador na Figura 6.46.

A Figura 6.48 mostra um circuito equivalente para o cálculo do ganho do segundo estágio. Conforme indicado, a tensão de entrada do segundo estágio é a tensão de saída do primeiro estágio, v_{o1}. Está mostrada também a resistência R_{i3}, que é a resistência de entrada do terceiro estágio formado por Q_7. O valor de R_{i3} pode ser calculado multiplicando-se a resistência total no emissor de Q_7 por $\beta + 1$:

$$R_{i3} = (\beta + 1)(R_4 + r_{e7})$$

Como Q_7 está operando com uma corrente de emissor de 1 mA,

$$r_{e7} = \frac{25}{1} = 25\ \Omega$$

$$R_{i3} = 101 \times 2{,}325 = 234{,}8\ \text{k}\Omega$$

Podemos agora calcular o ganho A_2 do segundo estágio como a razão da resistência total no circuito de coletor pela resistência total no circuito de emissor:

$$A_2 \equiv \frac{v_{o2}}{v_{o1}} \simeq -\frac{(R_3 // R_{i3})}{r_{e4} + r_{e5}}$$

$$= -\frac{(3\ \text{k}\Omega\ //234{,}8\ \text{k}\Omega)}{50\ \Omega} = -59{,}2\ \text{V/V}$$

Para obter o ganho do terceiro estágio, vamos nos referir ao circuito equivalente mostrado na Figura 6.49, no qual R_{i4} é a resistência de entrada do estágio de saída formado por Q_8. Usando a regra de reflexão de resistências, calculamos o valor de R_{i4} como

$$R_{i4} = (\beta + 1)(r_{e8} + R_6)$$

em que

$$r_{e8} = \frac{25}{5} = 5\ \Omega$$

$$R_{i4} = 101(5 + 3000) = 303{,}5\ \text{k}\Omega$$

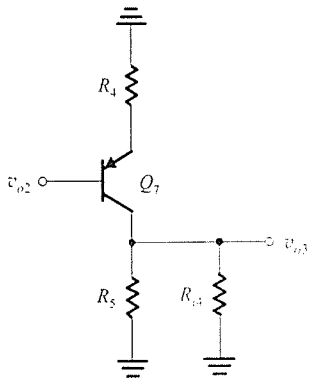


Figura 6.49 Circuito equivalente para calcular o ganho do terceiro estágio do amplificador na Figura 6.46.

O ganho do terceiro estágio é dado por

$$A_3 \equiv \frac{v_{o3}}{v_{o2}} \simeq -\frac{(R_5 // R_{i4})}{r_{e7} + R_4}$$

$$= -\frac{(15{,}7\ \text{k}\Omega\ //303{,}5\ \text{k}\Omega)}{2{,}325\ \text{k}\Omega} = -6{,}42\ \text{V/V}$$

Finalmente, para obter o ganho A_4 do estágio de saída, vamos nos referir ao circuito na Figura 6.50 e escrevemos

$$A_4 \equiv \frac{v_o}{v_{o3}} = \frac{R_6}{R_6 + r_{e8}}$$

$$= \frac{3000}{3000 + 5} = 0{,}998 \simeq 1$$

O ganho de tensão total do amplificador pode ser obtido como segue:

$$\frac{v_o}{v_{id}} = A_1 A_2 A_3 A_4 = 8513\ \text{V/V}$$

ou 78,6 dB.

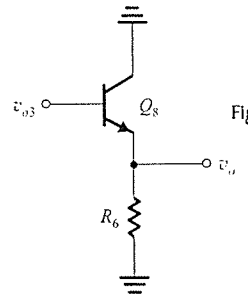


Figura 6.50 O estágio de saída do circuito amplificador da Figura 6.46.

Para obter a resistência de saída R_o, "nós nos posicionamos" no terminal de saída na Figura 6.46 e olhamos para trás no circuito. Por inspeção obtemos

$$R_o = \left\{R_6 // \left[r_{e8} + R_5/(\beta+1)\right]\right\}$$

o que fornece $R_o = 152\ \Omega$.

Exercício

6.27 Use os resultados do Exemplo 6.4 para calcular o ganho de tensão total do amplificador na Figura 6.46 quando ele for conectado a uma fonte com resistência de 10 kΩ e a uma carga de 1 kΩ.

Resposta 4943 V/V

Análise Usando Ganhos de Corrente

Há um método alternativo para a análise de amplificadores de múltiplos estágios que se mostra mais eficiente em alguns casos. O método usa os ganhos de corrente ou, mais apropriadamente, os fatores de transmissão de corrente.

Nesse método, acompanha-se a transmissão da corrente de sinal através da cascata de amplificadores, determinando todos os fatores de transmissão de corrente. Ilustraremos o método usando-o para analisar o circuito amplificador do exemplo anterior.

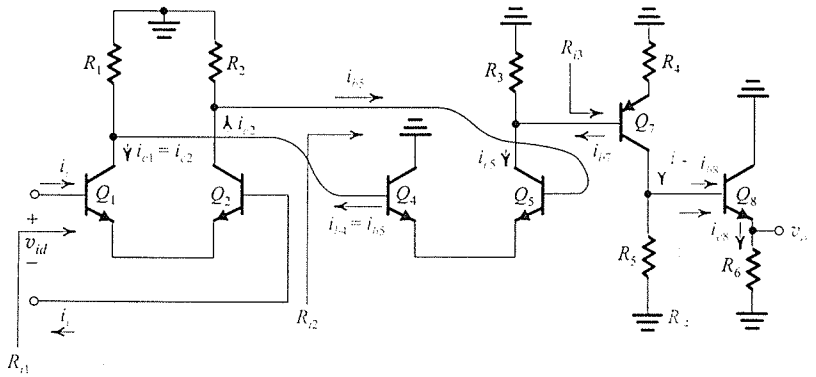


Figura 6.51 O circuito do amplificador de múltiplos estágios da Figura 6.46 preparado para a análise para pequenos sinais. As correntes de sinais e as resistências de entrada dos quatro estágios estão indicadas ao longo do diagrama do amplificador.

A Figura 6.51 mostra o circuito amplificador preparado para a análise para pequenos sinais. Indicamos no diagrama de circuito as correntes de sinal em todos os ramos. Também indicamos

as resistências de entrada dos quatro estágios do amplificador. Essas resistências devem ser determinadas antes da realização da análise.

O objetivo da análise é determinar o ganho global de tensão (v_o/v_{id}). Para isso, expressamos v_o em termos da corrente de sinal no emissor de Q_8, i_{e8}, e v_{id} em termos da corrente de sinal de entrada i_i,

$$v_o = R_6 i_{e8}$$
$$v_{id} = R_{i1} i_i$$

Assim, o ganho de tensão pode ser expresso em termos do ganho de corrente (i_{e8}/i_i) como

$$\frac{v_o}{v_{id}} = \frac{R_6}{R_{i1}} \frac{i_{e8}}{i_i}$$

A seguir, desdobramos o ganho de corrente (i_{e8}/i_i) em termos das correntes de sinais através do circuito:

$$\frac{i_{e8}}{i_i} = \frac{i_{e8}}{i_{b8}} \times \frac{i_{b8}}{i_{c7}} \times \frac{i_{c7}}{i_{b7}} \times \frac{i_{b7}}{i_{c5}} \times \frac{i_{c5}}{i_{b5}} \times \frac{i_{b5}}{i_{c2}} \times \frac{i_{c2}}{i_i}$$

Cada um dos fatores de transmissão de corrente no lado direito da expressão anterior é ou o ganho de corrente de um determinado transistor ou a razão de um divisor de corrente. Portanto, podemos achar esses fatores a partir da Figura 6.51 por inspeção:

$$\frac{i_{e8}}{i_{b8}} = \beta_8 + 1$$
$$\frac{i_{b8}}{i_{c7}} = \frac{R_5}{R_5 + R_{i4}}$$
$$\frac{i_{c7}}{i_{b7}} = \beta_7$$
$$\frac{i_{b7}}{i_{c5}} = \frac{R_3}{R_3 + R_{i3}}$$
$$\frac{i_{c5}}{i_{b5}} = \beta_5$$
$$\frac{i_{b5}}{i_{c2}} = \frac{(R_1 + R_2)}{(R_1 + R_2) + R_{i2}}$$
$$\frac{i_{c2}}{i_i} = \beta_2$$

Essas razões podem facilmente ser estimadas e seus valores usados para determinar o ganho de tensão.

Com um pouco de prática, pode-se fazer esse tipo de análise com relativa rapidez. Para isso, devemos simplesmente "andar" pelo circuito, da entrada para a saída, ou vice-versa, determinando os fatores de transmissão de corrente um a um, de forma encadeada.

Exercício

6.28 Use o valor da resistência de entrada encontrado no Exemplo 6.4 para determinar os sete fatores de transmissão de corrente e, portanto, os ganhos globais de corrente e tensão.

Resposta Os fatores de transmissão de corrente na seqüência em que são apresentados são 101, 0,0492, 100, 0,0126, 100, 0,8879, 100 A/A; o ganho de corrente global é 55993 A/A; e o ganho de tensão global é 8256 V/V. Esse valor difere um pouco daquele obtido no Exemplo 6.4 devido às várias aproximações realizadas naquele exemplo (por exemplo, $\alpha \cong 1$).

6.10 EXEMPLO DE SIMULAÇÃO COM O SPICE

Concluímos este capítulo apresentando um exemplo de simulação com o SPICE. Para ilustrar a utilidade da simulação de circuito, empregaremos um circuito razoavelmente complexo, o circuito do amp op em que a polarização *cc* foi determinada no Exemplo 6.3 e cujo desempenho para sinais foi analisado no Exemplo 6.4.

EXEMPLO 6.5: SIMULAÇÃO COM O SPICE DE UM AMPLIFICADOR DE MÚLTIPLOS ESTÁGIOS

A Figura 6.52 mostra os circuitos de um amp op de múltiplos estágios devidamente preparados para a simulação. Observe a maneira pela qual os sinais diferencial e em modo comum foram aplicados [para mais detalhes, o leitor deve consultar um livro sobre o SPICE, como Roberts e Sedra (1997)]. Na simulação, assumimos que os transistores possuem $I_S = 1{,}8$ fA, $\beta_F = 100$ e $V_{AF} = 100$ V. O arquivo de entrada para o SPICE está listado no Apêndice D. Ele inclui duas requisições de análise: (1) um comando de ponto de operação *cc* que determina o ponto de polarização *cc*, os parâmetros do modelo para pequenos sinais para cada transistor, a potência dissipada no amplificador, a tensão de *offset* de saída e a corrente de polarização de entrada e (2) um comando de varredura *cc* que determina a característica de transferência para grandes sinais do amplificador variando-se a amplitude do sinal diferencial de entrada de –15 V a +15 V em incrementos de 100 mV. Para essa última análise, a entrada em modo comum V_{CM} foi mantida em zero.

Para auxiliar nos cálculos *cc*, o arquivo de entrada inclui uma lista de estimativas iniciais para as tensões de alguns nós do circuito. Isso acelera o processo de simulação e garante convergência. Nas versões mais recentes do SPICE, esse tipo de precaução não é necessário.

Os resultados da análise *cc* estão resumidos na Tabela 6.1, que também apresenta os valores calculados manualmente no Exemplo 6.3. Lembre-se de que a análise manual desprezou o efeito Early e assumiu β com valor elevado. Apesar disso, vemos que o erro nas correntes de polarização não excede 15%. Assim, a análise manual fornece estimativas razoáveis para uma primeira análise e, naturalmente, a análise manual proporciona uma familiarização com a operação do circuito, que é muito importante.

Além das correntes de polarização listadas na Tabela 6.1, a análise do ponto de operação do SPICE mostra que a tensão de offset *cc* de saída é de 1,58 V, a corrente de entrada de polarização é de 2,4 μA e que o circuito dissipa cerca de 0,3 W.

A característica de transferência para grandes sinais do amplificador, mostrada na Figura 6.53(a), apresenta, como esperado, uma região de ganho elevado em torno de 0 V.

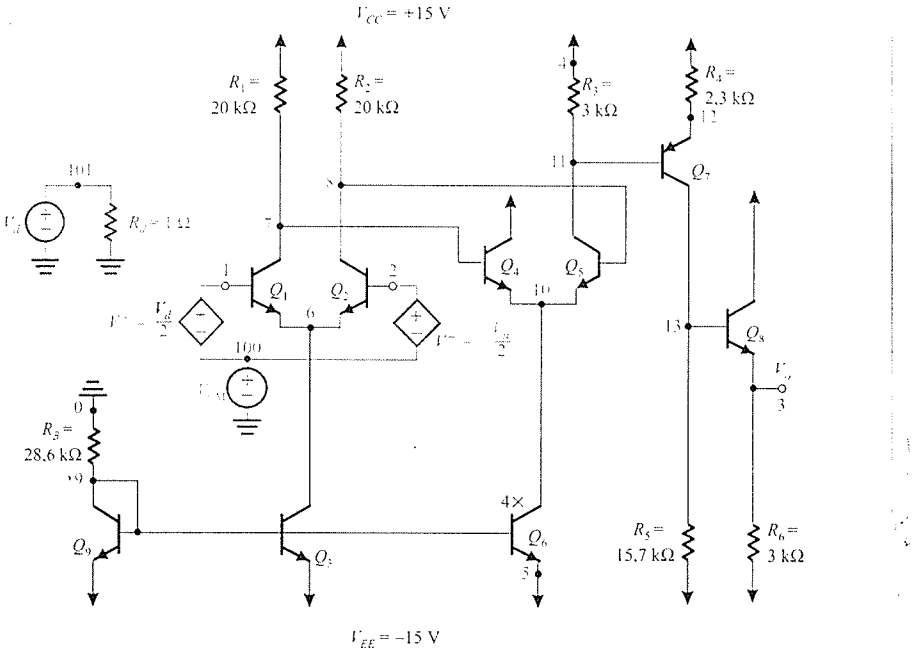


Figura 6.52 Circuito do amplificador operacional preparado para a simulação SPICE do Exemplo 6.5. Lembre-se de que analisamos a polarização *cc* desse circuito no Exemplo 6.3 e seu desempenho para pequenos sinais no Exemplo 6.4. Particularmente, observe a maneira pela qual V_d e V_{CM} são aplicados e descritos para o SPICE. O Apêndice D apresenta o arquivo de entrada para o SPICE.

No entanto, a falta de resolução no eixo de tensão de entrada não permite analisar em detalhes a região linear. Assim, uma vez determinada a região linear de operação, podemos utilizar o SPICE para produzir uma análise mais detalhada dessa região varrendo V_d de –5 mV a +5 mV em incrementos de 10 μV. O resultado é apresentado na Figura 6.53(b). Observe que, para valores de entrada menores que –2 mV, a saída permanece saturada em –15 V. Para a região entre –2 mV e +1 mV, a tensão de saída varia de –15 V a +10 V, uma variação razoavelmente assimétrica. Uma estimativa grosseira do ganho do amplificador pode ser obtida das extremidades da região linear como [10 – (–15)] V/3 mV = $8{,}33 \times 10^3$ V/V. Observamos também, da Figura 6.53(b), que o amplificador tem uma tensão de *offset* de entrada V_{OS} de 180 μV. Isso corresponde à estimativa feita anteriormente para a tensão de *offset* de saída de 1,58 V (isto é, 180 μV × $8{,}33 \times 10^3 \cong 1{,}58$ V). Deve ser enfatizado que essa tensão de offset é inerente ao projeto e não é um resultado de dispersões nos valores dos componentes ou parâmetros dos transistores; assim, essa tensão de *offset* é normalmente chamada de ***offset* sistemático**.

Tabela 6.1 Correntes de coletor *cc* do amplificador operacional mostrado na Figura 6.52 expressas em mA, calculadas por análise manual e pelo SPICE.

Transistor	Análise manual	SPICE	Erro (%)
Q_1	0,25	0,266	−6,0
Q_2	0,25	0,266	−6,0
Q_3	0,5	0,537	−6,9
Q_4	1,0	1,17	−14,5
Q_5	1,0	1,13	−11,5
Q_6	2,0	2,33	−14,2
Q_7	1,0	1,15	−13,0
Q_8	5,0	5,48	−8,8
Q_9	0,5	0,47	+6,4

Tabela 6.2 Comparação dos resultados das análises manual (Exemplos 6.3 e 6.4) e do SPICE para o amplificador operacional mostrado na Figura 6.52.

Parâmetro	Unidades	Análise manual	SPICE
Tensão de offset de saída	V	0	1,58
Tensão de offset de entrada	μV	0	180,0
Correntes de polarização de entrada	μA	2,5	2,43
Dissipação quiescente de potência	mW	262,5	292
Ganho de tensão diferencial	kV/V	8,513	8,852
Resistência diferencial de entrada	kΩ	20,1	21,14
Resistência de saída	Ω	152	133,7
Faixa de entrada em modo comum	V	−13,6 a +10,0	−14,2 a +9,5
Excursão da tensão de saída	V	–	−15,0 a +10,0

Quando o amp op está operando em um circuito real, emprega-se realimentação negativa (veja os Capítulos 2, 8 e 10) e a tensão de saída *cc* é estabilizada em zero. Assim, com o propósito de analisar o desempenho para pequenos sinais do amp op, polarizaremos o circuito de tal forma que sua saída fique nesse nível de tensão. Isso pode ser feito aplicando-se um V_{OS} negativo na entrada. Superposto a esse nível *cc*, aplicamos um sinal *ca* de 1 V para determinar o ganho, resistência de entrada e assim por diante. O leitor não deve se alarmar com essa amplitude de entrada elevada: o SPICE primeiro determina o modelo equivalente para pequenos sinais e a seguir analisa o circuito linearizado. Logo, tal análise pode, naturalmente, ser feita para qualquer amplitude de entrada. Tanto uma análise de função de transferência quanto uma análise *ca* foram requisitadas (veja a listagem no Apêndice D).

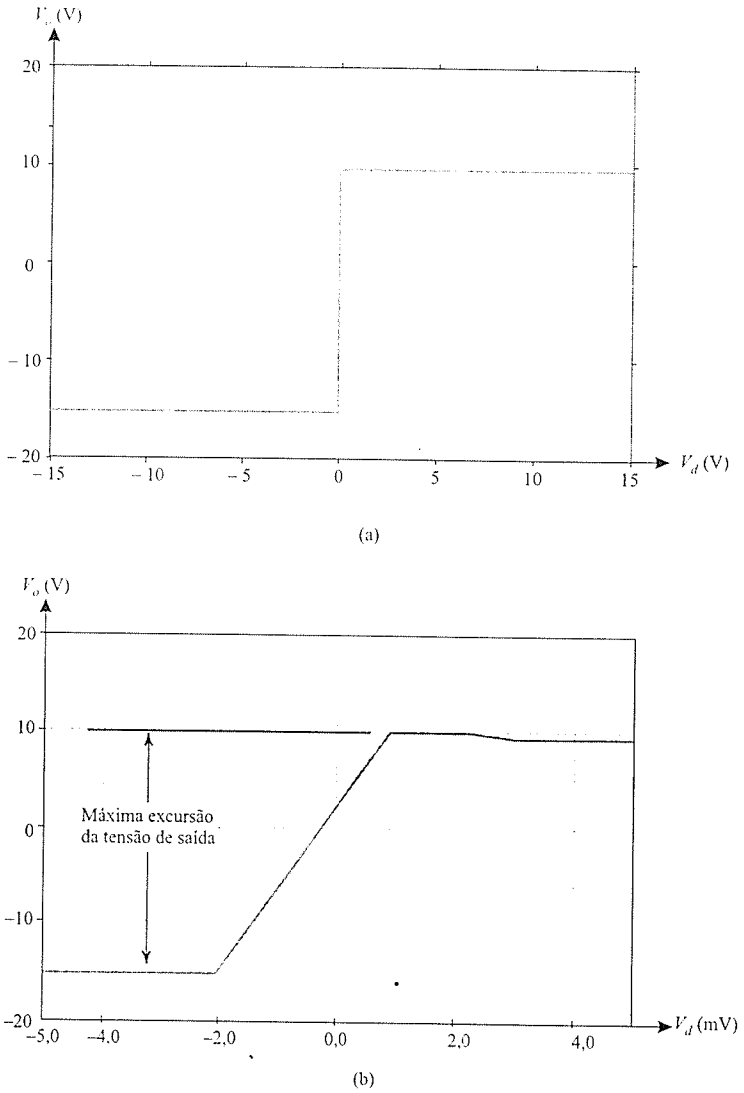


Figura 6.53 (a) A característica de transferência diferencial para grandes sinais do amplificador operacional mostrado na Figura 6.52. A tensão de entrada em modo comum V_{CM} é mantida em zero. (b) Ampliação da região de ganho elevado da característica de transferência.

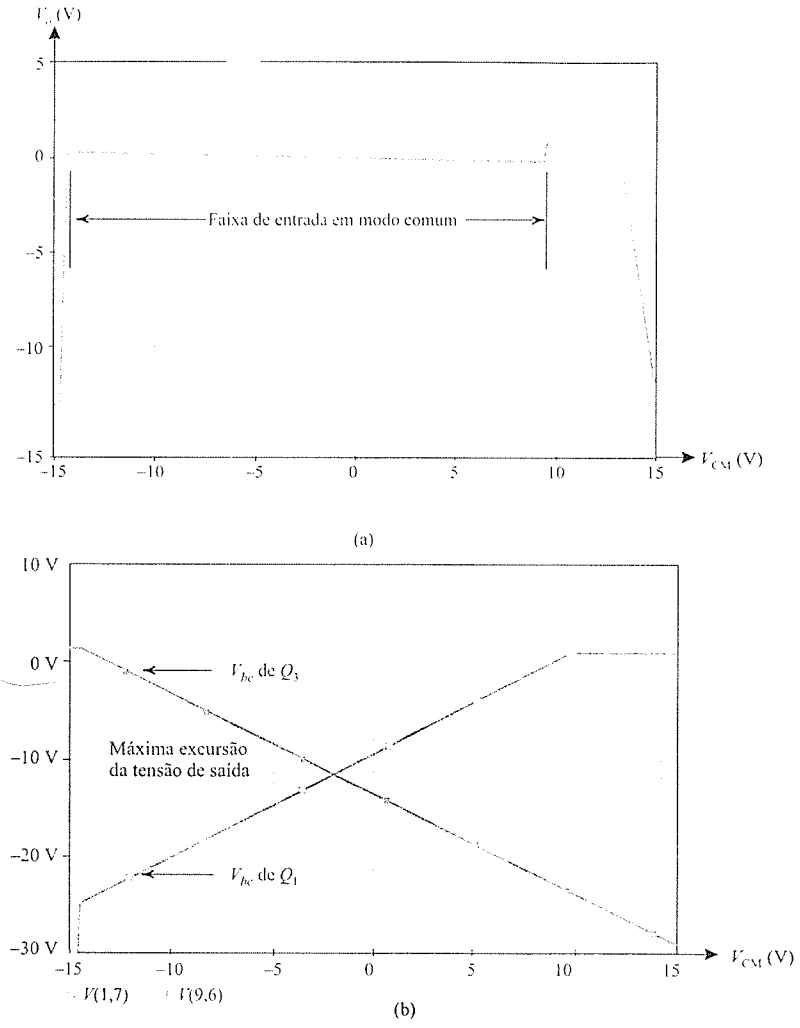


Figura 6.54 **(a)** A característica de transferência *cc* em modo comum para grandes sinais para o amplificador TBJ mostrado na Figura 6.52. Uma tensão diferencial de entrada de 180 μV foi aplicada à entrada do amplificador para evitar a saturação prematura. **(b)** Efeito da tensão de entrada em modo comum V_{CM} na linearidade do estágio de entrada do amplificador operacional mostrado na Figura 6.52. Estão mostradas as tensões de coletor–base de Q_1 e Q_3 em função de V_{CM}. O primeiro estágio do amplificador deixa a região ativa quando a junção coletor–base de Q_1 ou de Q_3 se torna diretamente polarizada.

Os resultados da simulação fornecem um ganho de tensão de $8{,}852 \times 10^3$ V/V e uma resistência de entrada de 21,14 kΩ. Esses e outros parâmetros determinados pelo SPICE estão apresentados na Tabela 6.2, juntamente com os correspondentes resultados calculados manualmente no Exemplo 6.4. Como ilustração, detalharemos um pouco mais a faixa de valores de entrada em modo comum. Isso foi determinado por uma varredura *cc* da tensão de entrada em modo comum V_{CM}, desde −15 V até +15 V (que são as tensões de alimentação), mantendo-se V_d em $-V_{OS} = -180$ μV. O gráfico resultante para V_O está mostrado na Figura 6.54(a), do qual observamos que o amplificador se comporta linearmente para uma faixa de valores de V_{CM} compreendidos entre −14,2 V e +9,5 V, que deve ser, portanto, a faixa de entrada em modo comum. No Exemplo 6.3, observamos que o limite superior dessa faixa é determinado pela saturação de Q_1 e Q_2, enquanto o limite inferior é determinado pela saturação de Q_3. Para verificar essa afirmação, obtivemos por meio do SPICE um gráfico dos valores das tensões de coletor de Q_1 e Q_3 em função da tensão de entrada em modo comum. Os resultados estão mostrados na Figura 6.54(b), na qual verificamos que nossa afirmação está correta.

O exemplo apresentado demonstra o poder da simulação de circuitos. Tendo o projetista estimativas de primeira ordem do desempenho do circuito e uma compreensão básica de seu funcionamento, o SPICE pode ser usado eficientemente: ele verifica se o circuito funcionará adequadamente; calcula valores muito mais precisos para os parâmetros de desempenho do circuito utilizando modelos que podem ser tão complexos quanto se deseja (e tão complexos quanto a aplicação justifica); e, talvez o mais importante, o SPICE permite ao projetista experimentar o circuito com o objetivo de ganhar maior familiaridade com seu funcionamento e, assim, ser capaz de fazer ajustes finos, tudo antes da fabricação do circuito. Aconselhamos seriamente ao leitor realizar simulações de alguns dos circuitos apresentados nos problemas de final de capítulo.

Resumo

- O par diferencial é o elemento de circuito em bloco mais importante no projeto de CIs analógicos. O estágio de entrada de cada amp op é um amplificador diferencial.
- Amplificadores diferenciais são implementados usando-se TBJs, JFETs, MOSFETs ou MESFETs GaAs. Os FETs oferecem a vantagem de ter uma corrente de polarização de entrada muito pequena e uma resistência de entrada muito alta. Os TBJs proporcionam uma menor tensão de offset de entrada e uma faixa de passagem maior. O uso de GaAs oferece a maior faixa de passagem possível.
- O amplificador diferencial tem um ganho diferencial alto e um ganho em modo comum baixo; a razão entre esses dois fatores é a CMRR, expressa usualmente em decibéis.
- No par diferencial com TBJ, uma tensão de entrada diferencial de cerca de 100 mV é suficiente para direcionar toda a corrente de polarização para um lado do par.
- Para sinais de entrada diferenciais, a operação do amplificador diferencial pode ser analisada usando-se metade do circuito diferencial. O ganho em modo comum e a resistência de entrada podem ser obtidos pela metade de um circuito em modo comum.
- Para obter um baixo ganho em modo comum, portanto uma alta CMRR, a fonte de corrente de polarização deve ser projetada para ter uma resistência de saída elevada.
- Uma alta CMRR é obtida tomando-se uma saída diferencial e garantindo-se um alto grau de casa-

mento entre os dois lados do amplificador diferencial.

- Descasamentos entre os dois lados do amplificador diferencial dão origem a uma tensão de offset de entrada e, nos amplificadores com TBJ, uma corrente de offset de entrada.
- A polarização de CIs analógicos está baseada no uso de fontes de corrente constante. O circuito de espelho de corrente básico com TBJ sofre uma dependência com o β do transistor e tem uma resistência de saída relativamente baixa. A dependência com β pode ser minimizada e a resistência de saída pode ser aumentada pelo uso de circuitos de espelho mais elaborados. Não há o problema da dependência com β nos circuitos de espelho com MOS.
- O amplificador diferencial usando um espelho de corrente com carga ativa é um circuito popular para ambos os projetos de CIs analógicos, bipolar e MOS.
- A configuração *cascode* consiste em um transistor em emissor comum (ou fonte comum) seguido por um transistor em base comum (ou porta comum). Suas características apresentam maior resistência de saída e maior faixa de passagem (Capítulo 7).
- A tecnologia BiCMOS permite ao projetista combinar um alto valor de g_m, condições para operar em altas freqüências e a facilidade de casamento de transistores bipolares com a resistência de entrada infinita e uma excelente característica de chaveamento dos transistores MOS.
- A tecnologia MESFET em GaAs permite operar em freqüências muito altas. O maior desafio no projeto de um amplificador MESFET é o de minimizar os efeitos de sua baixa resistência de saída. A amarração (*bootstrapping*) e a configuração cascode são duas técnicas freqüentemente empregadas para esse fim.
- Um amplificador de múltiplos estágios consiste em um estágio de entrada tendo uma alta resistência de entrada e, se diferencial, uma alta CMRR, um ou mais estágios intermediários para obter a maior parte do ganho e um estágio de saída tendo uma baixa resistência de saída. Na análise de um amplificador de múltiplos estágios, o efeito de carga de cada estágio sobre o seguinte deve ser levado em consideração.

BIBLIOGRAFIA

A. A. Abidi, "An analysis of bootstrapped gain enhancement techniques", *IEEE Journal of Solid-State Circuits*, vol. SC-22, nº 6, pp. 1200-1204, dezembro de 1987.

J. N. Giles, *Linear Integrated Circuits Applications Handbook*, Mountain View, Calif.: Fairchild Semiconductors, 1967.

P. R. Gray e R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3ª ed., New York, Wiley, 1993.

A. B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*, New York, Wiley, 1984.

D. J. Hamilton e W. G. Howard, *Basic Integrated Circuit Engineering*, New York, McGraw-Hill, 1975.

D. A. Johns e K. W. Martin, *Analog Integrated Circuit Design*, New York, Wiley, 1997.

L. E. Larson, K. W. Martin e G. C. Temes, "GaAs switched-capacitor circuits for high-speed signal processing", *IEEE Journal of Solid State Circuits*, vol. SC-22, nº 6, pp. 971-981, dezembro de 1987.

H. S. Lee, "Analog design", Cap. 8 em *BiCMOS Technology and Applications*, A. R. Alvarez, editor, Boston, Mass., Kluwer Academic Publishers, 1989.

K. W. Martin, "Ultra-high-speed GaAs analog circuits, systems, and design methodologies", Internal Report, Univ. da Califórnia, Los Angeles, fevereiro de 1990.

J. K. Roberge, *Operational Amplifiers: Theory and Practice*, New York, Wiley, 1975.

G. W. Roberts e A. S. Sedra, *SPICE*, New York, Oxford University Press, 1997.

C. Toumazou e D. Haigh, "Gallium arsenide analogue integrated circuit design techniques", Cap. 8 em *Analog IC Design: the Current-Mode Approach*, C. Toumazou, F. J. Lidgey e D. G. Haigh, editores, London, Peter Peregrinus Ltda., 1990.

PROBLEMAS

Seção 6.1: O Par Diferencial com TBJ

6.1 Para o amplificador diferencial da Figura 6.2(a), suponha $I = 1$ mA, $V_{CC} = 5$ V, $v_{CM} = -2$ V, $R_C = 3$ kΩ e $\beta = 100$. Suponha que os TBJs tenham $v_{BE} = 0{,}7$ V com $i_C = 1$ mA. Calcule a tensão nos emissores e nas saídas.

P6.2 Considere o amplificador diferencial da Figura 6.1 e suponha que β do TBJ seja muito alto:

(a) Qual o maior valor de sinal de entrada em modo comum que pode ser aplicado e ainda é capaz de manter o TBJ na região ativa com $v_{CB} = 0$?

(b) Se um sinal diferencial de entrada for mais do que suficiente para fazer circular uma corrente totalmente de um lado do par, qual será a variação na tensão de cada coletor (a partir da condição de que $v_d = 0$)?

(c) Se a fonte de alimentação disponível for de $V_{CC} = 5$ V, que valor de IR_C você escolheria para permitir que um sinal de entrada em modo comum de ± 3 V pudesse ser aplicado?

(d) Para o valor de IR_C calculado em (c), escolha os valores de I e de R_C. Use o maior valor possível para I sujeito à condição de que a corrente da base de cada transistor (quando I se divide igualmente) não deve exceder a 2 μA. Suponha $\beta = 100$.

P6.3 Projete o circuito da Figura 6.1 para fornecer uma tensão de saída diferencial (que está entre dois coletores) de 1 V quando o sinal diferencial de entrada aplicado é de 15 mV. Uma fonte de corrente de 2 mA e uma fonte de alimentação positiva de +10 V estão disponíveis. Qual o maior valor possível de tensão de entrada em modo comum para o qual o circuito opera conforme o projeto? Suponha $\alpha \cong 1$.

6.4 Em um amplificador diferencial usando uma fonte de corrente de 6 mA para polarização do emissor, os dois TBJs não estão casados. A área da junção do emissor é o dobro da do outro. Para um sinal diferencial de entrada de zero volts, que valor terá a corrente de coletor? Que valor de diferença de potencial deve haver na entrada para equalizar as correntes dos coletores? Suponha $\alpha = 1$.

Seção 6.2: Operação com Pequenos Sinais do Amplificador Diferencial com TBJ

6.5 Um amplificador diferencial com TBJ usa uma corrente de polarização de 200 μA. Qual o valor de g_m de cada dispositivo? Se β for de 200, qual a resistência de entrada diferencial?

6.6 Um amplificador diferencial com TBJ está polarizado por uma fonte de corrente constante de 2 mA e inclui um resistor de 100 Ω em cada emissor. Os coletores estão conectados a V_{CC} via resistores de 5 kΩ. Um sinal diferencial de entrada de 0,1 V está aplicado entre as duas bases.

(a) Calcule a corrente de sinal nos emissores (i_e) e a tensão de sinal v_{be} para cada TBJ.

(b) Qual a corrente total de emissor em cada TBJ?

(c) Qual a tensão de sinal em cada coletor? Suponha $\alpha = 1$.

(d) Qual o ganho de tensão que resulta quando a saída é tomada entre os dois coletores?

6.7 O circuito do amplificador diferencial da Figura P6.7 utiliza um resistor conectado na fonte de alimentação negativa para estabelecer uma corrente I de polarização.

(a) Para $v_{B1} = v_d/2$ e $v_{B2} = -v_d/2$, em que v_d é um sinal pequeno com valor médio zero, calcule o valor do ganho diferencial, $|v_o/v_d|$.

(b) Para $v_{B1} = v_{B2} = v_{CM}$, calcule o valor do ganho em modo comum, $|v_o/v_{CM}|$.

(c) Calcule o valor de CMRR.

(d) Se $v_{B1} = 0{,}1 \operatorname{sen} 2\pi \times 60t + 0{,}005 \operatorname{sen} 2\pi \times 1000t$ volts, $v_{B2} = 0{,}1 \operatorname{sen} 2\pi \times 60t - 0{,}005 \operatorname{sen} 2\pi \times 1000t$ volts, calcule v_o.

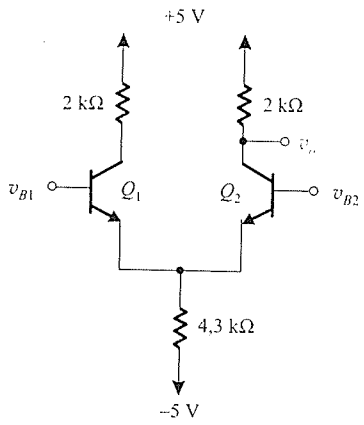


Figura P6.7

*P6.8 Projete um amplificador diferencial que forneça duas saídas simples (nos coletores). O amplificador deve ter um ganho diferencial (para cada uma das duas saídas) de pelo menos 100 V/V, uma resistência de entrada diferencial ≥ 10 kΩ e um ganho em modo-comum (para cada uma das duas saídas) que não seja maior do que 0,1 V/V. Use uma fonte de corrente de 2 mA para a polarização. Dê o circuito completo com os valores dos componentes e uma fonte de alimentação disponível que permita uma excursão de ± 2 V em cada coletor. Especifique o valor mínimo que a resistência de saída da fonte de corrente deve ter. Os TBJs disponíveis têm $b \geq 100$. Qual o valor da resistência de entrada em modo comum quando a fonte de polarização tem o menor valor de resistência aceitável?

6.9 Quando a saída de um amplificador diferencial com TBJ é usada diferencialmente, sua CMRR é calculada como sendo de 40 dB maior do que quando a saída é usada com saída simples. Se a única fonte de ganho em modo comum quando a saída é tomada diferencialmente for nas resistências dos coletores, qual deve ser o valor do descasamento (em porcentagem)?

Seção 6.3: Outras Características Não-ideais do Amplificador Diferencial

6.10 Um amplificador diferencial usa dois transistores cujos valores de β são β_1 e β_2. Se todo o restante do circuito estiver casado, mostre que o valor da tensão de offset de entrada é aproximadamente

$$V_T\left(\frac{1}{\beta_1}-\frac{1}{\beta_2}\right).$$

Determine V_{OS} para $\beta_1 = 100$ e $\beta_2 = 200$.

**6.11 Em um amplificador diferencial com TBJ particular, um erro de fabricação faz com que a área da junção emissor–base de um dos transistores seja o dobro da área do outro. Com as duas entradas aterradas, calcule a corrente em cada um dos dois transistores e, conseqüentemente, a tensão de offset cc de saída, supondo que as resistências de coletor sejam iguais. Use a análise para pequenos sinais para calcular a tensão de entrada que poderia restaurar o balanço de corrente de par diferencial. Repita essa questão usando a análise para grandes sinais e compare os resultados. Calcule também as correntes de polarização de entrada e de *offset* supondo que $I = 0,1$ mA e $\beta_1 = \beta_2 = 100$.

Seção 6.4: Polarização em Circuitos Integrados com TBJ

*P6.12 Para o circuito na Figura P6.12, supondo que todos os transistores sejam idênticos com valor de β infinito, deduza uma expressão para a corrente de saída I_O e mostre que escolhendo $R_1 = R_2$ e mantendo a mesma corrente em cada junção, a corrente I_O será

$$I_O = \frac{\alpha V_{CC}}{2R_E}$$

que é independente de V_{BE}. Qual deve ser a relação entre R_E e R_1 e R_2? Para $V_{CC} = 15$ V e supondo $\alpha = 1$ e $V_{BE} = 0,7$ V, projete o circuito para obter uma corrente de saída de 1 mA. Qual o menor valor de tensão que pode ser aplicado ao coletor de Q_3?

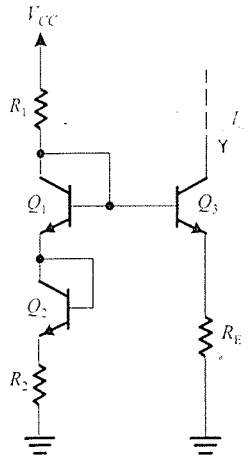


Figura P6.12

6.13 Os transistores Q_1, Q_2 e Q_3, no circuito da Figura P6.13, têm áreas da junção emissor–base de 1:2:3, respectivamente, e seus valores de b são extremamente elevados.
(a) Se Q_1 for um transistor conectado como diodo e for alimentado por uma fonte de corrente de 1 mA, quais valores de corrente resultam nos coletores de Q_2 e Q_3, supondo que as tensões nos coletores são tais que é mantida a operação no modo ativo?
(b) Repita o item anterior com Q_2 conectado como diodo e alimentado por uma fonte de corrente de 1 mA.
(c) Repita a questão anterior com Q_3 conectado como diodo e alimentado por uma fonte de corrente de 1 mA.

P6.14 Considere o circuito de espelho básico da Figura 6.15 para o caso em que a JEB de Q_2 tenha n vezes a área de Q_1. Deduza uma expressão para a transferência de corrente I_O/I_{REF}, supondo um β finito, mas desprezando o efeito Early. Qual o valor máximo de b que garantirá que a corrente de saída esteja dentro de 5% de seu valor nominal nI_{REF}? Suponha que $\beta = 100$.

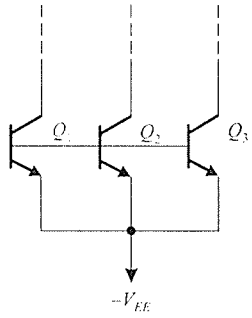


Figura P6.13

P6.15 Utilizando uma fonte de alimentação de +5 V, projete uma versão da fonte de corrente simples com transistor *pnp* da Figura 6.17. A fonte de corrente deve fornecer uma corrente de 0,2 mA. Suponha que os transistores *pnp* disponíveis tenham um alto valor de β e um valor de v_{BE} de 0,7 V com $i_E = 1$ mA. Qual o máximo valor possível de resistência de carga que pode ser conectado nessa fonte de corrente? (O outro terminal da carga deve ser aterrado.)

*6.16 Calcule as tensões em todos os nós e as correntes em todos os ramos no circuito da Figura P6.16. Adote $|V_{BE}| = 0,7$ V e $\beta = \infty$.

P6.17 Estenda o circuito de espelho de corrente da Figura 6.19 para n saídas. Qual a razão de transferência, I_O/I_{REF}, da corrente de entrada para cada saída? Se o desvio da unidade precisa ser mantido ≤ 0,1%, qual o número máximo possível de saídas, para TBJs com $\beta = 100$?

*P6.18 (a) Para o circuito na Figura P6.18, determine I_{O1} e I_{O2} em termos de I_{REF}. Suponha todos os transistores casados e com ganho de corrente β.
(b) Use essa idéia para projetar um circuito que gera correntes de 1, 2 e 4 mA usando uma fonte de corrente de referência de 7 mA. Quais os valores reais esperados para as correntes quando $\beta = 50$?

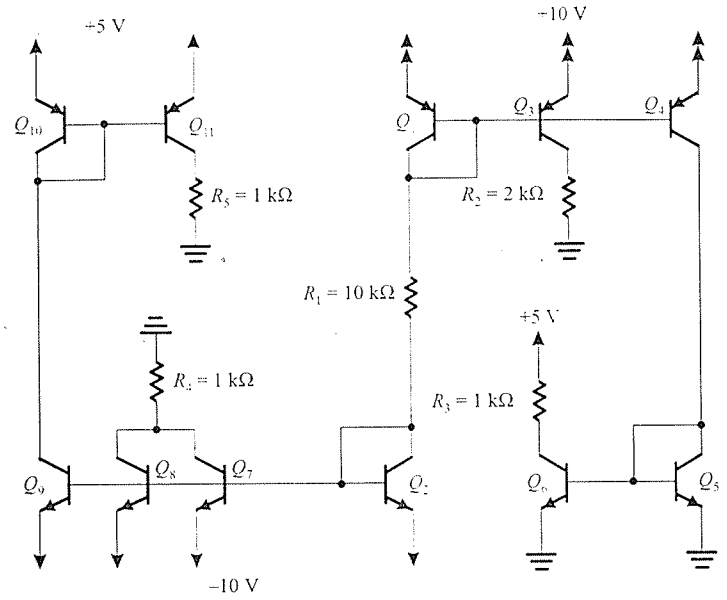


Figura P6.16

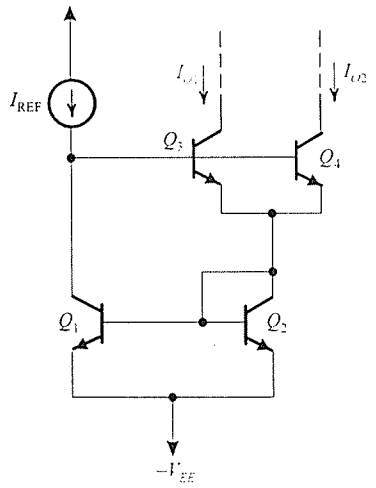


Figura P6.18

6.19 O TBJ no circuito da Figura P6.19 tem $V_{BE} = 0{,}7$ V, $\beta = 100$, $V_A = 100$ V e $r_\mu = 10\ \beta r_o$. Calcule R_o.

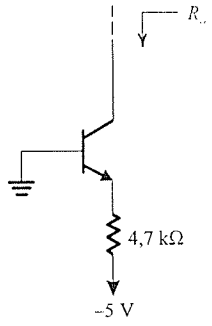


Figura P6.19

P6.20 (a) Para o circuito na Figura P6.20, suponha que o valor de β seja alto e os TBJs tenham $v_{BE} = 0{,}7$ V para 1 mA. Calcule o valor de R que resultará em $I_O = 10\ \mu\text{A}$.

(b) Para o projeto em (a), calcule R_o, supondo $\beta = 100$ e $V_A = 100$ V.

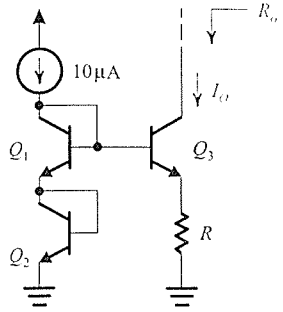


Figura P6.20

6.21 Considere o efeito de uma variação na fonte de alimentação sobre a polarização *cc* do amp op do circuito da Figura 6.24: se a tensão da fonte cair de +15 V para +14 V, qual será o valor da tensão de saída? Se, separadamente, a tensão da fonte aumentar de −15 V para −14 V, que valor terá a tensão de saída?

Seção 6.5: O Amplificador Diferencial com TBJ e Carga Ativa

*P6.22 Projete o circuito da Figura 6.25 usando um espelho de corrente básico para implementar uma fonte de corrente I. É necessário que a transcondutância equivalente seja de 5 mA/V. Use uma fonte de alimentação de ± 5 V e TBJs que tenham $\beta = 150$ e $V_A = 100$ V. Desenhe o circuito completo com os valores dos componentes e especifique a resistência de entrada diferencial R_i, a resistência de saída R_o, o ganho de tensão em circuito aberto, a corrente de polarização de entrada, a faixa de entrada em modo comum e a resistência de entrada em modo comum. Despreze o efeito de r_μ.

*P6.23 Repita o projeto do amplificador solicitado no problema anterior usando uma fonte de corrente de Widlar como fonte de corrente de polarização. Assuma que a máxima resistência disponível seja de 2 kΩ.

6.24 Para o amplificador cascode da Figura 6.27(b), qual o ganho de tensão da base para o coletor de Q_1?

Seção 6.6: Amplificadores Diferenciais MOS

6.25 Considere o par diferencial MOS da Figura 6.29 com a porta de Q_2 aterrada. Suponha que $\mu_n C_{ox} = 20\ \mu\text{A/V}^2$, $V_t = 1$ V, $W/L = 50$ e $I = 40\ \mu\text{A}$. Calcule v_{GS1}, v_{GS2}, v_S e v_{G1}, que correspondem às seguintes distribuições de correntes:

(a) $i_{D1} = i_{D2} = 20\ \mu\text{A}$,

(b) $i_{D1} = 30\ \mu\text{A}$ e $i_{D2} = 10\ \mu\text{A}$,

(c) $i_{D1} = 40\ \mu\text{A}$ e $i_{D2} = 0$ (Q_2 *entrando* no corte).

Confirme se o valor de v_{G1} obtido em (c) é o mesmo daquele encontrado usando-se a Equação 6.103.

6.26 Projete o amplificador diferencial MOS da Figura 6.29 para operar com $V_{GS} - V_t = 0{,}2$ V e fornecer uma transcondutância g_m de 1 mA/V. Especifique as razões W/L e a corrente de polarização. A tecnologia disponível fornece $V_t = 0{,}8$ V e $\mu_n C_{ox} = 90\ \mu\text{A/V}^2$.

6.27 Para o espelho MOS simples, na Figura 6.32(a), os dispositivos têm $V_t = 1$ V, $k_n'(W/L) = 200\ \mu\text{A/V}^2$ e $V_A = 20$ V. $I_{REF} = 100\ \mu\text{A}$, $V_{SS} = 5$ V e $V_O = +5$ V. Que valor resulta para I_O?

6.28 Para o espelho de corrente em cascode na Figura 6.32(b) com $V_t = 1$ V, $k_n'(W/L) = 200\ \mu\text{A/V}^2$, $V_A = 20$ V, $I_{REF} = 100\ \mu\text{A}$, $V_{SS} = 5$ V e $V_O = +5$ V, que valor resulta em I_O? (Observe a enorme melhoria sobre a situação obtida com o espelho simples do problema anterior.)

*6.29 Um espelho de corrente de Wilson usa dispositivos com $V_t = 1$ V, $k_n'(W/L) = 200\ \mu\text{A/V}^2$ e $V_A = 20$ V. $I_{REF} = 100\ \mu\text{A}$ e $V_{SS} = 0$ V. Que valor resulta em I_O? Agora, se o

circuito for modificado conforme a Figura 6.32(d), que valor resulta em I_O?

*P6.30 Se o transistor *pnp* no circuito da Figura P6.30 for caracterizado por sua relação exponencial com uma escala de corrente I_S, mostre que a corrente *cc* I é dada por $IR = V_T \ln(I/I_S)$. Supondo Q_1 e Q_2 casados e Q_3, Q_4 e Q_5 casados, calcule o valor de R que produz uma corrente $I = 10\ \mu A$, para o TBJ com $V_{EB} = 0.7$ V e $I_E = 1$ mA.

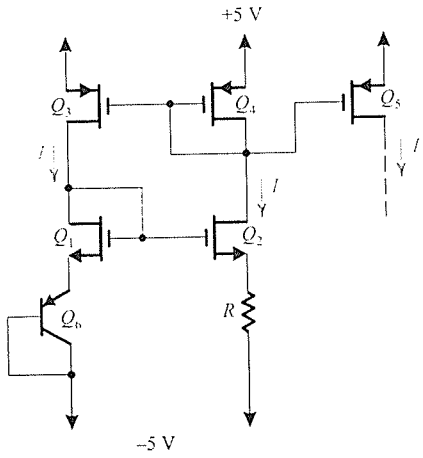


Figura P6.30

Seção 6.7: Amplificadores BiCMOS

Para os problemas nesta seção, suponha que a tecnologia BiCMOS disponível forneça dispositivos bipolares com $V_A = 50$ V e $\beta = 100$; e dispositivos MOS com $L = 2\ \mu m$, $\lambda = 0{,}05\ V^{-1}$, $|V_t| = 1$ V e $\mu_n C_{ox} = 20\ \mu A/V^2$.

6.31 Que razão W/L um MOSFET deve ter para chegar a um g_m igual ao do TBJ quando ambos são polarizados com uma corrente $I = 100\ \mu A$? Comente esse resultado.

*P6.32 (a) Mostre que, para o amplificador cascode BiCMOS da Figura 6.35(c), o ganho pode ser expresso na forma

$$\frac{v_o}{v_i} = -\frac{2\beta_2 V_A}{V_{GS} - V_t}$$

(b) Projete o circuito para ter um ganho de −40.000 V/V. A fim de obter um desempenho aceitável em altas freqüências, as correntes de polarização devem ser de pelo menos 10 μA. Especifique a largura do MOSFET e o valor de V_{GS} com o qual Q_1 deve ser polarizado. Qual o valor mínimo para $V_{\text{POLARIZAÇÃO}}$? Suponha que o TBJ tenha um v_{BE} de 0.7 V para uma corrente de 10 μA.

Seção 6.8: Amplificadores em GaAs

A não ser quando especificado, use os dados dos dispositivos fornecidos na Tabela 5.2.

P6.33 Para a fonte de corrente da Figura 6.39(c) com $V_{DD} = +5$ V, calcule a largura do dispositivo que resultará em uma corrente de 11 mA quando a tensão na fonte for de +4 V. Qual a resistência de saída da fonte de corrente?

6.34 Considere a fonte de corrente cascode da Figura 6.43(a) para o caso em que $W_1 = 10\ \mu m$ e $W_2 = 50\ \mu m$. Despreze a modulação do comprimento do canal e calcule o valor da corrente I e o máximo valor permitido de V_{DSsat} para Q_1, a fim de que esse circuito funcione corretamente. Se a tensão no nó A for de +4 V e $V_{DD} = +5$ V, calcule a tensão no dreno de Q_1. Calcule também a resistência de saída dessa fonte de corrente.

*6.35 Para o circuito da Figura P6.35, certifique-se de que a resistência vista olhando-se para o dreno de Q_2 seja muito maior do que r_{o3} e que o ganho de tensão obtido seja de aproximadamente $-g_{m1}r_{o3}$. Se o transistor de entrada Q_1 estiver polarizado com $V_{GS} = 0$ V, calcule os valores aproximados das correntes *cc* em Q_1 e em Q_3 (despreze λ). Calcule também um valor aproximado para o ganho de tensão. (Para simplificar o problema, despreze λ quando for calcular o valor de g_{m1}.)

Seção 6.9: Amplificadores de Múltiplos Estágios

6.36 Um amplificador diferencial com TBJ, polarizado para ter $r_e = 50\ \Omega$ e utilizando dois resistores de emissor de 100 Ω e uma carga de 5 kΩ, aciona um segundo estágio amplificador que tem r_e de 20 Ω. Todos os transistores TBJ têm $\beta = 150$. Qual o ganho de tensão do primeiro estágio? Determine também a resistência de entrada do primeiro estágio e o ganho de corrente da entrada do primeiro estágio para os coletores do segundo estágio.

P6.37 Considere o circuito da Figura 6.46 e sua resistência de saída. Que resistor tem maior efeito sobre a resistência de saída? Para que valor essa resistência deveria mudar se desejássemos reduzir a resistência de saída por um fator de 2? Qual será o valor do ganho do amplificador após essa modificação? Que outra modificação pode ser feita para restaurar o ganho do amplificador para um valor próximo do anterior?

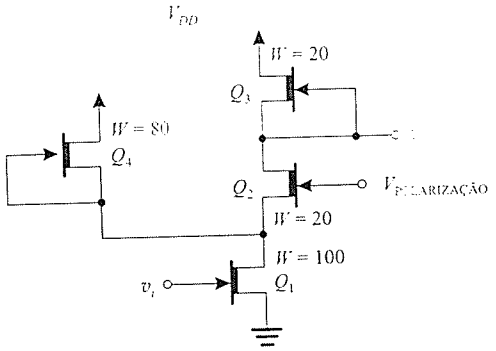


Figura P6.35

P6.38 Se, no amplificador de múltiplos estágios da Figura 6.46, o resistor R_5 for substituído por uma fonte de corrente constante de = 1 mA, tal que a situação da polarização não seja essencialmente afetada, qual será o valor do ganho de tensão total? Suponha que a resistência de saída da fonte de corrente seja muito alta. Use os resultados do Exemplo 6.4.

*P6.39 Com a modificação sugerida no problema anterior para o amplificador de múltiplos estágios, qual o efeito de uma variação na resistência de saída? Qual será o ganho total do amplificador quando uma carga de 100 Ω for ligada da saída para o terra? O amplificador original (antes da modificação) tinha uma resistência de saída de 152 Ω e um ganho de tensão de 8513 V/V. Qual o ganho se a carga for de 100 Ω? Comente. Use $\beta = 100$.

CAPÍTULO 7

MAKRON Books

Resposta em Freqüência

Introdução
7.1 Análise no Domínio *s*: Pólos, Zeros e Curvas de Bode
7.2 A Função de Transferência do Amplificador
7.3 Resposta em Baixas Freqüências dos Amplificadores Fonte Comum e Emissor Comum
7.4 Resposta em Altas Freqüências dos Amplificadores Fonte Comum e Emissor Comum
7.5 As Configurações Base Comum, Porta Comum e Cascode
7.6 Resposta em Freqüência do Seguidor de Emissor e do Seguidor de Fonte
7.7 A Cascata Coletor Comum–Emissor Comum
7.8 A Resposta em Freqüência do Amplificador Diferencial
7.9 Exemplos de Simulação com o SPICE
Resumo
Bibliografia
Problemas

INTRODUÇÃO

No Capítulo 1, apresentamos o tópico da resposta em freqüência e mencionamos resumidamente as várias formas encontradas para as respostas em freqüência. Além disso, foi apresentada a resposta em freqüência das redes com constante de tempo simples (CTS) (outros detalhes estão disponíveis no Apêndice F). Esse conteúdo foi preparado para ser aplicado diretamente nos cálculos da resposta em freqüência dos circuitos com amp op (Capítulo 2). Também estudamos os efeitos capacitivos internos do TBJ (Capítulo 4) e do MOSFET (Capítulo 5) e desenvolvemos modelos para operação em altas freqüências de ambos os dispositivos. Independente disso e da menção eventual das limitações impostas sobre a resposta em freqüência, o estudo detalhado desse importante tópico foi adiado para o presente capítulo. Isso foi feito por uma série de razões; a mais importante delas foi a necessidade dos conceitos teóricos de circuitos e métodos que o leitor pode não ter descoberto

no início deste livro. Estamos nos referindo especificamente à variável freqüência complexa s e aos conceitos associados, como pólos e zeros. Esses tópicos são encontrados normalmente nos textos introdutórios sobre análise de circuitos [veja, por exemplo, Van Valkenburg (1974) e Bobrow (1978)]. Para o texto seguinte, será suposto que o leitor está familiarizado com esse assunto.

Após uma breve revisão da análise no domínio s (Seção 7.1) e um estudo das funções de transferência (Seção 7.2), a resposta em baixas freqüências do amplificador fonte comum e emissor comum com acoplamento capacitivo é apresentada (Seção 7.3). O modelo para altas freqüências do FET e do TBJ é apresentado e aplicado na análise da resposta em altas freqüências dos amplificadores fonte comum e emissor comum (Seção 7.4); dos amplificadores base comum, porta comum e cascode (Seção 7.5); e do amplificador coletor comum (Seção 7.6). Um certo número de amplificadores com configurações de dois estágios, apresentando a vantagem de uma faixa de passagem estendida, também são estudados neste capítulo. Além disso, a resposta em freqüência do amplificador diferencial é considerada em detalhes. O capítulo é concluído com exemplos do uso da simulação computacional com o SPICE para a análise e projeto da resposta em freqüência de amplificadores.

Os amplificadores de estágio simples e de dois estágios analisados neste capítulo podem ser usados individualmente ou como elementos de circuito para amplificadores de múltiplos estágios mais complexos. A análise de amplificadores de múltiplos estágios usa os métodos estudados neste capítulo, como será ilustrado no Capítulo 10 no contexto de análise de circuitos com amp op.

Embora a ênfase deste capítulo seja sobre análise, ele é prontamente aplicável para projeto. Isso é conseguido mantendo-se a análise relativamente simples e dirigindo nossa atenção para os mecanismos que limitam a resposta em freqüência e sobre os métodos para estender a faixa de passagem do amplificador. É claro que, uma vez obtido o projeto inicial, sua resposta em freqüência exata pode ser calculada pela análise auxiliada pelo computador (veja o Apêndice C). Os resultados obtidos desse modo podem ser usados para melhorar ainda mais o projeto.

7.1 ANÁLISE NO DOMÍNIO *s*: PÓLOS, ZEROS E CURVAS DE BODE

A maior parte do texto deste capítulo será dedicada para calcular o ganho de tensão do amplificador como uma função de transferência em termos da variável complexa s. Na análise no domínio s, a capacitância C é substituída por uma admitância sC, ou uma impedância $1/sC$, que é equivalente, e uma indutância L é substituída por uma impedância sL. Logo, usando a técnica usual de análise de circuito, deduzimos a função de transferência da tensão $T(s) \equiv V_o(s)/V_i(s)$.

Exercício

7.1 Calcule a função de transferência da tensão $T(s) \equiv V_o(s)/V_i(s)$ para a rede CTS mostrada na Figura E7.1.

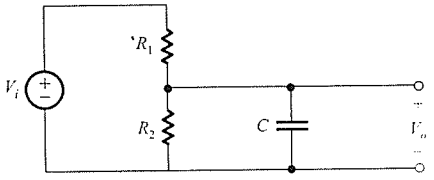


Figura E7.1

Resposta $T(s) = \dfrac{1/CR_1}{s + 1/C(R_1 // R_2)}$

Uma vez obtida a função de transferência $T(s)$, podemos calcular a **resposta permanente senoidal** substituindo s por $j\omega$. A função de transferência resultante $T(j\omega)$ é geralmente uma quantidade complexa cuja dimensão dá o valor do módulo da amplitude da resposta (ou a transmissão) e cujo ângulo fornece o valor da fase da resposta do amplificador.

Em muitos casos, não será necessário substituir $s = j\omega$ e calcular $T(j\omega)$; melhor, a forma de $T(s)$ revelará muitos fatos úteis sobre o funcionamento do circuito. Em geral, para todos os circuitos tratados neste capítulo, $T(s)$ pode ser expresso na forma

$$T(s) = \frac{a_m s^m + a_{m-1} s^{m-1} + \cdots + a_0}{s^n + b_{n-1} s^{n-1} + \cdots + b_0} \tag{7.1}$$

em que os coeficientes a e b são números reais e a ordem m do numerador é menor do que ou igual à ordem n do denominador; essa última é chamada de **ordem da rede**. Além disso, para um **circuito estável** – isto é, um circuito que não gere sinais por si próprio –, os coeficientes do denominador devem ser tais que *todas as raízes do polinômio do denominador tenham partes reais negativas*. Estudaremos o problema da estabilidade do amplificador no Capítulo 8.

Pólos e Zeros

Uma forma alternativa para expressar $T(s)$ é

$$T(s) = a_m \frac{(s - Z_1)(s - Z_2) \cdots (s - Z_m)}{(s - P_1)(s - P_2) \cdots (s - P_n)} \tag{7.2}$$

em que a_m é uma constante multiplicativa (o coeficiente de s^m no numerador), Z_1, Z_2, ... Z_m são as raízes do polinômio do numerador e P_1, P_2, ..., P_n são as raízes do polinômio do denominador. Z_1, Z_2, ..., Z_m são chamadas **zeros da função de transferência** ou **zeros de transmissão** e P_1, P_2, ..., P_n são os **pólos da função de transferência** ou os **modos naturais** da rede. Uma função de transferência fica completamente especificada determinando-se seus pólos e zeros juntamente com o valor da constante multiplicativa.

Os pólos e zeros podem ser números reais ou complexos. Contudo, visto que os coeficientes a e b são números reais, os pólos complexos (ou zeros) devem acontecer em um **par conjugado**. Isto é, se $5 + j3$ for um zero, então $5 - j3$ também deve ser um zero. Um zero que é imaginário puro ($\pm j\omega_Z$) faz com que a função de transferência $T(j\omega)$ seja exatamente zero com $\omega = \omega_Z$. Isso se deve ao fato de o numerador vir a ter os fatores $(s + j\omega_Z)(s - j\omega_Z) = (s^2 + \omega_Z^2)$, que para regime permanente senoidal torna-se $(-\omega^2 + \omega_Z^2)$ e, assim, a função de transferência será exatamente zero em $\omega = \omega_Z$. Portanto, o circuito "armadilha" instalado na entrada do aparelho de televisão tem uma transmissão zero na freqüência de interferência. Os zeros reais, por outro lado, não produzem transmissões nulas. Finalmente, observe que, para valores de s muito maiores que todos os pólos e zeros, a função de transferência na Equação 7.1 se transforma em $T(s) \approx a_m / s^{n-m}$. Portanto, a função de transferência tem $(n - m)$ zeros com $s = \infty$.

Funções de Primeira Ordem

Todas as funções de transferência encontradas neste capítulo têm pólos e zeros reais e podem, portanto, ser escritas como o produto das funções de transferência de primeira ordem da forma geral

$$T(s) = \frac{a_1 s + a_0}{s + \omega_0} \tag{7.3}$$

em que $-\omega_0$ é a localização do pólo real. A quantidade ω_0, chamada **freqüência de pólo**, é igual ao inverso da constante de tempo simples da rede (CTS) (veja a Seção 1.6 e o Apêndice F). As constantes a_0 e a_1 determinam o tipo de rede CTS. Estudamos, especificamente, no Capítulo 1 dois tipos de redes CTS, passa-baixas e passa-altas. Para as redes de primeira ordem passa-baixas temos

$$T(s) = \frac{a_0}{s + \omega_0} \tag{7.4}$$

Nesse caso, o ganho de tensão *cc* é a_0/ω_0 e ω_0 é a freqüência de corte a 3 dB ou freqüência de 3 dB. Observe que essa função de transferência tem um zero com $s = \infty$. Por outro lado, a função de transferência de primeira ordem da rede passa-altas tem um zero em *cc* e pode ser escrita

$$T(s) = \frac{a_1 s}{s + \omega_0} \tag{7.5}$$

O leitor é enfaticamente estimulado a rever o material sobre as redes CTS e suas respostas em freqüência e a pulsos no Apêndice F. O interesse específico é sobre as curvas de resposta em amplitude (módulo) e fase dos dois tipos especiais de redes CTS. Essas curvas podem ser empregadas para gerar as respostas em módulo e fase de uma função de transferência de ordem mais elevada, conforme explicado adiante.

Curvas de Bode

Há uma técnica simples para obter uma curva aproximada do módulo e da fase de uma função de transferência, sendo dados seus pólos e zeros. A técnica é particularmente útil no caso de pólos e zeros reais. O método foi desenvolvido por H. Bode, e os diagramas resultantes são chamados **curvas de Bode**.

A função de transferência da forma representada na Equação 7.2 consiste em um produto de fatores da forma $s + a$, em que tal fator aparece na parte de cima se corresponde a um zero e na parte de baixo se corresponde a um pólo. Isso implica que a resposta em módulo (em decibéis) da rede pode ser obtida pela soma de termos da forma $20 \log_{10} \sqrt{a^2 + \omega^2}$, e a resposta em fase pode ser obtida pela soma de termos da forma $\tan^{-1}(\omega/a)$. Em ambos os casos, os termos correspondentes aos pólos são supostos tendo sinal negativo. Por conveniência, podemos retirar a constante a e escrever o termo típico do módulo na forma $20 \log_{10} \sqrt{1 + (\omega/a)^2}$. Em um sistema de eixos com escala em decibéis *versus* freqüência em log, esse termo dá origem a uma curva e às retas assíntotas mostradas na Figura 7.1. Nessa figura, a assíntota em baixas freqüências é uma reta horizontal no nível de 0 dB e a assíntota em altas freqüências é uma reta com uma inclinação de 6 dB/oitava ou, de modo equivalente, de 20 dB/década. Essas duas assíntotas se encontram na freqüência $\omega = |a|$, que é chamada **freqüência de corte**. Conforme indicado, a curva real do módulo difere ligeiramente do valor dado pelas assíntotas; a diferença máxima é de 3 dB e ocorre na freqüência de corte.

Para $a = 0$ – isto é, um pólo ou um zero com $s = 0$ – a curva é simplesmente uma reta com inclinação de 6 dB/oitava interceptando a reta de 0 dB em $\omega = 1$.

Resumindo, para obter a curva de Bode do módulo de uma função de transferência, desenhamos primeiro a curva assíntota de cada pólo e zero. A inclinação da assíntota da curva correspondente para um zero é de +20 dB/década, enquanto para um pólo é de –20 dB/década. As várias curvas são então somadas e a curva total é deslocada verticalmente de uma constante multiplicativa da função de transferência.

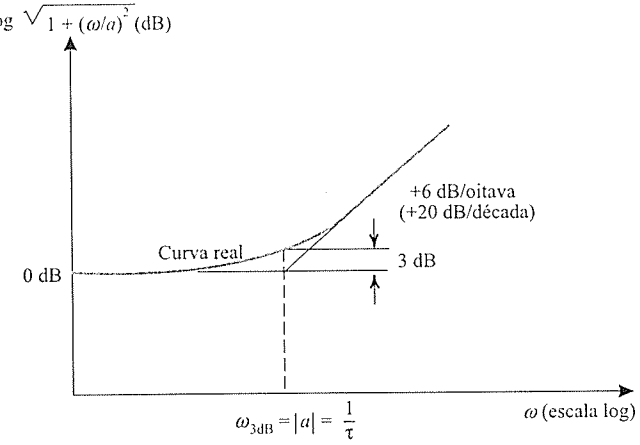


Figura 7.1 Curva de Bode típica para o módulo da amplitude. A curva mostrada aplica-se para o caso de um zero. Para um pólo único, a assíntota para altas freqüências deve cair com uma inclinação de –6 dB/oitava.

EXEMPLO 7.1

Um amplificador tem a seguinte função de transferência de tensão

$$T(s) = \frac{10s}{(1+s/10^2)(1+s/10^5)}$$

Calcule os pólos e zeros e esboce o módulo do ganho *versus* freqüência. Calcule os valores aproximados para o ganho em $\omega = 10$, 10^3 e 10^6 rad/s.

SOLUÇÃO

Os zeros são: um em $s = 0$ e um em $s = \infty$. Os pólos são: um em $s = -10^2$ rad/s e um em $s = -10^5$ rad/s.

A Figura 7.2 mostra as assíntotas de Bode para os diferentes fatores da função de transferência. A curva 1, que é uma reta com +20 dB/década, corresponde ao termo s (isto é, o zero em $s = 0$) no numerador. O pólo em $s = -10^2$ resulta na curva 2, que consiste em duas assíntotas que se interceptam em $\omega = 10^2$. De modo similar, o pólo em $s = -10^5$ é representado pela curva 3, na qual a interseção das assíntotas ocorre em $\omega = 10^5$. Finalmente, a curva 4 representa a constante multiplicativa de valor 10.

Somando-se as quatro curvas chega-se ao diagrama assintótico de Bode do módulo do ganho do amplificador (curva 5). Observe que, como os dois pólos são bem separados, o ganho será muito próximo de 10^3 (60 dB) em uma faixa de freqüência de 10^2 a 10^5 rad/s. Nas duas freqüências de corte (10^2 e 10^5 rad/s), o ganho é aproximadamente 3 dB abaixo

do máximo de 60 dB. Em três freqüências específicas, os valores dos ganhos, conforme obtidos da curva de Bode e do cálculo exato da função de transferência, são:

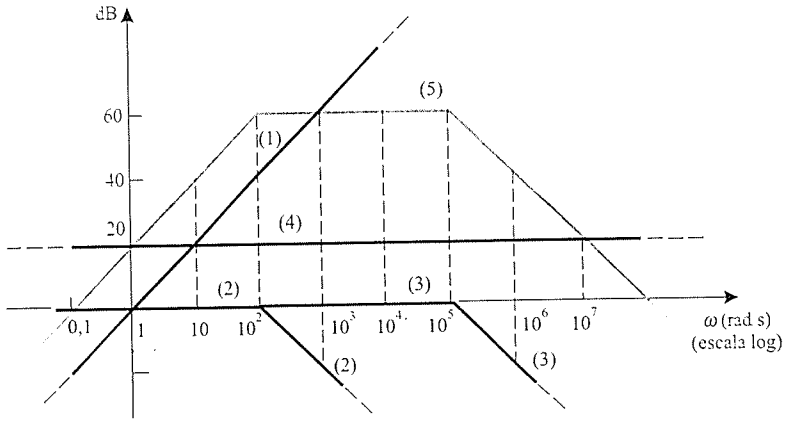


Figura 7.2 Curvas de Bode para o Exemplo 7.1.

ω	Ganho aproximado	Ganho exato
10	40 dB	39,96 dB
10^3	60 dB	59,96 dB
10^6	40 dB	39,96 dB

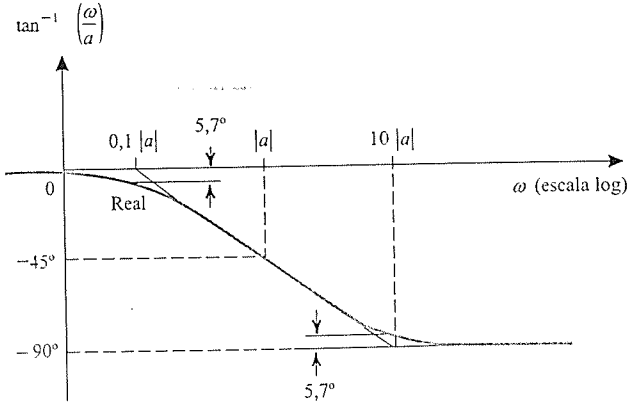


Figura 7.3 Curva de Bode de um termo típico de fase $\tan^{-1}(\omega/a)$ quando a é negativo.

Consideramos a seguir a curva de Bode para a fase. A Figura 7.3 mostra uma curva típica do termo da fase $\tan^{-1}(\omega/a)$, supondo que a seja negativo. É mostrada também uma aproximação da reta assintótica da função arco tangente. A curva assintótica consiste em três retas. A primeira é horizontal em $\phi = 0$ e se estende até $\omega = 0{,}1|a|$. A segunda reta tem uma inclinação de $-45°$/década e se estende de $\omega = 0{,}1|a|$ até $\omega = 10|a|$. A terceira reta tem uma inclinação zero e um nível de $\phi = -90°$. A resposta completa da fase pode ser obtida pela soma das curvas assintóticas de Bode para a fase de todos os pólos e zeros.

EXEMPLO 7.2

Desenhe a curva de Bode para a fase da função de transferência do amplificador considerado no Exemplo 7.1.

SOLUÇÃO

O zero em $s = 0$ dá origem a uma função fase constante de $+90°$ representada pela curva 1 na Figura 7.4. O pólo em $s = -10^2$ dá origem a uma função fase

$$\phi_1 = -\tan^{-1}\frac{\omega}{10^2}$$

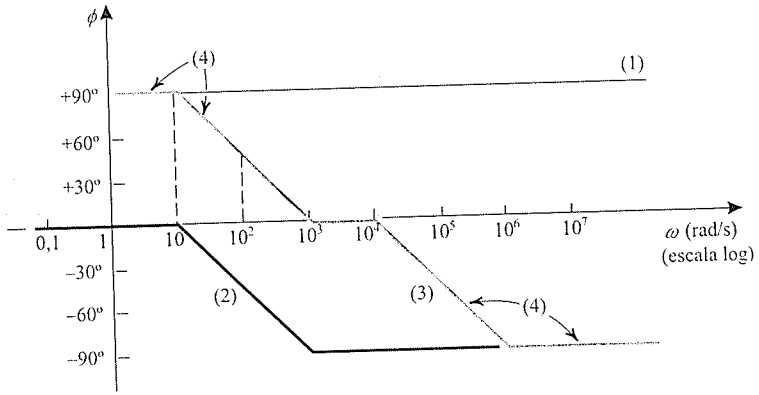


Figura 7.4 Curva de fase para o Exemplo 7.2.

O sinal negativo na equação é devido ao fato de ela ser proveniente de um pólo. A curva assintótica dessa função é dada pela curva 2 na Figura 7.4. De modo similar, o pólo em $s = -10^5$ dá origem à função fase

$$\phi_2 = -\tan^{-1}\frac{\omega}{10^5}$$

cuja curva assintótica é dada pela curva 3. A resposta da fase total (curva 4) é obtida pela soma direta das três curvas. Vemos que, em 100 rad/s, a fase do amplificador avança de 45° e em 10^5 rad/s a fase atrasa de 45°.

Uma Observação Importante

Para construir as curvas de Bode, é mais conveniente expressar os fatores da função de transferência na forma

$$\left(1 + \frac{s}{a}\right)$$

Dessa forma, pode-se aplicar diretamente a sistemática dos dois exemplos anteriores.

7.2 A FUNÇÃO DE TRANSFERÊNCIA DO AMPLIFICADOR

Os amplificadores considerados neste capítulo têm funções ganho de tensão em uma das duas formas mostradas na Figura 7.5. A Figura 7.5(a) aplica-se a amplificadores *cc* ou diretamente acoplados e a Figura 7.5(b), a amplificadores *ca* ou capacitivamente acoplados. A única diferença entre os dois tipos é que o ganho do amplificador *ca* cai em baixas freqüências. A seguir, estudaremos a resposta mais geral mostrada na Figura 7.5(b). A resposta do amplificador *cc* segue como um caso especial.

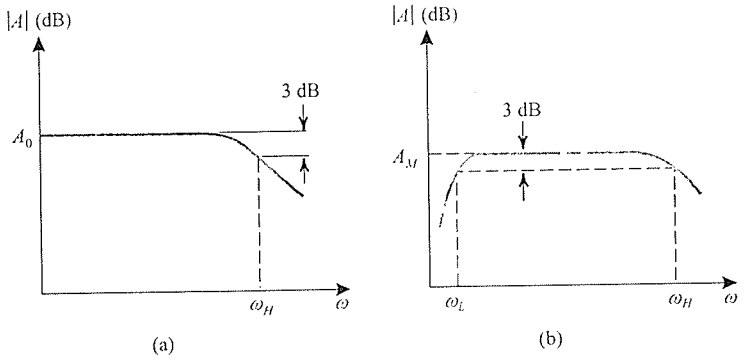


Figura 7.5 Resposta em freqüência para (a) amplificardor *cc* e (b) amplificador *ca*.

As Três Faixas de Freqüência

Conforme pode ser visto na Figura 7.5(b), o ganho do amplificador é quase constante sobre uma larga faixa de freqüências chamada **faixa de freqüências médias** (*midband*). Nessa faixa de freqüências, todas as capacitâncias (acoplamento, desvio e capacitâncias internas dos transistores) têm efeitos desprezíveis e podem ser ignoradas nos cálculos do ganho. Em altas freqüências, no

final do espectro, o ganho cai devido ao efeito das capacitâncias internas do dispositivo. Por outro lado, em baixas freqüências, no início do espectro, as capacitâncias de acoplamento e de desvio já não funcionam como curtos-circuitos perfeitos e, portanto, provocam a queda no ganho. A extensão da faixa de freqüências médias é usualmente definida pelas duas freqüências, ω_L e ω_H. Essas são as freqüências nas quais o ganho cai 3 dB abaixo do valor da faixa de freqüências médias. A **faixa de passagem** (bandwidth) do amplificador é usualmente definida como

$$\text{BW} = \omega_H - \omega_L \tag{7.6}$$

e desde que $\omega_L << \omega_H$,

$$\text{BW} \simeq \omega_H \tag{7.7}$$

A figura de mérito do amplificador é seu **produto ganho-faixa de passagem**, definido como

$$PGB \equiv A_M \omega_H \tag{7.8}$$

em que A_M é o valor do módulo do ganho na faixa de freqüências médias em volts por volt. Como será mostrado em uma seção posterior, é geralmente possível negociar ganho por faixa de passagem.

A Função Ganho A(s)

O ganho do amplificador como uma função da freqüência complexa s pode ser expresso na forma geral

$$A(s) = A_M F_L(s) F_H(s) \tag{7.9}$$

em que $F_L(s)$ e $F_H(s)$ são funções que consideram a dependência do ganho com a freqüência, na faixa de baixas freqüências e na faixa de altas freqüências, respectivamente. Para freqüências muito maiores do que ω_L, a função $F_L(s)$ se aproxima da unidade. De modo similar, para freqüências muito menores do que ω_H, a função $F_H(s)$ se aproxima da unidade. Portanto, para $\omega_L << \omega << \omega_H$,

$$A(s) \simeq A_M$$

como já deveria ser esperado. Isso mostra também que o ganho do amplificador na faixa de baixas freqüências, $A_L(s)$, pode ser expresso como

$$A_L(s) \simeq A_M F_L(s) \tag{7.10}$$

e o ganho na faixa de altas freqüências pode ser expresso como

$$A_H(s) \simeq A_M F_H(s) \tag{7.11}$$

O ganho na faixa de freqüências médias é determinado pela análise do circuito equivalente com o pressuposto de que os capacitores de acoplamento e de desvio estão funcionando como curtos-circuitos perfeitos e os capacitores internos do modelo do transistor estão agindo como circuitos abertos perfeitos. A função de transferência em baixas freqüências, $A_L(s)$, é determinada pela análise do circuito equivalente do amplificador, incluindo os capacitores de acoplamento e de desvio, mas supondo que as capacitâncias do modelo do transistor se comportam como circuitos abertos perfeitos. Por outro lado, a função de transferência em altas freqüências, $A_H(s)$, é determinada pela análise do circuito equivalente do amplificador, incluindo os capacitores do modelo do transistor, mas supondo que os capacitores de acoplamento e de desvio se comportam como curtos-circuitos perfeitos. A Figura 7.6 provê uma representação gráfica desses pontos.

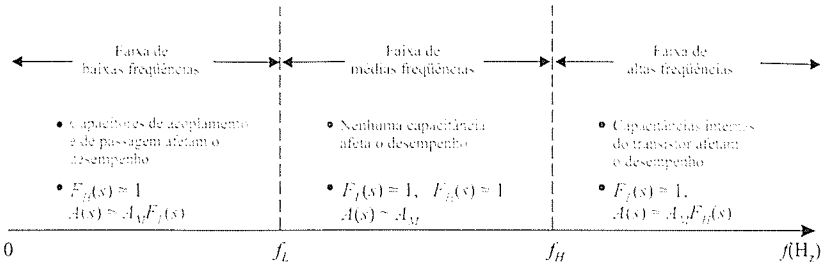


Figura 7.6 As três faixas de freqüência que caracterizam a resposta em freqüência de amplificadores capacitivamente acoplados. Para amplificadores *cc*, a ausência dos capacitores de acoplamento e desvio implicam em $F_L(s) = 1$ e $f_L = 0$ e, portanto, a faixa de freqüências médias estende-se até a freqüência zero.

A Resposta em Baixas Freqüências

A função $F_L(s)$, que caracteriza a resposta em baixas freqüências do amplificador, possui a seguinte forma genérica

$$F_L(s) = \frac{(s+\omega_{Z1})(s+\omega_{Z2})\cdots(s+\omega_{Zn_L})}{(s+\omega_{P1})(s+\omega_{P2})\cdots(s+\omega_{Pn_L})} \tag{7.12}$$

em que ω_{P1}, ω_{P2}, ..., ω_{PnL} são números positivos, representando os n_L pólos em baixas freqüências, e ω_{Z1}, ω_{Z2}, ..., ω_{ZnL} são números positivos, negativos ou zeros, representando o n_L zeros. Deve ser observado pela Equação 7.12 que, quando s se aproxima do infinito (isto é, para $s = j\omega$ se aproximando das freqüências médias), $F_L(s)$ se aproxima da unidade.

O projetista de amplificadores está normalmente interessado na parte de baixas freqüências, que é próxima da faixa de freqüências médias. Isso porque o projetista precisa estimar, e se necessário modificar, o valor da freqüência de corte a 3 dB, ω_L. Em muitos casos, os zeros estão em freqüências tão baixas (muito menores que ω_L) que são de pouca importância na determinação de ω_L.

Além disso, usualmente um dos pólos em baixas freqüências – digamos, ω_{P1} – tem uma freqüência muito mais alta do que a de todos os outros pólos. Isso significa que, para freqüências próximas da faixa de freqüências médias, $F_L(s)$ pode ser aproximada por

$$F_L(s) \simeq \frac{s}{s+\omega_{P1}} \tag{7.13}$$

que é a função de transferência de uma rede passa-altas de primeira ordem. Nesse caso, a resposta em baixas freqüências do amplificador é *controlada* pelo pólo em $s = -\omega_{P1}$ e a freqüência de corte a 3 dB da função $F_L(s)$ é aproximadamente igual a ω_{P1},

$$\omega_L \simeq \omega_{P1} \tag{7.14}$$

Se essa **aproximação para pólo dominante** se mantiver, determinar ω_L torna-se um problema simples. Caso contrário, teremos de determinar a curva completa de Bode para $|F_L(j\omega)|$ e então determinar ω_L. Como regra geral, *a aproximação para pólo dominante pode ser feita se o pólo de maior freqüência for separado do pólo ou zero mais próximo em pelo menos duas oitavas (isto é, um fator de quatro).*

Se um pólo dominante de baixas freqüências não existir, pode ser determinada uma expressão aproximada para ω_L em termos de pólos e zeros. Considere, para simplificar, o caso de um circuito tendo dois pólos e dois zeros na faixa de baixas freqüências; isto é,

$$F_L(s) = \frac{(s+\omega_{Z1})(s+\omega_{Z2})}{(s+\omega_{P1})(s+\omega_{P2})} \tag{7.15}$$

Substituindo-se $s = j\omega$ e tomando o quadrado do módulo, obtém-se

$$|F_L(j\omega)|^2 = \frac{(\omega^2+\omega_{Z1}^2)(\omega^2+\omega_{Z2}^2)}{(\omega^2+\omega_{P1}^2)(\omega^2+\omega_{P2}^2)} \tag{7.16}$$

Por definição, em $\omega = \omega_L$, $|F_L|^2 = 1/2$, portanto

$$\begin{aligned}\frac{1}{2} &= \frac{(\omega_L^2+\omega_{Z1}^2)(\omega_L^2+\omega_{Z2}^2)}{(\omega_L^2+\omega_{P1}^2)(\omega_L^2+\omega_{P2}^2)} \\ &= \frac{1+(1/\omega_L^2)(\omega_{Z1}^2+\omega_{Z2}^2)+(1/\omega_L^4)(\omega_{Z1}^2\omega_{Z2}^2)}{1+(1/\omega_L^2)(\omega_{P1}^2+\omega_{P2}^2)+(1/\omega_L^4)(\omega_{P1}^2\omega_{P2}^2)}\end{aligned} \tag{7.17}$$

Como ω_L é usualmente maior do que as freqüências de todos os pólos e zeros, podemos desprezar os termos que contêm $(1/\omega_L^4)$ e resolver para w_L para obter

$$\omega_L = \sqrt{\omega_{P1}^2+\omega_{P2}^2-2\omega_{Z1}^2-2\omega_{Z2}^2} \tag{7.18}$$

Essa relação pode ser estendida para qualquer número de pólos e zeros. Observe que, se um dos pólos – digamos, P_1 – for dominante, então $\omega_{P1} >> \omega_{P2}$, ω_{Z1}, ω_{Z2} e a Equação 7.18 se reduz à Equação 7.14.

EXEMPLO 7.3

A resposta em baixas freqüências de um amplificador é caracterizada pela função de transferência

$$F_L(s) = \frac{s(s+10)}{(s+100)(s+25)}$$

Determine sua freqüência de corte a 3 dB, aproximada e exata.

SOLUÇÃO

Observando que o pólo de maior freqüência, em 100 rad/s, é duas oitavas maior do que o segundo pólo e uma década maior do que zero, há na prática uma situação de pólo dominante e $\omega_L \cong 100$ rad/s. O melhor valor estimado de ω_L pode ser obtido usando a Equação 7.18, conforme segue:

$$\omega_L = \sqrt{100^2+25^2-2\times10^2} = 102 \text{ rad/s}$$

O valor exato de ω_L pode ser determinado pela função de transferência dada como 105 rad/s. Finalmente, mostramos na Figura 7.7 uma curva de Bode e uma curva exata para o módulo da função de transferência dada. Observe que ela é uma curva normalizada da resposta em baixas freqüências do amplificador relativa ao ganho em freqüências médias. Isto é, se o ganho em freqüências médias fosse de 100 dB, então a curva completa deveria ser deslocada para cima de 100 dB.

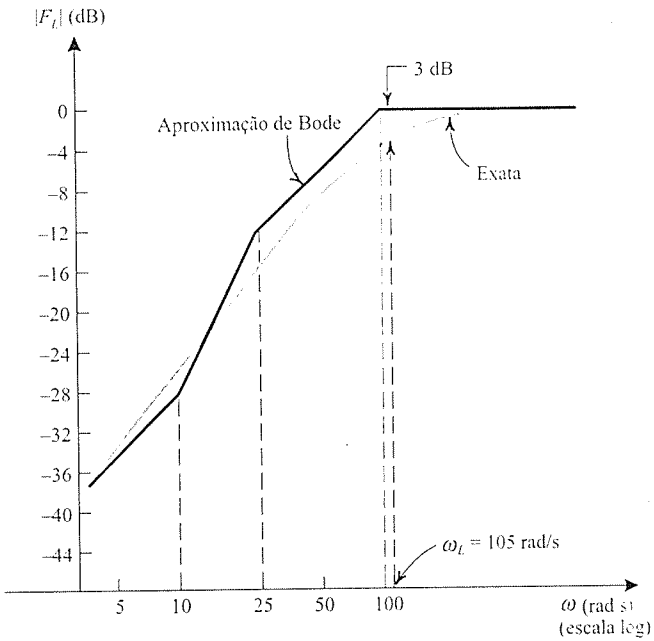


Figura 7.7 Resposta normalizada em baixas freqüências do amplificador do Exemplo 7.3.

A Resposta em Altas Freqüências

Considere a seguir a faixa de altas freqüências. A função $F_H(s)$ pode ser expressa na forma geral[1]

$$F_H(s) = \frac{(1+s/\omega_{Z1})(1+s/\omega_{Z2})\cdots(1+s/\omega_{Zn_H})}{(1+s/\omega_{P1})(1+s/\omega_{P2})\cdots(1+s/\omega_{Pn_H})} \tag{7.19}$$

em que ω_{P1}, ω_{P2}, ..., ω_{Pn_H} são números positivos representando as freqüências dos n_H pólos reais em altas freqüências e ω_{Z1}, ω_{Z2}, ..., ω_{Zn_H} são números positivos, negativos ou infinitos representando as freqüências para os n_H zeros em altas freqüências. Observe, pela Equação 7.19, que à medida que s se aproxima de zero (isto é, para $s = j\omega$ se aproximando da faixa de freqüências médias), $F_H(s)$ se aproxima da unidade.

1. Observe que o método escolhido para expressar $F_H(s)$ na Equação 7.19 é deliberadamente diferente do usado para $F_L(s)$ na Equação 7.12. Naturalmente, podemos usar o mesmo para ambos; no entanto, nossa escolha é muito mais conveniente. O leitor é encorajado a manter esse ponto em mente e refletir sobre o mesmo, talvez após ter concluído a leitura do restante desta seção.

O projetista de amplificadores está normalmente interessado na parte da faixa de altas freqüências próximas à faixa de freqüências médias. Isso se deve à necessidade do projetista de estimar e, se necessário, modificar o valor da freqüência de corte superior a 3 dB, ω_H. Em muitos casos, os zeros estão no infinito ou em freqüências muito altas, portanto são de pouca importância na determinação da freqüência de corte superior a 3 dB, ω_H. Se, além disso, um dos pólos em altas freqüências – digamos, ω_{P1} – for de freqüência muito menor que qualquer outro pólo, então a resposta do amplificador em altas freqüências será *dominada* por esse pólo e a função $F_H(s)$ poderá ser aproximada por

$$F_H(s) \simeq \frac{1}{1+s/\omega_{P1}} \tag{7.20}$$

que é a função de transferência de uma rede passa-baixas de primeira ordem. Logo, se existe um pólo dominante em altas freqüências, então a determinação de ω_H é extremamente simplificada:

$$\omega_H \simeq \omega_{P1} \tag{7.21}$$

Se não há um pólo dominante em altas freqüências, a freqüência de corte superior a 3 dB, ω_H, pode ser determinada a partir de uma curva de $|F_H(j\omega)|$. Alternativamente, uma fórmula aproximada para ω_H em termos de pólos e zeros em altas freqüências pode ser determinada de modo similar ao usado a seguir na dedução da Equação 7.18. A fórmula para ω_H é

$$\omega_H \simeq 1\Big/\sqrt{\frac{1}{\omega_{P1}^2}+\frac{1}{\omega_{P2}^2}+\cdots-\frac{2}{\omega_{Z1}^2}-\frac{2}{\omega_{Z2}^2}\cdots} \tag{7.22}$$

Observe que, se um dos pólos, digamos P_1, for dominante, então $\omega_{P1} << \omega_{P2}$, ω_{P3}, ..., ω_{Z1}, ω_{Z2}, ... e a Equação 7.22 se reduz à Equação 7.21.

EXEMPLO 7.4

A resposta em altas freqüências de um amplificador é caracterizada pela função de transferência

$$F_H(s)=\frac{1-s/10^5}{(1+s/10^4)(1+s/4\times10^4)}$$

Determine a freqüência a 3 dB aproximada e exata.

SOLUÇÃO

Observando que o pólo de menor freqüência, em 10^4 rad/s, é duas oitavas menor que o segundo pólo e uma década menor que o zero, há, na prática, uma situação de pólo dominante e $\omega_H \simeq 10^4$ rad/s. Uma estimativa melhor de ω_H pode ser obtida usando-se a Equação 7.22, como segue:

$$\omega_H = 1\Big/\sqrt{\frac{1}{10^8}+\frac{1}{16\times10^8}-\frac{2}{10^{10}}}$$

$$= 9800 \text{ rad/s}$$

O valor exato de ω_H pode ser determinado pela função de transferência como sendo de 9537 rad/s. Finalmente, mostramos na Figura 7.8 a curva de Bode e uma curva exata para a função de transferência. Observe que ela é uma curva normalizada da resposta em altas freqüências do amplificador relativa a seu ganho em freqüências médias, isto é, se o ganho em freqüências médias fosse de 100 dB, então a curva completa deveria ser deslocada para cima em 100 dB.

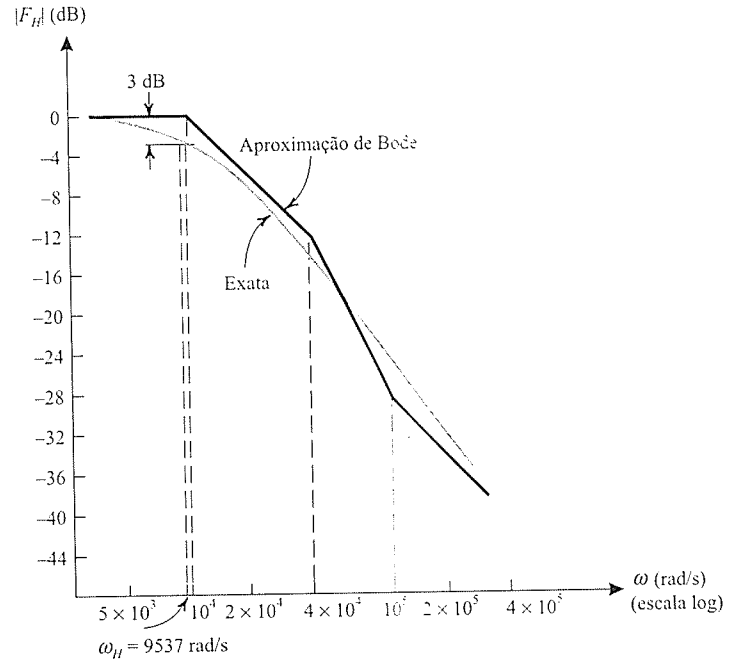


Figura 7.8 Resposta normalizada em altas freqüências do amplificador do Exemplo 7.4.

Usando as Constantes de Tempo de Curto-circuito e de Circuito Aberto para a Determinação Aproximada de ω_L e ω_H

Se os pólos e zeros da função de transferência do amplificador puderem ser determinados facilmente, podemos determinar ω_L e ω_H usando as técnicas descritas anteriormente. Contudo, em muitos casos, a determinação dos pólos e zeros não é um problema simples. Nesses casos, os valores aproximados de ω_L e ω_H podem ser obtidos com o seguinte método.

Considere primeiro a resposta em altas freqüências. Os fatores da função $F_H(s)$ da Equação 7.19 podem ser multiplicados e a função $F_H(s)$ pode vir a ser expressa na seguinte forma alternativa

$$F_H(s)=\frac{1+a_1s+a_2s^2+\cdots+a_{n_H}s^{n_H}}{1+b_1s+b_2s^2+\cdots+b_{n_H}s^{n_H}} \tag{7.23}$$

em que os coeficientes a e b estão relacionados às freqüências dos zeros e pólos, respectivamente. Especificamente, o coeficiente b_1 é dado por

$$b_1=\frac{1}{\omega_{P1}}+\frac{1}{\omega_{P2}}+\cdots+\frac{1}{\omega_{P_{n_H}}} \tag{7.24}$$

Pode ser mostrado [veja Gray e Searle (1969)] que o valor de b_1 pode ser obtido considerando-se as várias capacitâncias dos circuitos equivalentes para altas freqüências, uma por vez, enquanto todos os outros capacitores são reduzidos a zero (ou equivalentemente, substituídos por circuitos abertos). Isto é, para obter a contribuição da capacitância C_i, reduzimos todas as outras capacitâncias a zero, reduzimos a fonte de sinal a zero e determinamos a resistência R_{io} vista por C_i. Esse processo é, então, repetido para todos os outros capacitores do circuito. O valor de b_1 é determinado pela soma das constantes de tempo individuais, chamadas **constantes de tempo em circuito aberto.**

$$b_1 = \sum_{i=1}^{n_H} C_i R_{io} \tag{7.25}$$

em que foi feita a suposição de que existem n_H capacitores no circuito equivalente para altas freqüências.

Esse método de determinação de b_1 é *exato*; a aproximação tem lugar ao usarmos o valor de b_1 para determinar ω_H. Especificamente, se os zeros não são dominantes e se um dos pólos – digamos P_1 – for dominante, então pela Equação 7.24

$$b_1 \simeq \frac{1}{\omega_{P1}} \tag{7.26}$$

e a freqüência de corte superior a 3 dB será aproximadamente igual a ω_{P1}, levando a

$$\omega_H \simeq \frac{1}{\left[\sum_i C_i R_{io}\right]} \tag{7.27}$$

Deveria ser observado aqui que, normalmente, nos circuitos complexos, não sabemos se há ou não um pólo dominante. Todavia, o uso da Equação 7.27 para determinar ω_H geralmente produz excelentes resultados[2] mesmo se não houver um pólo dominante. O método será ilustrado por meio de um exemplo.

EXEMPLO 7.5

A Figura 7.9(a) apresenta o circuito equivalente para altas freqüências de um amplificador com FET na configuração fonte comum. O amplificador é alimentado por um gerador de sinal tendo uma resistência R. A resistência R_{in} é própria da rede de polarização. A resistência R'_L é o equivalente paralelo da resistência de carga R_L, da resistência de polarização do dreno R_D e da resistência de saída do FET r_o. Os capacitores C_{gs} e C_{gd} são as capacitâncias internas do FET (Seção 5.10). Para $R = 100$ kΩ, $R_{\text{in}} = 420$ kΩ, $C_{gs} = C_{gd} = 1$ pF, $g_m = 4$ mA/V e $R'_L = 3{,}33$ kΩ, calcule o ganho de tensão na faixa de freqüências médias, $A_M = V_o/V_i$ e a freqüência de corte superior a 3 dB, f_H.

2. O método das constantes de tempo em circuito aberto produz bons resultados apenas quando todos os pólos são reais, como é o caso neste capítulo.

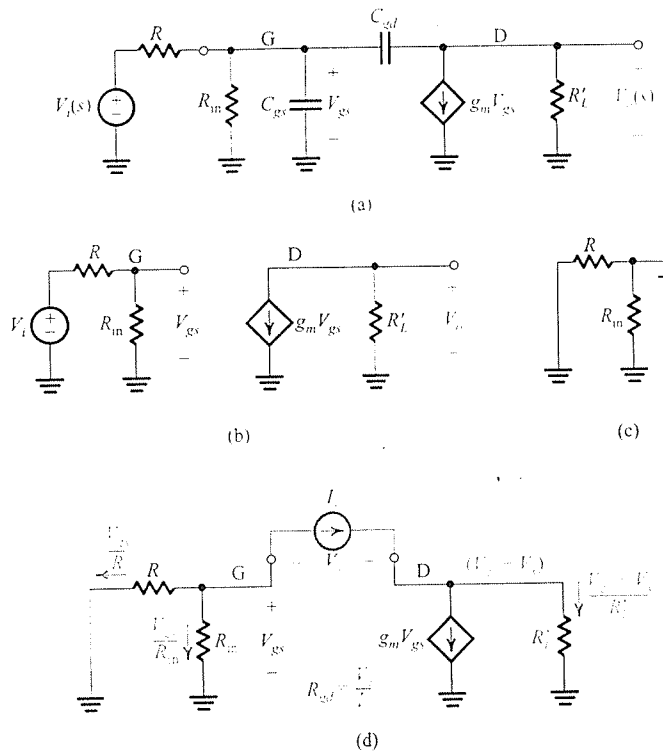


Figura 7.9 Circuitos para o Exemplo 7.5: **(a)** circuito equivalente para altas freqüências do amplificador FET; **(b)** circuito equivalente em médias freqüências; **(c)** circuito para determinar a resistência vista por C_{gs}; e; **(d)** circuito para determinar a resistência vista por C_{gd}.

SOLUÇÃO

O ganho de tensão na faixa de freqüências médias é determinado supondo-se que os capacitores no modelo do FET são circuitos abertos perfeitos. Isso resulta no circuito equivalente em freqüências médias mostrado na Figura 7.9(b), do qual encontramos

$$A_M \equiv \frac{V_o}{V_i} = -\frac{R_{\text{in}}}{R_{\text{in}} + R}(g_m R'_L)$$

$$= -\frac{420}{420+100} \times 4 \times 3{,}33 = -10{,}8 \text{ V/V}$$

Podemos determinar ω_H usando o método das constantes de tempo em circuito aberto. A resistência R_{gs} vista por C_{gs} é calculada determinando $C_{gd} = 0$ e curto-circuitando o gerador de sinal V_i. Isso resulta no circuito da Figura 7.9(c), do qual calculamos que

$$R_{gs} = R_{in} // R = 420\ \text{k}\Omega // 100\ \text{k}\Omega = 80{,}8\ \text{k}\Omega$$

Portanto, a constante de tempo em circuito aberto de C_{gs} é

$$\tau_{gs} \equiv C_{gs} R_{gs} = 1\times10^{-12} \times 80{,}8\times10^{3} = 80{,}8\ \text{ns}$$

A resistência R_{gd} vista por C_{gd} é calculada determinando $C_{gs} = 0$ e curto-circuitando V_i. O resultado é o circuito na Figura 7.9(d), ao qual aplicamos uma corrente de teste I_x. Escrevendo a equação do nó G obtemos

$$I_x = -\frac{V_{gs}}{R_{in}} - \frac{V_{gs}}{R}$$

Portanto,

$$V_{gs} = -I_x R' \tag{7.28}$$

em que $R' = R_{in} // R$. A equação do nó D fornece

$$I_x = g_m V_{gs} + \frac{V_{gs} + V_x}{R'_L}$$

Substituindo V_{gs} na Equação 7.28 e rearranjando os termos, chega-se a

$$R_{gd} \equiv \frac{V_x}{I_x} = R' + R'_L + g_m R'_L R' = 1{,}16\ \text{M}\Omega$$

Portanto, a constante de tempo em circuito aberto de C_{gd} é

$$\tau_{gd} \equiv C_{gd} R_{gd}$$
$$= 1\times10^{-12} \times 1{,}16\times10^{6} = 1160\ \text{ns}$$

A freqüência de corte superior a 3 dB ω_H pode ser determinada agora por

$$\omega_H \simeq \frac{1}{\tau_{gs} + \tau_{gd}}$$
$$= \frac{1}{(80{,}8+1160)\times10^{-9}} = 806\ \text{krad/s}$$

Portanto,

$$f_H = \frac{\omega_H}{2\pi} = 128{,}3\ \text{kHz}$$

O método das constantes de tempo em circuito aberto tem uma vantagem importante pelo fato de mostrar ao projetista de circuitos qual das várias capacitâncias é significativa na determinação da resposta em freqüência do amplificador. Especificamente, a contribuição relativa das várias capacitâncias à constante de tempo efetiva b_1 é imediatamente óbvia. Por exemplo, no exemplo anterior vimos que C_{gd} é a capacitância dominante na determinação de f_H. Observamos também que, para aumentar efetivamente f_H, ou usamos um FET com um menor valor de C_{gd} ou, para

um dado FET, reduzimos R_{gd} usando um menor valor de R' ou R'_L. Se R' for fixa, então, para um dado FET, o único modo de aumentar a faixa de passagem é pela redução da resistência de carga. Infelizmente, isso também diminui o ganho em freqüências médias, conforme mencionado anteriormente.

A seguir delinearemos o uso das constantes de tempo em curto-circuito para determinar a freqüência de corte inferior a 3 dB, ω_L. A função $F_L(s)$ da Equação 7.12 pode ser multiplicada e expressa na seguinte forma alternativa

$$F_L(s) = \frac{s^{n_L} + d_1 s^{n_L-1} + \cdots}{s^{n_L} + e_1 s^{n_L-1} + \cdots} \tag{7.29}$$

em que os coeficientes d e e são relativos às freqüências de zeros e pólos, respectivamente. Especificamente, o coeficiente e_1 é dado por

$$e_1 = \omega_{P1} + \omega_{P2} + \cdots + \omega_{Pn_L} \tag{7.30}$$

Conforme mostrado em Gray e Searle (1969), o valor exato de e_1 pode ser obtido pela análise do circuito equivalente do amplificador em baixas freqüências, considerando os vários capacitores, um de cada vez, enquanto supomos todos os outros capacitores como sendo ∞ (ou, equivalentemente, substituindo esses capacitores por curto-circuito). Portanto, se C_i estiver sendo considerado, substituímos todos os outros capacitores por curtos-circuitos, reduzimos também o sinal de entrada a zero e determinamos a resistência R_{is} vista por C_i. Repetimos então esse processo com todos os outros capacitores e calculamos o valor de e_1 a partir de

$$e_1 = \sum_{i=1}^{n_L} \frac{1}{C_i R_{is}} \tag{7.31}$$

em que foi feita a suposição de que há n_L capacitores no circuito equivalente de baixas freqüências.

O valor de e_1 pode ser usado para obter um valor aproximado da freqüência de 3 dB, ω_L, desde que nenhum dos zeros seja dominante e haja um pólo dominante. Essa condição é satisfeita se um dos pólos – digamos, P_1 – tem uma freqüência ω_{P1} muito maior do que (pelo menos quatro vezes) todos os outros pólos e zeros. Se esse for o caso, então $\omega_L \simeq \omega_{P1}$ e, da Equação 7.30, vemos que $e_1 \simeq \omega_{P1}$, o que nos leva a

$$\omega_L \simeq \sum_{i}^{n_L} \frac{1}{C_i R_{is}} \tag{7.32}$$

É claro que, em um circuito complexo, é usualmente difícil verificar se há ou não um pólo dominante em baixas freqüências. Todavia, o método das constantes de tempo em curto-circuito oferece usualmente um valor estimado razoável para ω_L. Essa estimativa é suficiente para um rascunho de um projeto inicial. O método também permite uma considerável compreensão do projetista sobre qual dos vários capacitores limita mais severamente a resposta em freqüência. Esses pontos serão melhor ilustrados nas seções subseqüentes.

Resumo

Para uma referência, a Tabela 7.1 fornece um resumo das fórmulas usadas para determinar as freqüências de corte a 3 dB do amplificador, f_L e f_H.

Tabela 7.1 Resumo das fórmulas para determinar as freqüências de corte a 3 db dos amplificadores.

(A) Pólos e zeros são conhecidos e podem ser facilmente determinados

Resposta para baixas freqüências

$$A(s) \equiv A_M F_L(s)$$

$$F_L(s) = \frac{(s+\omega_{Z1})(s+\omega_{Z2})\cdots\left(s+\omega_{Zn_L}\right)}{(s+\omega_{P1})(s+\omega_{P2})\cdots\left(s+\omega_{Pn_L}\right)}$$

Se $\omega_{P1} \gg \omega_{P2}, \omega_{P3}, \ldots, \omega_{Z1}, \omega_{Z2}, \ldots$, então, para freqüências próximas ao meio da faixa:

$$F_L(s) \equiv \frac{s}{s+\omega_{P1}} \quad \text{(pólo dominante)}$$

e $\omega_L \equiv \omega_{P1}$

Senão:

$$\omega_L \equiv \sqrt{\omega_{P1}^2 + \omega_{P2}^2 + \cdots - 2\left(\omega_{Z1}^2 + \omega_{Z2}^2 + \cdots\right)}$$

Resposta para altas freqüências

$$A(s) \equiv A_M F_H(s)$$

$$F_H(s) = \frac{(1+s/\omega_{Z1})(1+s/\omega_{Z2})\cdots\left(1+s/\omega_{Zn_H}\right)}{(1+s/\omega_{P1})(1+s/\omega_{P2})\cdots\left(1+s/\omega_{Pn_H}\right)}$$

Se $\omega_{P1} \ll \omega_{P2}, \omega_{P3}, \ldots, \omega_{Z1}, \omega_{Z2}, \ldots$, então, para freqüências próximas ao meio da faixa:

$$F_H(s) \equiv \frac{1}{1+s/\omega_{P1}} \quad \text{(pólo dominante)}$$

e $\omega_H \equiv \omega_{P1}$

Senão:

$$\omega_H \equiv 1\Big/\sqrt{\frac{1}{\omega_{P1}^2} + \frac{1}{\omega_{P2}^2} + \cdots - 2\left(\frac{1}{\omega_{Z1}^2} + \frac{1}{\omega_{Z2}^2} + \cdots\right)}$$

(B) Pólos e zeros não podem ser facilmente determinados

Resposta para baixas freqüências

$$F_L(s) = \frac{s^{n_L} + d_1 s^{n_L-1} + \cdots}{s^{n_L} + e_1 s^{n_L-1} + \cdots}$$

$$e_1 = \omega_{P1} + \omega_{P2} + \cdots + \omega_{Pn_L}$$

$$e_1 = \sum_{i=1}^{n_L} \frac{1}{C_i R_{is}}$$

Se um pólo dominante existe (digamos, P_1), então:

$$e_1 \equiv \omega_{P1} \quad \text{e} \quad \omega_L \equiv \omega_{P1}$$

e portanto:

$$\omega_L \equiv \sum_{i=1}^{n_L} \frac{1}{C_i R_{is}}$$

Resposta para altas freqüências

$$F_H(s) = \frac{1 + a_1 s + a_2 s^2 + \cdots}{1 + b_1 s + b_2 s^2 + \cdots}$$

$$b_1 = \frac{1}{\omega_{P1}} + \frac{1}{\omega_{P2}} + \cdots + \frac{1}{\omega_{Pn_L}}$$

$$b_1 = \sum_{i=1}^{n_H} C_i R_{io}$$

Se um pólo dominante existe (digamos, P_1), então:

$$b_1 \equiv \frac{1}{\omega_{P1}} \quad \text{e} \quad \omega_H \equiv \omega_{P1}$$

e portanto:

$$\omega_H \equiv 1\Big/\sum_{i=1}^{n_H} C_i R_{io}$$

Exercícios

7.2 Um circuito de primeira ordem, com um ganho de 10 em *cc* e um ganho de 1 em freqüência infinita, tem seu pólo em 10 kHz. Calcule sua função de transferência.

Resposta $\dfrac{s+2\pi\times10^5}{s+2\pi\times10^4}$

7.3 Um amplificador com acoplamento direto tem um ganho de 1.000 e uma freqüência de corte superior a 3 dB de 100 kHz. Encontre sua função de transferência e seu produto ganho-faixa de passagem em hertz?

Resposta $\dfrac{1000}{1+\dfrac{s}{2\pi\times10^5}}$; 10^8 Hz

7.4 A resposta em altas freqüências de um amplificador é caracterizada por dois zeros em $s = \infty$ e dois pólos em ω_{P1} e ω_{P2}. Expressando $\omega_{P2} = k\omega_{P1}$, calcule o valor de k que resulta no valor exato de ω_H sendo 0,9 ω_{P1}. Repita o exercício para $\omega_H = 0{,}99\ \omega_{P1}$.

Resposta 2,78; 9,88

7.5 Para o amplificador descrito no Exercício 7.4, calcule os valores exato e aproximado (usando a Equação 7.22) de ω_H (como uma função de ω_{P1}) para os casos $k = 1, 2, 4$.

Resposta 0,64, 0,71; 0,84, 0,89; 0,95, 0,97

7.6 Para o amplificador no Exemplo 7.5, calcule o produto ganho–faixa de passagem em megahertz. Calcule o valor de R_L' que resulta em $f_H = 180$ kHz. Calcule os novos valores do ganho em freqüências médias e do produto ganho–faixa de passagem.

Resposta 1,39 MHz; 2,23 kΩ; –7,2 V/V; 1,30 MHz

7.3 RESPOSTA EM BAIXAS FREQÜÊNCIAS DOS AMPLIFICADORES FONTE COMUM E EMISSOR COMUM

Nesta seção será analisada a resposta em baixas freqüências dos estágios amplificadores clássicos fonte comum e emissor comum com capacitores de acoplamento. Pelo fato de usarmos capacitores de acoplamento de valores elevados, esses circuitos são apropriados apenas para projetos usando componentes discretos.

Observe que a impedância de entrada infinita do FET torna sua análise mais simples que a do TBJ. Devemos, portanto, começar pela análise do amplificador JFET. Os resultados aplicam-se diretamente aos amplificadores MOS; no entanto, no momento é raro usar MOSFETs discretos no projeto de amplificadores para pequenos sinais.

Análise do Amplificador Fonte Comum

A Figura 7.10 apresenta um amplificador clássico de acoplamento capacitivo na configuração fonte comum usando um JFET canal *n*. O circuito é apresentado completamente, com o circuito de

polarização que é normalmente usado com uma única fonte de alimentação. Se duas fontes de alimentação estiverem disponíveis e se a polarização da corrente de fonte for utilizada, o circuito será simplificado e a análise da resposta em freqüência também se tornará mais simples.

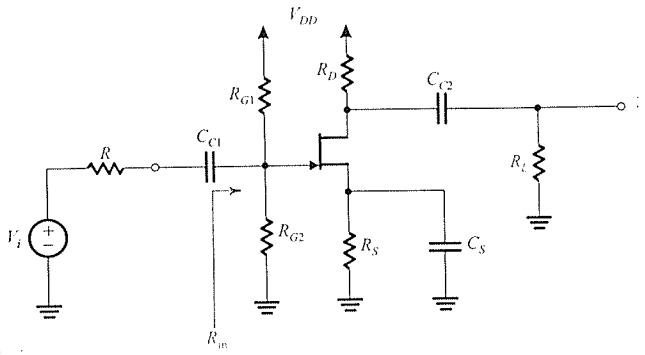


Figura 7.10 O amplificador fonte comum clássico acoplado capacitivamente.

A Figura 7.11 mostra o circuito amplificador da Figura 7.10 preparado para o cálculo do ganho de tensão em baixas freqüências. Para calcular o ganho, devemos começar pela fonte de sinal e continuar em direção à carga de modo gradativo, passo a passo.

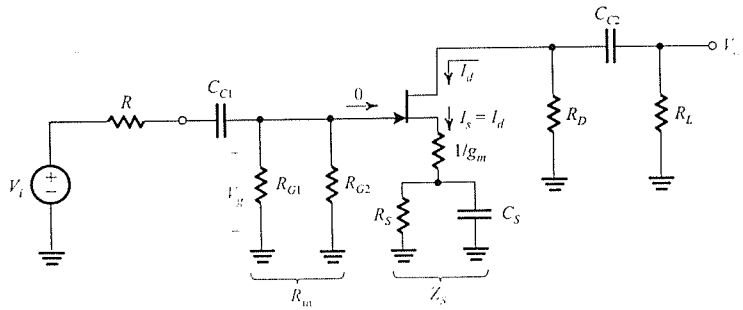


Figura 7.11 O circuito amplificador da Figura 7.10 preparado para determinar o ganho em baixas freqüências. A resistência $1/g_m$ mostra a resistência interna do FET entre a porta e a fonte olhando para a fonte (isto é, o modelo T).

Usando a regra do divisor de tensão na entrada, podemos calcular a tensão V_g (entre a porta e o terra) como

$$V_g(s) = V_i(s)\frac{R_{in}}{R_{in} + R + 1/sC_{C1}}$$

em que $R_{in} = (R_{G1}//R_{G2})$. Logo, a função de transferência da entrada para a porta é dada por

$$\frac{V_g(s)}{V_i(s)} = \frac{R_{in}}{R_{in} + R}\frac{s}{s + 1/C_{C1}(R_{in} + R)} \tag{7.33}$$

que é uma função passa-altas, indicando que C_{C1} introduz um zero na freqüência zero (cc) e um pólo real com uma freqüência ω_{P1},

$$\omega_{P1} = \frac{1}{C_{C1}(R_{in} + R)} \tag{7.34}$$

Observe que poderíamos ter chegado a esse resultado por inspeção do circuito de entrada do amplificador usando as técnicas de análise de redes CTS (veja o Apêndice F). Especificamente, o circuito de entrada é uma rede CTS passa-altas com uma constante de tempo igual a C_{C1} multiplicada pela resistência total vista por C_{C1}; ω_{P1} é simplesmente o inverso dessa constante de tempo.

O próximo passo na análise é calcular a corrente de dreno $I_d(s)$:

$$I_d(s) = I_s(s) = \frac{V_g(s)}{1/g_m + Z_S} \tag{7.35}$$

em que estamos fazendo uso do fato de que a resistência equivalente entre a porta e a fonte é igual a $1/g_m$ (isto é, estamos usando implicitamente o modelo T do MOSFET); logo, a impedância total entre a porta e o terra, do lado da fonte, é $1/g_m$ em série com Z_S, que representa o equivalente paralelo de R_S com C_S. A Equação 7.35 pode ser reescrita como

$$I_d(s) = g_m V_g(s)\frac{Y_S}{g_m + Y_S}$$

em que

$$Y_S = \frac{1}{Z_S} = \frac{1}{R_S} + sC_S$$

Portanto,

$$I_d(s) = g_m V_g(s)\frac{1/R_S + sC_S}{g_m + 1/R_S + sC_S}$$

isto é,

$$I_d(s) = g_m V_g(s)\frac{s + 1/C_S R_S}{s + (g_m + 1/R_S)/C_S} \tag{7.36}$$

que indica que o capacitor de passagem C_S introduz um zero real e um pólo real. O zero real tem uma freqüência ω_Z,

$$\omega_Z = \frac{1}{C_S R_S} \tag{7.37}$$

enquanto a freqüência do pólo real é dada por

$$\omega_{P2} = \frac{g_m + 1/R_S}{C_S} = \frac{1}{C_S(R_S // 1/g_m)} \tag{7.38}$$

Logo, pode ser visto que ω_Z será sempre menor em valor que ω_{P2}.

É instrutivo interpretar fisicamente os resultados anteriores relacionando os efeitos de C_S: C_S introduz um zero no valor de s que faz Z_S infinito; isso faz sentido físico porque um Z_S infinito anulará I_d e, conseqüentemente, V_o será zero. A freqüência do pólo é o inverso da constante de tempo formada pela multiplicação de C_S pela resistência vista pelo capacitor. Para calcular essa última resistência, aterramos a fonte de sinal (observe que os pólos da rede, ou ordens naturais, são independentes de excitação) e nos posicionamos nos terminais de C_S. A resistência vista por C_S será R_S em paralelo com a resistência entre a fonte e a porta, que é $1/g_m$.

Uma vez determinada $I_d(s)$, podemos obter a tensão de saída usando o circuito equivalente de saída na Figura 7.12(a). Há uma ligeira aproximação nesse circuito equivalente: a resistência r_o está conectada entre o dreno e o terra, em vez de estar entre o dreno e a fonte, apesar do fato de o terminal da fonte não estar mais no potencial do terra porque C_S não está funcionando como um desvio perfeito. Contudo, visto que o efeito de r_o é desprezivelmente pequeno (supondo que $r_o >> R_D$ e R_L), essa aproximação é válida.

A Figura 7.12(b) mostra o circuito equivalente de saída após a aplicação do teorema de Thévenin. Depois de algumas manipulações, obtemos dessa figura

$$V_o(s) = -I_d(s)(R_D // r_o // R_L)\frac{s}{s + 1/C_{C2}\left[R_L + (R_D // r_o)\right]} \tag{7.39}$$

Portanto, C_{C2} introduz um zero na freqüência zero (cc) e um pólo real com uma freqüência ω_{P3},

$$\omega_{P3} = \frac{1}{C_{C2}\left[R_L + (R_D // r_o)\right]} \tag{7.40}$$

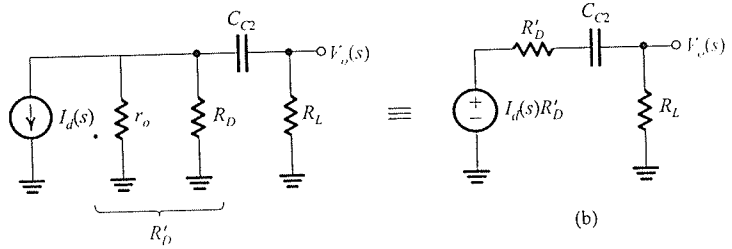


Figura 7.12 O circuito equivalente de saída (em baixas freqüências) para o amplificador das Figuras 7.10 e 7.11.

Novamente, a freqüência desse pólo poderia ter sido calculada pela inspeção do circuito na Figura 7.12(a): ela é igual ao inverso da constante de tempo calculada pela multiplicação de C_{C2} pela resistência total vista pelo capacitor.

O ganho do amplificador em baixas freqüências $A_L(s)$ pode ser calculado combinando-se as Equações 7.33, 7.36 e 7.39:

$$A_L(s) = \frac{V_o(s)}{V_i(s)} = A_M \frac{s}{s + \omega_{P1}} \frac{s + \omega_Z}{s + \omega_{P2}} \frac{s}{s + \omega_{P3}} \tag{7.41}$$

em que o ganho em freqüências médias A_M é dado por

$$A_M = -\frac{R_{in}}{R_{in} + R} g_m (R_D // r_o // R_L) \tag{7.42}$$

e em que ω_{P1}, ω_Z, ω_{P2} e ω_{P3} são dados pelas Equações 7.34, 7.37, 7.38 e 7.40, respectivamente. Observe pela Equação 7.41 que, quando a freqüência $s = j\omega$ torna-se muito maior em amplitude do que ω_{P1}, ω_{P2}, ω_{P3} e ω_Z, o ganho se aproxima do valor A_M na faixa de freqüências médias.

Uma vez determinados os pólos e os zeros em baixas freqüências, podemos empregar as técnicas da Seção 7.2 para calcular a freqüência de corte inferior a 3 dB, ω_L.

Projeto dos Capacitores de Acoplamento e de Passagem

O problema de projeto aqui é o da seleção de valores apropriados para os capacitores de acoplamento C_{C1} e C_{C2} e para o capacitor de passagem C_S, de modo a posicionar a freqüência de corte inferior de 3 dB, ω_L, em um valor especificado. Outro requisito comum de projeto é minimizar o valor dos capacitores. Neste sentido, observamos que, dos três pólos, aquele causado por C_S (com freqüência ω_{P2}) é determinado pela menor resistência efetiva. Isso porque ($1/g_m$) é usualmente bem menor que as resistências que determinam a freqüência dos dois outros pólos e o zero. Segue que a capacitância total é minimizada selecionando ω_{P2} para ser a maior freqüência e, assim, o pólo dominante. Isto é, ajustamos $\omega_{P2} = \omega_L$ e usamos a Equação 7.38 para determinar C_S. A freqüência do zero pode ser calculada para verificar que ela é bem menor que ω_L. Optamos então pelo posicionamento dos dois outros pólos, digamos de cinco a dez vezes inferior à freqüência do pólo dominante, para assegurar que ω_L seja realmente determinada de forma quase completa por ω_{P2}. No entanto, os valores escolhidos para ω_{P1} e ω_{P3} não devem ser tão pequenos, pois implicariam valores maiores para C_{C1} e C_{C2}. O procedimento de projeto é ilustrado no próximo exemplo.

EXEMPLO 7.6

Desejamos escolher os valores corretos dos capacitores de acoplamento C_{C1} e C_{C2} e do capacitor de passagem C_S do amplificador da Figura 7.10, de modo que a resposta em baixas freqüências seja dominada por um pólo em 100 Hz e o pólo ou zero mais próximo seja pelo menos uma década menor. Sendo $V_{DD} = 20$ V, $R = 100$ kΩ, $R_{G1} = 1{,}4$ MΩ, $R_{G2} = 0{,}6$ MΩ, $R_S = 3{,}5$ kΩ, $R_D = 5$ kΩ, $r_o = \infty$, $R_L = 10$ kΩ, $V_P = -2$ V e $I_{DSS} = 8$ mA. Determine também o ganho em freqüências médias.

SOLUÇÃO

Com os métodos do Capítulo 5, determinamos o seguinte ponto de operação cc:

$$I_D = 2 \text{ mA} \qquad V_{GS} = -1 \text{ V} \qquad V_D = +10 \text{ V}$$

Nesse ponto de operação, a transcondutância é

$$g_m = \frac{2I_{DSS}}{-V_P}\sqrt{\frac{I_D}{I_{DSS}}}$$

Portanto,

$$g_m = \frac{2\times 8}{2}\sqrt{\frac{2}{8}} = 4 \text{ mA/V}$$

O ganho de tensão em freqüências médias pode ser determinado como segue: a resistência R_{in} é dada por

$$R_{in} = \frac{R_{G1}R_{G2}}{R_{G1}+R_{G2}} = \frac{1{,}4\times 0{,}6}{2} = 420 \text{ k}\Omega$$

e o ganho de tensão em freqüências médias A_M pode ser escrito como

$$A_M = \frac{R_{in}}{R_{in}+R}\times -g_m(R_D//R_L)$$

$$= -\frac{420}{520}\times 4\times\frac{5\times 10}{5+10} = -10{,}8 \text{ V/V}$$

Portanto, o amplificador tem um ganho em freqüências médias de 20,7 dB.

Para saber qual dos três capacitores, C_{C1}, C_S e C_{C2}, deve ser escolhido para fazer o pólo dominante na freqüência de 100 Hz, primeiro determinamos cada uma das resistências associadas, como segue:

$$R_{C_{C1}} = R + R_{in} = 520 \text{ k}\Omega$$

$$R_{C_S} = R_S//(1/g_m) = 0{,}233 \text{ k}\Omega$$

$$R_{C_{C2}} = R_D + R_L = 15 \text{ k}\Omega$$

Como esperado, a resistência R_{CS} é a menor e, portanto, deve ser a escolhida para formar o pólo de maior freqüência (e, portanto, o dominante). Logo,

$$C_S = \frac{1}{2\pi f_L R_{C_S}}$$

$$= \frac{1}{2\pi\times 100\times 0{,}233\times 10^3} = 6{,}83 \text{ }\mu\text{F}$$

O zero devido a C_S pode ser calculado usando a Equação 7.37, como

$$f_Z = \frac{1}{2\pi C_S R_S} = \frac{1}{2\pi\times 6{,}83\times 10^{-6}\times 3{,}5\times 10^3} = 6{,}7 \text{ Hz}$$

Para estabelecer os outros dois pólos, devidos a C_{C1} e C_{C2}, com pelo menos uma década aquém de f_L (isto é, igual a ou menor que 10 Hz), escolhemos os capacitores como segue:

$$C_{C1} \geq \frac{1}{2\pi\times 10\times 520\times 10^3} = 0{,}03 \text{ }\mu\text{F}$$

e

$$C_{C2} \geq \frac{1}{2\pi\times 10\times 15\times 10^3} = 1{,}06 \text{ }\mu\text{F}$$

Finalmente, observe que neste projeto foram usados valores-padrão de capacitores comerciais. Tais valores devem ser maiores que aqueles calculados, de modo a garantir que o f_L especificado seja satisfatoriamente atingido.

Exercícios

7.7 Um amplificador com FET na configuração fonte comum utiliza uma resistência R_S de 1 kΩ com um capacitor de passagem C_S. Foi determinado que o pólo e o zero devidos a C_S são em 100 rad/s e 10 rad/s, respectivamente. Calcule os valores de C_S e g_m.

Resposta 100 μF; 9 mA/V

7.8 Se, no amplificador com FET na configuração fonte comum, R_S for substituído por uma fonte de corrente constante ideal, calcule as freqüências ω_Z e ω_P devidas a C_S.

Resposta $\omega_Z = 0$; $\omega_P = g_m/C_S$

Análise do Amplificador Emissor Comum

A Figura 7.13 mostra o clássico amplificador emissor comum capacitivamente acoplado. O circuito usa uma fonte única de alimentação e, assim, seu circuito de polarização é mais complexo que aquele de um circuito com duas fontes de alimentação, especialmente se a polarização com fonte de corrente for usada. Entretanto, escolhemos analisar a resposta em baixas freqüências desse circuito mais complexo dada sua generalidade. Como mencionado anteriormente, a análise da resposta em baixas freqüências do amplificador emissor comum é complicada pelo fato de o TBJ ter um β finito. Especificamente, observe que em baixas freqüências a impedância de entrada do amplificador inclui o efeito de C_E e, portanto, C_{C1} e C_E interagem. Isso é bem diferente do caso do FET, no qual éramos capazes de isolar os efeitos dos três capacitores e considerar seus efeitos sobre a resposta do amplificador em baixas freqüências, um de cada vez.

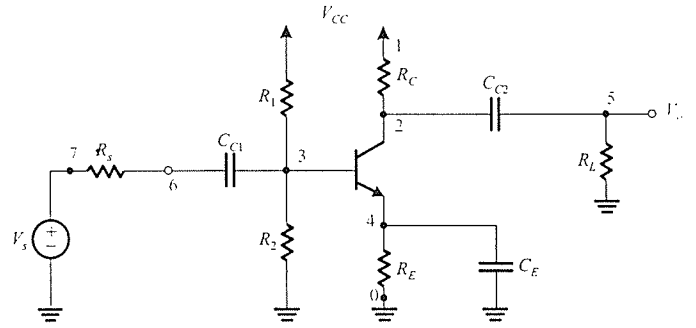


Figura 7.13 O clássico estágio do amplificador emissor comum. (Os nós estão numerados com o propósito de simulação com o SPICE no Exemplo 7.9.)

A Figura 7.14 mostra o circuito equivalente de baixas freqüências do amplificador emissor comum, incluindo os capacitores de acoplamento e de passagem.

Embora certamente possamos analisar esse circuito e determinar sua função de transferência e, assim, seus pólos e zeros, a expressão obtida é muito complicada para produzir benefícios. Em vez disso, fazemos uso do método de constantes de tempo de curto-circuito, descrito na Seção 7.2, para obter uma estimativa da freqüência de corte inferior a 3 dB, ω_L.

Para a determinação de ω_L procedemos da seguinte forma: primeiro, ajustamos V_S para zero. Então, ajustamos C_E e C_{C2} para infinito e encontramos a resistência R_{C1} vista por C_{C1}. Do circuito equivalente da Figura 7.14, com C_E ajustado para infinito, encontramos

$$R_{C1} = R_S + \left[R_B // (r_x + r_\pi)\right] \tag{7.43}$$

A seguir, ajustamos C_{C1} e C_{C2} para infinito e determinamos a resistência R'_E vista por C_E. Novamente, do circuito equivalente da Figura 7.14, ou simplesmente usando a regra da reflexão das resistências do circuito de base para o de emissor, obtemos[3]

$$R'_E = R_E \Big/\!\Big/ \frac{r_\pi + r_x + (R_B // R_S)}{\beta_0 + 1} \tag{7.44}$$

Finalmente, ajustamos C_{C1} e C_E para infinito a fim de obter a resistência vista por C_{C2}.

$$R_{C2} = R_L + (R_C // r_o) \tag{7.45}$$

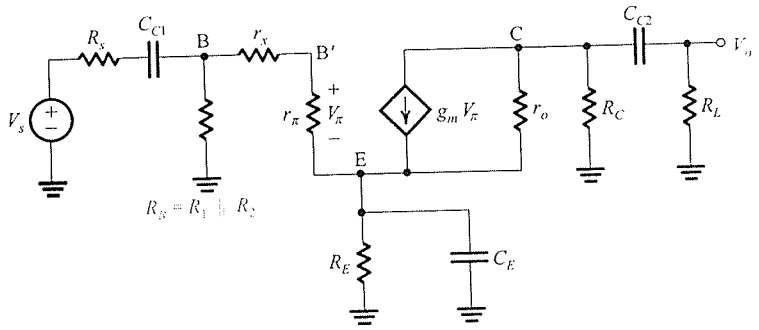


Figura 7.14 Circuito equivalente para o amplificador da Figura 7.13 na faixa de baixas freqüências.

3. Também desconsideramos r_o (isto é, fizemos $r_o = \infty$) para simplificar. O efeito de r_o sobre o valor de R'_E é desprezivelmente pequeno.

Um valor aproximado para ω_L pode ser obtido usando a Equação 7.32

$$\omega_L \simeq \frac{1}{C_{C1}R_{C1}} + \frac{1}{C_E R'_E} + \frac{1}{C_{C2}R_{C2}} \tag{7.46}$$

Neste momento devemos observar que o zero introduzido por C_E corresponde ao valor de s que faz com que $Z_E = 1/(1/R_E + sC_E)$ seja infinito,

$$s_Z = -\frac{1}{C_E R_E} \tag{7.47}$$

A freqüência do zero é usualmente bem menor que ω_L, justificando a aproximação envolvida no uso do método de constantes de tempo de curto-circuito.

Dado um valor desejado para ω_L, a Equação 7.46 pode ser usada no projeto como se segue: uma vez que R'_E é usualmente a menor das três resistências, R_{C1}, R'_E e R_{C2}, selecionamos um valor para C_E tal que $(1/C_E R'_E)$ seja o termo dominante no lado direito da Equação 7.46, digamos $1/C_E R'_E = 0{,}8\ \omega_L$. Isso equivale a fazer com que C_E seja o pólo dominante de baixas freqüências; em outras palavras, em $\omega = \omega_L$, os outros dois capacitores terão pequenas reatâncias e, assim, menor importância. Os 20% restantes de ω_L dividem-se igualmente entre os outros dois termos da Equação 7.46. Finalmente, são usados valores práticos para esses três capacitores, de modo que o ω_L conseguido seja menor ou igual ao valor especificado.

Exercícios

Os exercícios seguintes relacionam-se ao amplificador emissor comum da Figura 7.13, com $R_S = 4$ KΩ, $R_1 = 8$ KΩ, $R_2 = 4$ KΩ, $R_E = 3{,}3$ KΩ, $R_C = 6$ KΩ, $R_L = 4$ KΩ e $V_{CC} = 12$ V. A corrente *cc* de emissor é $I_E = 1$ mA. Com esta corrente o transistor tem $\beta_0 = 100$, $r_o = 100$ KΩ e $r_x = 50$ Ω.

7.9 Encontre o ganho em freqüências médias.

Resposta $A_M = -22{,}5$ V/V

7.10 Encontre R_{C1}, R'_E e R_{C2} e, então, f_L, para o caso em que $C_{C1} = C_{C2} = 1$ μF e $C_E = 10$ μF. Encontre também a freqüência do zero.

Resposta 5,3 KΩ; 40,5 Ω; 9,66 KΩ; 439,5 Hz; 4,8 Hz

7.11 É necessário mudar os valores de C_{C1}, C_{C2} e C_E de modo a fazer com que f_L se torne 100 Hz. Use o procedimento de projeto descrito no texto para obter os novos valores de capacitores.

Resposta $C_{C1} = 3$ μF; $C_E = 49{,}1$ μF; $C_{C2} = 1{,}65$ μF

7.4 RESPOSTA EM ALTAS FREQÜÊNCIAS DOS AMPLIFICADORES FONTE COMUM E EMISSOR COMUM

Voltemos agora nossa atenção para a resposta em altas freqüências dos amplificadores fonte comum e emissor comum. A Figura 7.15(a) mostra um circuito amplificador MOSFET fonte comum, que pode ser igualmente empregado substituindo-se o MOSFET tipo enriquecimento por um MOSFET tipo depleção, um JFET, um GaAs MESFET ou um TBJ. O último circuito é mostrado na Figura 7.15(b).

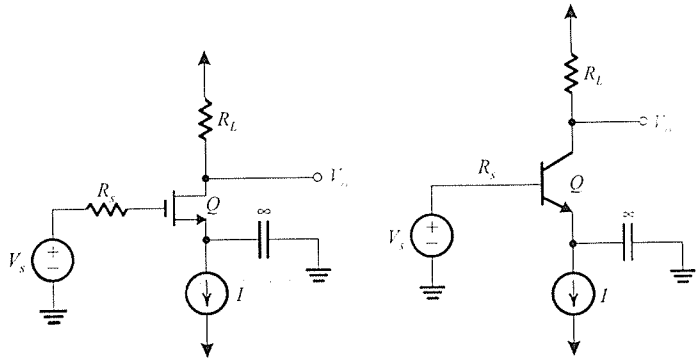


Figura 7.15 (a) Um amplificador MOSFET fonte comum e (b) um amplificador TBJ emissor comum. Aqui V_s e R_s representam o circuito equivalente de Thévenin do lado da entrada, incluindo o circuito de saída do estágio anterior (se algum) e a rede de polarização do transistor Q (se alguma). Similarmente, R_L representa a resistência total entre o dreno (o coletor) e o terra. Embora o terra para sinais na fonte (emissor) seja estabelecido via um grande capacitor, isso não é necessário, e os circuitos podem ser usados para representar, por exemplo, o meio circuito diferencial do par diferencial.

Gostaríamos de fazer quatro comentários importantes no que concerne a esses dois circuitos.

1. A polarização com fonte comum é usada por simplicidade e, portanto, enfocaremos os mecanismos que limitam a resposta em altas freqüências. A análise a seguir, entretanto, é geral e aplica-se a quaisquer arranjos de polarização.
2. O terra para sinais é estabelecido na fonte (emissor) por um grande capacitor de desvio. Embora esse fosse o caso em amplificadores capacitivamente acoplados, estamos usando esses capacitores aqui simplesmente como uma notação abreviada para indicar que a fonte (emissor) está aterrada. Em amplificadores com acoplamento direto, o modo mais comum para estabelecer o terra para sinais na fonte (emissor) é empregar a configuração do par diferencial.
3. A fonte de sinal V_S, com a resistência de fonte R_S, representa sua própria resistência ou, mais usualmente, o circuito equivalente de Thévenin na entrada do amplificador. Este equivalente de Thévenin consideraria o circuito de saída do estágio amplificador precedente (caso houvesse) e a rede de polarização do transistor Q (se existir).
4. A resistência R_L representa a resistência total entre o dreno (coletor) e o terra e, portanto, inclui a resistência de polarização R_D (R_C no circuito EC), a resistência de carga (que pode ser a resistência de entrada do próximo estágio amplificador), ou a resistência de saída de uma fonte de corrente de carga ativa (se alguma for utilizada).

Exercício

7.12 Para o amplificador JFET da Figura 7.10, encontre V_S e R_S, conforme usado na Figura 7.15, em termos de V_i, R, R_{G1} e R_{G2}.

Resposta $V_S = V_i\,(R_{G1}//R_{G2})/[R + (R_{G1}//R_{G2})]$; $R_S = R//R_{G1}//R_{G2}$

Circuitos Equivalentes para Análise em Altas Freqüências

Substituindo o FET da Figura 7.15(a) por seu modelo equivalente para altas freqüências (veja a Seção 5.10) obtém-se o circuito equivalente do amplificador para altas freqüências mostrado na Figura 7.16(a). Uma ligeira simplificação é possível pela combinação de R_L e r_o em uma única resistência $R'_L = R_L//r_o$ e, portanto, obtendo-se o circuito equivalente mostrado na Figura 7.16(b). Este último circuito será usado em breve para determinar a resposta em altas freqüências do amplificador FC.

Mostraremos agora que o circuito da Figura 7.16(b) também pode ser usado para determinar a resposta em altas freqüências do amplificador emissor comum da Figura 7.15(b). Com esse objetivo, substituímos o TBJ por seu modelo equivalente π-híbrido (veja a Seção 4.15) e obtemos o circuito equivalente do amplificador EC para altas freqüências, mostrado na Figura 7.17(a). Há duas possíveis simplificações para esse circuito: aplicando o teorema de Thévenin na entrada para substituir V_s, R_s, r_x e r_π pela fonte de sinal equivalente V'_s e R'_s.

$$V'_s = V_s \frac{r_\pi}{R_s + r_x + r_\pi} \tag{7.48}$$

$$R'_s = (R_s + r_x)//r_\pi \tag{7.49}$$

e combinando R_L e r_o em uma única resistência $R'_L = R_L//r_o$.

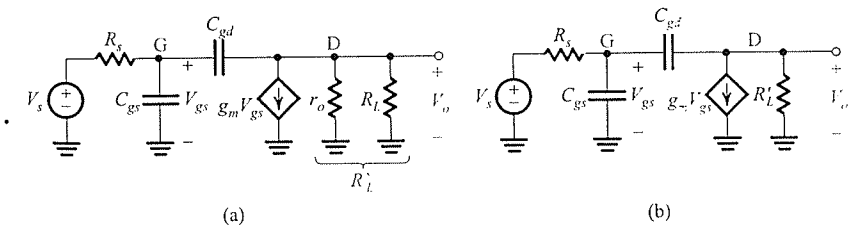


Figura 7.16 (a) Circuito equivalente para análise da resposta em altas freqüências do circuito amplificador da Figura 7.15(a). Observe que o MOSFET está substituído por seu circuito equivalente de altas freqüências. (b) Uma versão ligeiramente simplificada da versão (a) obtida combinando R_L e r_o em uma resistência única $R'_L = R_L//r_o$.

O resultado é o circuito equivalente mostrado na Figura 7.17(b), o qual possui estrutura idêntica à do amplificador FC da Figura 7.16(b). Assim, precisamos analisar apenas um dos dois circuitos e usar uma simples troca de variáveis para obter a resposta em freqüência do outro. Especificamente, vamos analisar o circuito FC e então obter a resposta para o circuito EC pela substituição de V_s por V_s', R_s por R_s', C_{gs} por C_π e C_{gd} por C_μ.

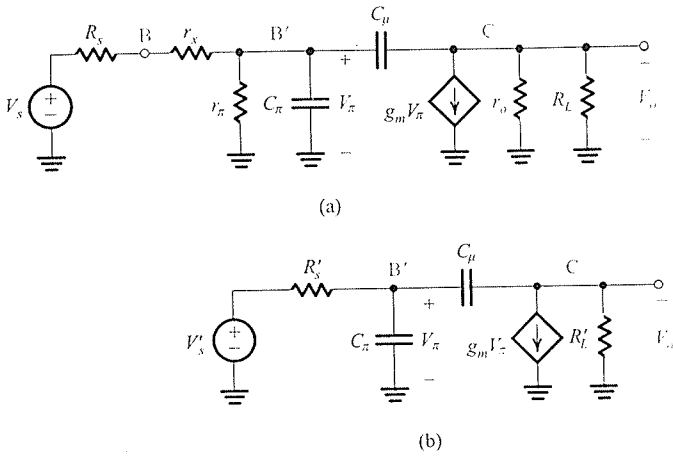


Figura 7.17 **(a)** Circuito equivalente para análise da resposta em altas freqüências do circuito amplificador emissor comum da Figura 7.15(b). Observe que o TBJ foi substituído por seu circuito equivalente π-híbrido para altas freqüências. **(b)** Uma versão equivalente, mas simplificada, do circuito em (a), em que $V_s' = V_s \cdot r_\pi/(R_s + r_x + r_\pi)$, $R_s' = (R_s + r_x)//r_\pi$ e $R_L' = R_L//r_o$.

O exame do circuito da Figura 7.16(b) revela que o capacitor C_{gd} conecta o nó de saída (no dreno) e o nó de entrada (na porta). Ele introduz então uma realimentação e destrói a natureza unilateral do amplificador, complicando consideravelmente a análise. Felizmente, há um teorema de circuitos que permite a substituição de um elemento de ponte como C_{gd} por dois outros elementos aterrados, um entre a porta e o terra e o outro entre o dreno e o terra. Essa substituição não apenas simplifica a análise do circuito, mas, mais importante, também torna claro o efeito significativo que C_{gd} tem na resposta em altas freqüências do amplificador fonte comum. Esse teorema de circuito é conhecido por teorema de Miller, e vamos discuti-lo brevemente.

O Teorema de Miller

Considere a situação mostrada na Figura 7.18(a). Nela identificamos dois nós, 1 e 2, juntos com um terminal terra de uma rede particular. Conforme mostrado, uma admitância Y é conectada entre os nós 1 e 2. Além disso, os nós 1 e 2 podem ser conectados por outros componentes a outros nós; isso está mostrado pelas linhas tracejadas que saem dos nós 1 e 2. O teorema de Miller estabelece o modo de substituir a admitância Y da ponte por duas admitâncias: Y_1 entre o nó 1 e o terra e Y_2 entre o nó 2 e o terra, conforme mostrado na Figura 7.18(b).

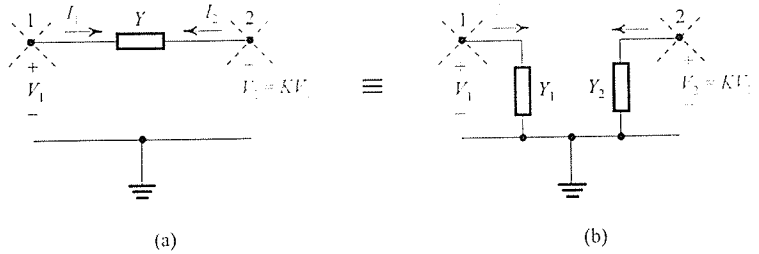


Figura 7.18 Teorema de Miller.

A substituição de Miller, ilustrada na Figura 7.18, é baseada no princípio de que é possível, por meios independentes, determinar o ganho de tensão do nó 1 para o nó 2, representado por K, em que $K \equiv V_2/V_1$. Com o ganho K conhecido, os valores de Y_1 e Y_2 podem ser determinados como segue: pode ser visto pela Figura 7.18(a) que o único modo de o nó 1 "saber da existência" da admitância Y é através da corrente drenada por Y saindo do nó 1. Essa corrente, I_1, é dada por

$$\begin{aligned} I_1 &= Y(V_1 - V_2) = YV_1(1 - V_2/V_1) \\ &= YV_1(1 - K) \end{aligned}$$

Para o circuito da Figura 7.18(b) ser equivalente ao da Figura 7.18(a), é essencial que a admitância Y_1 seja tal que a corrente drenada do nó 1 seja igual a I_1:

$$Y_1 V_1 = I_1$$

que nos leva a

$$Y_1 = Y(1 - K) \tag{7.50}$$

De modo similar, o nó 2 "sente" a existência da admitância Y apenas através da corrente I_2 drenada por Y saindo do nó 2 (observe que $I_2 = -I_1$):

$$\begin{aligned} I_2 &= Y(V_2 - V_1) \\ &= YV_2(1 - V_1/V_2) \end{aligned}$$

Portanto,

$$I_2 = Y(1 - 1/K)V_2$$

Para o circuito da Figura 7.18(b) ser equivalente ao da Figura 7.18(a) é essencial que o valor de Y_2 seja tal que a corrente que ele drena do nó 2 seja igual a I_2:

$$Y_2 V_2 = I_2$$

que nos leva a

$$Y_2 = Y(1 - 1/ \tag{7.51}$$

As Equações 7.50 e 7.51 são as duas condições necessárias e suficientes para que a rede na Figura 7.18(b) seja equivalente à da Figura 7.18(a). Observe que em ambas as redes o ganho de tensão do nó 1 para o nó 2 é igual a K. Aplicaremos o teorema de Miller com muita freqüência no decorrer deste livro. Contudo, um cuidado importante deve ser tomado. *O circuito equivalente de Miller da Figura 7.18(b) é válido apenas enquanto as condições que existiam na rede quando K foi determinado não forem mudadas.* Isso implica que, embora o teorema de Miller seja muito útil na determinação da impedância de entrada e do ganho do amplificador, ele não pode ser usado para determinar sua resistência de saída. Isso ocorre porque, ao determinar a resistência de saída no modo convencional, a fonte de sinal de entrada é eliminada e é aplicada uma tensão de teste nos terminais de saída. Isso muda claramente o valor de K e torna o equivalente de Miller inválido.

Para valorizar a utilidade do teorema de Miller, considere o caso de um amplificador fonte comum que foi projetado para ter um ganho de tensão da porta para o dreno de, digamos, –100 V/V. A pequena capacitância C_{gd} (digamos, 1 pF) dá origem a uma capacitância de entrada entre a porta e o terra, que pode ser determinada usando-se a Equação 7.50 como

$$C_1 = C_{gd}(1-K)$$
$$= 1[1-(-100)] = 101 \text{ pF}$$

uma capacitância de entrada muito alta que certamente limitará a resposta em freqüência do amplificador! O efeito de multiplicação experimentado por C_{gd} é conhecido como **efeito Miller**. A aplicação do teorema de Miller na análise da resposta em altas freqüências do amplificador fonte comum é apresentada a seguir.

Análise da Resposta em Altas Freqüências

Há várias formas de analisar o circuito equivalente para altas freqüências da Figura 7.16(b), que foi redesenhado por conveniência na Figura 7.19(a), para determinar a freqüência de corte superior a 3 dB, ω_H. Uma delas é pelo método das constantes de tempo em circuito aberto. Já fizemos isso no Exemplo 7.5. Outro método aproximado, que produz uma idéia considerável das limitações em altas freqüências, envolve a aplicação do teorema de Miller para substituir C_{gd} por uma capacitância de entrada equivalente entre a porta e o terra. Esse método é baseado na observação de que, como C_{gd} é pequena, a corrente que circula por ela será muito menor do que a da fonte controlada $g_m V_{gs}$. Portanto, desprezando-se a corrente que circula por C_{gd} na determinação da tensão de saída V_o, podemos escrever

$$V_o \simeq -g_m V_{gs} R'_L \tag{7.52}$$

Usar a razão das tensões nos dois lados de C_{gd} permite-nos substituir C_{gd} no lado da entrada (porta) pela capacitância equivalente de Miller

$$C_{eq} = C_{gd}(1+g_m R'_L) \tag{7.53}$$

conforme mostrado na Figura 7.19(b). Reconhecemos o circuito, no lado da entrada, como um filtro passa-baixas de primeira ordem, cuja constante de tempo é determinada pela capacitância de entrada total

$$C_T = C_{gs} + C_{gd}(1+g_m R'_L) \tag{7.54}$$

e a resistência do gerador de sinais R_S. Esse circuito de primeira ordem determina a resposta em altas freqüências do amplificador fonte comum, introduzindo um pólo dominante em altas freqüências.

Então, a freqüência de corte superior de 3 dB será:

$$\omega_H = \frac{1}{C_T R_s} \tag{7.55}$$

e o ganho em altas freqüências pode ser expresso como

$$A_H(s) = A_M \frac{1}{1+s/\omega_H} \tag{7.56}$$

em que, como antes, A_M representa o ganho na faixa de freqüências médias.

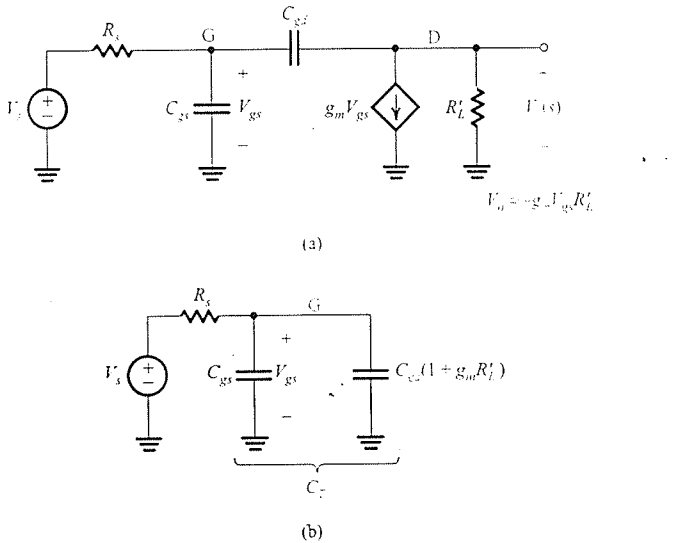


Figura 7.19 Circuitos equivalentes para determinar a resposta em altas freqüências do amplificador fonte comum.

Pelo exposto anteriormente, observamos o importante papel desempenhado pela pequena capacitância de realimentação C_{gd} na determinação da resposta em altas freqüências do amplificador em fonte comum. Pelo fato de as tensões nos dois lados de C_{gd} terem a relação de $-g_m R'_L$, que é um número alto aproximadamente igual ao ganho na faixa de freqüências médias, C_{gd} dá origem a uma alta capacitância, $C_{gd}(1 + g_m R'_L)$, através dos terminais de entrada do amplificador. Esse é o efeito Miller. Isso implica que, para aumentar a freqüência de corte superior a 3 dB, ou freqüência de corte do amplificador, temos de reduzir $g_m R'_L$, reduzindo também o ganho na faixa de freqüências médias, ou temos de reduzir a resistência da fonte, o que nem sempre é possível. Alternativamente, podemos usar as configurações de circuito que não sofrem o efeito Miller,

como a configuração cascode introduzida na Seção 6.5. Essa e outras configurações especiais para *amplificadores de faixa larga* serão estudadas nas seções posteriores.

Esses resultados podem ser aplicados diretamente ao amplificador em emissor comum. Especificamente, o ganho para altas freqüências é dado pela Equação 7.56, em que

$$\omega_H = \frac{1}{C_T R_s'} \tag{7.57}$$

com R_S' dada pela Equação 7.49 e C_T dada por

$$C_T = C_\pi + (1 + g_m R_L')C_\mu \tag{7.58}$$

EXEMPLO 7.7

Use o método aproximado baseado no efeito Miller para calcular a freqüência de corte superior a 3 dB do amplificador fonte comum cujos valores dos componentes estão especificados no Exemplo 7.6. Suponha $C_{gs} = C_{gd} = 1$ pF. Compare o resultado com aquele obtido, para o mesmo amplificador, no Exemplo 7.5, usando o método das constantes de tempo em circuito aberto.

SOLUÇÃO

A capacitância de entrada total é obtida pela Equação 7.54 como segue:

$$C_T = 1 + 1 \times (1 + 4 \times 3{,}33) = 15{,}3 \text{ pF}$$

A resistência efetiva do gerador é obtida como (veja o Exercício 7.12):

$$R_s = 100 \text{ k}\Omega // 420 \text{ k}\Omega = 80{,}8 \text{ k}\Omega$$

Portanto, usando a Equação 7.55, obtemos f_H como segue:

$$f_H = \frac{\omega_H}{2\pi} = \frac{1}{2\pi \times 15{,}3 \times 10^{-12} \times 80{,}8 \times 10^3} = 128{,}7 \text{ kHz}$$

que é muito próximo do valor (128,3 kHz) obtido no Exemplo 7.5.

A aproximação envolvida no método anterior para determinação de ω_H é equivalente à suposição de que há um pólo dominante em altas freqüências. Para verificar que esse é realmente o caso, determinemos a função de transferência exata para altas freqüências do amplificador em fonte comum. Converter o gerador de sinais de entrada na forma de Norton resulta no circuito mostrado na Figura 7.20. Escrevendo uma equação nodal em G, produz

$$\frac{V_s(s)}{R_s} = \frac{V_{gs}}{R_s} + sC_{gs}V_{gs} + sC_{gd}(V_{gs} - V_o) \tag{7.59}$$

Escrevendo uma equação nodal em D, obtemos

$$sC_{gd}(V_{gs} - V_o) = g_m V_{gs} + \frac{V_o(s)}{R_L'} \tag{7.60}$$

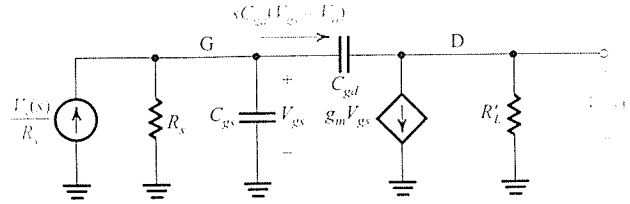


Figura 7.20 Determinação da função de transferência exata para altas freqüências do amplificador fonte comum.

Eliminando V_{gs} das Equações 7.59 e 7.60, obtemos a função de transferência

$$\frac{V_o(s)}{V_s(s)} = -A_M \frac{1 - \dfrac{s}{g_m/C_{gd}}}{1 + s\left[C_{gs} + C_{gd}(1 + g_m R_L') + C_{gd}(R_L'/R_s)\right]R_s + s^2 C_{gs} C_{gd} R_s R_L'} \tag{7.61}$$

Logo, o amplificador tem um zero com freqüência $\omega_Z = g_m/C_{gd}$ e dois pólos cujas freqüências podem ser determinadas pelo polinômio do denominador. Observe que o coeficiente do termo s no denominador é, como esperado, igual ao valor determinado no Exemplo 7.5 usando as constantes de tempo em circuito aberto. Independentemente dessa observação, o polinômio do denominador infelizmente é muito complexo para obtermos informações úteis diretamente dele. Contudo, podemos substituir os valores numéricos e obter as freqüências dos pólos, conforme pedido no exercício seguinte.

Exercício

7.13 Para o amplificador fonte comum especificado nos Exemplos 7.6 e 7.7, use a Equação 7.61 para determinar as freqüências de seu zero finito e seus dois pólos.

Resposta $f_Z = 637$ MHz; $f_{P1} = 128{,}4$ kHz; $f_{P2} = 734$ MHz

As respostas do Exercício 7.13 mostram que o zero e o segundo pólo são realmente em freqüências muito maiores do que a do pólo dominante. O fato de os dois pólos estarem tão distanciados nos permite fatorar o denominador da Equação 7.61 conforme mostrado a seguir. O polinômio do denominador $D(s)$ pode ser escrito como

$$\begin{aligned} D(s) &= \left(1 + \frac{s}{\omega_{P1}}\right)\left(1 + \frac{s}{\omega_{P2}}\right) \\ &= 1 + s\left(\frac{1}{\omega_{P1}} + \frac{1}{\omega_{P2}}\right) + \frac{s^2}{\omega_{P1}\omega_{P2}} \\ &= 1 + \frac{s}{\omega_{P1}} + \frac{s^2}{\omega_{P1}\omega_{P2}} \end{aligned} \tag{7.62}$$

Equacionando os coeficientes dos termos s nas Equações 7.61 e 7.62, obtemos

$$\omega_{P1} = \frac{1}{\left[C_{gs} + C_{gd}(1 + g_m R_L') + C_{gd}(R_L'/R_s)\right]R_s} \tag{7.63}$$

que é ligeiramente diferente do valor obtido usando o efeito de Miller, mas idêntico ao valor de ω_{H} obtido usando as constantes de tempo em circuito aberto. Equacionando os coeficientes de s^2 nas Equações 7.61 e 7.62 e usando 7.63, obtemos a freqüência do segundo pólo:

$$\omega_{P2} = \frac{C_{gs} + C_{gd}(1 + g_m R_L') + C_{gd}(R_L'/R_s)}{C_{gs} C_{gd} R_L'} \tag{7.64}$$

Para $g_m R_L' >> 1$ e $R_L' < R_s$, essa expressão pode ser aproximada como

$$\omega_{P2} \simeq \frac{g_m}{C_{gs}} \tag{7.65}$$

o que mostra que ω_{P2} será usualmente muito alto.

Finalmente, notamos que os resultados nas Equações 7.61, 7.63, 7.64 e 7.65 podem ser adaptados para o caso do amplificador em emissor comum simplesmente substituindo R_s por R_s', C_{gs} por C_π e C_{gd} por C_μ. Além disso, a freqüência do zero em altas freqüências é $\omega_Z = g_m/C_\mu$.

Exercícios

Os exercícios seguintes referem-se ao amplificador em emissor comum da Figura 7.13, com R_S = 4 kΩ, R_1 = 8 kΩ, R_2 = 4 kΩ, R_E = 3,3 kΩ, R_C = 6 kΩ e V_{CC} = 12 V. A corrente *cc* de emissor pode ser mostrada como sendo $I_E \equiv 1$ mA. Com esta corrente, o transistor possui $\beta_0 = 100$, C_π = 13,9 pF, C_μ = 2 pF, r_o = 100 kΩ e r_x = 50 Ω. Além disso, esse amplificador foi analisado no Exercício 7.9, no qual seu ganho em freqüências médias A_M foi encontrado como sendo –22,5 V/V.

7.14 Determine a resistência de fonte efetiva R_s' e a resistência de carga efetiva R_L'.

Resposta 1 kΩ; 2,344 kΩ

7.15 Use o método do efeito de Miller para determinar a capacitância total de entrada e então o pólo dominante em altas freqüências.

Resposta 203,4 pF; 782 kHz

7.16 Use a Equação 7.63, com os símbolos substituídos por aqueles do TBJ, para determinar uma melhor estimativa do pólo dominante. Também, use a Equação 7.64 para determinar o segundo pólo.

Resposta 765 kHz; 508 MHz

7.5 AS CONFIGURAÇÕES BASE COMUM, PORTA COMUM E CASCODE

Nas seções anteriores mostramos que a resposta em altas freqüências do amplificador fonte comum e do amplificador emissor comum era limitada pelo efeito Miller, introduzido pela capacitância de realimentação (C_{gd} no FET e C_μ no TBJ). Isso significa que, para estender o limite da freqüência superior de um transistor de um estágio amplificador, temos de reduzir ou eliminar a multiplicação da capacitância de Miller. A seguir, mostraremos que isso pode ser conseguido no amplificador na configuração base comum. Uma análise quase idêntica pode ser aplicada para configuração porta comum.

Analisaremos também a resposta em freqüência na configuração cascode e mostraremos que ela combina as vantagens dos circuitos com emissor comum e com base comum (e no caso do FET, dos circuitos com fonte comum e com porta comum).

A Análise do Amplificador Base Comum

A Figura 7.21 mostra um estágio amplificador base comum no qual a fonte de sinal é acoplada ao emissor via um grande capacitor. Embora esse seja o caso de um acoplamento capacitivo, a análise seguinte aplica-se igualmente bem a circuitos de acoplamento direto. Como no caso do EC, V_s e R_s representam os parâmetros do circuito equivalente de Thévenin alimentando o amplificador BC e pode incorporar resistores de polarização (se houver) do transistor Q. De modo similar, R_L representa a resistência total entre o coletor e o terra para sinais. Finalmente, observe que esse circuito foi analisado em freqüências médias na Seção 4.11. Aqui estamos interessados especificamente na resposta em altas freqüências; a análise em baixas freqüências é direta e pode ser realizada de maneira similar à usada para o amplificador EC.

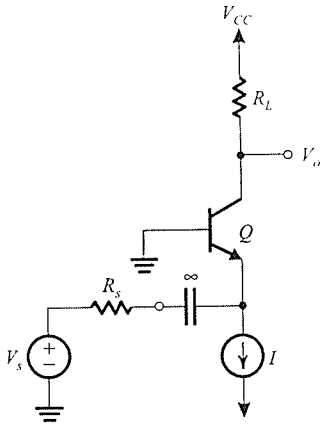


Figura 7.21 Um estágio amplificador base comum. Por simplicidade, a fonte de sinal está acoplada capacitivamente. No entanto, a análise para altas freqüências aplica-se diretamente a circuitos com acoplamento direto.

O circuito equivalente para altas freqüências do amplificador base comum está mostrado na Figura 7.22(a). Para simplificar a questão e concentrar a atenção sobre as características especiais do circuito com base comum, r_o e r_x foram omitidas.

No circuito da Figura 7.22(a) observamos que a tensão no terminal do emissor V_e é igual a $-V_\pi$. Podemos escrever uma equação nodal no terminal emissor que nos permite expressar a corrente do emissor I_e como

$$I_e = -V_\pi\left(\frac{1}{r_\pi} + sC_\pi\right) - g_m V_\pi = V_e\left(\frac{1}{r_\pi} + g_m + sC_\pi\right)$$

Portanto, a admitância de entrada vista olhando-se para o emissor é

$$\frac{I_e}{V_e} = \frac{1}{r_\pi} + g_m + sC_\pi = \frac{1}{r_e} + sC_\pi \tag{7.66}$$

Portanto, na entrada do circuito, podemos substituir o transistor por essa admitância de entrada, conforme mostra a Figura 7.22(b).

No lado da saída (Figura 7.21a) vemos que V_0 é determinada pela fonte de corrente $g_m V_\pi$ que alimenta $(R_L // C_\mu)$. Essa observação é usada na saída do desenho do circuito equivalente simplificado, mostrado na Figura 7.22(b).

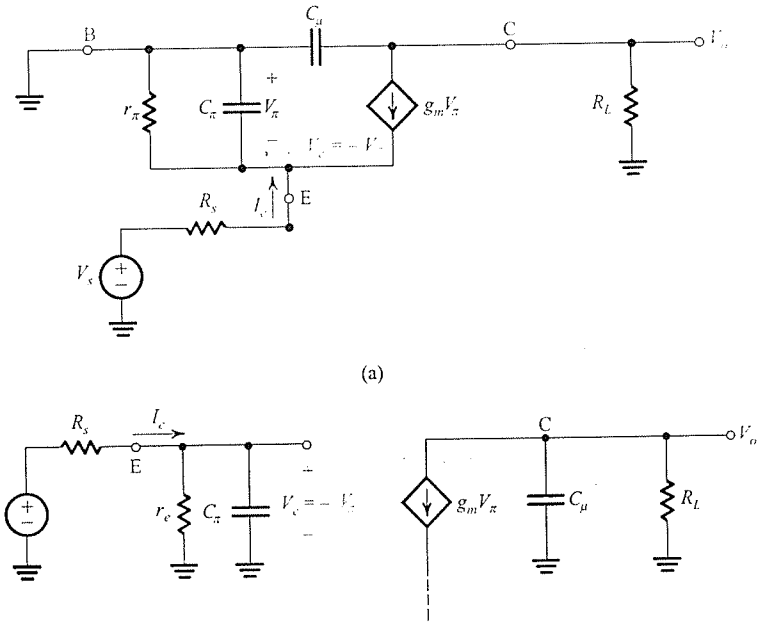


Figura 7.22 (a) Circuito equivalente do amplificador base comum da Figura 7.21; (b) versão simplificada do circuito em (a).

O circuito equivalente simplificado da Figura 7.22(b) mostra claramente a principal característica da configuração base comum: a ausência de uma capacitância de realimentação interna. Ao contrário do circuito emissor comum, aqui C_μ tem um terminal aterrado e o efeito Miller não está presente. Esperamos, portanto, que a freqüência de corte superior seja muito maior que a da configuração emissor comum.

Os pólos em altas freqüências podem ser determinados diretamente do circuito equivalente da Figura 7.22(b). Do lado da entrada temos um pólo cuja freqüência ω_{P1} pode ser escrita por um exame no circuito como

$$\omega_{P1} = \frac{1}{C_\pi (r_e // R_S)} \tag{7.67}$$

Como r_e é usualmente de valor muito baixo, a freqüência ω_{P1} será muito alta. No lado da saída há um pólo com freqüência ω_{P2} dado por

$$\omega_{P2} = \frac{1}{C_\mu R_L} \tag{7.68}$$

Como C_μ apresenta valor muito baixo, ω_{P2} também será muito alto. As freqüências dos pólos de um amplificador porta comum podem ser determinadas usando-se as Equações 7.67 e 7.68 com C_π substituída por C_{gs}, r_e substituída por $1/g_m$ e C_μ substituída por C_{gd}.

Uma questão importante é a precisão da análise feita anteriormente. Como estamos tratando com pólos de freqüências muito altas, devemos levar em consideração efeitos que normalmente foram tomados como desprezíveis. Por exemplo, a capacitância parasita usualmente presente entre o coletor e o substrato (terra) no transistor do CI terá, obviamente, um efeito considerável sobre o valor de ω_{P2}. Além disso, não está claro que r_x possa ser desprezado. Isso implica que, para a determinação precisa da resposta em altas freqüências de um amplificador base comum, devemos usar um modelo de transistor mais elaborado e normalmente deve ser empregado um programa de computador para a análise do circuito (veja a Seção 7.9 e o Apêndice C). Todavia, o ponto que desejamos enfatizar aqui é que o amplificador base comum tem uma freqüência de corte superior muito maior que a do circuito emissor comum. Uma declaração análoga aplica-se para o amplificador porta comum quando comparado com o circuito fonte comum.

A Configuração Cascode

Conforme discutido na Seção 6.5, a configuração cascode combina as vantagens dos circuitos emissor comum e base comum. A Figura 7.23 mostra um amplificador cascode projetado para ser usado com transistor bipolar. Aqui, um capacitor de alto valor é usado para estabelecer um terra para sinais no emissor de Q_1. Em circuitos com acoplamento direto, o terra para sinais é estabelecido por outros meios, por exemplo, usando um par diferencial. Observe também que a tensão de base *cc* de Q_2 é estabelecida por uma fonte *cc* externa $V_{\text{POLARIZAÇÃO}}$. Em circuitos práticos, $V_{\text{POLARIZAÇÃO}}$ é usualmente obtida da fonte de alimentação *cc* do amplificador. Circuitos cascode práticos serão vistos posteriormente neste texto e em exercícios e problemas. Nosso interesse aqui é manter o circuito simples, de modo a apreciar a característica mais significativa do circuito cascode, nominalmente, sua excelente resposta em altas freqüências. A análise a seguir aplica-se igualmente bem aos circuitos cascode MOS e com BiCMOS estudados no Capítulo 6.

No circuito cascode, Q_1 está conectado na configuração emissor comum e, portanto, apresenta uma resistência de entrada relativamente alta para a fonte de sinal. O sinal de corrente no coletor de Q_1 é fornecido para o emissor de Q_2, que está conectado em uma configuração base comum (a base está aterrada). Portanto, a resistência da carga vista por Q_1 é simplesmente a resistência de entrada r_e de Q_2. Essa baixa resistência de carga de Q_1 reduz consideravelmente o efeito multiplicador de Miller de $C_{\mu 1}$ e, portanto, estende a freqüência de corte superior. Isso é obtido sem reduzir o ganho em freqüências médias, visto que o coletor de Q_2 tem uma corrente quase igual à do coletor de Q_1. Além do mais, como essa é uma configuração base comum, Q_2 não sofre o efeito de Miller e, portanto, não limita a resposta em altas freqüências. O transistor

Q_2 funciona essencialmente como um reforçador de corrente (buffer) ou um transformador de impedância, que deixa passar totalmente o sinal de corrente para a carga enquanto apresenta uma resistência de carga de baixo valor para o dispositivo de amplificação Q_1.

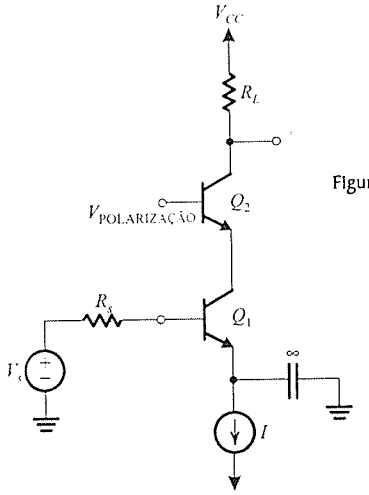


Figura 7.23 Um amplificador cascode usando TBJ. Uma fonte *cc* separada $V_{POLARIZAÇÃO}$ estabelece a tensão *cc* na base de Q_2; em circuitos práticos, $V_{POLARIZAÇÃO}$ é obtida da fonte de alimentação do amplificador.

Uma análise detalhada do amplificador cascode da Figura 7.23 será apresentada a seguir: a Figura 7.24(a) mostra o circuito equivalente para altas freqüências. Para simplificar a questão, r_{x2} e r_{o2} foram omitidas. Embora os dois transistores estejam operando com correntes de polarização iguais e, portanto, seus parâmetros correspondentes sejam iguais, vamos, por clareza, manter separada a identidade dos dois conjuntos de parâmetros.

A aplicação do teorema de Thévenin permite-nos reduzir o circuito à esquerda da linha xx' (Figura 7.24(a)) a uma fonte V_s' e a uma resistência R_s', conforme mostrado na Figura 7.24(b), em que

$$V_s' = V_s \frac{r_{\pi 1}}{r_{\pi 1} + r_{x1} + R_s} \tag{7.69}$$

$$R_s' = r_{\pi 1} // (r_{x1} + R_s) \tag{7.70}$$

Uma outra simplificação importante, incluída no circuito da Figura 7.24(b), foi a substituição da fonte de corrente $g_{m2}V_{\pi 2}$ por uma resistência $1/g_{m2}$ (veja o teorema de absorção de fonte no Apêndice E). Essa resistência é então combinada à resistência em paralelo $r_{\pi 2}$ para obter r_{e2}. Como $r_{e2} << r_{o1}$, vemos que a resistência total entre o coletor de Q_1 e o terra é aproximadamente r_{e2}. A capacitância $C_{\pi 2}$ junto com a resistência r_{e2} produz um pólo da função de transferência com uma freqüência

$$\omega_2 = \frac{1}{C_{\pi 2} r_{e2}} \simeq \omega_{T2} \tag{7.71}$$

que é muito maior do que a freqüência do pólo que surge devido à interação entre R_S' e a capacitância de entrada de Q_1.

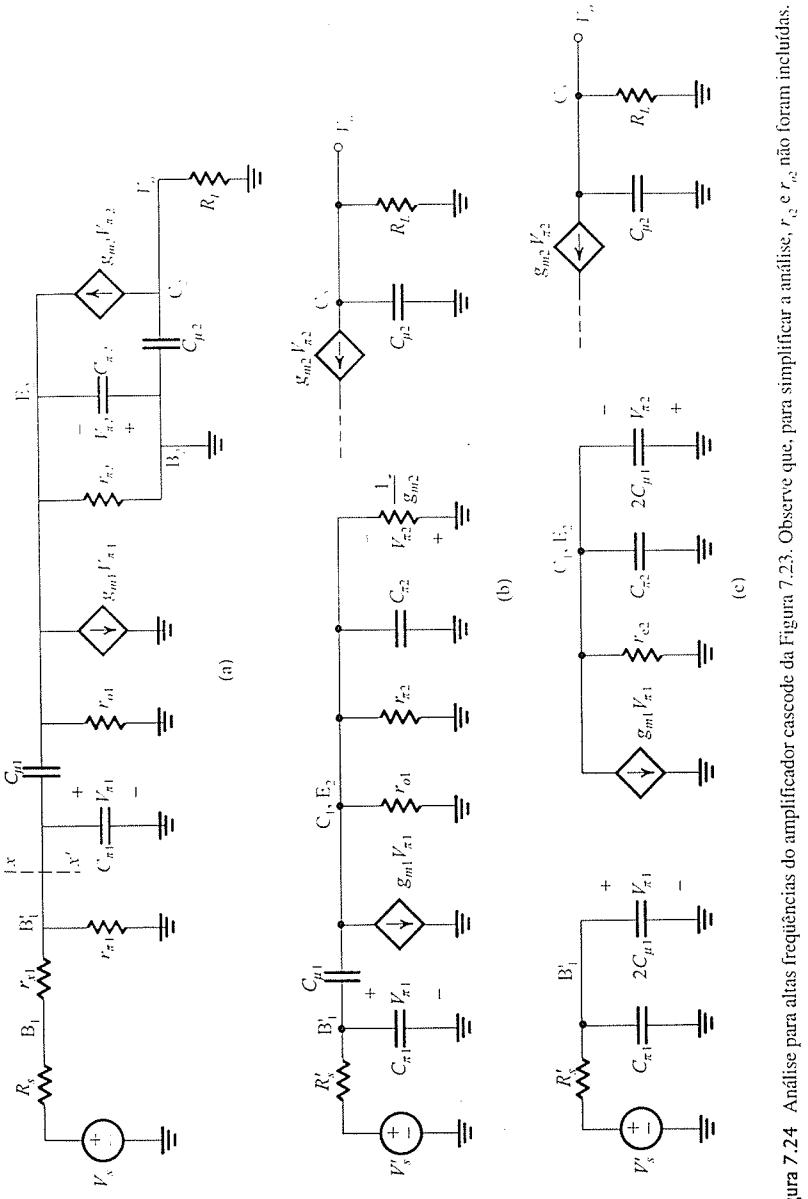


Figura 7.24 Análise para altas freqüências do amplificador cascode da Figura 7.23. Observe que, para simplificar a análise, r_{x2} e r_{o2} não foram incluídas.

Isso significa que, na faixa de freqüência de interesse, $C_{\pi 2}$ pode ser ignorada no cálculo da tensão no coletor de Q_1; isto é,

$$V_{c1} \simeq -g_{m1} V_{\pi 1} r_{e2} \simeq -V_{\pi 1}$$

Portanto, o ganho entre B_1' e C_1 (Figura 7.24b) é aproximadamente −1, e podemos usar o teorema de Miller para substituir a capacitância em ponte $C_{\mu 1}$ por uma capacitância $2C_{\mu 1}$ entre B_1' e o terra e uma capacitância $2C_{\mu 1}$ entre C_1 e o terra. O circuito equivalente resultante está mostrado na Figura 7.24(c), do qual podemos agora calcular a freqüência do pólo devida ao circuito RC passa-baixas na entrada como

$$\omega_1 = \frac{1}{R_s'(C_{\pi 1} + 2C_{\mu 1})} \tag{7.72}$$

Para o caso em que a resistência da fonte tiver alto valor, essa freqüência será muito menor do que ω_2 (Equação 7.71) e do que a freqüência do pólo produzida pela parte da saída do circuito,

$$\omega_3 = \frac{1}{C_{\mu 2} R_L} \tag{7.73}$$

Portanto, nesse caso, o circuito de entrada produz um pólo dominante em altas freqüências e a freqüência de corte superior a 3 dB, ω_H, é dada por

$$\omega_H \simeq \omega_1 \tag{7.74}$$

Uma estimativa ligeiramente melhor de ω_H pode ser obtida pela combinação das freqüências dos três pólos utilizando a Equação 7.22. Além disso, deve ser dito que o método das constantes de tempo em circuito aberto poderia ter sido aplicado diretamente no circuito da Figura 7.24(b).

O ganho na faixa de freqüências médias pode ser calculado facilmente ignorando-se as capacitâncias no circuito equivalente da Figura 7.24(c) junto com a substituição de V_S' e R_S' das Equações 7.69 e 7.70:

$$A_M = \frac{V_o}{V_s} = -g_m R_L \frac{r_\pi}{r_\pi + r_x + R_s} \tag{7.75}$$

Essa expressão tem forma idêntica à da expressão para o ganho do circuito emissor comum.

Exercício

7.17 Considere o circuito cascode na Figura E7.17 com os seguintes valores dos componentes: R_s = 4 kΩ, R_1 = 18 kΩ, R_2 = 4 kΩ, R_3 = 8 kΩ, R_E = 3,3 kΩ, R_C = 6 kΩ, R_L = 4 kΩ, C_{C1} = 1 μF, C_{C2} = 1 μF, C_B = 10 μF, C_E = 10 μF e V_{CC} = +15 V. Mostre que cada transistor está operando com $I_E \simeq 1$ mA. Observe que esse projeto é idêntico ao do amplificador emissor comum nos Exercícios 7.9 a 7.11 e 7.14 a 7.16. Se supusermos que os transistores são do mesmo tipo (os valores dos parâmetros são dados no preâmbulo dos Exercícios 7.14 a 7.16), poderemos comparar os resultados e tirar conclusões. Calcule A_M, f_1, f_2 e f_3. Depois, use a fórmula da soma dos quadrados na Equação 7.22 para calcular f_H. Observe que você deve ser cauteloso no uso das fórmulas anteriores: por exemplo, R_L na Equação 7.73 deve ser substituída por $(R_C // R_L)$ e a fórmula para R_S' deve ser modificada de modo a considerar R_3 e R_2 e assim por diante.

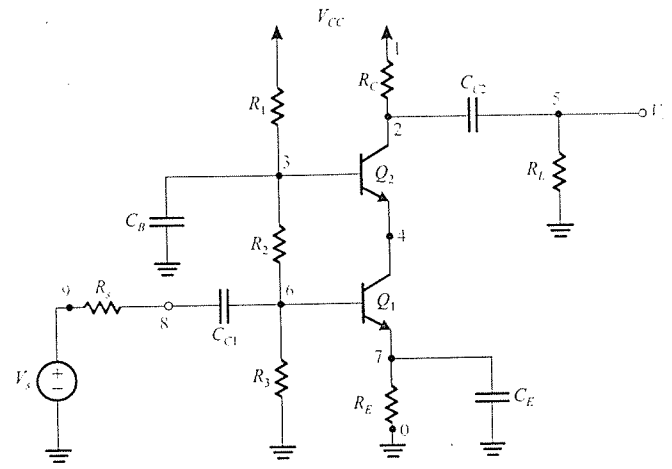


Figura E7.17 Um amplificador cascode capacitivamente acoplado usando transistores bipolares. O capacitor C_B é grande, estabelecendo um terra para sinais na base de Q_2. (Os nós estão numerados para serem usados na simulação com o SPICE do Exemplo 7.9.)

Resposta − 23,1 V/V; 8.95 MHz; 458 MHz; 33 MHz; 8.64 MHz

Há outro caso importante a considerar, que ocorre freqüentemente no projeto de amplificadores cascode de circuito integrado com carga ativa. No caso em questão, R_s é usualmente de baixo valor, dando lugar ao pólo de entrada não-dominante da freqüência ω_1. Devido à carga ativa, R_L é usualmente muito alta, fazendo com que o pólo na saída seja dominante. Uma melhor estimativa da freqüência desse pólo pode ser obtida levando-se em consideração a capacitância parasita da carga C_L normalmente presente no nó de saída, modificando, portanto, ω_3 da Equação 7.73 para

$$\omega_3 = \frac{1}{(C_{\mu 2} + C_L) R_L} \tag{7.76}$$

Observe que, para garantir que esse pólo seja realmente o dominante, temos de fazer com que $\omega_2 \simeq \omega_{T2}$ seja muito maior que ω_3, que é usualmente o caso quando Q_2 é um TBJ. Em uma configuração cascode com MOS, contudo, ω_{T2} pode ser baixo, reduzindo, então, a faixa de passagem do amplificador. Essa situação pode ser melhorada consideravelmente se for usada a configuração com BiCMOS da Figura 6.35(c).

7.6 RESPOSTA EM FREQÜÊNCIA DO SEGUIDOR DE EMISSOR E DO SEGUIDOR DE FONTE

A configuração seguidor de emissor ou coletor comum foi estudada na Seção 4.11. A seguir consideraremos a resposta em freqüência dessa importante configuração de circuito. Os resultados se aplicam, com simples modificações, ao seguidor de fonte com FET.

Considere o circuito seguidor de emissor com acoplamento direto mostrado na Figura 7.25(a), em que R_s representa a resistência da fonte e R_E, a combinação da resistência de polarização do emissor (ou a resistência de saída da fonte de corrente de polarização, se esta for usada) e da resistência de carga. O circuito equivalente para altas freqüências está mostrado na Figura 7.25(b)[4] e redesenhado de forma ligeiramente diferente na Figura 7.25(c). A análise desse circuito resulta na função de transferência do seguidor de emissor $V_o(s)/V_s(s)$, que pode ser mostrada como tendo dois pólos e um zero real:

$$\frac{V_o(s)}{V_s(s)} = A_M \frac{1 + s/\omega_Z}{(1 + s/\omega_{P1})(1 + s/\omega_{P2})} \tag{7.77}$$

em que A_M representa o valor do ganho em baixas e médias freqüências. Infelizmente, entretanto, a análise simbólica, sem introduzir valores numéricos, não revela se um pólo é ou não dominante. Para termos mais idéias, precisamos tomar uma rota alternativa.

Escrevendo a equação nodal no emissor (Figura 7.25(b)) chega-se a

$$V_o = (g_m + y_\pi) V_\pi R_E \tag{7.78}$$

em que

$$y_\pi = \frac{1}{r_\pi} + sC_\pi$$

Logo, V_o será zero no valor de s que torna $V_\pi = 0$ e no valor de s que torna $g_m + y_\pi = 0$. Por sua vez, V_π será zero no valor de s que torna $z_\pi = 0$ ou de forma equivalente $y_\pi = \infty$, a saber, $s = \infty$. O fato de que há um zero de transmissão em $s = \infty$ tem relação com a Equação 7.77. O outro zero da transmissão é obtido de

$$g_m + y_\pi = 0$$

isto é,

$$g_m + \frac{1}{r_\pi} + s_Z C_\pi = 0$$

que produz

$$s_Z = -\frac{g_m + 1/r_\pi}{C_\pi} = -\frac{1}{C_\pi r_e} = -\omega_T \tag{7.79}$$

Como a freqüência desse zero apresenta valor muito elevado, normalmente não é importante na determinação da resposta em altas freqüências do seguidor de emissor.

A seguir consideraremos os pólos. Se um dos dois pólos é ou não dominante dependerá de uma aplicação particular – especificamente dos valores de R_s e R_E. Em muitas aplicações, R_s é de valor alto e, junto com a capacitância de entrada, fornece um pólo dominante. Para ver isso claramente, considere o circuito equivalente da Figura 7.25(c).

4. Embora r_o não tenha sido mostrada, ela pode ser facilmente incluída e ficar em paralelo com R_E. Portanto, a análise a seguir necessita apenas ser modificada substituindo-se R_E por $(R_E/\!/r_o)$.

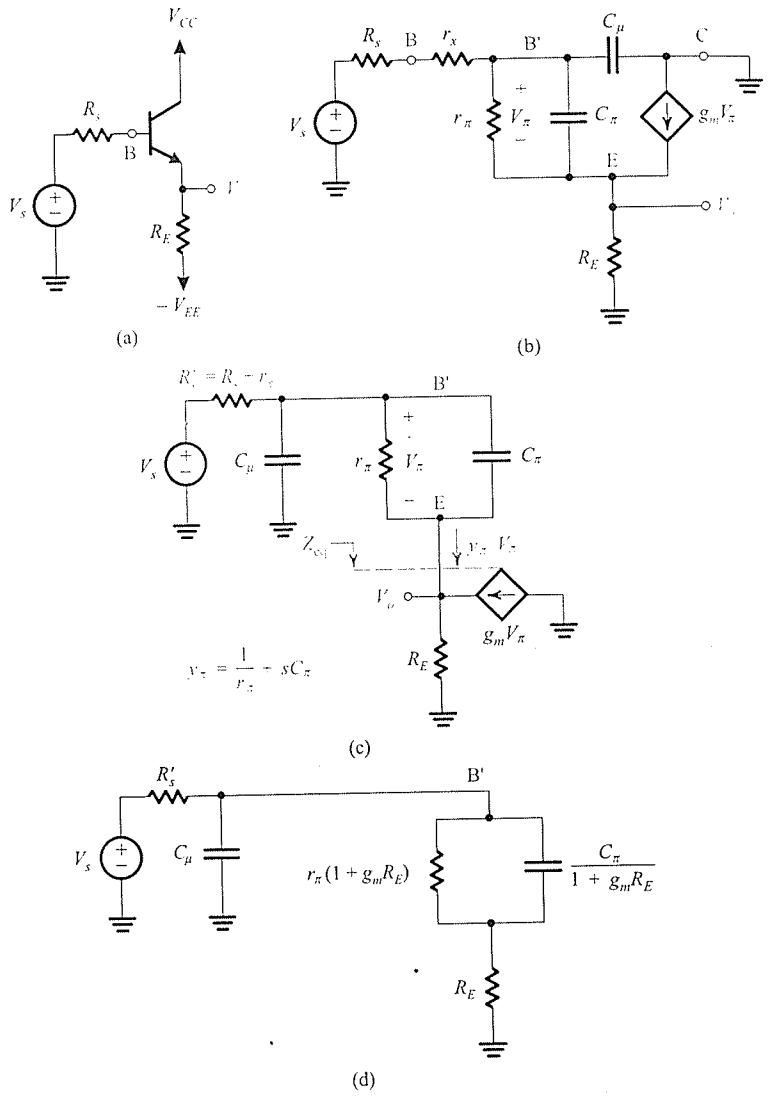


Figura 7.25 Análise para altas freqüências do seguidor de emissor.

Invocando o teorema de absorção de fonte (Apêndice E), podemos substituir o circuito abaixo da linha tracejada pela impedância equivalente Z_{eq},

$$Z_{eq} \equiv \frac{V_o}{y_\pi V_\pi}$$

Portanto,

$$Z_{eq} = \frac{(g_m + y_\pi)R_E}{y_\pi} \tag{7.80}$$

Observe que Z_{eq} é simplesmente R_E refletida para o lado da base pelo uso de uma forma generalizada da regra da reflexão: R_E é multiplicada por $(h_{fe} + 1)$. A impedância total entre B' e o terra é

$$Z_{b'} = \frac{1}{y_\pi} + Z_{eq} = \frac{1 + g_m R_E}{y_\pi} + R_E$$

Conforme mostrado na Figura 7.25(d), essa impedância pode ser representada por R_E em série com uma rede RC consistindo em uma resistência $(1 + g_m R_E)r_\pi$ em paralelo com uma capacitância $C_\pi/(1 + g_m R_E)$. Como a impedância do circuito paralelo RC é usualmente muito maior do que R_E, podemos desprezar a última impedância e obter uma rede passa-baixas simples CTS. A partir desse circuito CTS verificamos que há um pólo em

$$\omega_P = \left[\left(C_\mu + \frac{C_\pi}{1 + g_m R_E}\right)\left[R_S'/\!/(1 + g_m R_E)r_\pi\right]\right]^{-1} \tag{7.81}$$

Embora esse pólo seja usualmente dominante, normalmente sua freqüência é razoavelmente alta, dando ao seguidor de emissor uma larga faixa de passagem.[5]

Uma alternativa semelhante para calcular um valor aproximado da freqüência a 3 dB, ω_H, é usar o método das constantes de tempo em circuito aberto no circuito equivalente na Figura 7.25(d).

Finalmente, observamos que todos os resultados anteriores podem ser aplicados no caso de um FET pela substituição de R_S' por R_S, r_π por ∞, C_μ por C_{gd} e C_π por C_{gs}.

Exercícios

7.18 Para um seguidor de emissor polarizado com $I_C = 1$ mA e tendo $R_S = R_E = 1$ kΩ e usando um transistor especificado para ter $f_T = 400$ MHz, $C_\mu = 2$ pF, $r_x = 100\ \Omega$ e $\beta_0 = 100$, calcule o ganho em freqüências médias A_M e a freqüência do pólo dominante em altas freqüências.

Resposta 0,97 V/V; 62,5 MHz

5. Embora não tenhamos considerado o seguidor de emissor com uma carga capacitiva, esse caso merece um comentário: uma carga capacitiva para o seguidor de emissor leva a uma condutância *negativa* de entrada; e, se a impedância da fonte for indutiva, o circuito pode oscilar. Estabilidade e oscilações são estudadas nos Capítulos 8 e 12.

7.19 Para o seguidor de emissor especificado no Exercício 7.18, use o método das constantes de tempo em circuito aberto para estimar a freqüência de corte superior a 3 dB, f_H.

Resposta 55,3 MHz

7.7 A CASCATA COLETOR COMUM–EMISSOR COMUM

A excelente resposta em altas freqüências do seguidor de emissor é devida à ausência do efeito da multiplicação da capacitância de Miller. O problema, entretanto, é que o seguidor de emissor não fornece ganho de tensão. Parece ser possível obter ambos, ganho e uma maior faixa de passagem, pelo uso de um estágio emissor comum e de um coletor comum em cascata, conforme mostrado na Figura 7.26. Nessa figura, o transistor do seguidor de emissor é mostrado polarizado por uma fonte de corrente I, conforme ocorre usualmente no caso de projetos de circuitos integrados. Como o coletor de Q_1 está aterrado para sinais, $C_{\mu 1}$ não fica multiplicada pelo ganho do estágio, como é o caso no amplificador emissor comum. Portanto, o pólo causado pela interação da resistência da fonte e da capacitância de entrada será em alta freqüência.

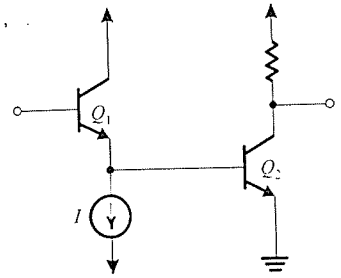


Figura 7.26 O amplificador coletor comum em cascata com emissor comum.

O ganho de tensão é fornecido pelo transistor Q_2 com emissor comum. Esse transistor sofre o efeito Miller; isto é, a capacitância efetiva total entre sua base e o terra terá alto valor. Entretanto, isso não será prejudicial; a resistência vista por aquela capacitância será de baixo valor por causa da baixa resistência de saída do seguidor de emissor Q_1.

Antes de considerar um exemplo numérico, desejamos chamar a atenção do leitor para as similaridades entre o circuito da Figura 7.26 e o amplificador cascode estudado na Seção 7.5. Ambos os circuitos empregam um amplificador emissor comum para obter ganho de tensão. Ambos os circuitos conseguem uma faixa de passagem maior (do que aquela obtida em um amplificador emissor comum) através da minimização do efeito multiplicador de Miller. No circuito cascode, isso é obtido pelo isolamento entre a resistência de carga e o coletor do estágio emissor comum pela baixa resistência de entrada do estágio com base comum. No presente circuito, embora ocorra a multiplicação de Miller, a alta capacitância resultante é isolada da resistência da fonte por um seguidor de emissor.

EXEMPLO 7.8

A Figura 7.27 mostra um amplificador com acoplamento capacitivo projetado como um estágio coletor comum em cascata com um emissor comum. Suponha que os transistores

tenham $\beta = 100$, $f_T = 400$ MHz e $C_\mu = 2$ pF, e despreze r_x e r_o. Desejamos calcular o ganho em freqüências médias e a resposta em altas freqüências desse circuito. Observe que as resistências de carga e da fonte e os parâmetros do transistor são idênticos àqueles usados no caso do emissor comum (Exercícios 7.9 a 7.11 e 7.14 a 7.16) e no caso do cascode (Exercício 7.17), com os quais podem ser feitas comparações.

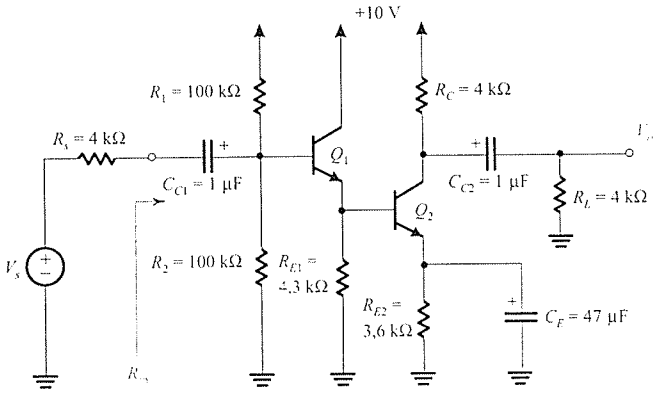


Figura 7.27 Um amplificador capacitivamente acoplado usando a configuração coletor comum em cascata com emissor comum.

SOLUÇÃO

Determinamos primeiro a corrente de polarização *cc* como segue:

$$V_{B1} \simeq 5 \text{ V} \qquad V_{E1} \simeq 4{,}3 \text{ V} \qquad I_{E1} = \frac{4{,}3 \text{ V}}{4{,}3 \text{ k}\Omega} = 1 \text{ mA}$$

$$V_{E2} \simeq 3{,}6 \text{ V} \qquad I_{E2} = \frac{3{,}6 \text{ V}}{3{,}6 \text{ k}\Omega} = 1 \text{ mA}$$

Logo, ambos os transistores estão operando com corrente de emissor de aproximadamente 1 mA e estão no modo ativo. Com esse ponto de operação, os componentes do circuito equivalente são

$$g_m \simeq 40 \text{ mA/V} \qquad r_e \simeq 25 \ \Omega \qquad r_\pi \simeq 2{,}5 \text{ k}\Omega$$

$$C_\pi + C_\mu = \frac{g_m}{\omega_T} = 15{,}9 \text{ pF} \qquad C_\mu = 2 \text{ pF} \qquad C_\pi = 15{,}9 - 2 = 13{,}9 \text{ pF}$$

Para calcular o ganho em freqüências médias, devemos primeiro determinar o valor da resistência de entrada R_{in}. Nesse sentido, observe que a resistência de entrada entre a base de Q_2 e o terra é igual a $r_{\pi 2}$. Logo, no circuito emissor de Q_1 temos R_{E1} em paralelo com $r_{\pi 2}$. A resistência de entrada R_{in} será, portanto, dada por

$$R_{in} = R_1 // R_2 // \{(\beta_1 + 1)[r_{e1} + (R_{E1} // r_{\pi 2})]\}$$

que nos leva a $R_{in} \simeq 38$ kΩ. A transmissão da entrada para a base de Q_1 é

$$\frac{V_{b1}}{V_s} = \frac{R_{in}}{R_{in} + R_s} = 0{,}9 \text{ V/V} \tag{7.82}$$

A seguir, o ganho do seguidor de emissor Q_1 pode ser obtido como

$$\frac{V_{e1}}{V_{b1}} = \frac{(R_{E1} // r_{\pi 2})}{(R_{E1} // r_{\pi 2}) + r_{e1}} = 0{,}98 \text{ V/V} \tag{7.83}$$

Finalmente, o ganho do amplificador emissor comum Q_2 pode ser calculado como

$$\frac{V_o}{V_{e1}} = -g_{m2}(R_C // R_L) = -80 \text{ V/V} \tag{7.84}$$

O ganho de tensão total pode ser obtido pela combinação das Equações 7.82 a 7.84:

$$\frac{V_o}{V_s} = -0{,}9 \times 0{,}98 \times 80 = -70{,}6 \text{ V/V} \tag{7.85}$$

A resposta em altas freqüências pode ser determinada pelo circuito equivalente mostrado na Figura 7.28(a). Aplicamos o teorema de Miller no segundo estágio[6] e executamos outras simplificações, obtendo o circuito na Figura 7.28(b), em que

$$R'_s = R_s // R_1 // R_2 \tag{7.86}$$

$$V'_s = V_s \frac{(R_1 // R_2)}{(R_1 // R_2) + R_s} \tag{7.87}$$

$$C_T = C_{\pi 2} + C_{\mu 2}(1 + g_{m2} R'_L) \tag{7.88}$$

$$R'_L = R_L // R_C \tag{7.89}$$

O circuito ainda é muito complexo e uma análise exata detalhada pode ser tediosa. Alternativamente, empregamos a técnica das constantes de tempo em circuito aberto discutida na Seção 7.2 para determinar f_H como segue: o capacitor $C_{\mu 1}$ vê uma resistência $R_{\mu 1}$ dada por

$$R_{\mu 1} = R_s // R_{in} = 4 // 38 = 3{,}62 \text{ k}\Omega \tag{7.90}$$

Pode ser mostrado que $C_{\pi 1}$ vê uma resistência $R_{\pi 1}$ dada por

$$R_{\pi 1} = r_{\pi 1} // \frac{R'_s + R'_{E1}}{1 + g_{m1} R'_{E1}} \tag{7.91}$$

em que $R'_{E1} = R_{E1} // r_{\pi 2}$. Portanto, $R_{\pi 1} = 80$ Ω.

A capacitância C_T, que é igual a 179,5 pF, vê uma resistência R_T dada por

$$R_T = R'_{E1} // \frac{r_{\pi 1} + R'_s}{\beta_1 + 1} = 59 \ \Omega \tag{7.92}$$

6. Supondo que $g_{m2} R'_L >> 1$, a aplicação do teorema de Miller resulta em uma capacitância aproximadamente igual a $C_{\mu 2}$ em paralelo com R'_L. Observe que ela *não* é a capacitância de saída do amplificador (reveja a discussão sobre o teorema de Miller na Seção 7.4). Entretanto, ela pode ser usada no cálculo de f_H aplicando-se o método das constantes de tempo em circuito aberto.

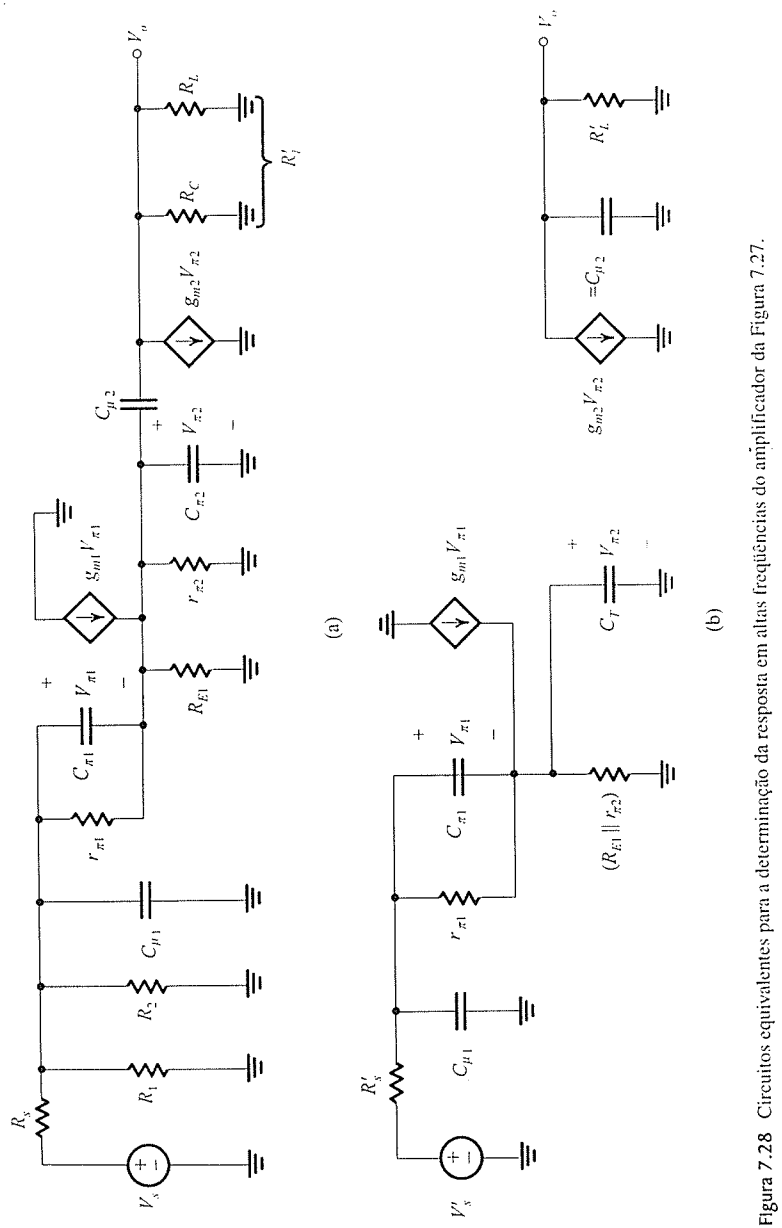


Figura 7.28 Circuitos equivalentes para a determinação da resposta em altas freqüências do amplificador da Figura 7.27.

A capacitância $C_{\mu 2}$ vê uma resistência R'_L dada por

$$R'_L = R_L // R_C = 2\ \text{k}\Omega \tag{7.93}$$

Portanto, a constante de tempo efetiva é dada por

$$\tau = C_{\mu 1} R_{\mu 1} + C_{\pi 1} R_{\pi 1} + C_T R_T + C_{\mu 2} R'_L = 22{,}7\ \text{ns} \tag{7.94}$$

que corresponde a uma freqüência de corte superior a 3 dB de

$$f_H \simeq \frac{1}{2\pi\tau} = 7\ \text{MHz}$$

Embora a freqüência de corte superior a 3 dB não seja tão alta quanto o valor obtido para o amplificador cascode (8,95 MHz), o ganho em freqüências médias de 70,6 é maior do que o calculado para o cascode (23,1). Não nos esqueçamos de que a principal figura de mérito para o amplificador é seu produto ganho–faixa de passagem.

Finalmente, observamos que uma análise similar à apresentada nesta seção pode ser aplicada a uma configuração dreno comum em cascata com uma configuração fonte comum e a um estágio amplificador BiCMOS formado por uma configuração dreno comum em cascata com uma configuração emissor comum.

Exercícios

7.20 Use o método das constantes de tempo em curto-circuito para determinar um valor aproximado para a freqüência de corte inferior a 3 dB, f_L, do circuito amplificador na Figura 7.27. Calcule-le também a freqüência do zero introduzido por C_E.

Resposta $R_{C1} = 42\ \text{k}\Omega$; $R_{CE} = 25{,}4\ \Omega$; $R_{C2} = 8\ \text{k}\Omega$; $f_L = 157\ \text{Hz}$; $f_Z = 0{,}94\ \text{Hz}$

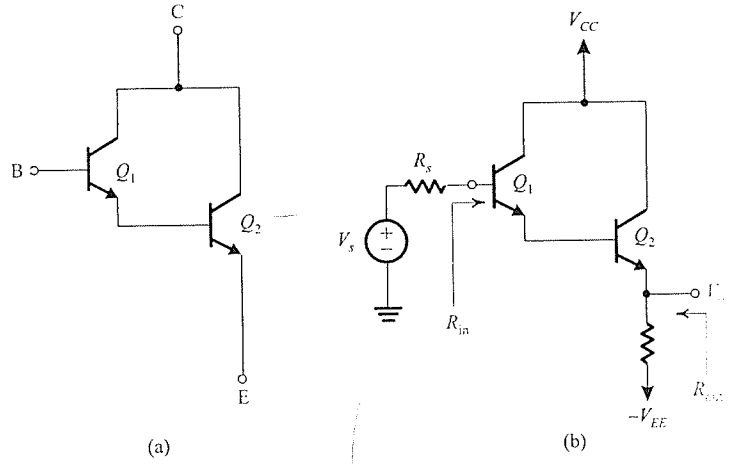


Figura E7.21 (a) Configuração Darlington; (b) seguidor de tensão usando a configuração Darlington.

7.21 A configuração coletor comum–emissor comum estudada nesta seção é uma versão modificada do dispositivo composto obtido pela conexão de dois transistores na forma mostrada na Figura E7.21(a). Essa configuração, conhecida como **configuração Darlington**, é equivalente a um transistor simples com $\beta = \beta_1\beta_2$. Ela pode ser usada, portanto, como um seguidor de alto desempenho, conforme ilustrado na Figura E7.21(b). Para o último circuito suponha que Q_2 esteja polarizado com $I_E = 5$ mA e que $R_s = 100$ kΩ. $R_L = 1$ kΩ e $\beta_1 = \beta_2 = 100$. Calcule R_{in}, V_o/V_s e R_{out}.

Resposta 10,3 MΩ; 0,98 V/V; 20 Ω

7.8 A RESPOSTA EM FREQÜÊNCIA DO AMPLIFICADOR DIFERENCIAL

O par diferencial estudado no Capítulo 6 é o elemento em bloco mais importante no projeto de circuitos integrados analógicos. Nesta seção analisaremos sua resposta em freqüência. Embora somente o par diferencial com TBJ seja considerado, o método se aplica igualmente bem para o par com FET.

Variação do Ganho Diferencial com a Freqüência

Considere o amplificador diferencial mostrado na Figura 7.29(a). O sinal de entrada V_s é aplicado de modo complementar (push–pull), e a resistência da fonte R_s é distribuída igualmente entre os dois lados do par. Essa situação ocorre, por exemplo, se à saída do amplificador diferencial for conectado um outro estágio diferencial.

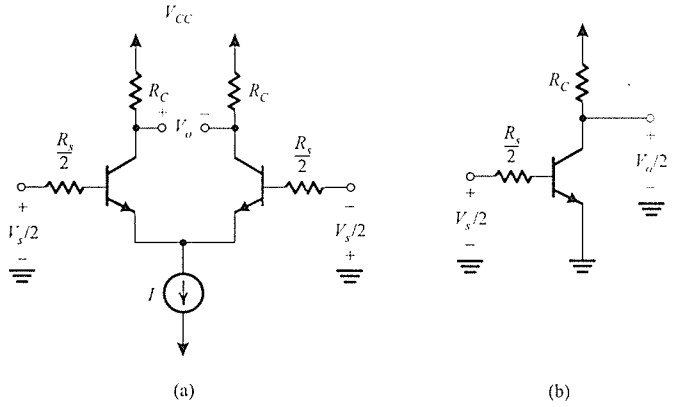


Figura 7.29 (a) Um par diferencial excitado simetricamente; (b) metade de seu circuito equivalente.

Como o circuito é simétrico e está conectado de modo complementar, a resposta em freqüência de seu ganho diferencial será idêntica à do circuito equivalente para emissor comum mostrado na Figura 7.29(b). Já fizemos a análise detalhada do circuito emissor comum na Seção 7.4. Como o par diferencial é um amplificador com acoplamento direto, seu ganho se estenderá até a freqüência zero com um valor de baixas freqüências de

$$\frac{V_o}{V_s} = -\frac{r_\pi}{r_\pi + R_s/2} g_m R_C \tag{7.95}$$

A resposta em altas freqüências será dominada por um pólo real com uma freqüência ω_P,

$$\omega_P = \frac{1}{[(R_s/2)//r_\pi][C_\pi + C_\mu(1 + g_m R_C)]} \tag{7.96}$$

Portanto, se denotarmos o ganho diferencial em baixas freqüências dado na Equação 7.95 por A_0, a variação do ganho diferencial com a freqüência pode ser descrita pela função de transferência

$$\frac{V_o}{V_s} = \frac{A_0}{1 + s/\omega_P} \tag{7.97}$$

Portanto, a curva do ganho *versus* freqüência terá a forma-padrão de pólo simples mostrada na Figura 7.30. A freqüência de 3 dB ω_H é igual à freqüência do pólo, $\omega_H = \omega_P$. Na análise anterior foi desprezada r_x. Ela pode ser facilmente incluída substituindo-se simplesmente $R_s/2$ por $R_s/2 + r_x$ nas Equações 7.95 e 7.96. Similarmente, r_o pode ser considerada substituindo-se R_C por $(R_C//r_o)$ nas Equações 7.95 e 7.96. Nesse sentido, observe que R_C denota a resistência total entre cada coletor e o terra para sinais.

O leitor deve se lembrar de que o amplificador emissor comum tem, em adição ao pólo dominante devido ao efeito Miller, um pólo não-dominante e um zero. As fórmulas desenvolvidas para tal na Seção 7.4 (por exemplo, Equação 7.61) podem ser aplicadas diretamente ao amplificador diferencial.

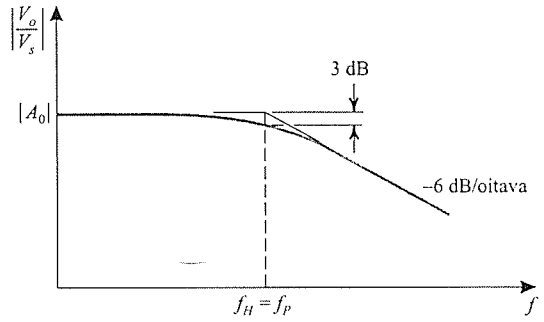


Figura 7.30 Resposta em freqüência do amplificador diferencial.

O Efeito da Resistência do Emissor sobre a Resposta em Freqüência

A faixa de passagem do amplificador diferencial pode ser aumentada (isto é, ω_H pode ser aumentada) pela inclusão de duas resistências iguais, R_E, no emissor. Isso é obtido à custa de uma redução no ganho em baixas freqüências. Para calcular o efeito da resistência de emissor sobre a

resposta em freqüência, considere o meio circuito mostrado na Figura 7.31(a). O ganho em baixas freqüências é dado por

$$A_0 \equiv \frac{V_o}{V_s} = \frac{-(\beta+1)(r_e+R_E)}{R_s/2+r_x+(\beta+1)(r_e+R_E)} \frac{\alpha R_C}{R_E+r_e} \tag{7.98}$$

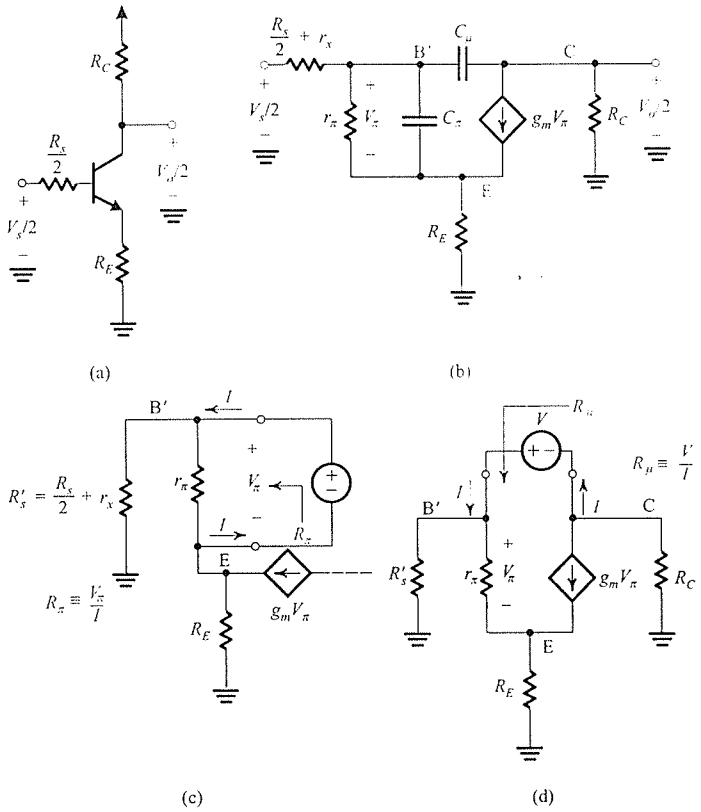


Figura 7.31 (a) Meio circuito equivalente do amplificador diferencial com resistência de emissor R_E. (b) Circuito equivalente ao meio circuito em (a). (c) Circuito para determinação da resistência R_π vista por C_π. (d) Circuito para determinação da resistência R_μ vista por C_μ.

O circuito equivalente para altas freqüências está mostrado na Figura 7.31(b). Como não é conveniente aplicarmos o teorema de Miller, devemos usar a técnica das constantes de tempo em circuito aberto explicada na Seção 7.2. O método é o seguinte: primeiro eliminamos C_μ e determinamos a resistência vista por C_π, que podemos chamar de R_π. A Figura 7.31(c) mostra o circuito para o cálculo de R_π,

$$R_\pi = r_\pi \Big/\!\Big/ \frac{R_s' + R_E}{1+g_m R_E} \tag{7.99}$$

A seguir, a resistência R_μ vista por C_μ pode ser determinada pelo circuito na Figura 7.31(d),

$$R_\mu = R_C + \frac{1+R_E/r_e+g_m R_C}{1/r_\pi+(1/R_s')(1+R_E/r_e)} \tag{7.100}$$

A constante de tempo efetiva total será dada por

$$\tau = C_\pi R_\pi + C_\mu R_\mu \tag{7.101}$$

e a freqüência a 3 dB, ω_H, será

$$\omega_H = \frac{1}{\tau} \tag{7.102}$$

Como pode ser demonstrado através de exemplos numéricos, o uso do resistor de degeneração de emissor resulta em um aumento de ω_H e, assim, na faixa de passagem do amplificador por um fator aproximadamente igual àquele pelo qual o ganho em baixas freqüências decresce. Portanto, o produto ganho–faixa de passagem permanece constante. Correspondentemente, o projetista pode negociar ganho por faixa de passagem selecionando convenientemente R_E.

Exercícios

7.22 Considere um amplificador diferencial polarizado com uma fonte de corrente $I = 1$ mA e tendo $R_C = 10$ kΩ. Suponha o amplificador sendo alimentado com uma fonte tendo $R_s = 10$ kΩ. Suponha também que os transistores sejam especificados para terem $\beta_0 = 100$, $C_\pi = 6$ pF, $C_\mu = 2$ pF e $r_x = 50$ Ω. Calcule o ganho diferencial *cc*, A_0, a freqüência de 3 dB, f_H, e o produto ganho–faixa de passagem.

Resposta 100 V/V (40 dB); 155 kHz; 15,5 MHz

7.23 Considere o amplificador diferencial do Exercício 7.22, mas com uma resistência de 150 Ω incluída em cada terminal de emissor. Calcule A_0, R_π, R_μ, f_H e o produto ganho–faixa de passagem.

Resposta 40 V/V (32 dB); 1,03 kΩ; 215,6 kΩ; 364 kHz; 14,6 MHz

(*Observação*: A diferença entre os produtos ganho–faixa de passagem calculados nos Exercícios 7.22 e 7.23 é devida principalmente às diferentes aproximações feitas.)

A Variação do CMRR com a Freqüência

A razão de rejeição de modo comum (CMRR) de um amplificador diferencial cai com o aumento da freqüência por causa de uma série de fatores; o mais importante deles é o aumento do ganho em modo comum com freqüência. Para saber de onde isso vem, considere o equivalente do meio circuito em modo comum, mostrado na Figura 7.32.

Aqui, a resistência R é a resistência de saída e a capacitância C é a capacitância de saída da fonte de corrente de polarização. Por nosso estudo da resposta em freqüência do amplifica-

dor emissor comum na Seção 7.4, sabemos que os componentes $2R$ e $C/2$ introduzirão um zero na função ganho em modo comum. Esse zero será na freqüência f_Z.

$$f_Z = \frac{1}{2\pi(2R)(C/2)} = \frac{1}{2\pi RC} \tag{7.103}$$

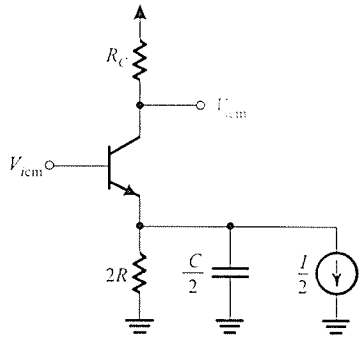


Figura 7.32 O meio circuito equivalente em modo comum.

Como R é usualmente de valor muito elevado, mesmo uma pequena capacitância C resultará em f_Z tendo um valor relativamente baixo. O resultado é que o ganho em modo comum começará a aumentar, com uma inclinação de +6 dB/oitava a partir de uma freqüência relativamente baixa, conforme mostrado na Figura 7.33(a). O ganho em modo comum cai em freqüências mais elevadas por causa das capacitâncias internas C_π e C_μ e do pólo criado por $C/2$.

O comportamento do ganho em modo comum mostrado na Figura 7.33(a), junto com a queda em altas freqüências do ganho diferencial (Figura 7.33(b)), resulta em CMRR tendo a resposta em freqüência mostrada na Figura 7.33(c).

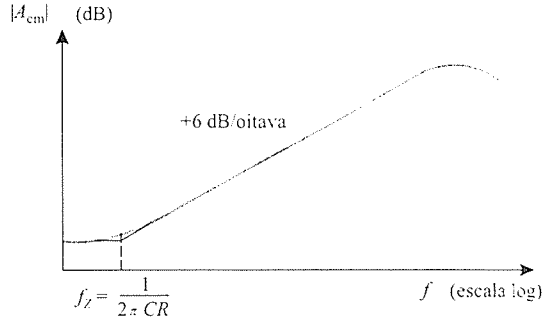
Exercício

7.24 Um amplificador diferencial está polarizado por uma fonte de corrente constante tendo uma resistência de saída de 30 MΩ e uma capacitância de saída de 2 pF. Calcule a freqüência em que o CMRR cai em 3 dB.

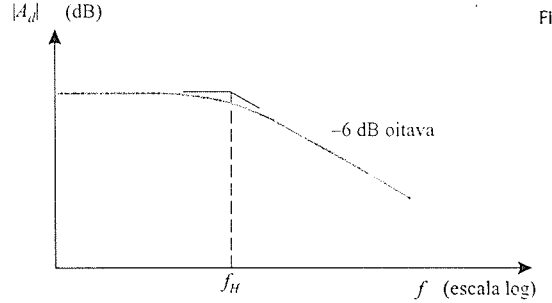
Resposta 2,65 kHz

O Amplificador Diferencial com Excitação por uma Única Entrada

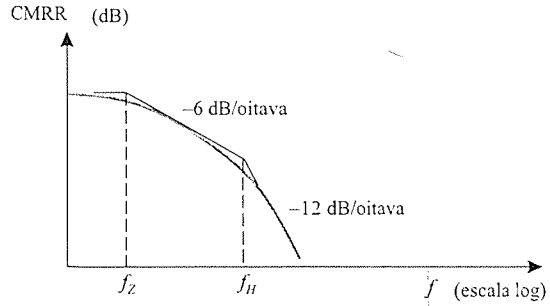
Ao longo desta seção, mostramos o amplificador diferencial controlado pelo modo complementar (*push-pull*). Especificamente, a resistência da fonte R_S foi considerada como sendo igualmente dividida entre os dois lados da entrada. Essa é a situação usual com amplificadores diferenciais: qualquer desajuste entre as resistências dos circuitos de base contribuiriam para a tensão residual *cc* (*offset*) do par diferencial. Note que, se uma base está aterrada e a fonte de sinal com sua resistência está conectada à outra base, o que corresponde ao caso usual de excitação por uma única entrada, é possível que a corrente de polarização dos dois transistores difira dramaticamente.



(a)



(b)



(c)

Figura 7.33 Variação do (a) ganho em modo comum, (b) ganho em modo diferencial e (c) razão de rejeição de modo comum com a freqüência.

Independentemente dessa questão, a resposta em freqüência de um amplificador diferencial excitado por uma única entrada é quase idêntica àquela obtida no caso de uma excitação realmente diferencial. Naturalmente, o desbalanceamento *cc* causado por R_S pode ser compensado pela inclusão de uma resistência de igual valor entre a outra base e o terra.

O Par Diferencial como um Amplificador de Faixa Larga: A Configuração Coletor Comum–Base Comum

O circuito com excitação por uma única entrada sugere uma modificação que pode levar a um aumento significativo da faixa de passagem. Especificamente, lembre-se de que o pólo dominante em altas freqüências se deve à multiplicação pelo efeito Miller de C_μ do transistor de entrada e pela interação da grande capacitância resultante com a resistência de fonte. Segue que a resposta em altas freqüências pode ser consideravelmente melhorada pela remoção da resistência R_C do coletor do transistor de entrada. O resultado é o circuito apresentado na Figura 7.34. Observe que o coletor de Q_1 está agora aterrado do ponto de vista de sinais e, portanto, $C_{\mu 1}$ não é afetado pelo efeito Miller. O preço pago, naturalmente, é a redução do ganho por um fator 2. Mais seriamente, a saída está sendo agora tomada em uma única terminação, o que reduz a CMRR (taxa de rejeição de modo comum) do circuito. Portanto, esse circuito não é adequado se uma baixa tensão residual (*offset*) e um alto valor de CMRR forem requisitos importantes. O circuito também sofre de desbalanceamento devido a R_S. Esse desbalanceamento pode ser significativo se R_S for grande, o que, naturalmente, é o caso para o qual este circuito é útil do ponto de vista de resposta em freqüência. É muito importante notar que a compensação do desbalanceamento *cc* pela inserção de uma resistência igual a R_S em série com a base de Q_2 infelizmente anularia a vantagem de largura da faixa de passagem do circuito; agora que a base de Q_2 não está mais aterrada, $C_{\mu 2}$ seria multiplicada em decorrência do efeito Miller, juntamente com a nova resistência R_S, introduzindo um pólo dominante (embora não exatamente na mesma freqüência anterior).

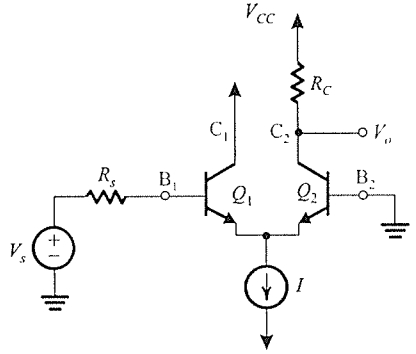


Figura 7.34 O par diferencial excitado por uma única entrada e com a resistência de coletor de Q_1 eliminada. O efeito Miller em Q_1 é, assim, eliminado e a faixa de passagem do amplificador é consideravelmente aumentada. Infelizmente, R_S, estando no circuito de base de apenas um dos dois transistores, introduz um desbalanceamento e uma tensão residual *cc*. O balanceamento *cc* pode ser restituído pela inserção de um resistor igual a R_S na base de Q_2 e um grande capacitor de desvio entre a base e o terra.

Uma alternativa válida apenas para circuitos acoplados capacitivamente é incluir R_s na base de Q_2 para balanceamento *cc*, mas eliminar seu efeito nas freqüências do sinal pela conexão de um grande capacitor de desvio entre B_2 e o terra.

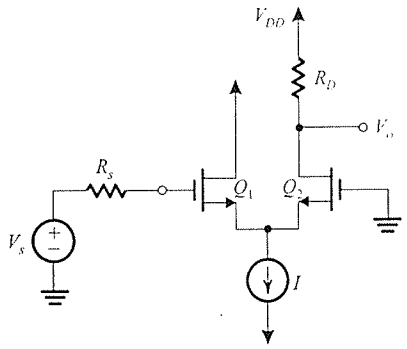


Figura 7.35 O amplificador MOSFET equivalente ao amplificador CC–BC da Figura 7.34. Aqui, a corrente *cc* nula nas portas faz o circuito imune a desbalanceamentos *cc* causados por R_s. Algum desbalanceamento *cc* ainda existe devido à diferença *cc* nas tensões de dreno.

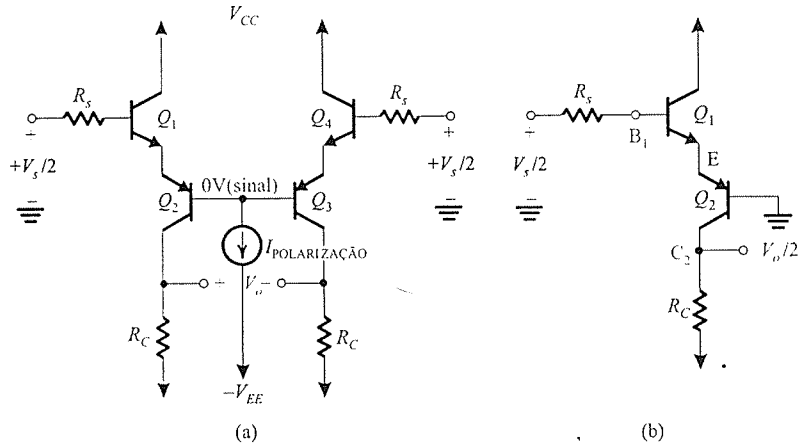


Figura 7.36 (a) O amplificador diferencial usando uma cascata de um estágio coletor comum (Q_1 e Q_4) e um estágio com base comum (Q_2 e Q_3). (b) Meio circuito diferencial equivalente do amplificador em (a). Note que essa é uma cascata CC–BC da mesma forma que a do circuito na Figura 7.34.

Embora o circuito da Figura 7.34(a) seja oriundo do amplificador diferencial, poderíamos pensar nele alternativamente como uma conexão em cascata de um estágio coletor comum (Q_1) e um estágio com base comum (Q_2). Desse ponto, notamos que Q_1 atua como um isolador (*buffer*),

enquanto Q_2 provê o ganho de tensão (de alguma forma similar à situação do amplificador CC–EC).

De forma similar a todos os circuitos TBJ deste capítulo, a versão MOSFET do circuito de faixa larga da Figura 7.34(a) pode ser obtida facilmente, como mostrado na Figura 7.35. Quando comparado ao circuito bipolar correspondente, esse circuito tem a vantagem de ser imune a desbalanceamentos *cc* causados por R_S devido à ausência da corrente de porta *cc* (equivalente a $\beta = \infty$). Observe, no entanto, que o desbalanceamento *cc* ainda existe porque Q_1 e Q_2 tem diferentes tensões de dreno.

Finalmente, mostramos na Figura 7.36(a) o circuito de um amplificador diferencial utilizando os dispositivos de entrada Q_1 e Q_4 na configuração coletor comum, juntamente com dois outros dispositivos Q_2 e Q_3 na configuração base comum. O fato de Q_2 e Q_3 formarem um amplificador diferencial com base comum pode ser notado pela simetria da entrada da alimentação (isto é, entradas complementares $+V_S/2$ e $-V_S/2$), e o ponto central (a base comum de Q_2 e Q_3) estará no terra para sinais. Portanto, o semicircuito diferencial equivalente será o circuito CC–BC mostrado na Figura 7.36(b). A resposta em freqüência desse circuito é equivalente àquela do circuito da Figura 7.34. Antes de deixarmos o circuito da Figura 7.36(a), devemos salientar a maneira pela qual sua polarização *cc* é estabelecida, concretamente, através de uma fonte de corrente constante $I_{\text{POLARIZAÇÃO}}$ alimentando o terminal de base comum de Q_2 e Q_3.

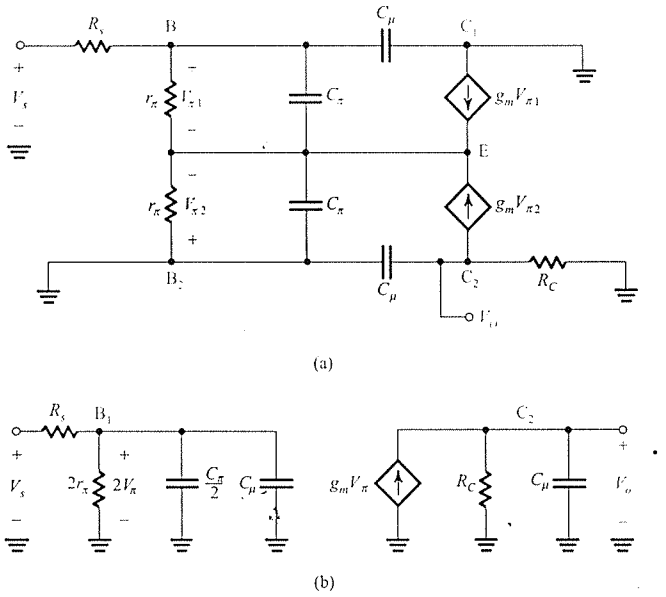


Figura 7.37 **(a)** Circuito equivalente para o amplificador diferencial modificado da Figura 7.34. **(b)** Circuito equivalente simplificado. Note que este circuito equivalente aplica-se também ao semicircuito mostrado na Figura 7.36(b) (com V_S e V_O substituídas por $V_S/2$ e $V_O/2$). Também, podem ser facilmente adaptados para o circuito MOSFET da Figura 7.35, com $2r_\pi$ eliminada, C_π substituída por C_{gs}, C_π substituída por C_{gd}, V_π substituída por V_{gs} e R_C substituída por R_D.

O leitor, sem dúvida, compreende que esse arranjo de polarização é muito sensível aos valores exatos do β do transistor. Isso é verdade, e o problema é tratado nas versões práticas do circuito pela incorporação de um circuito de realimentação que estabiliza a corrente de polarização *cc* do coletor de $Q_1 - Q_4$. Isso será visto no Capítulo 10, no qual estudaremos o circuito do amplificador operacional do tipo 741; o estágio de entrada do amp op 741 tem a configuração mostrada na Figura 7.36(a).

Análise da Resposta em Freqüência da Configuração CC–BC

A análise da resposta em freqüência da configuração CC–BC é direta e será discutida brevemente. Esta análise aplica-se aos circuitos das Figuras 7.34, 7.35 e 7.36. Para simplificar a análise, assumiremos que não há desbalanceamento *cc*; isto é, ambos os transistores operam com a mesma corrente *cc* de emissor. Nesse caso, e se desprezarmos r_x e r_o, então o circuito equivalente para altas freqüências [veja a Figura 7.37(a)] mostra que $V_{\pi 1} = -V_{\pi 2}$ (no caso do MOSFET, $V_{gs1} = -V_{gs2}$) e o circuito pode ser reduzido àquele da Figura 7.37(b). Observe que esse circuito é intuitivamente justificável. A impedância de entrada em B_1 consiste na conexão em série entre $r_{\pi 1}$ e $r_{\pi 2}$ em paralelo com a conexão em série entre $C_{\pi 1}$ e $C_{\pi 2}$. Na saída, temos simplesmente R_C em paralelo com C_μ.

Os pólos em altas freqüências do amplificador CC–BC podem ser facilmente determinados a partir do circuito na Figura 7.37(b). Um deles ser dominante dependerá dos valores relativos de R_s e R_C. Finalmente, observe que esse circuito equivalente pode ser adaptado ao caso do MOSFET (isto é, para o circuito da Figura 7.35) simplesmente substituindo C_π por C_{gs}, C_μ por C_{gd}, R_C por R_D e fazendo $r_\pi = \infty$.

Exercícios

7.25 Mostre que o ganho de tensão para baixas freqüências do cicuito na Figura 7.34 é dado pór

$$\frac{V_o}{V_s} = \frac{\alpha R_C}{[R_s/(\beta+1)]+2r_e}$$

7.26 Mostre que o ganho de tensão para baixas freqüências do circuito na Figura 7.36 é dado pela mesma expressão do Exercício 7.25.

7.27 Mostre que o ganho de tensão para baixas freqüências do circuito MOSFET na Figura 7.35 é dado por

$$\frac{V_o}{V_s} = \frac{1}{2} g_m R_D$$

7.28 Empregando o circuito equivalente para altas freqüências da Figura 7.37(b), mostre que o amplificador CC–BC (Figuras 7.34 e 7.36) tem os dois pólos nas freqüências

$$f_{P1} = \frac{1}{2\pi(R_s/\!/2r_\pi)(C_\pi/2 + C_\mu)}$$

e

$$f_{P2} = \frac{1}{2\pi R_C C_\mu}$$

7.29 Considere o amplificador diferencial da Figura 7.36 em que a polarização foi projetada para que cada transistor opere com $I_C = 0{,}5$ mA. Sejam $R_s = 10$ kΩ, $R_C = 10$ kΩ, $\beta = 100$, $f_T = 400$ MHz e $C_\mu = 2$ pF. Determine o ganho em baixas freqüências, as freqüências dos pólos em altas freqüências e a freqüência de corte superior a 3 dB, f_H. Use as fórmulas fornecidas nos Exercícios 7.25 e 7.28 (*Observação*: Se os pólos estiverem próximos, determine f_H exatamente, isto é, determine a freqüência para a qual o ganho cai em 3 dB relativamente ao valor para freqüências médias.)

Resposta 50 V/V; $\omega_{P1} = 50$ Mrad/s; $\omega_{P2} = 50$ Mrad/s; $\omega_H = 28{,}53$ Mrad/s ($f_H = 4{,}54$ MHz)

7.9 EXEMPLOS DE SIMULAÇÃO COM O SPICE

Uma das aplicações mais úteis do SPICE está na investigação da resposta em freqüência dos amplificadores. O leitor que realizou a maioria dos exercícios e problemas do final dos capítulos apreciará a conveniência de deixar o SPICE fazer todo esse trabalho por ele. Entretanto, uma precaução deve ser tomada: a simulação SPICE não é substituta para uma análise manual aproximada. Portanto, antes de fazer uso de uma simulação SPICE, deve-se fazer uma análise com papel, lápis e calculadora, para se ter uma idéia razoável do que esperar como resultado da simulação.

O SPICE então servirá em uma primeira instância, para verificar as expectativas do projetista quanto ao desempenho do circuito. Naturalmente, se os resultados do SPICE diferirem substancialmente dos esperados pela análise manual, deve-se proceder a uma investigação das causas de tal diferença antes de continuar com a análise. Uma causa para a discrepância pode estar na má compreensão por parte do projetista do funcionamento do circuito e das limitações de seu desempenho. O SPICE pode ser usado para ajudar o projetista a ter uma compreensão do circuito; nesse sentido, pode-se usar a simulação como um meio eficiente para realizar testes com o projeto, antes dos testes com o circuito real.

No instante em que o projetista acreditar ter adquirido plena compreensão da operação do circuito, o SPICE poderá ser usado para obter estimativas mais precisas dos parâmetros de interesse, por exemplo, ganho e freqüências de corte a 3 dB. Aqui, precisão decorre, em parte, do fato de o SPICE conduzir a análise sem recorrer às várias aproximações necessárias quando da condução manual da análise, de modo a torná-la tratável e as fórmulas deduzidas mais ricas em informação. Mais importante, com a simulação de circuitos, somos capazes de aplicar modelos mais elaborados que levem em conta efeitos de segunda e terceira ordens. Além disso, os parâmetros do modelo são avaliados no ponto exato de operação de cada dispositivo. Assim, por exemplo, para o TBJ, os valores de β, f_T, C_π, C_μ e assim por diante seriam computados no ponto real de operação *cc*.

A seguir apresentaremos dois exemplos de simulações que ilustram alguns desses pontos.

EXEMPLO 7.9: RESPOSTA EM FREQÜÊNCIA DE AMPLIFICADORES EMISSOR COMUM E CASCODE

Para nosso primeiro exemplo, empregaremos o SPICE para computar a resposta em freqüência do amplificador emissor comum da Figura 7.13 e do amplificador cascode da Figura E7.17. De modo a sermos capazes de comparar os resultados de desempenho obtidos pelos dois circuitos, projetos similares serão usados para ambos. Especificamente, para o circuito EC, usamos os valores de componentes apresentados nos Exercícios 7.9 a 7.11, nominalmente, $R_S = 4$ kΩ, $R_1 = 8$ kΩ, $R_2 = 4$ kΩ, $R_E = 3{,}3$ kΩ, $R_C = 6$ kΩ, $R_L = 4$ kΩ, $C_{C1} = C_{C2} = 1$ μF, $C_E = 10$ μF e $V_{CC} = 12$ V. Para o amplificador cascode usamos os valores apresentados no Exercício 7.17, nominalmente, $R_S = 4$ kΩ, $R_1 = 18$ kΩ, $R_2 = 4$ kΩ, $R_3 = 8$ kΩ, $R_E = 3{,}3$ kΩ, $R_C = 6$ kΩ, $R_L = 4$ kΩ, $C_{C1} = C_{C2} = 1$ μF, $C_B = C_E = 10$ μF e $V_{CC} = 15$ V. Esses valores de componentes produzem uma corrente de polarização de aproximadamente 1 mA em cada transistor (em cada um dos circuitos) e fornecem aproximadamente o mesmo ganho de tensão em freqüências médias para os dois amplificadores com os mesmos valores de R_S e R_L. Na simulação utilizamos transistores do tipo 2N3904 e usamos como valores dos parâmetros do modelo os fornecidos pelo SPICE. A uma corrente de 1 mA, o 2N3904 tem um β_{ca} de aproximadamente 160 e uma f_T de aproximadamente 300 MHz.

Os arquivos de entrada do SPICE para os dois circuitos estão listados no Apêndice D (observe que os nós do circuito estão numerados de acordo com as Figuras. 7.13 e E7.17). Os parâmetros do 2N3904 estão incluídos no arquivo de entrada. Dois tipos de análise são solicitados: uma análise do ponto de operação *cc* (usando o comando .OP) e uma análise *ca* (usando o comando .AC). A análise do ponto de operação computa o ponto de polarização *cc* para cada transistor e avalia os parâmetros do modelo π-híbrido para pequenos sinais no ponto de operação. Os resultados obtidos são os seguintes (observe que foram obtidos à temperatura de 300 K):

Amplificador emissor comum		**Amplificador cascode**		
NAME	Q1	NAME	Q1	Q2
MODEL	Q2N3904	MODEL	Q2N3904	Q2N3904
IB	7,34E-06	IB	7,29E-06	7,08E-06
IC	9,97E-04	IC	9,80E-04	9,73E-04
VBE	6,65E-01	VBE	6,65E-01	6,64E-01
VBC	−2,04E+00	VBC	−1,33E+00	−3,25E+00
VCE	2,70E+00	VCE	1,99E+00	3,91E+00
BETADC	1,36E+02	BETADC	1,35E+02	1,37E+02
GM	3,80E-02	GM	3,74E-02	3,71E-02
RPI	4,10E+03	RPI	4,13E+03	4,25E+03
RX	1,00E+01	RX	1,00E+01	1,00E+01
RO	7,63E+04	RO	7,69E+04	7,94E+04
CBE	1,79E-11	CBE	1,77E-11	1,76E-011
CBC	2,43E-12	CBC	2,66E-12	2,17E-012
CBX	0,00E+00	CBX	0,00E+00	0,00E+00
CJS	0,00E+00	CJS	0,00E+00	0,00E+00
BETAAC	1,56E+02	BETAAC	1,54E+02	1,58E+02
FT	2,97E+08	FT	2,92E+08	2,98E+08

Alguns comentários sobre esses resultados devem ser feitos. Conforme esperado, as correntes de coletor *cc* são de aproxidamente 1 mA. Como mencionado na Seção 4.16, o modelo do TBJ do SPICE usa valores diferentes para β_{cc} (o qual é I_C/I_B) e β_{ca} (o qual é $i_c/i_b = g_m r_\pi$), ambos funções da corrente de operação *cc*. Finalmente, note que $CBE = C_\pi$, $CBC = C_\mu$, *CBX* é uma capacitância parasitária entre base e coletor e *CJS* é uma capacitância parasitária entre coletor e substrato. Não incluímos as duas últimas capacitâncias em nossa análise ao longo deste capítulo. O SPICE atribui o valor zero a ambas porque o 2N3904 é um transistor discreto. Vale notar que o SPICE computa o valor de C_μ em cada ponto de operação e esses valores diferem para os três dispositivos. Em nossa análise manual ao longo deste capítulo, desprezamos a variação de C_μ.

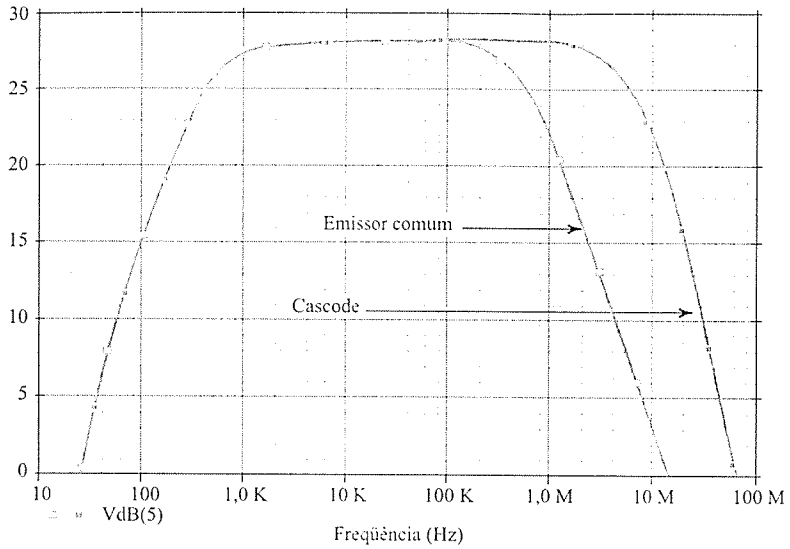


Figura 7.38 Comparação da resposta em freqüência dos amplificadores em configuração cascode e emissor comum (segundo Roberts e Sedra, 1997).

O comando de análise *ca* requisita ao SPICE computar o ganho para pequenos sinais sobre uma faixa de freqüências especificada, em nosso caso, 1 Hz a 100 MHz. A análise é conduzida no circuito equivalente obtido pela substituição de cada transistor por seu modelo π-híbrido. Desde que este seja um circuito linear, o nível do sinal da tensão de entrada se torna irrelevante e adotamos normalmente 1 V, de modo que a tensão de saída indique diretamente o ganho. Os resultados da análise são os gráficos do módulo do ganho apresentados na Figura 7.38.

Tabela 7.2 O ganho para freqüências médias e as freqüências de corte a 3 db para os amplificadores emissor comum e cascode determinados por cálculos manuais e obtidos pela análise precisa do SPICE.

Tipo de amplificador	Parâmetro do amplificador	Análise manual	SPICE	Erro* (%)
Emissor comum	A_M (V/V)	–25,5	–25,4	0,2
	f_L (Hz)	487,4	436	11,8
	f_H (Hz)	587,6	575	2,2
Cascode	A_M (V/V)	–25,8	–25,6	0,9
	f_L (Hz)	478,8	436	9,8
	f_H (Hz)	5,97	5,84	2,2

* Essa coluna apresenta o erro relativo (em porcentagem) entre o valor previsto por cálculo manual e o valor previsto pelo SPICE.

Desses gráficos, é evidente que ambos os amplificadores têm aproximadamente o mesmo ganho em freqüências médias (28 dB) e aproximadamente idênticas respostas em baixas freqüências ($f_L \cong 436$ Hz). Suas respostas em altas freqüências são, entretanto, dramaticamente diferentes, com o amplificador cascode tendo uma freqüência superior a 3 dB, de aproximadamente 5,8 MHz, mais de dez vezes maior que a f_H do amplificador emissor comum, de 575 kHz.

Finalmente, mostramos na Tabela 7.2 uma comparação entre os valores de ganho e freqüências de corte a 3 dB computados com o SPICE e os correspondentes valores computados usando análise manual. Para a análise manual, os parâmetros para pequenos sinais do dispositivo computados pelo SPICE (veja anteriormente) foram substituídos nas fórmulas desenvolvidas neste capítulo. Notamos que os valores estão razoavelmente de acordo, nos dando confiança na análise manual, sem desmerecer a utilidade do SPICE. Naturalmente, não devemos esperar resultados tão próximos para circuitos mais complicados.

EXEMPLO 7.10: EFEITO DA RESISTÊNCIA DE DEGENERAÇÃO DE EMISSOR SOBRE O GANHO E A RESPOSTA EM FREQÜÊNCIA DO AMPLIFICADOR DIFERENCIAL

Para nosso segundo exemplo de simulação, empregamos o SPICE para investigar os efeitos da inclusão das resistências de degeneração de emissor sobre o ganho e a resposta em freqüência de um amplificador diferencial com TBJ.

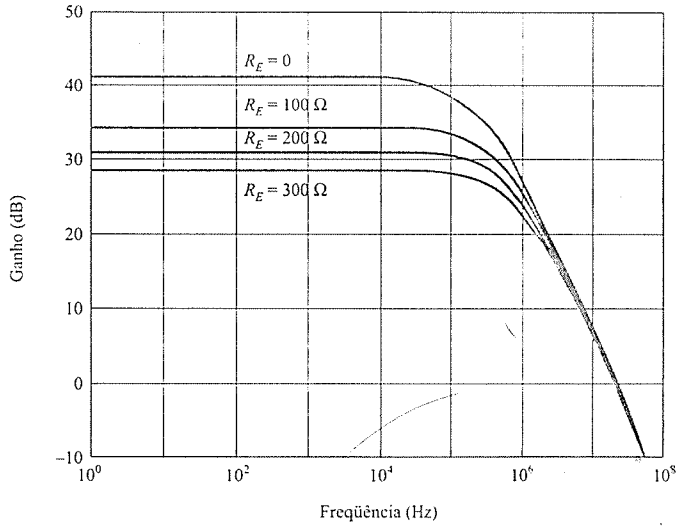


Figura 7.39 Curvas do módulo do ganho diferencial, calculadas pelo SPICE, para diversos valores de resistência R_E de degeneração de emissor. Note o compromisso entre o ganho obtido e a faixa de passagem. Todas as curvas interceptam a linha de 0 dB em $f = 14{,}7$ MHz, indicando que o produto ganho–faixa de passagem permanece constante nesse valor.

O par diferencial é polarizado por uma fonte de corrente constante ideal $I = 1$ mA e possui iguais resistências de coletor $R_C = 10$ kΩ conectadas a uma fonte de alimentação de 10 V. Ele é alimentado através de uma terminação única com $R_s = 5$ kΩ, mas com uma resistência igual inserida entre a base do outro transistor e o terra. Aqui também foi usado o transistor 2N3904. O arquivo de entrada do SPICE está listado no Apêndice D. Tanto a análise do ponto de operação quanto a análise *ca* foram efetuadas para quatro valores diferentes das resistências de degeneração de emissor ($R_E = 0$, 100 Ω, 200 Ω e 300 Ω).

A Figura 7.39 mostra a representação do módulo do ganho diferencial conforme computada pelo SPICE. É evidente que, à medida que R_E é aumentada, o ganho em baixas freqüências diminui e a freqüência de 3 dB aumenta aproximadamente pelo mesmo fator, mantendo assim o produto ganho–faixa de passagem constante ao redor de 14,7 MHz. O último valor é obtido a partir do ponto no qual a resposta da magnitude cruza a linha de 0 dB. Então, o projetista pode usar o valor R_E como um parâmetro de projeto para negociar ganho por faixa de passagem.

RESUMO

- As curvas de Bode fornecem um meio conveniente para o esboço do módulo e fase do ganho do amplificador *versus* freqüência. Elas são particularmente apropriadas para amplificadores com pólos e zeros reais.
- O ganho do amplificador permanece quase constante sobre toda a faixa de médias freqüências. Em altas freqüências ele cai, onde as reatâncias dos capacitores do modelo do transistor não permanecem muito altas. Para os amplificadores *ca*, o ganho cai em baixas freqüências, pois os capacitores de acoplamento e de passagem não mais apresentaram reatâncias muito baixas.
- A faixa de passagem do amplificador é a faixa de freqüências para a qual o ganho permanece dentro de 3 dB do valor na faixa de freqüências médias. Os limites da faixa de passagem são as freqüências f_L e f_H (para o amplificador *cc* somente f_H tem significado).
- Se forem conhecidos os pólos e os zeros do amplificador (ou se forem fáceis de ser calculados), então f_L e f_H podem ser determinados exatamente por meio gráfico ou analiticamente. Alternativamente, há fórmulas simples para obter valores estimados razoavelmente próximos de f_L e f_H (veja a Tabela 7.1).
- Se os pólos e os zeros não forem fáceis de calcular, um valor próximo de f_L (ou f_H) pode ser determinado calculando-se as constantes de tempo em curto-circuito (ou em circuito aberto) do circuito. A precisão desse método melhora se os zeros não forem importantes (isto é, se os zeros na faixa de baixas freqüências estiverem em freqüências muito baixas e se aqueles na faixa de altas freqüências estiverem em freqüências muito altas) e se um pólo for dominante. O método localiza o(s) capacitor(es) que é (são) mais significativo(s) na determinação da resposta em freqüência e é, portanto, muito útil em projetos (veja a Tabela 7.1).
- Dizemos que um amplificador tem um pólo dominante na faixa de baixas freqüências se o pólo ou zero mais próximo estiver pelo menos duas oitavas abaixo. Existirá um pólo dominante na faixa de altas freqüências se o pólo ou zero mais próximo estiver pelo menos duas oitavas acima.
- Se há um pólo dominante em baixas freqüências, então a resposta em baixas freqüências será essencialmente a de uma rede CTS passa-altas e f_L será igual à freqüência do pólo. Um pólo dominante em altas freqüências faz a resposta em altas freqüências como a de uma rede CTS passa-baixas com f_H igual à freqüência do pólo.
- A resposta em altas freqüências de um amplificador fonte comum (emissor comum) é limitada pelo efeito Miller, o qual multiplica a capacitância de realimentação C_{gd} (C_μ) e forma um pólo dominante na entrada. A faixa de passagem pode ser estendida pela redução da resistência do gerador e/ou da resistência de carga. Esta última reduz o ganho.
- A configuração base comum (porta comum) não sofre o efeito Miller e, portanto, exibe uma faixa de passagem maior. Contudo, ela tem uma resistência de entrada de baixo valor.
- A configuração cascode combina a maior faixa de passagem do circuito base comum (porta comum) com a alta resistência de entrada do circuito emissor comum (fonte comum).
- O seguidor de emissor (seguidor de fonte) apresenta uma faixa de passagem que se aproxima do f_T do transistor.
- O coletor comum em cascata com o emissor comum proporciona uma faixa de passagem para o amplificador comparável à do cascode.
- A resposta em freqüência do par diferencial é obtida pela análise da metade do circuito diferencial equivalente, que é uma configuração emissor comum (coletor comum).
- A faixa de passagem do amplificador diferencial pode ser expandida (à custa da redução no ganho) pela adição de resistores no terminal do emissor (fonte).
- A CMRR do par diferencial diminui com a freqüência, começando em freqüências relativamente baixas. Isso é resultado do zero introduzido em modo comum pela capacitância de saída da fonte de corrente de polarização.
- A ampliação da faixa de passagem pode ser obtida pela eliminação do resistor de coletor (dreno) no transistor de entrada do par diferencial e, portanto, convertendo o circuito em um coletor comum em cascata com uma base comum. No entanto, deve-se ter cuidado para lidar com desbalanceamentos *cc* que ocorrem quando o par diferencial com TBJ é alimentado por uma única entrada.

BIBLIOGRAFIA

L. S. Bobrow, *Elementary Linear Circuit Analysis*, 2nd ed., New York, Holt, Rinehart and Winston, 1987.

P. E. Gray e C. L. Searle, *Electronic Principles*, New York, Wiley, 1969.

P. R. Gray e R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3ª ed., New York, Wiley, 1993.

G. W. Roberts e A. S. Sedra, *SPICE*, 2ª ed., New York, Oxford University Press, 1997.

J. M. Steininger, "Understanding wideband MOS transistors", *IEEE Circuits and Devices*, vol. 6, nº 3, pp. 26-31, maio de 1990.

M. E. Van Valkenburg, *Network Analysis*, 3ª ed., Englewood Cliffs, N. J., Prentice-Hall, 1974.

PROBLEMAS

Seção 7.1: Análise no Domínio *s*: Pólos, Zeros e Curvas de Bode

7.1 Calcule a função de transferência $T(s) = V_o(s)/V_i(s)$ do circuito na Figura P7.1. Ela é uma rede CTS? Caso seja, de que tipo? Para $C_1 = C_2 = 0{,}5$ μF e $R = 100$ kΩ, calcule a localização do(s) pólo(s) e zero(s) e esboce as curvas de Bode de amplitude e de fase.

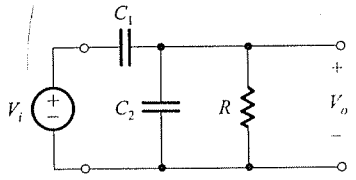


Figura P7.1

P*7.2 (a) Encontre a função de transferência de tensão $T(s) = V_o(s)/V_i(s)$ para a rede CTS, mostrada na Figura P7.2.

(b) Neste circuito, o capacitor C é usado para acoplar a fonte de sinal V_s com resistência R_s a uma carga R_L. Para $R_s = 10$ kΩ, projete o circuito especificando os valores de R_L e C com apenas um dígito significativo para atender aos seguintes requisitos:

(i) A resistência de carga deve ser tão pequena quanto possível.

(ii) O sinal de saída deve ser, pelo menos, 70% da entrada em altas freqüências.

(iii) O sinal de saída deve ser, pelo menos, 10% da entrada em 10 Hz.

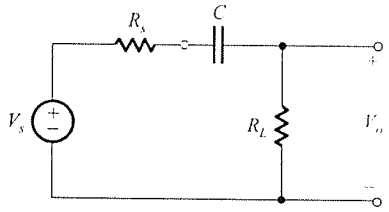


Figura P7.2

7.3 Dois circuitos CTS, cada um com um pólo em 100 rad/s e ganho máximo unitário, são conectados em cascata por um acoplador de ganho unitário que garante que eles operem independentemente. Caracterize as possíveis combinações (de circuitos passa-baixa e passa-alta), mostrando (i) as funções de transferência relevantes, (ii) o ganho de tensão em 10 rad/s, (iii) o ganho de tensão em 100 rad/s e (iv) o ganho de tensão em 1000 rad/s.

7.4 Uma função de transferência tem os seguintes zeros e pólos: um zero em $s = 0$ e um zero em $s = \infty$; um pólo em $s = -100$ e um pólo em $s = -10^6$. A amplitude da função de transferência em $\omega = 10^4$ rad/s é de 100. Calcule a função de transferência $T(s)$ e esboce a curva de Bode para sua amplitude.

7.5 Esboce as curvas de Bode para a amplitude e para a fase da função de transferência

$$T(s) = \frac{10^4(1 + s/10^5)}{(1 + s/10^3)(1 + s/10^4)}$$

A partir de seus esboços, determine os valores aproximados da amplitude e da fase em $\omega = 10^6$ rad/s. Quais os valores exatos determinados pela função de transferência?

7.6 Um amplificador diferencial com acoplamento direto tem um ganho diferencial de 100 V/V com pólos em 10^6 e 10^8 rad/s e um ganho em modo comum de 10^{-3} V/V com um zero em 10^4 rad/s e um pólo em 10^8 rad/s. Esboce as curvas de Bode para a amplitude para o ganho diferencial, para o ganho no modo comum e para a CMRR. Qual a CMRR em 10^7 rad/s? (*Sugestão*: A divisão de amplitudes corresponde à subtração de logaritmos.)

Seção 7.2: A Função de Transferência do Amplificador

7.7 Um amplificador tem a função de transferência do ganho de

$$A(s) = 10^2 \frac{s}{s + 2\pi \times 10^2} \frac{1}{1 + s/2\pi \times 10^5}$$

Esboce uma curva de Bode para sua amplitude e calcule o ganho em freqüência média, na freqüência de corte inferior a 3 dB f_L e na freqüência de corte superior a 3 dB f_H. Calcule também valores aproximados para as freqüências cujos ganhos diminuem para a unidade.

P7.8 O circuito equivalente de um amplificador está mostrado na Figura P7.8. A fonte de sinal de entrada está acoplada à entrada do amplificador via um capacitor de acoplamento C_C. O capacitor C_L representa a capacitância parasita que aparece através da resistência de carga R_L.

(a) Deduza uma expressão para o ganho de tensão $A(s) \equiv V_o(s)/V_i(s)$.

(b) Observando que C_C é responsável pela dependência do ganho para baixas freqüências e que C_L faz o ganho cair em altas freqüências, calcule A_M, $F_L(s)$ e $F_H(s)$.

(c) Para $R_s = 20$ kΩ, $R_i = 100$ kΩ e $R_L = 10$ kΩ, calcule o valor necessário de G_m para obter um ganho em freqüência média de 20 dB.

(d) Calcule o valor mínimo de C_C de modo que f_L seja no máximo 10 Hz.

(e) Calcule o valor máximo que C_L deve ter para que f_H seja pelo menos 1 MHz.

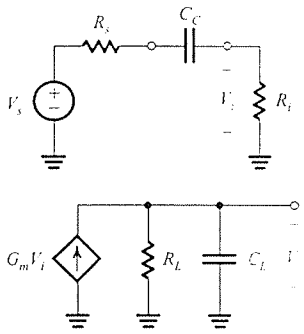


Figura P7.8

7.9 Se, no circuito da Figura P7.9, A for um amplificador de tensão ideal de ganho 100 V/V, calcule A_M, $F_L(s)$ e $F_H(s)$. Calcule também ω_L e ω_H e as freqüências em que o ganho se torna unitário.

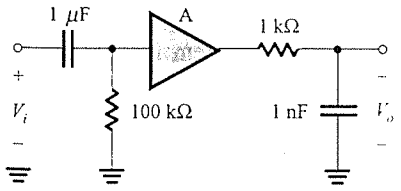


Figura P7.9

7.10 Considere um amplificador cuja $F_H(s)$ é dada por

$$F_H(s) = \frac{1}{\left(1 + \frac{s}{\omega_{P1}}\right)\left(1 + \frac{s}{\omega_{P2}}\right)}$$

com $\omega_{P1} < \omega_{P2}$. Calcule a razão ω_{P2}/ω_{P1}, para a qual o valor da freqüência a 3 dB, ω_H, calculada usando a aproximação do pólo dominante difere do valor calculado usando a fórmula da raiz da soma dos quadrados (Equação 7.22) por (a) 10% e (b) 1%.

7.11 Um amplificador é formado por n estágios idênticos em cascata, cada um caracterizado pela resposta de uma rede CTS passa-alta com uma freqüência de corte ω_0. Calcule a freqüência de corte inferior 3 dB do amplificador total em termos de ω_0 e n. Calcule ω_L para $n = 2$, 3 e 4.

Seção 7.3: Resposta em Baixas Freqüências dos Amplificadores em Fonte Comum e Emissor Comum

P7.12 Considere o amplificador em fonte comum da Figura 7.10. Para uma situação na qual $R = 1$ MΩ e $R_{in} \equiv R_{G1}//R_{G2} = 1$ MΩ, que valor deve ser escolhido para C_{C1} a fim de posicionar o pólo correspondente em 10 Hz? Que valor você escolheria se os capacitores disponíveis fossem especificados para apenas um dígito significativo e a freqüência do pólo não pudesse exceder a 10 Hz? Qual a freqüência do pólo, f_{P1}, obtida com sua escolha? Se um projetista desejasse diminuir esse valor aumentando R_{in}, qual seria o máximo que ele poderia esperar se os resistores disponíveis são limitados a 10 vezes os valores usados agora?

P7.13 O amplificador na Figura P7.13 está polarizado para operar com $I_D = 1$ mA e $g_m = 1$ mA/V. Desprezando r_o, calcule o ganho em freqüência média. Calcule o valor de C_S que posiciona o pólo correspondente em 10 Hz. Qual é a freqüência do zero da função de transferência introduzida por C_S? Dê uma expressão para a função ganho $V_o(s)/V_i(s)$. Qual o ganho do amplificador em *cc*?

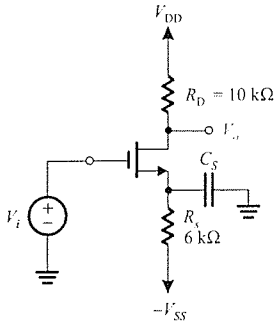


Figura P7.13

Seção 7.4: Resposta em Altas Freqüências dos Amplificadores em Fonte Comum e Emissor Comum

7.14 Use o teorema de Miller para determinar a resistência de entrada R_{in} do amplificador da Figura P7.14, dado que o ganho de tensão V_o/V_i em freqüências intermediárias encontrado vale –3,3 V/V.

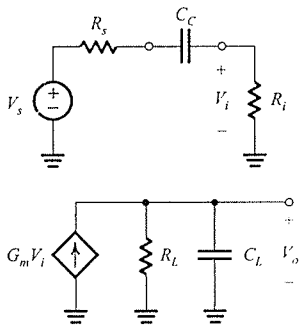


Figura P7.14

7.15 Considere um amplificador de tensão ideal com ganho de 0,95 V/V e resistência R = 100 kΩ conectada à malha de realimentação, isto é, entre os terminais de saída e de entrada. Use o teorema de Miller para encontrar a resistência de entrada desse circuito.

Seção 7.5: As Configurações Base Comum, Porta Comum e Cascode

7.16 Considere um amplificador em base comum obtido por uma mudança apropriada do circuito EC da Figura 7.13. Especificamente, a fonte de sinal está agora acoplada ao emissor por meio de C_{C1} e C_E foi eliminado. Além disso, um grande capacitor C_B é conectado entre a base e o terra para estabelecer o sinal do terra na base. Sejam R_1 = 33 kΩ, R_2 = 22 kΩ, R_E = 3,9 kΩ, R_C = 4,7 kΩ, R_L = 5,6 kΩ, V_{CC} = 5 V e R_S = 75 Ω. A corrente *cc* de emissor é de 0,33 mA, para a qual β_0 = 120, r_o = 300 kΩ, f_T = 700 MHz e C_μ = 0,5 pF. Encontre a resistência de entrada vista pela fonte e o ganho em freqüências médias. Estime o valor dos dois pólos e a freqüência de corte superior.

7.17 Considere a configuração cascode da Figura E7.17, na qual R_s = 5 kΩ, R_1 = 22 kΩ, R_2 = 11 kΩ, R_3 = 22 kΩ, R_E = 3,9 kΩ, R_C = 4,7 kΩ, R_L = 5,6 kΩ. V_{CC} = 5 V. Análises indicam que a corrente *cc* de emissor é de 0,33 mA, para a qual β_0 = 120, r_o = 300 kΩ, r_x = 50 Ω f_T = 700 MHz e C_μ = 0,5 pF. Encontre o ganho em freqüências médias, os pólos de alta freqüência e a freqüência de corte superior.

7.18 Para o circuito na Figura 7.23, sejam R_L = 5 kΩ, I = 1 mA, $V_{POLARIZAÇÃO}$ = 1 V, β = 100, C_π = 5 pF e C_μ = 1 pF. Encontre as freqüências dos 3 pólos de alta freqüência e estime f_H para dois casos: (a) R_S = 1 kΩ e (b) R_S = 10 kΩ.

Seção 7.6: Resposta em Freqüência dos Seguidores de Emissor e de Fonte

7.19 Considere um seguidor de fonte com JFET alimentado por um gerador de sinais com resistência interna R. O seguidor tem resistência R_S no contato da fonte, uma transcondutância g_m e capacitâncias internas C_{gs} e C_{gd}. Adapte os resultados da Seção 7.6 a este caso e avalie o ganho em banda média e a freqüência do pólo dominante de alta freqüência para R = 100 kΩ, R_s = 10 kΩ, g_m = 2 mA/V, C_{gs} = 2 pF e C_{gd} = 1 pF.

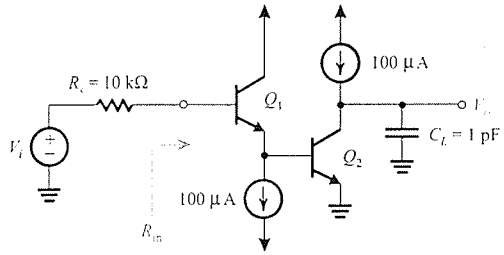


Figura P7.21

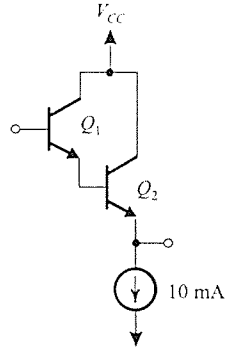


Figura P7.22

*7.20 Refira-se à Figura 7.25(a). Calcule r_x e adicione-o em série à resistência R_s, mudando, assim, R_s para R_s'. Qual o ganho *cc* de B′ para E? Observando que y_π está conectado entre B′ e E e sabendo que você conhece o ganho de B′ para E, use o teorema de Miller para derivar o circuito equivalente (ou uma aproximação) mostrado na Figura 7.25(d).

Seção 7.7: A Cascata Coletor Comum–Emissor Comum

P*7.21 Os transistores da Figura P7.21 tem β_0 = 100, V_A = 100 V, C_μ = 0,2 pF e C_{je} = 0,8 pF. Com uma corrente de polarização de 100 μA, temos f_T = 400 MHz. (Observe que os detalhes de polarização não são mostrados.)

(a) Encontre R_{in} e o ganho em freqüência média.

(b) Encontre uma estimativa da freqüência de corte superior f_H. Qual capacitor é dominante? Qual o segundo mais importante?

(c) Quais os efeitos de aumentar a corrente de polarização por um fator de 10?

7.22 Os TBJs do seguidor de Darlington da Figura P7.22 têm β_0 = 100. Se o seguidor for alimentado por uma fonte com resistência de 100 kΩ e possui carga de 1 kΩ, encontre as resistências de entrada e saída (excluindo a carga) e o ganho total de tensão, ambos curto-circuitados e com carga.

Seção 7.8: A Resposta em Freqüência do Amplificador Diferencial

7.23 Um amplificador diferencial com TBJ operando com uma corrente de emissor de 2 mA usa transistores com β = 120, f_T = 700 MHz, C_μ = 0,5 pF e r_x = 50 Ω. Cada uma das resistências de coletor vale 10 kΩ e o amplificador é excitado simetricamente, sendo cada uma das resistências da fonte de 10 kΩ. Encontre o ganho *cc* diferencial de saída e a freqüência de corte a 3 dB f_H. Encontre também o produto ganho–faixa de passagem.

7.24 O circuito do amplificador diferencial especificado no Problema 7.23 é modificado incluindo-se um resistor de 25 Ω em cada um de seus emissores. Encontre o ganho *cc* diferencial de saída e a freqüência de corte superior f_H. Encontre também o produto ganho–faixa de passagem.

CAPÍTULO 8

MAKRON Books

Realimentação

Introdução
8.1 A Estrutura Geral da Realimentação
8.2 Algumas Propriedades da Realimentação Negativa
8.3 As Quatro Topologias Básicas da Realimentação
8.4 O Amplificador com Realimentação Série–Paralelo
8.5 O Amplificador com Realimentação Série–Série
8.6 Amplificadores com Realimentação Paralelo–Paralelo e Paralelo–Série
8.7 Determinação do Ganho de Malha
8.8 O Problema da Estabilidade
8.9 O Efeito da Realimentação sobre os Pólos do Amplificador
8.10 Estudo da Estabilidade Usando as Curvas de Bode
8.11 A Compensação de Freqüência
8.12 Exemplos de Simulação com o SPICE
Resumo
Bibliografia
Problemas

INTRODUÇÃO

A maioria dos sistemas físicos incorpora alguma forma de realimentação. É interessante observar, contudo, que a teoria da realimentação negativa foi desenvolvida por engenheiros eletrônicos. Em sua busca de métodos para o projeto de amplificadores com ganho estável para uso em repetidores de telefone, Harold Black, um engenheiro eletrônico da Western Electric Company, inventou o amplificador com realimentação em 1928. Desde então, a técnica tem sido tão largamente usada que é quase impossível pensar em circuitos eletrônicos sem alguma forma de realimentação, implícita ou explícita. Além disso, o conceito de realimentação e sua teoria associada é usada freqüentemente em outras áreas fora do campo da engenharia, como no modelamento de sistemas biológicos.

A realimentação pode ser **negativa (degenerativa)** ou **positiva (regenerativa)**. No projeto de um amplificador, a realimentação negativa é aplicada para obter uma ou mais das seguintes propriedades:

1. *Dessensibilidade do ganho*; isto é, fazer o valor do ganho menos sensível às variações no valor dos componentes do circuito, como variações causadas pela mudança de temperatura.

2. *Redução da distorção não-linear*; ou seja, fazer a saída proporcional à entrada (em outras palavras, fazer o ganho constante independente do nível do sinal).
3. *Redução do efeito do ruído*; ou seja, minimizar a contribuição na saída de sinais elétricos indesejáveis gerados pelos componentes do circuito e por interferências externas.
4. *Controle das impedâncias de entrada e saída*; isto é, aumentar ou diminuir as impedâncias de entrada e de saída pela seleção apropriada da topologia da realimentação.
5. *Estender a faixa de passagem* do amplificador.

Todas as propriedades anteriores são desejáveis e obtidas em troca da redução no ganho. Será mostrado que o fator de redução do ganho, chamado de **quantidade de realimentação**, é o fator pelo qual o circuito é dessensibilizado, a impedância de entrada é aumentada, a faixa de passagem é estendida e assim por diante. Em resumo, *a idéia básica da realimentação negativa é negociar o ganho por outra propriedade desejada*. Este capítulo é dedicado ao estudo de amplificadores com realimentação negativa: sua análise, projeto e características.

Sob certas condições, a realimentação negativa em um amplificador pode tornar-se positiva e com amplitude capaz de provocar uma oscilação. De fato, no Capítulo 12 estudaremos o uso da realimentação positiva no projeto de osciladores e circuitos biestáveis. Neste capítulo, contudo, estamos interessados no projeto de amplificadores estáveis. Estudaremos, portanto, os problemas da estabilidade nos amplificadores com realimentação negativa e os cuidados para que eles não venham a oscilar.

Por outro lado, não se deve assumir que a realimentação positiva sempre leva à instabilidade. Na verdade, a realimentação positiva é muito útil em várias aplicações, como no projeto de filtros ativos, que serão estudados no Capítulo 11.

Antes de iniciarmos nosso estudo da realimentação negativa desejamos lembrar ao leitor que já encontramos a realimentação negativa em várias aplicações. Quase todos os circuitos que empregam o amp op utilizam também a realimentação negativa. Uma outra aplicação popular da realimentação negativa é no uso da resistência de emissor R_E para estabilizar o ponto de polarização do transistor bipolar e para aumentar a resistência de entrada e a faixa de passagem de um amplificador diferencial com TBJ. Além disso, o seguidor de emissor e o seguidor de fonte empregam uma grande quantidade de realimentação negativa. O assunto, então, dá origem à necessidade de um estudo formal da realimentação negativa. Como será observado no final deste capítulo, o estudo formal da realimentação oferece uma ferramenta muito útil para a análise e o projeto de circuitos eletrônicos. Além disso, desenvolver a habilidade em raciocinar em termos de realimentação é extremamente proveitoso.

8.1 A ESTRUTURA GERAL DA REALIMENTAÇÃO

A Figura 8.1 mostra a estrutura básica de um amplificador com realimentação. Em vez de representar tensões e correntes, a Figura 8.1 representa o **diagrama de fluxo do sinal**, no qual cada grandeza x pode representar um sinal de tensão ou de corrente. O amplificador em *malha aberta* tem um ganho A; logo, sua saída x_o é relacionada à entrada x_i por

$$x_o = Ax_i \tag{8.1}$$

A saída x_o é levada à carga assim como à malha de realimentação, que produz uma amostra da saída. Essa amostra x_f está relacionada a x_o pelo **fator de realimentação** β,

$$x_f = \beta x_o \tag{8.2}$$

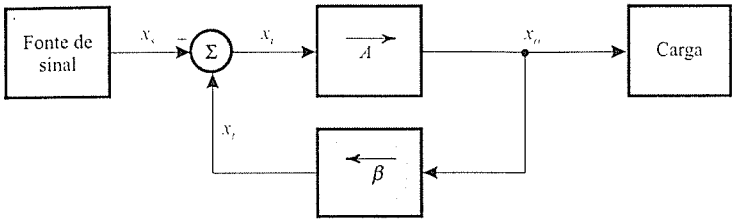


Figura 8.1 Estrutura geral do amplificador realimentado. Esse é um diagrama de fluxo do sinal e as grandezas x podem representar tanto tensões quanto correntes.

O sinal de realimentação x_f é *subtraído* do sinal da fonte x_s, que é a entrada para o amplificador realimentado completo, e produz o sinal x_i, que é a entrada do amplificador básico,

$$x_i = x_s - x_f \tag{8.3}$$

Observamos aqui que é essa subtração que torna a realimentação negativa. Essencialmente, a realimentação negativa reduz o sinal que aparece na entrada do amplificador básico.

Subentende-se por essa descrição que a fonte, a carga e a realimentação negativa da malha *não* exercem efeito de carga sobre o amplificador básico. Isto é, o ganho A não depende de nenhuma dessas três malhas. Na prática, isso não ocorre e temos de encontrar um método para modelar um circuito real por meio da estrutura ideal representada na Figura 8.1. Está implícito também, na Figura 8.1, que a transmissão direta ocorre totalmente através do amplificador básico e a transmissão reversa ocorre totalmente através do elo de realimentação.

O ganho do amplificador realimentado pode ser obtido pela combinação das Equações 8.1 até 8.3:

$$A_f \equiv \frac{x_o}{x_s} = \frac{A}{1+A\beta} \tag{8.4}$$

A grandeza $A\beta$ é chamada de **ganho de malha**, um nome oriundo da Figura 8.1. Para a realimentação ser negativa, o ganho de malha $A\beta$ deve ser positivo; isto é, o sinal de realimentação x_f deve ter o mesmo sinal de x_s, resultando, portanto, em um pequeno sinal para a diferença x_i. A Equação 8.4 indica que, para $A\beta$ positivo, o ganho com realimentação será menor que o ganho em malha aberta A por um valor de $1 + A\beta$, que é chamado de **quantidade de realimentação**.

Se, como é o caso em vários circuitos, o ganho de malha $A\beta$ for alto, $A\beta >> 1$, então, pela Equação 8.4, isso implica que $A_f \simeq 1/\beta$, que é um resultado interessante: *o ganho do amplificador realimentado é totalmente determinado pelo elo de realimentação*. Como o elo de realimentação consiste usualmente em componentes passivos, que podem ser escolhidos com a precisão que desejarmos, fica clara a vantagem da realimentação negativa na obtenção precisa, previsível e estável do ganho. Em outras palavras, o ganho total dependerá muito pouco do ganho do amplificador básico, A, uma propriedade desejável porque o ganho A é usualmente uma função de vários parâmetros, alguns dos quais variam significativamente. Já vimos anteriormente uma ilustração dramática de todos esses resultados nos circuitos com amp op, nos quais o **ganho em malha fechada** (que é um outro nome para o ganho com realimentação) é quase inteiramente determinado pelos elementos da realimentação.

As Equações 8.1 a 8.3 podem ser combinadas para obter a seguinte expressão para o sinal de realimentação x_f:

$$x_f = \frac{A\beta}{1+A\beta} x_s$$

Portanto, para $A\beta >> 1$, vemos que $x_f \simeq x_s$, o que implica que o sinal x_i na entrada do amplificador básico é reduzido a quase zero. Portanto, se uma grande quantidade de realimentação for empregada, o sinal de realimentação x_f torna-se uma réplica quase idêntica do sinal de entrada x_s. Uma conseqüência dessa propriedade é o comportamento dos dois terminais de entrada do amp op. A diferença entre x_s e x_f, que é x_i, é às vezes referida como "sinal de erro". Acertadamente, o circuito de diferença de entrada é também chamado de **circuito de comparação** (também conhecido como **misturador** – mixer).

Exercício

8.1 A configuração não-inversora do amp op mostrado na Figura E8.1 fornece uma implementação direta do elo de realimentação da Figura 8.1.
(a) Suponha que o amp op tenha uma resistência de entrada infinita e uma resistência de saída zero. Encontre uma expressão para o fator de realimentação β. (b) Se o ganho de tensão em malha aberta for $A = 10_4$, calcule R_2/R_1 para obter um ganho em malha fechada A_f de 10. (c) Qual a quantidade de realimentação em decibéis? (d) Se $V_s = 1$ V, calcule V_o, V_f e V_i. (e) Se A diminuir em 20%, qual o correspondente aumento em A_f?

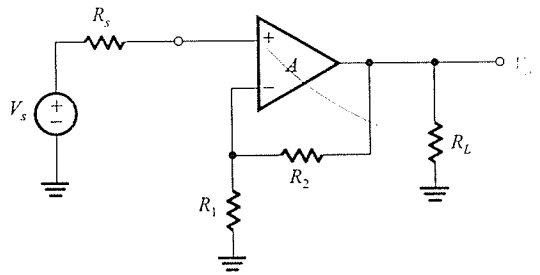


Figura E8.1

Resposta (a) $\beta = R_1/(R_1 + R_2)$; (b) 9,01; (c) 60 dB; (d) 10 V, 0,999 V, 0,001 V; (e) 0,02%

8.2 ALGUMAS PROPRIEDADES DA REALIMENTAÇÃO NEGATIVA

As propriedades da realimentação negativa foram mencionadas na Introdução. A seguir, consideraremos algumas delas em mais detalhes.

A Dessensibilidade do Ganho

O efeito da realimentação negativa sobre a dessensibilidade do ganho em malha fechada foi demonstrado no Exercício 8.1, no qual vimos que uma redução no ganho do amplificador básico de

20% dá origem a uma redução de apenas 0,02% no ganho em malha fechada. Essa propriedade de dessensibilidade pode ser estabelecida analiticamente como segue:

Suponha que β seja constante. Derivando-se ambos os lados da Equação 8.4, temos

$$dA_f = \frac{dA}{(1+A\beta)^2} \tag{8.5}$$

Dividindo-se a Equação 8.5 pela Equação 8.4 chega-se a

$$\frac{dA_f}{A_f} = \frac{1}{(1+A\beta)}\frac{dA}{A} \tag{8.6}$$

que diz que a variação em porcentagem de A_f (devida às variações em alguns parâmetros do circuito) é menor que a variação em porcentagem de A por uma quantidade de realimentação. Por essa razão, a quantidade de realimentação, $1 + A\beta$, é conhecida também como **fator de dessensibilidade**.

Aumentando a Faixa de Passagem

Considere um amplificador cuja resposta em altas freqüências é caracterizada por um pólo simples. Seu ganho em médias e altas freqüências pode ser expresso como

$$A(s) = \frac{A_M}{1+s/\omega_H} \tag{8.7}$$

em que A_M representa o ganho em freqüências médias e ω_H, a freqüência de corte superior de 3 dB. A aplicação de um elo de realimentação negativa em torno desse amplificador, com um fator β independente da freqüência, resulta em um ganho em malha fechada $A_f(s)$ dado por

$$A_f(s) = \frac{A(s)}{1+\beta A(s)}$$

Substituindo $A(s)$ pela Equação 8.7 resulta em

$$A_f(s) = \frac{A_M/(1+A_M\beta)}{1+s/\omega_H(1+A_M\beta)}$$

Portanto, o amplificador realimentado terá um ganho em freqüências médias de $A_M/(1 + A_M\beta)$ e uma freqüência de corte superior de 3 dB, ω_{Hf}, dada por

$$\omega_{Hf} = \omega_H(1+A_M\beta) \tag{8.8}$$

Isso implica que a freqüência de corte superior é aumentada por um fator igual à quantidade de realimentação.

De modo similar, pode ser mostrado que, se o ganho em malha aberta for caracterizado por um pólo dominante em baixa freqüência dando origem a uma freqüência de corte inferior de 3 dB, ω_L, então o amplificador realimentado terá uma freqüência de corte inferior de 3 dB, ω_{Lf}, dada por

$$\omega_{Lf} = \frac{\omega_L}{1+A_M\beta} \tag{8.9}$$

Observe que a faixa de passagem do amplificador aumenta pelo mesmo fator pelo qual seu ganho em freqüências médias é reduzido, mantendo o produto ganho–faixa de passagem constante.

Exercício

8.2 Considere o circuito com amp op não-inversor do Exercício 8.1. Suponha que o ganho em malha aberta A tenha um valor em baixas freqüências de 10^4 e uma queda uniforme de –6 dB/oitava em altas freqüências com uma freqüência de corte de 100 Hz. Calcule o ganho em baixas freqüências e a freqüência de corte superior de um amplificador em malha fechada com $R_1 = 1$ kΩ e $R_2 = 9$ kΩ.

Resposta 9,9 V/V; 100,1 kHz

Redução do Ruído

A realimentação negativa pode ser empregada para reduzir o ruído ou interferência em um amplificador ou, mais precisamente, para aumentar a relação sinal–ruído. Contudo, conforme explicaremos a seguir, esse processo de redução de ruído só é possível sob certas condições. Considere a situação ilustrada na Figura 8.2. A Figura 8.2(a) mostra um amplificador com ganho A_1, um sinal de entrada V_s e um ruído, ou interferência, V_n. Supõe-se que, por alguma razão, esse amplificador sofre o efeito de um ruído e que esse ruído pode ter sido introduzido na entrada do amplificador. A **relação sinal–ruído** para esse amplificador é

$$S/N = V_s/V_n$$

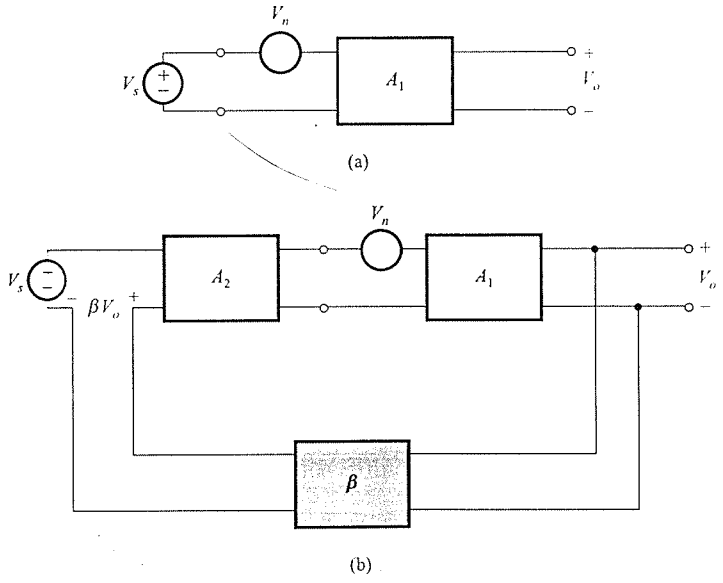


Figura 8.2 Ilustração da aplicação da realimentação negativa para melhorar a relação sinal–ruído em amplificadores.

Considere a seguir o circuito da Figura 8.2(b). Nessa figura fizemos a suposição de que é possível montar outro estágio amplificador com o ganho A_2 que não sofra esse problema de ruído. Se for esse o caso, então podemos preceder nosso amplificador original A_1 pelo amplificador *limpo* (sem ruído) A_2 e aplicar a realimentação negativa em torno da cascata total de uma quantidade que seja capaz de manter o ganho total constante. A tensão de saída do circuito na Figura 8.2(b) pode ser calculada pelo teorema da superposição:

$$V_o = V_s \frac{A_1 A_2}{1 + A_1 A_2 \beta} + V_n \frac{A_1}{1 + A_1 A_2 \beta}$$

Portanto, a relação sinal–ruído na saída torna-se

$$\frac{S}{R} = \frac{V_s}{V_n} A_2$$

a qual é A_2 vezes maior que no caso original.

Devemos enfatizar uma vez mais que a melhoria na relação sinal–ruído pela aplicação da realimentação só é possível se pudermos preceder o estágio com ruído por um estágio (relativamente) livre de ruídos. Essa situação, contudo, não é incomum. O melhor exemplo é encontrado no estágio de saída de um amplificador de áudio de potência. Esse estágio usualmente tem um problema conhecido como **ruído** (hum) **da fonte de alimentação**. O problema aumenta por causa das correntes elevadas que esse estágio drena da fonte de alimentação e por causa da dificuldade em providenciar um filtro adequado para a fonte de alimentação que não seja de alto custo.

O estágio de saída é necessário para fornecer um alto ganho de potência, mas o ganho de tensão pode ser pequeno ou mesmo não existir. Portanto, podemos preceder o estágio de saída por um amplificador para pequenos sinais que forneça um alto ganho de tensão. A seguir, podemos aplicar uma grande quantidade de realimentação negativa, restaurando o ganho de tensão a seu valor original. Como o amplificador para pequenos sinais pode ser alimentado por uma fonte de alimentação de menor potência (e, portanto, com melhor regulação), ele não terá o problema de ruído. O ruído na saída será então reduzido pelo valor do ganho de tensão desse **pré-amplificador**.

Exercício

8.3 Considere um estágio de saída de potência com um ganho de tensão $A_1 = 1$, um sinal de entrada $V_s = 1$ V e um ruído V_n de 1 V. Suponha que esse estágio de potência seja precedido por um estágio para pequenos sinais com ganho $A_2 = 100$ V/V e que seja aplicada uma realimentação total de $\beta = 1$. Se V_s e V_n permanecerem sem alteração, calcule as tensões do sinal e do ruído na saída e, conseqüentemente, a melhora em *S/N*.

Resposta ≃ 1 V; ≃ 0,01 V; 100 (40 dB)

Redução na Distorção Não-linear

A curva (a) na Figura 8.3 mostra a característica de transferência de um amplificador. Conforme indicado, a característica é linear por partes, com o ganho de tensão variando de 1000 a 100 e depois até 0. Essa característica de transferência não-linear provocará nesse amplificador a geração de uma grande quantidade de distorção não-linear.

A característica de transferência do amplificador pode ser **linearizada** consideravelmente (isto é, com uma não-linearidade menor) através da aplicação da realimentação negativa.

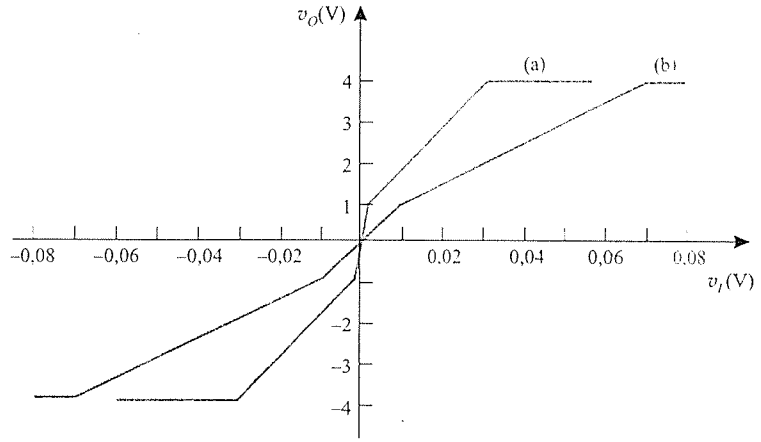


Figura 8.3 Ilustração da aplicação da realimentação negativa para reduzir a distorção não-linear em amplificadores. A curva (a) mostra a característica de transferência do amplificador sem realimentação. A curva (b) mostra a característica com realimentação negativa ($\beta = 0{,}01$) aplicada.

O fato de isso ser possível não é tão surpreendente, pois já vimos que a realimentação negativa reduz a dependência do ganho total do amplificador em malha fechada em relação ao ganho do amplificador básico em malha aberta. Portanto, uma grande variação no ganho em malha aberta (1000 a 100 nesse caso) dá origem a uma variação correspondente muito menor no ganho em malha fechada.

Para ilustrar, aplicaremos uma realimentação negativa com $\beta = 0{,}01$ ao amplificador cuja característica de transferência de tensão em malha aberta está representada na Figura 8.3. A característica de transferência resultante para o amplificador em malha fechada está mostrada na Figura 8.3 como a curva (b). Nessa curva a inclinação do segmento com maior declive é dada por

$$A_{f1} = \frac{1000}{1 + 1000 \times 0{,}01} = 90{,}9$$

e a inclinação do próximo segmento é dada por

$$A_{f2} = \frac{100}{1 + 100 \times 0{,}01} = 50$$

Portanto, a variação da inclinação foi reduzida consideravelmente. O preço pago, é claro, é uma redução no ganho de tensão. Logo, se o ganho total precisa ser recuperado, então devemos acrescentar um pré-amplificador. Esse pré-amplificador não deve apresentar o problema de uma forte distorção não-linear, visto que ele funcionará com sinais menores.

Finalmente, deve ser observado que a realimentação negativa não interfere na saturação do amplificador. Como na saturação o ganho é muito pequeno (quase zero), conseqüentemente a quantidade de realimentação é muito pequena (quase zero).

8.3 AS QUATRO TOPOLOGIAS BÁSICAS DA REALIMENTAÇÃO

Baseados na grandeza a ser amplificada (tensão ou corrente) e na forma desejada na saída (tensão ou corrente), os amplificadores podem ser classificados em quatro categorias. Essas categorias foram discutidas no Capítulo 1. Revisaremos a seguir essa classificação de amplificadores e mostraremos para cada caso particular qual a topologia da realimentação apropriada.

Amplificadores de Tensão

Os amplificadores de tensão têm a finalidade de amplificar um sinal de tensão de entrada e fornecer um sinal de tensão de saída. O amplificador de tensão é essencialmente uma fonte de tensão controlada por tensão. A impedância de entrada precisa ser alta e a impedância de saída precisa ser baixa. Como a fonte de sinal é essencialmente uma fonte de tensão, é conveniente representá-la em termos de um circuito equivalente de Thévenin. Em um amplificador de tensão, a grandeza na saída que nos interessa é a tensão de saída. Isso implica que o elo de realimentação deve *amostrar* a *tensão* de saída. Além disso, por causa da representação da fonte na forma de Thévenin, o sinal de realimentação x_f deve ser uma tensão que pode ser *misturada* ou *comparada* em *série* com a fonte de tensão.

Uma topologia de realimentação adequada para o amplificador de tensão é a **amostragem de tensão com comparação em série**, mostrada na Figura 8.4(a). Como esclareceremos, essa topologia não só estabiliza o ganho de tensão, mas também faz com que a resistência de entrada seja maior (intuitivamente, um resultado da conexão em série na entrada) e a resistência de saída seja menor (intuitivamente, um resultado da conexão em paralelo na saída), as quais são propriedades desejáveis para um amplificador de tensão. A configuração não-inversora do amp op da Figura E8.1 é um exemplo dessa topologia de realimentação. Finalmente, deve ser mencionado que essa topologia de realimentação é conhecida também como uma **realimentação série–paralelo**, em que "série" se refere à conexão na entrada e "paralelo" se refere à conexão na saída.

Amplificadores de Corrente

Nesse caso, o sinal de entrada é essencialmente uma corrente e, portanto, a fonte de sinal é mais convenientemente representada por seu equivalente Norton. A grandeza de saída que nos interessa é a corrente; conseqüentemente, o elo de realimentação deve *amostrar* a *corrente* de saída. O sinal de realimentação deve ser na forma de corrente, de modo que ela possa ser *misturada* em *paralelo* com a fonte de corrente. Portanto, a topologia de realimentação adequada para um amplificador de corrente é a **amostragem de corrente com comparação paralela**, ilustrada na Figura 8.4(b). Como será mostrado, essa topologia não só estabiliza o ganho de corrente, mas resulta também em uma resistência de entrada menor e em uma resistência de saída maior, que são propriedades desejáveis para um amplificador de corrente.

Um exemplo da topologia de realimentação de amostragem de corrente com comparação paralela é dado na Figura 8.5. Observe que os detalhes da polarização não estão mostrados. Observe também que a corrente que está sendo amostrada não é a corrente de saída, mas a corrente do emissor de Q_2, que é quase igual à corrente de saída. Isso é feito durante o projeto por conveniência e é muito usado nos circuitos que envolvem uma corrente amostrada.

O sentido de referência indicado na Figura 8.5 para a corrente de realimentação I_f é tal que ela é subtraída de I_s. Essa notação de referência será usada em todo o decorrer deste capítulo, visto que ela é consistente com a notação usada na estrutura geral da realimentação na Figura 8.1. Portanto, em todos os circuitos, para que a realimentação seja negativa, o ganho de malha $A\beta$ deve ser positivo. O leitor deve verificar que no circuito da Figura 8.5 A e β são negativos.

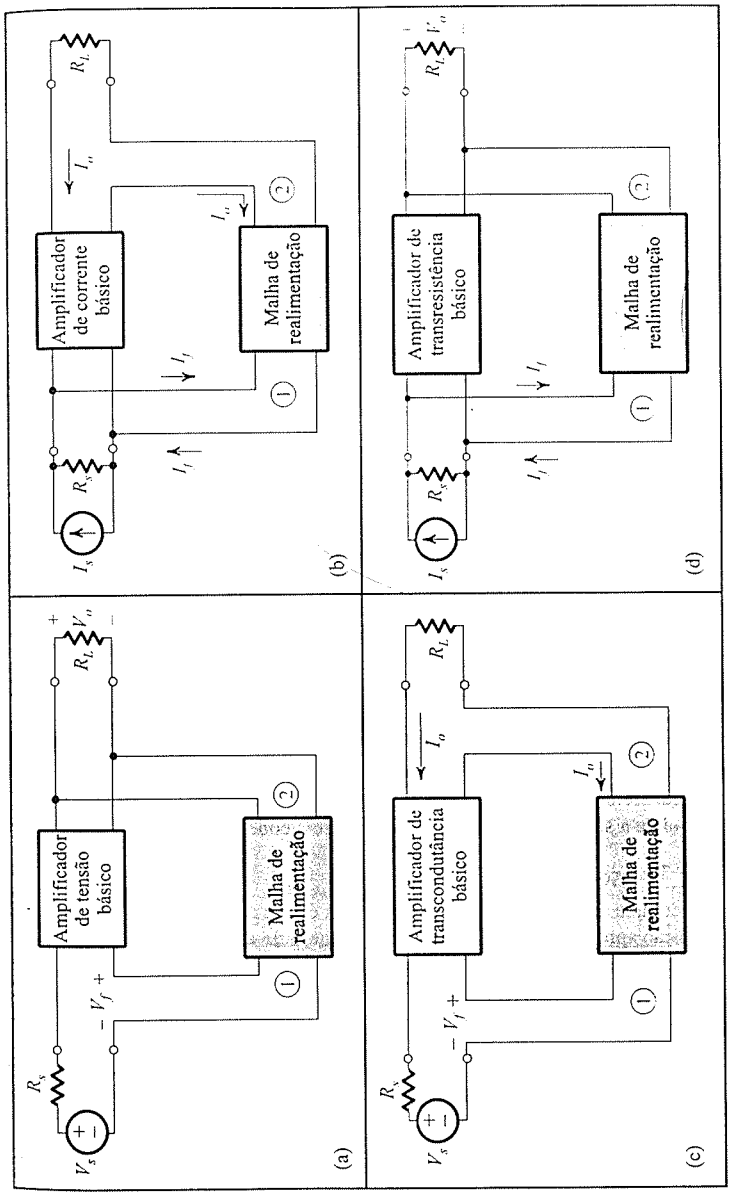


Figura 8.4 As quatro topologias básicas de realimenta: (a) amostragem de tensão com comparação em série (realimentação série–paralel; (b) amostragem de corrente com comparação paralela (realimentação paralelo–série); (c) amostragem de corrente com comparação em série (realimentação série–série); (d) amostragem de tensão com comparação paralela (realimentação paralelo–paralelo).

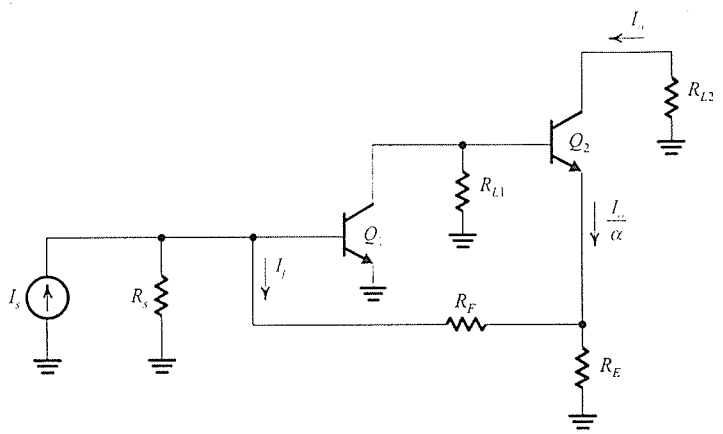


Figura 8.5 Um amplificador transistorizado com realimentação paralelo–série.

É de máxima importância ser capaz de determinar qualitativamente a polaridade (positiva ou negativa) da realimentação. Isso pode ser feito "seguindo o sinal em torno da malha". Por exemplo, faça com que a corrente I_s, na Figura 8.5, aumente. Vemos que a corrente na base de Q_1 aumentará e, portanto, sua corrente de coletor aumentará também. Isso fará com que a tensão no coletor de Q_1 diminua e, portanto, a corrente no coletor de Q_1, I_o, diminuirá. Portanto, a corrente de emissor de Q_2, I_o/α (em que α é o ganho de corrente em base comum do TBJ) diminui. Do elo de realimentação vemos que, se I_o/α diminui, logo I_f (no sentido mostrado) aumentará. O aumento em I_f será subtraído de I_s, fazendo com que um menor incremento seja visto pelo amplificador. Conseqüentemente, a realimentação é negativa.

Finalmente, devemos mencionar que essa topologia de realimentação é conhecida também como **realimentação paralelo–série**. Novamente, a primeira palavra do nome (paralelo) se refere à conexão na entrada e a segunda palavra (série) se refere à conexão na saída.

Amplificadores de Transcondutância

Nesse caso, o sinal de entrada é uma tensão e o sinal de saída é uma corrente. Isso implica que a topologia de realimentação apropriada é a topologia **amostragem de corrente com comparação em série**, ilustrada na Figura 8.4(c).

Um exemplo dessa topologia de realimentação é dado na Figura 8.6. Observe que nesse caso, como no circuito da Figura 8.5, a corrente amostrada não é a corrente de saída, mas a corrente de emissor de Q_3, que é quase igual à corrente de saída. Além disso, a malha de comparação não é convencional; não é uma conexão em série simples, visto que o sinal de realimentação é obtido em R_{E1} através do circuito de emissor de Q_1, enquanto a fonte está no circuito de base de Q_1. Essas duas aproximações são feitas por conveniência de projeto do circuito.

Finalmente, deve ser mencionado que a topologia de realimentação por amostragem de corrente com comparação em série é conhecida também como **realimentação série–série**.

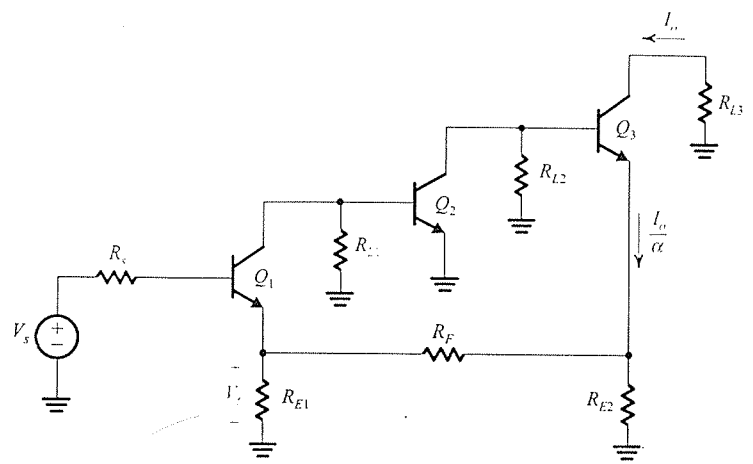


Figura 8.6 Um exemplo da topologia de realimentação série–série.

Amplificadores de Transresistência

Neste caso, o sinal de entrada é a corrente e o sinal de saída é a tensão. Isso implica que a topologia de realimentação adequada é do tipo **amostragem de tensão com comparação paralela**, mostrada na Figura 8.4(d).

Um exemplo dessa topologia de realimentação é encontrado na configuração inversora do amp op da Figura 8.7(a). O circuito está redesenhado na Figura 8.7(b) com a fonte transformada para o equivalente Norton.

Essa topologia de realimentação é conhecida também como **realimentação paralelo–paralelo**.

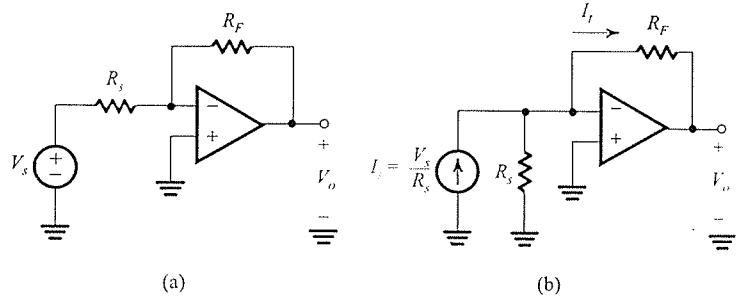


Figura 8.7 A configuração inversora com amp op como exemplo da realimentação paralelo–paralelo.

8.4 O AMPLIFICADOR COM REALIMENTAÇÃO SÉRIE–PARALELO

A Situação Ideal

A estrutura ideal do amplificador com realimentação série–paralelo está mostrada na Figura 8.8(a). Ela consiste em um amplificador em malha aberta *unilateral* (o circuito A) e em um elo de realimentação do tipo amostragem de tensão com comparação em série (o circuito β). O circuito A tem uma resistência de entrada R_i, um ganho de tensão A e uma resistência de saída R_o. Supõe-se que as resistências da fonte e da carga foram incluídas no circuito A (mais tarde, serão dados outros detalhes). Além disso, observe que o circuito β *não* carrega o circuito A; isto é, a conexão do circuito β não altera o valor de A (definido como sendo $A \equiv V_o/V_i$).

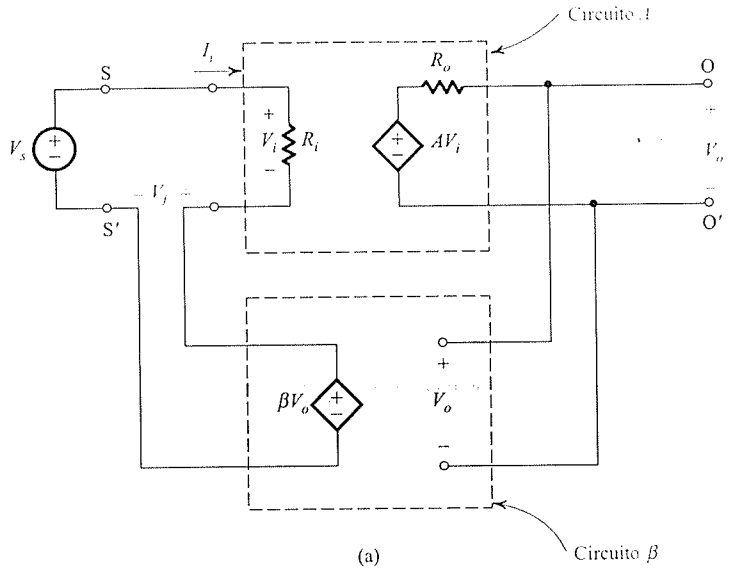


Figura 8.8 O amplificador série–paralelo: (a) estrutura ideal; (b) circuito equivalente.

O circuito da Figura 8.8(a) segue exatamente o modelo de realimentação ideal da Figura 8.1. Portanto, o ganho de tensão em malha fechada para altas freqüências é dado por

$$A_f \equiv \frac{V_o}{V_s} = \frac{A}{1 + A\beta}$$

Observe que A e β têm unidades recíprocas. De fato, esse é sempre o caso, resultando em um ganho de malha $A\beta$ adimensional.

O modelo de circuito equivalente do amplificador com realimentação série–paralelo está mostrado na Figura 8.8(b). Nessa figura, R_{if} e R_{of} representam as resistências de entrada e de saída com realimentação. A relação entre R_{if} e R_i pode ser estabelecida considerando o circuito na Figura 8.8(a):

$$R_{if} \equiv \frac{V_s}{I_i} = \frac{V_s}{V_i/R_i}$$
$$= R_i \frac{V_s}{V_i} = R_i \frac{V_i + \beta A V_i}{V_i}$$

Portanto,

$$R_{if} = R_i(1 + A\beta) \tag{8.10}$$

ou seja, nesse caso, a realimentação negativa aumenta a resistência de entrada por um fator de valor igual ao da quantidade de realimentação. Como a dedução anterior não depende do método de amostragem (paralelo ou série), isso implica que a relação entre R_{if} e R_i é uma função apenas do método de comparação. Falaremos mais sobre isso em seções posteriores.

Contudo, observe que esse resultado não surpreende e é fisicamente intuitivo: como a tensão de realimentação V_f é subtraída de V_s, a tensão que aparece em R_i – ou seja, V_i – torna-se muito pequena. Logo, a corrente de entrada I_i torna-se correspondentemente pequena e a resistência vista por V_s torna-se alta. Finalmente, deve ser mostrado que a Equação 8.10 pode ser generalizada na forma

$$Z_{if}(s) = Z_i(s)[1 + A(s)\beta(s)] \tag{8.11}$$

Para calcular a resistência R_{of} de saída do amplificador de realimentação na Figura 8.8(a), reduzimos V_s a zero e aplicamos uma tensão de teste V_t na saída, conforme mostrado na Figura 8.9,

$$R_{of} \equiv \frac{V_t}{I}$$

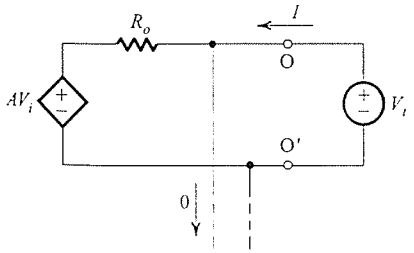


Figura 8.9 Medindo-se a resistência de saída do amplificador realimentado da Figura 8.8(a): $R_{of} \equiv V_t/I$.

Pela Figura 8.9, podemos escrever

$$I = \frac{V_t - AV_i}{R_o}$$

e, visto que $V_s = 0$ pela Figura 8.8(a), temos:

$$V_i = -V_f = -\beta V_o = -\beta V_t$$

Portanto,

$$I = \frac{V_t + A\beta V_t}{R_o}$$

que nos leva a

$$R_{of} = \frac{R_o}{1 + A\beta} \tag{8.12}$$

ou seja, a realimentação negativa, nesse caso, reduz a resistência de saída por um fator de valor igual à quantidade de realimentação. Com um pouco de atenção, podemos ver que a dedução da Equação 8.12 não depende do método de comparação. Logo, a relação entre R_{of} e R_o depende apenas do método de amostragem. Novamente, esse resultado não surpreende e é fisicamente intuitivo: uma vez que a realimentação faz uma amostragem da tensão de saída V_o, ela atua no sentido de estabilizar o valor de V_o, isto é, reduzir as variações no valor de V_o, incluindo-se variações que surgem pela mudança na corrente drenada na saída do amplificador. Finalmente, observamos que a Equação 8.12 pode ser generalizada para

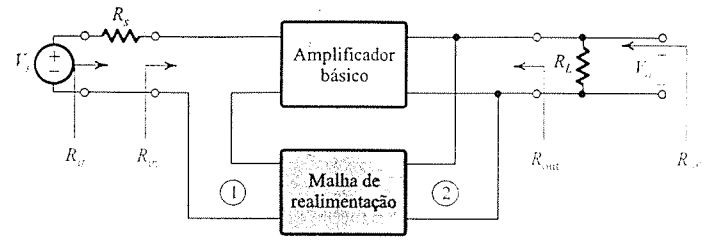
$$Z_{of}(s) = \frac{Z_o(s)}{1 + A(s)\beta(s)} \tag{8.13}$$

A Situação Real

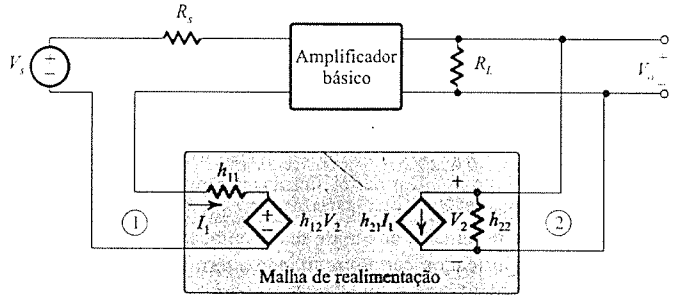
Em um amplificador realimentado do tipo série–paralelo real, o elo de realimentação não será idealmente do tipo fonte de tensão controlada por tensão. Em vez disso, o elo de realimentação será usualmente passivo e, conseqüentemente, carregará o amplificador básico e, portanto, afetará o valor de A, R_i e R_o. Além disso, as resistências da fonte e da carga afetarão esses três parâmetros. Portanto, o problema que temos é: dado um amplificador com realimentação série–paralelo representado por seu diagrama de blocos da Figura 8.10(a), determine o circuito A e o circuito β.

Nosso problema envolve essencialmente a representação do amplificador da Figura 8.10(a) pela estrutura ideal da Figura 8.8(a). Como primeiro passo, observamos que as resistências da fonte e da carga devem ser englobadas no amplificador básico. Isso, junto com a representação do elo de realimentação de duas portas em termos dos parâmetros h (veja o Apêndice B), está ilustrado na Figura 8.10(b). A escolha dos parâmetros h é baseada no fato de que eles são os únicos parâmetros que representam o elo de realimentação por uma malha série no terminal 1 e uma malha paralela no terminal 2. Essa representação é, obviamente, conveniente em vista da conexão em série na entrada e da conexão paralela na saída.

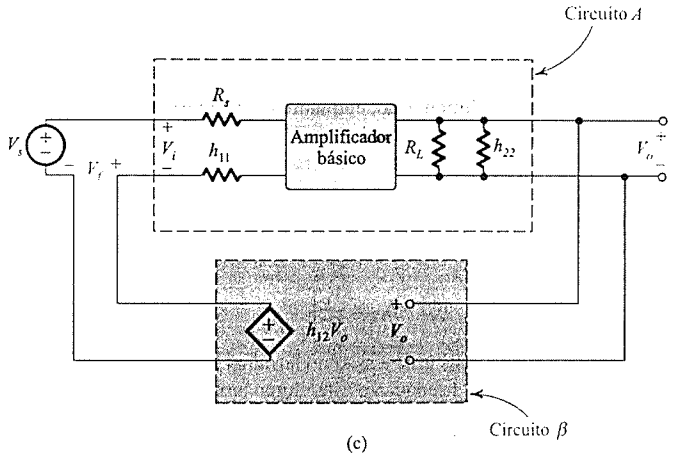
Um exame no circuito da Figura 8.10(b) revela que a fonte de corrente $h_{21}I_1$ representa a transmissão direta do elo de realimentação.



(a)



(b)



(c)

Figura 8.10 Dedução do circuito A e do circuito β para o amplificador realimentado série–paralelo. **(a)** Diagrama de blocos de um amplificador real com realimentação série–paralelo. **(b)** O circuito em (a) com o elo de realimentação representado por seus parâmetros h. (c) O circuito em (b) após desprezar h_{21}.

Como o elo de realimentação é usualmente passivo, sua transmissão direta pode ser desprezada em comparação com a transmissão direta muito maior do amplificador básico. Portanto, faremos a suposição de que $|h_{21}|_{\text{malha de realimentação}} << |h_{21}|_{\text{amplificador básico}}$ e, portanto, desprezaremos totalmente a fonte controlada $h_{21}I_1$.

Compare o circuito da Figura 8.10(b) (após a eliminação da fonte de corrente $h_{21}I_1$) com o circuito ideal na Figura 8.8(a). Vemos que, pela inclusão de h_{11} e h_{22} com o amplificador básico, obtemos o circuito mostrado na Figura 8.10(c), que é muito parecido com o circuito ideal. Agora, se o amplificador básico for unilateral (ou praticamente unilateral), uma situação que predomina quando

$$|h_{12}|_{\substack{\text{amplificador}\\ \text{básico}}} << |h_{12}|_{\substack{\text{malha de}\\ \text{realimentação}}}$$

então o circuito da Figura 8.10(c) é equivalente (ou aproximadamente equivalente) ao circuito ideal. Isso implica que o circuito A é obtido acrescentando-se na entrada do amplificador básico a impedância da fonte R_s e a impedância h_{11} do elo de realimentação e acrescentando-se em sua saída a impedância R_L e a admitância h_{22} do elo de realimentação.

Concluímos que o efeito de carga do elo de realimentação sobre o amplificador básico é representado pelas componentes h_{11} e h_{22}. Das definições dos parâmetros h no Apêndice B, vemos que h_{11} é a impedância vista olhando-se para o terminal 1 do elo de realimentação com o terminal 2 curto-circuitado. Como o terminal 2 do elo de realimentação está conectado em *paralelo* com o terminal de saída do amplificador, curto-circuitando o terminal 2, destruímos a realimentação. De modo similar, h_{22} é a admitância vista olhando-se para o terminal 2 do elo de realimentação com o terminal 1 em circuito aberto. Como o terminal 1 do elo de realimentação está conectado em *série* com a entrada do amplificador, abrindo o circuito do terminal 1, destruímos a realimentação.

Essas observações sugerem uma regra simples para determinarmos os efeitos de carga do elo de realimentação no amplificador básico: o efeito de carga é encontrado quando se olha para o terminal apropriado do elo de realimentação, enquanto o outro terminal fica em circuito aberto ou em curto-circuito, destruindo, assim, a realimentação. Se a conexão for em paralelo, curto-circuitamos o terminal; se for em série, abrimos o circuito. Nas Seções 8.5 e 8.6 será visto que essa regra simples também se aplicará às outras três topologias de realimentação.[1]

A seguir, considere a determinação de β. Da Figura 8.10(c), vemos que β é igual a h_{12} do elo de realimentação,

$$\beta = h_{12} \equiv \left.\frac{V_1}{V_2}\right|_{I_1=0}$$

Portanto, para medir β, aplicamos uma tensão no terminal 2 do elo de realimentação e medimos a tensão que aparece no terminal 1, enquanto este último terminal fica em circuito aberto. Esse resultado é intuitivamente aceitável porque o objetivo do elo de realimentação é amostrar a tensão de saída ($V_2 = V_o$) e fornecer um sinal de tensão ($V_1 = V_f$) que é misturado em série com a fonte de entrada. A conexão em série na entrada sugere que β deve ser encontrado com o terminal 1 em circuito aberto (como foi feito no caso para encontrar o efeito de carga do elo de realimentação).

1. Uma regra simples de lembrar: se a conexão for em *paralelo*, *curte-circuite-a*, se for em *série*, *corte-a*.

Resumo

Um resumo das regras para encontrarmos os circuitos A e β para um amplificador com realimentação série–paralelo, com a forma mostrada na Figura 8.10(a), está mostrado na Figura 8.11. Para utilizar as fórmulas de realimentação das Equações 8.10 a 8.12 a fim de determinar as resistências de entrada e de saída, é importante observar que:

1. R_i e R_o são as resistências de entrada e de saída, respectivamente, do circuito A na Figura 8.11(a).
2. R_{if} e R_{of} são as resistências de entrada e de saída, respectivamente, do amplificador realimentado, incluindo R_s e R_L [veja a Figura 8.10(a)].
3. As resistências reais de entrada e de saída do amplificador realimentado usualmente excluem R_s e R_L. São chamadas de R_{in} e R_{out} na Figura 8.10(a) e podem ser facilmente determinadas como

$$R_{\text{in}} = R_{if} - R_s$$

$$R_{\text{out}} = 1\Big/\left(\frac{1}{R_{of}} - \frac{1}{R_L}\right)$$

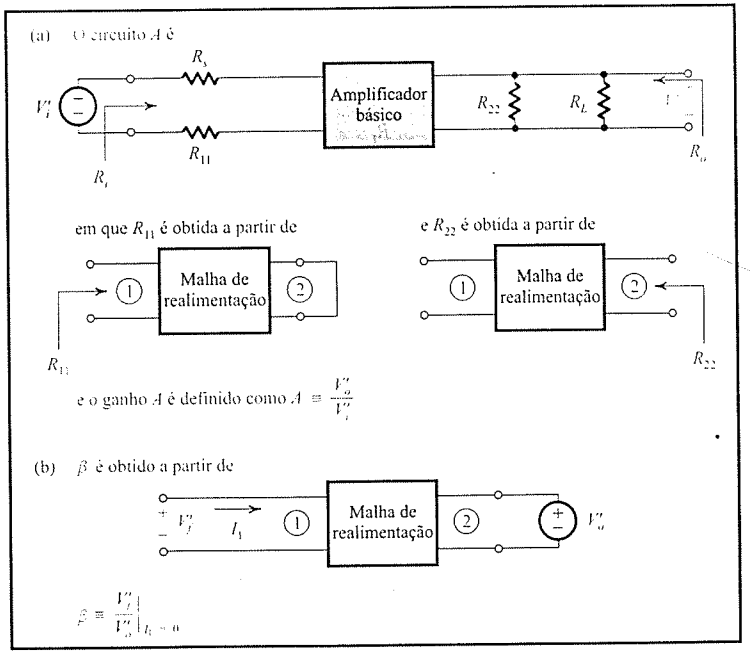


Figura 8.11 Resumo das regras para determinar os circuitos A e β para o caso da realimentação série–paralelo da Figura 8.10(a).

EXEMPLO 8.1

A Figura 8.12(a) mostra um amp op conectado na configuração inversora. O amp op tem um ganho em malha aberta μ, uma resistência de entrada diferencial R_{id} e uma resistência de saída r_o. Lembre-se de que em nossa análise de circuitos com amp op, no Capítulo 2, desprezamos os efeitos de R_{id} (assumido como sendo infinito) e de r_o (assumido como sendo zero). Aqui, desejamos utilizar o método da realimentação para analisar o circuito, levando-se *em consideração* R_{id} e r_o. Calcule as expressões para A, β, o ganho em malha fechada V_o/V_s, a resistência de entrada R_{in} (veja a Figura 8.12(a)) e a resistência de saída R_{out}. Determine também os valores numéricos, sendo dados $\mu = 10^4$, $R_{id} = 100$ kΩ, $r_o = 1$ kΩ, $R_L = 2$ kΩ, $R_1 = 1$ kΩ, $R_2 = 1$ MΩ e $R_s = 10$ kΩ.

SOLUÇÃO

Observamos que o elo de realimentação consiste em R_2 e R_1. Essa malha amostra a tensão de saída V_o e fornece um sinal de tensão (sobre R_1) que é misturado em série com a fonte de entrada V_s.

O circuito A é facilmente obtido com as regras da Figura 8.11 e está mostrado na Figura 8.12(b). Para esse circuito, por inspeção, podemos escrever

$$A \equiv \frac{V_o'}{V_i'} = \mu \frac{[R_L // (R_1 + R_2)]}{[R_L // (R_1 + R_2)] + r_o} \frac{R_{id}}{R_{id} + R_s + (R_1 // R_2)}$$

Para os valores dados, calculamos que $A \simeq 6000$ V/V.

O circuito para obter o valor de β está mostrado na Figura 8.12(c), do qual obtemos

$$\beta \equiv \frac{V_f'}{V_o'} = \frac{R_1}{R_1 + R_2} \equiv 10^{-3} \text{ V/V}$$

O ganho de tensão com realimentação é obtido agora como

$$A_f \equiv \frac{V_o}{V_s} = \frac{A}{1 + A\beta} = \frac{6000}{7} = 857 \text{ V/V}$$

A resistência de entrada R_{if} dada pelas equações de realimentação é a resistência vista pela fonte externa, como indicado na Figura 8.12(a), e é dada por

$$R_{if} = R_i(1 + A\beta)$$

em que R_i é a resistência de entrada do circuito A da Figura 8.12(b):

$$R_i = R_s + R_{id} + (R_1 // R_2)$$

Pelos valores dados, $R_i \equiv 111$ kΩ, resultando em

$$R_{if} = 111 \times 7 = 777 \text{ k}\Omega$$

Essa, no entanto, não é a resistência solicitada. A resistência pedida, R_{in}, indicada na Figura 8.12(a), pode ser obtida subtraindo-se R_s de R_{if}:

$$R_{\text{in}} = R_{if} - R_s$$

Para os valores fornecidos, $R_{\text{in}} = 739$ kΩ.

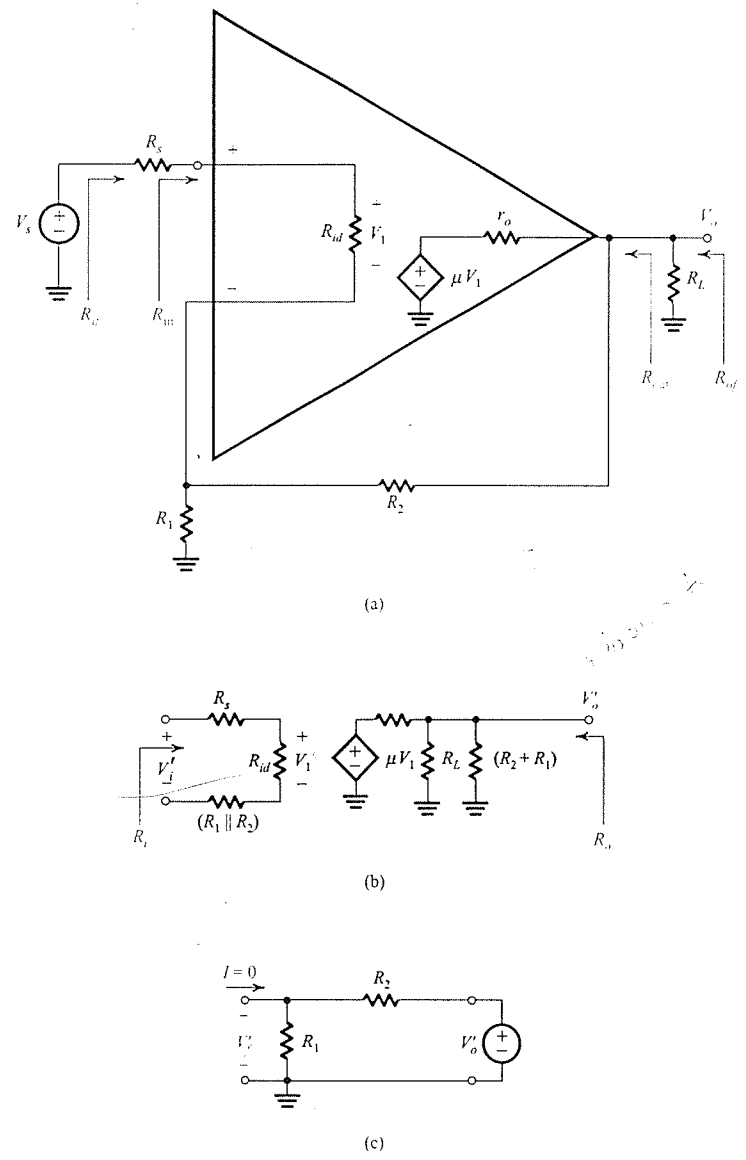


Figura 8.12 Circuitos para o Exemplo 8.1.

A resistência de saída R_{of} dada pelas equações de realimentação é a resistência de saída do amplificador realimentado, incluindo-se a resistência de carga R_L, como indicado na Figura 8.12(a). R_{of} é dada por

$$R_{of} = \frac{R_o}{1 + A\beta}$$

em que R_o é a resistência de saída do circuito A. R_o pode ser obtida por inspeção da Figura 8.12(b) como

$$R_o = r_o // R_L // (R_2 + R_1)$$

Pelos valores dados, $R_o \simeq 667\ \Omega$ e

$$R_{of} = \frac{667}{7} = 95{,}3\ \Omega$$

A resistência pedida, R_{out}, é a resistência de saída do amplificador, realimentado excluindo R_L. Pela Figura 8.12(a), vemos que

$$R_{of} = R_{\text{out}} // R_L$$

Portanto,

$$R_{\text{out}} \simeq 100\ \Omega$$

Exercícios

8.4 Se o amp op do Exemplo 8.1 tiver uma queda uniforme em altas freqüências de –6 dB/oitava com $f_{3\text{dB}} = 1$ kHz, calcule a freqüência de corte de 3 dB do ganho em malha fechada V_o/V_s.

Resposta 7 kHz

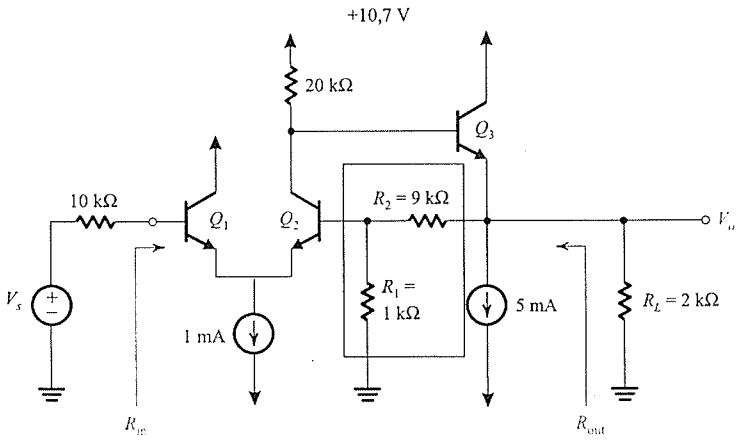


Figura E8.5

8.5 O circuito mostrado na Figura E8.5 consiste em um estágio diferencial acompanhado de um seguidor de emissor, com realimentação série–paralelo fornecida pelos resistores R_1 e R_2. Supondo que a componente *cc* de V_s seja zero e o β dos TBJs seja muito alto, calcule a corrente de operação *cc* de cada um dos três transistores e mostre que a tensão *cc* na saída é aproximadamente zero. Depois calcule os valores de A, β, $A_f \equiv V_o/V_s$, R_{in} e R_{out}. Suponha que o transistor tenha $\beta = 100$.

Resposta 85,7 V/V; 0,1 V/V; 8,96 V/V; 191 kΩ; 19,1 Ω

8.5 O AMPLIFICADOR COM REALIMENTAÇÃO SÉRIE–SÉRIE

O Caso Ideal

Conforme mencionado na Seção 8.3, a topologia da realimentação série–série estabiliza I_o/V_s e é, portanto, mais adequada para os amplificadores de transcondutância. A Figura 8.13(a) mostra a estrutura ideal do amplificador com realimentação série–série. Ela consiste em um amplificador unilateral em malha aberta (o circuito A) e um elo de realimentação ideal. Observe que nesse caso A é uma transcondutância,

$$A \equiv \frac{I_o}{V_i} \tag{8.14}$$

enquanto β é uma transresistência.

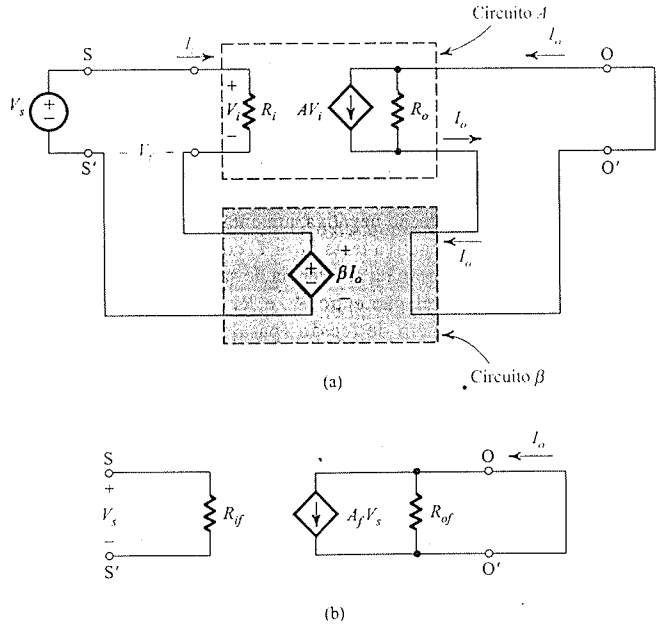


Figura 8.13 O amplificador com realimentação série–série: **(a)** estrutura ideal; **(b)** circuito equivalente.

Portanto, o ganho de malha $A\beta$ permanece uma grandeza adimensional, como sempre deve ser.

Na estrutura ideal da Figura 8.13(a), as resistências de carga e da fonte foram absorvidas pelo circuito A e o circuito β não carrega o circuito A. Portanto, o circuito segue o modelo da Figura 8.1 e podemos escrever

$$A_f \equiv \frac{I_o}{V_s} = \frac{A}{1+A\beta} \tag{8.15}$$

Essa transcondutância com realimentação está incluída no modelo de circuito equivalente do amplificador realimentado, mostrado na Figura 8.13(b). Nesse modelo, R_{if} é a resistência de entrada com realimentação. Usando uma análise similar àquela feita na Seção 8.4, podemos mostrar que

$$R_{if} = R_i(1+A\beta) \tag{8.16}$$

Essa relação é idêntica à obtida no caso da realimentação série–paralelo. Ela confirma nossa observação prévia de que a relação entre R_{if} e R_i é uma função somente do método de comparação. A comparação em série, portanto, sempre aumenta a resistência de entrada.

Para calcular a resistência de saída R_{of} do amplificador com realimentação série–série da Figura 8.13(a), reduzimos V_s a zero e cortamos o circuito na saída para aplicar uma corrente de teste I_t, conforme mostrado na Figura 8.14:

$$R_{of} \equiv \frac{V}{I_t} \tag{8.17}$$

Nesse caso, $V_i = -V_f = -\beta I_o = -\beta I_t$. Portanto, para o circuito na Figura 8.14, obtemos

$$V = (I_t - AV_i)R_o = (I_t - A\beta I_t)R_o$$

Conseqüentemente,

$$R_{of} = (1+A\beta)R_o \tag{8.18}$$

Ou seja, nesse caso a realimentação negativa aumenta a resistência de saída. Isso já era esperado, visto que a realimentação negativa tenta fazer I_o constante, apesar das variações na tensão de saída, o que significa um aumento na resistência de saída. Esse resultado confirma também nossa observação prévia de que a relação entre R_{of} e R_o é uma função apenas do método de amostragem. Enquanto a amostragem de tensão (paralela) reduz a resistência de saída, a amostragem de corrente (série) faz com que ela aumente.

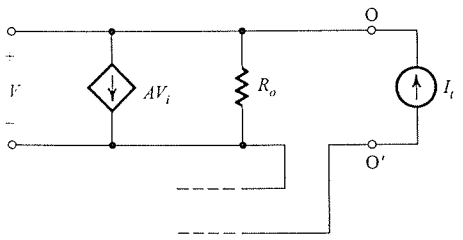


Figura 8.14 Medida da resistência de saída R_{of} do amplificador com realimentação série–série.

O Caso Real

A Figura 8.15(a) mostra o diagrama de blocos para um amplificador com realimentação série–série real. Para aplicar as equações da realimentação nesse amplificador, devemos representá-lo pela estrutura ideal da Figura 8.13(a). Nosso objetivo, portanto, é delinear um método para encontrar A e β. Observe as definições da resistência de entrada do amplificador R_{in} e da resistência R_{out}. É importante observar que elas são diferentes de R_{if} e R_{of}, que são determinadas pelas equações de realimentação, como ficará evidente a seguir.

O amplificador série–série da Figura 8.15(a) está redesenhado na Figura 8.15(b), com R_s e R_L mostradas próximas do amplificador básico e o elo de realimentação representado por seus parâmetros z (Apêndice B). Esse conjunto de parâmetros foi escolhido por ser o único que representa o elo de realimentação com um circuito em série na entrada e um circuito em série na saída. Isso é, obviamente, conveniente em vista das conexões em série na entrada e na saída. As resistências de entrada e de saída, R_{if} e R_{of}, estão indicadas no diagrama.

Como fizemos no caso do amplificador série–paralelo, vamos supor que a transmissão direta através do elo de realimentação seja desprezível quando comparada com a transmissão através do amplificador básico; ou seja, a condição

$$\left|z_{21}\right|_{\substack{\text{malha de}\\ \text{realimentação}}} \ll \left|z_{21}\right|_{\substack{\text{amplificador}\\ \text{básico}}}$$

é satisfeita. Podemos, então, dispensar a fonte de tensão $z_{21}I_1$ na Figura 8.15(b). Feito isso e redesenhado o circuito para incluir z_{11} e z_{22} no amplificador básico, resulta no circuito da Figura 8.15(c). Agora, se o amplificador básico for unilateral (ou praticamente unilateral), uma situação é obtida quando

$$\left|z_{12}\right|_{\substack{\text{amplificador}\\ \text{básico}}} \ll \left|z_{12}\right|_{\substack{\text{malha de}\\ \text{realimentação}}}$$

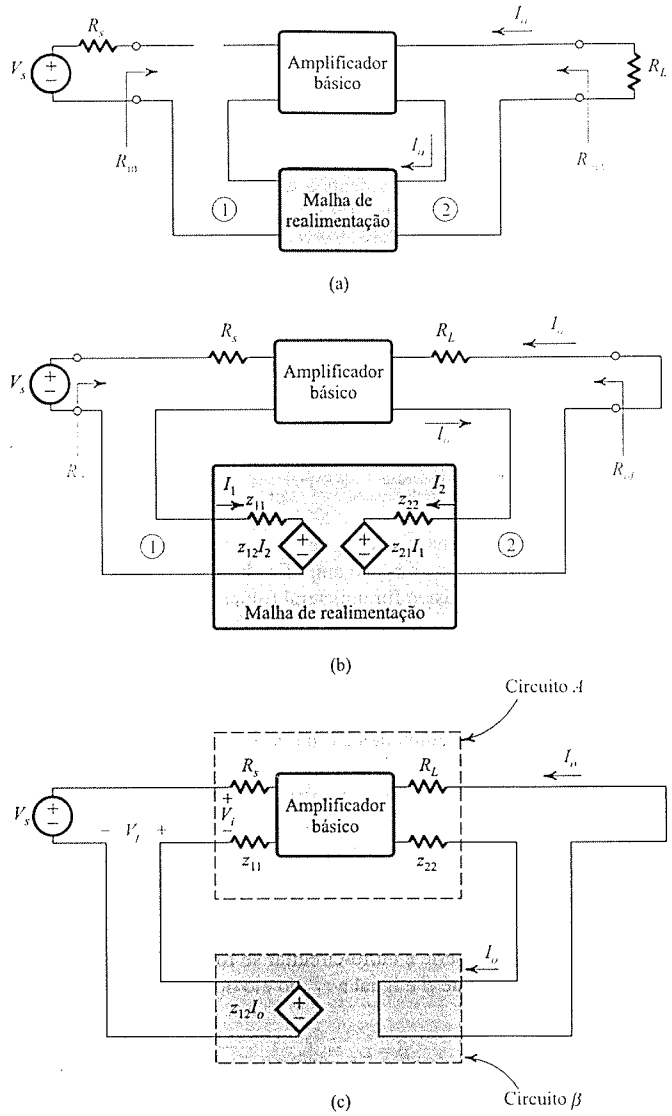
então o circuito na Figura 8.15(c) é equivalente (ou quase equivalente) ao circuito ideal da Figura 8.13(a).

Isso implica que o circuito A é composto do amplificador básico com a entrada acrescida de R_s e z_{11} e a saída acrescida de R_L e z_{22}. Como z_{11} e z_{22} são as impedâncias vistas do elo de realimentação quando se olha para os terminais 1 e 2, respectivamente, com o outro terminal aberto, vemos que, encontrando o efeito de carga do elo de realimentação sobre o amplificador básico, resulta na regra formulada na Seção 8.4. Ou seja, olhamos para um dos terminais do elo de realimentação enquanto o outro terminal fica em circuito aberto ou curto-circuitado, de modo a destruir a realimentação (abrir se for série e curto-circuitar se for paralelo).

Pela Figura 8.15(c) vemos que β é igual a z_{12} do elo de realimentação,

$$\beta = z_{12} \equiv \left.\frac{V_1}{I_2}\right|_{I_1=0} \tag{8.19}$$

Esse resultado é intuitivamente aceitável. Lembre-se de que, nesse caso, o elo de realimentação amostra a corrente de saída $[I_2 = I_o]$ e fornece uma tensão $[V_f = V_1]$ que é misturada em série com a fonte de entrada. Novamente, a conexão em série na entrada sugere que β é medido com o terminal 1 aberto.



(a)

(b)

(c)

Figura 8.15 Dedução do circuito A e do circuito β para o amplificador realimentado série–série. (a) Amplificador com realimentação série–série. (b) O circuito em (a) com o elo de realimentação representado por seus parâmetros z. (c) O circuito em (b) após desprezar z_{21}.

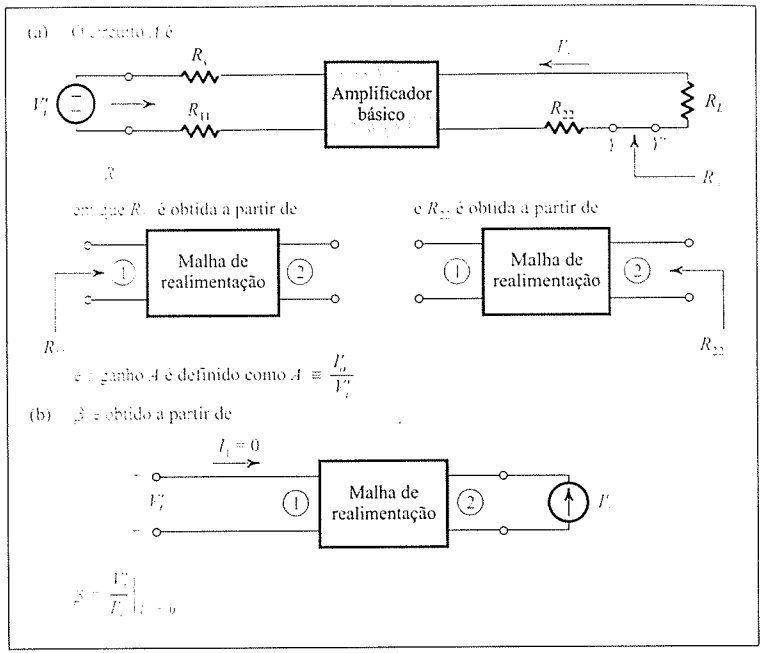


Figura 8.16 Determinando o circuito A e β para o caso amostragem de corrente com comparação em série (série–série).

Resumo

Para referências futuras, apresentamos na Figura 8.16 um resumo das regras para encontrar A e β de um dado amplificador com realimentação série–série do tipo mostrado na Figura 8.15(a). Observe que R_i é a resistência de entrada do circuito A, sendo R_o sua resistência de saída, que pode ser determinada abrindo-se a malha de saída e olhando-se entre Y e Y'. R_i e R_o podem ser usadas nas Equações 8.16 e 8.18 para determinar R_{if} e R_{of} (veja a Figura 8.15(b)). As resistências de entrada e de saída do amplificador realimentado podem então ser determinadas subtraindo-se R_s de R_{if} e R_L de R_{of}.

$$R_{in} = R_{if} - R_s$$

$$R_{out} = R'_{of} - R_L$$

EXEMPLO 8.2

Pelo fato de a realimentação negativa aumentar a faixa de passagem, ela é comumente usada no projeto de amplificadores de banda larga. Um desses amplificadores é o MC1553. Parte

do circuito do MC1553 pode ser vista na Figura 8.17(a). O circuito mostrado (chamado de *realimentação tripla*) é composto de três estágios de ganho com realimentação série–série fornecida pela malha composta de R_{E1}, R_F e R_{E2}. Suponha que o circuito de polarização, que não está mostrado, faça com que $I_{C1} = 0{,}6$ mA, $I_{C2} = 1$ mA e $I_{C3} = 4$ mA. Usando esses valores e supondo que $h_{fe} = 100$ e $r_o = \infty$, calcule o ganho em malha aberta A, o fator de realimentação β, o ganho em malha fechada $A_f \equiv I_o/V_s$, o ganho de tensão V_o/V_s, a resistência de entrada R_{if} e a resistência de saída R_{of} (entre os nós Y e Y', como indicado). A seguir, se r_o de Q_3 for 25 kΩ, estime um valor aproximado para a resistência de saída R_{out}.

SOLUÇÃO

Empregando as regras do efeito de carga dadas na Figura 8.16, obtemos o circuito A da Figura 8.17(b). Para calcular $A \equiv I_o'/V_i'$, determinamos inicialmente o ganho do primeiro estágio. Por inspeção, ele pode ser escrito como

$$\frac{V_{c1}}{V_i'} = \frac{-\alpha_1(R_{C1} /\!/ r_{\pi 2})}{r_{e1} + [R_{E1} /\!/ (R_F + R_{E2})]}$$

Como Q_1 está polarizado com 0,6 mA, $r_{e1} = 41{,}7\ \Omega$. O transistor Q_2 está polarizado com 1 mA; logo, $r_{\pi 2} = h_{fe}/g_{m2} = 100/40 = 2{,}5$ kΩ. Substituir esses valores, junto com $\alpha_1 = 0{,}99$, $R_{C1} = 9$ kΩ, $R_{E1} = 100\ \Omega$, $R_F = 640\ \Omega$ e $R_{E2} = 100\ \Omega$, resulta em

$$\frac{V_{c1}}{V_i'} = -14{,}92 \text{ V/V}$$

A seguir, determinamos o ganho do segundo estágio, que pode ser escrito, por inspeção, como (observe que $V_{b2} = V_{c1}$)

$$\frac{V_{c2}}{V_{c1}} = -g_{m2}\left\{R_{C2} /\!/ (h_{fe} + 1)[r_{e3} + (R_{E2} /\!/ (R_F + R_{E1}))]\right\}$$

Substituindo $g_{m2} = 40$ mA/V, $R_{C2} = 5$ kΩ, $h_{fe} = 100$, $r_{e3} = 25/4 = 6{,}25\ \Omega$, $R_{E2} = 100\ \Omega$, $R_F = 640\ \Omega$ e $R_{E1} = 100\ \Omega$, resulta em

$$\frac{V_{c2}}{V_{c1}} = -131{,}2 \text{ V/V}$$

Finalmente, para o terceiro estágio, podemos escrever por inspeção

$$\frac{I_o'}{V_{c2}} = \frac{I_{e3}}{V_{b3}} = \frac{1}{r_{e3} + (R_{E2} /\!/ (R_F + R_{E1}))}$$

$$= \frac{1}{6{,}25 + (100 /\!/ 740)} = 10{,}6 \text{ mA/V}$$

Combinando os ganhos dos três estágios, resulta em

$$A \equiv \frac{I_o'}{V_i'} = -14{,}92 \times -131{,}2 \times 10{,}6 \times 10^{-3}$$

$$= 20{,}7 \text{ A/V}$$

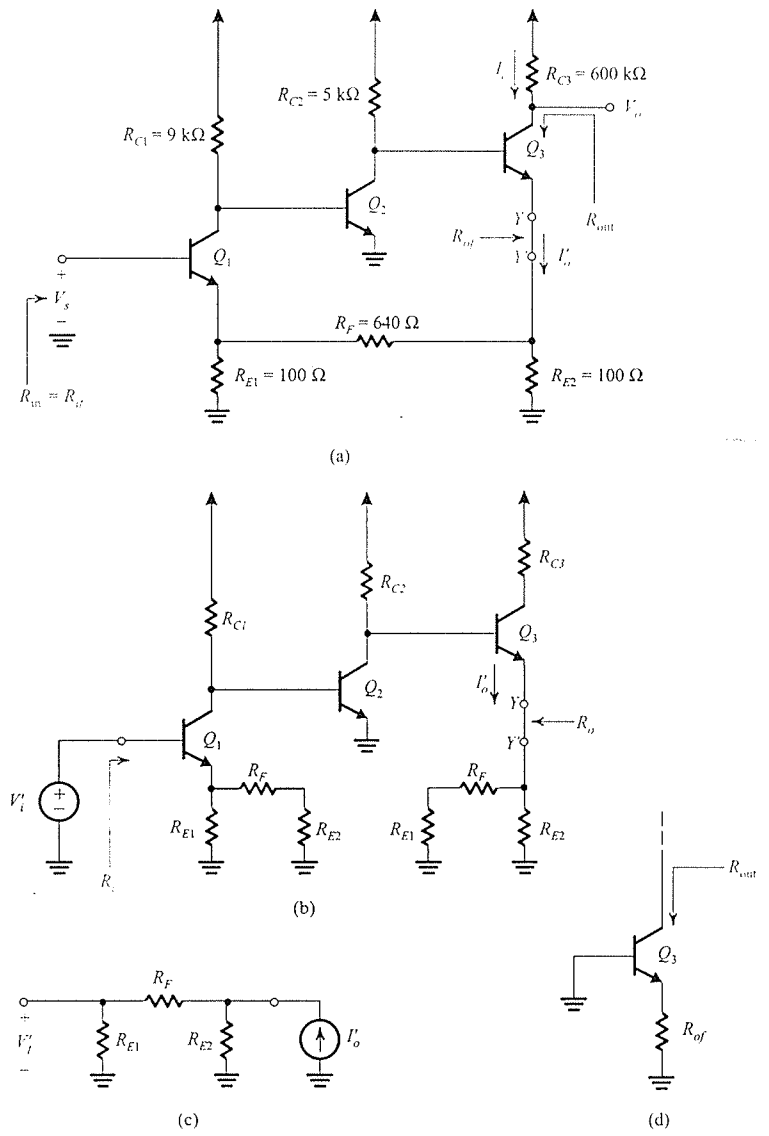


Figura 8.17 Circuitos para o Exemplo 8.2.

O circuito para a determinação do fator de realimentação β está mostrado na Figura 8.17(c), do qual obtemos

$$\beta \equiv \frac{V_f'}{I_o'} = \frac{R_{E2}}{R_{E2}+R_F+R_{E1}} \times R_{E1}$$
$$= \frac{100}{100+640+100} \times 100 = 11.9\ \Omega$$

O ganho em malha fechada A_f pode ser agora calculado por

$$A_f \equiv \frac{I_o}{V_s} = \frac{A}{1+A\beta}$$
$$= \frac{20,7}{1+20,7\times 11.9} = 83,7\ \text{mA/V}$$

O ganho de tensão é calculado por

$$\frac{V_o}{V_s} = \frac{-I_o R_{C3}}{V_s} \simeq -A_f R_{C3}$$
$$= -83,7\times 10^{-3} \times 600 = -50,2\ \text{V/V}$$

A resistência de entrada do amplificador realimentado é dada por

$$R_{if} = R_i(1+A\beta)$$

em que R_i é a resistência de entrada do circuito A. O valor de R_i pode ser obtido a partir do circuito da Figura 8.17(b), como segue:

$$R_i = (h_{fe}+1)\left[r_{e1}+(R_{E1}//(R_F+R_{E2}))\right]$$
$$= 13,65\ \text{k}\Omega$$

Portanto,

$$R_{if} = 13.65(1+20,5\times 11,9) = 3,34\ \text{M}\Omega$$

Para determinar a resistência de saída R_o do circuito A na Figura 8.17(b), abrimos o circuito entre Y e Y'. A resistência, olhando-se entre esses dois nós, é dada por

$$R_o = \left[R_{E2}//(R_F+R_{E1})\right] + r_{e3} + \frac{R_{C2}}{h_{fe}+1}$$

que, para os valores dados, fornece $R_o = 143,9\ \Omega$. A resistência de saída R_{of} do amplificador realimentado pode então ser obtida como

$$R_{of} = R_o(1+A\beta) = 143,9(1+20,7\times 11,9) = 35,6\ \text{k}\Omega$$

Note que a realimentação estabiliza a corrente de emissor de Q_3 e, assim, a resistência de saída que é determinada pela fórmula de realimentação é a resistência da malha de emissor (isto é, entre Y e Y'), a qual acabamos de determinar, e não a resistência olhando-se para o coletor[2] de Q_3. Isso ocorre porque a resistência de saída r_o de Q_3 está, na verdade

2. Esse ponto importante foi destacado aos autores por Gordon Roberts (veja Roberts & Sedra, 1992).

fora do elo de realimentação. Podemos, no entanto, utilizar o valor de R_{of} para obter um valor aproximado para R_{out}. Para isso, assumimos que o efeito da realimentação é incluir uma resistência R_{of} (35,6 kΩ) no emissor de Q_3 e encontramos a resistência de saída do circuito equivalente mostrado na Figura 8.17(d). Usando a Equação 6.78, R_{out} é dado por

$$R_{\text{out}} \equiv r_o\left[1+g_{m3}(R_{of}//r_{\pi 3})\right] = 25\left[1+100(35,6//1)\right] = 2,5\ \text{M}\Omega$$

Assim, a resistência de saída no coletor aumenta, mas não de $(1 + A\beta)$.

Exercício

8.6 Reconsidere o circuito da Figura 8.17(a), desta vez com a tensão de saída tomada no emissor de Q_3. Nesse caso, a realimentação pode ser considerada do tipo amostragem de tensão com comparação em série. Note, no entanto, que o ganho de malha não se altera. Determine o valor de $A \equiv V_{e3}'/V_i'$, $A_f \equiv V_{e3}/V_s$ e a resistência de saída.

Resposta 1827 V/V; 7,4 V/V; 0,14 Ω

8.6 AMPLIFICADORES COM REALIMENTAÇÃO PARALELO–PARALELO E PARALELO-SÉRIE

Nesta seção estenderemos – sem provas – o método das Seções 8.4 e 8.5 para as duas topologias de realimentação restantes.

A Configuração Paralelo–Paralelo

A Figura 8.18 mostra a estrutura ideal para um amplificador com realimentação paralelo–paralelo. Nesse caso, o circuito A tem uma resistência de entrada R_i, uma transresistência A e uma resistência de saída R_o.

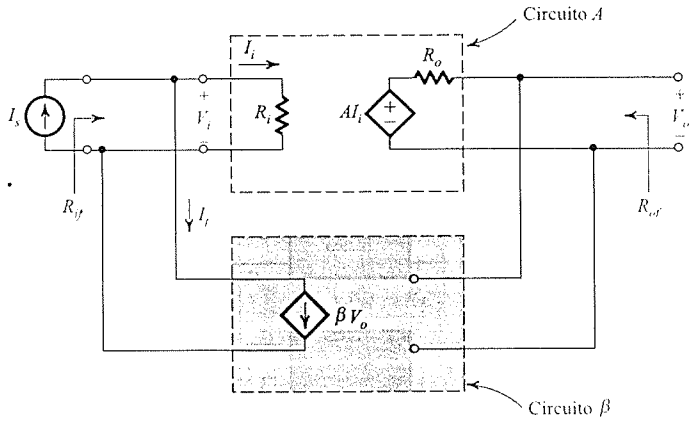


Figura 8.18 Estrutura ideal para o amplificador realimentado paralelo–paralelo.

O circuito β é uma fonte de corrente controlada por tensão e β é uma transcondutância. O ganho em malha A_f é definido como

$$A_f \equiv \frac{V_o}{I_s} \tag{8.20}$$

e é dado por

$$A_f = \frac{A}{1+A\beta}$$

A resistência de entrada com realimentação é dada por

$$R_{if} = \frac{R_i}{1+A\beta} \tag{8.21}$$

em que observamos que a conexão em paralelo na entrada resulta em uma resistência de entrada reduzida. Observe também que a resistência R_{if} é a resistência vista pela fonte I_s e inclui qualquer resistência da fonte.

A resistência de saída com realimentação é dada por

$$R_{of} = \frac{R_o}{1+A\beta} \tag{8.22}$$

em que observamos que a conexão em paralelo na saída resulta em uma resistência de saída reduzida. Essa resistência inclui qualquer resistência de carga.

Dado um amplificador com realimentação paralelo–paralelo real representado pelo diagrama de blocos da Figura 8.19, usamos o método dado na Figura 8.20 para obter o circuito A e determinar o circuito β.

Da mesma forma que nas Seções 8.4 e 8.5, o método da Figura 8.20 supõe que o amplificador básico é praticamente unilateral e a transmissão direta através do elo de realimentação é desprezível. A primeira suposição é justificada quando os parâmetros y reversos do amplificador básico e do elo de realimentação satisfazem a condição

$$|y_{12}|_{\substack{\text{amplificador}\\ \text{básico}}} \ll |y_{12}|_{\substack{\text{malha de}\\ \text{realimentação}}}$$

A segunda suposição é justificada quando os parâmetros y diretos satisfazem a condição

$$|y_{21}|_{\substack{\text{malha de}\\ \text{realimentação}}} \ll |y_{21}|_{\substack{\text{amplificador}\\ \text{básico}}}$$

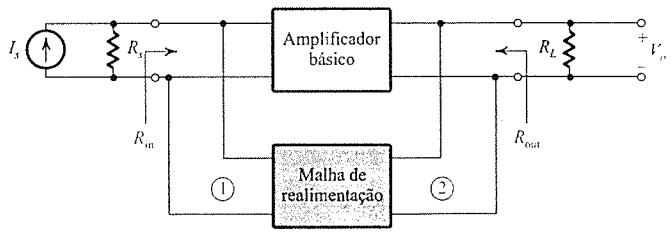


Figura 8.19 Diagrama de blocos para um amplificador realimentado paralelo–paralelo real.

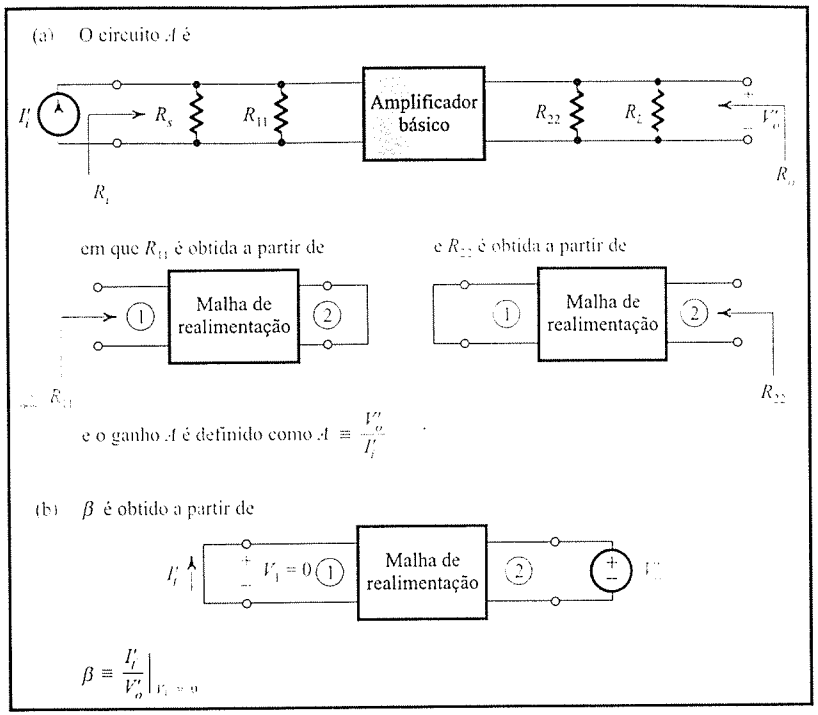


Figura 8.20 Determinando o circuito A e β para o caso amostragem de tensão com comparação paralela (paralelo–paralelo).

(Para a definição dos parâmetros y, veja o Apêndice B.) Finalmente, observamos que, uma vez determinados R_{if} e R_{of} usando as fórmulas de realimentação (Equações 8.21 e 8.22), as resistências de entrada e de saída do amplificador propriamente (veja as definições na Figura 8.19) podem ser obtidas como

$$R_{\text{in}} = 1 \Big/ \left(\frac{1}{R_{if}} - \frac{1}{R_s} \right)$$

$$R_{\text{out}} = 1 \Big/ \left(\frac{1}{R_{of}} - \frac{1}{R_L} \right)$$

EXEMPLO 8.3

Queremos analisar o circuito da Figura 8.21(a) para determinar o ganho de tensão para pequenos sinais V_o/V_s, a resistência de entrada R_{in} e a resistência de saída $R_{\text{out}} = R_{of}$. O transistor tem $\beta = 100$.

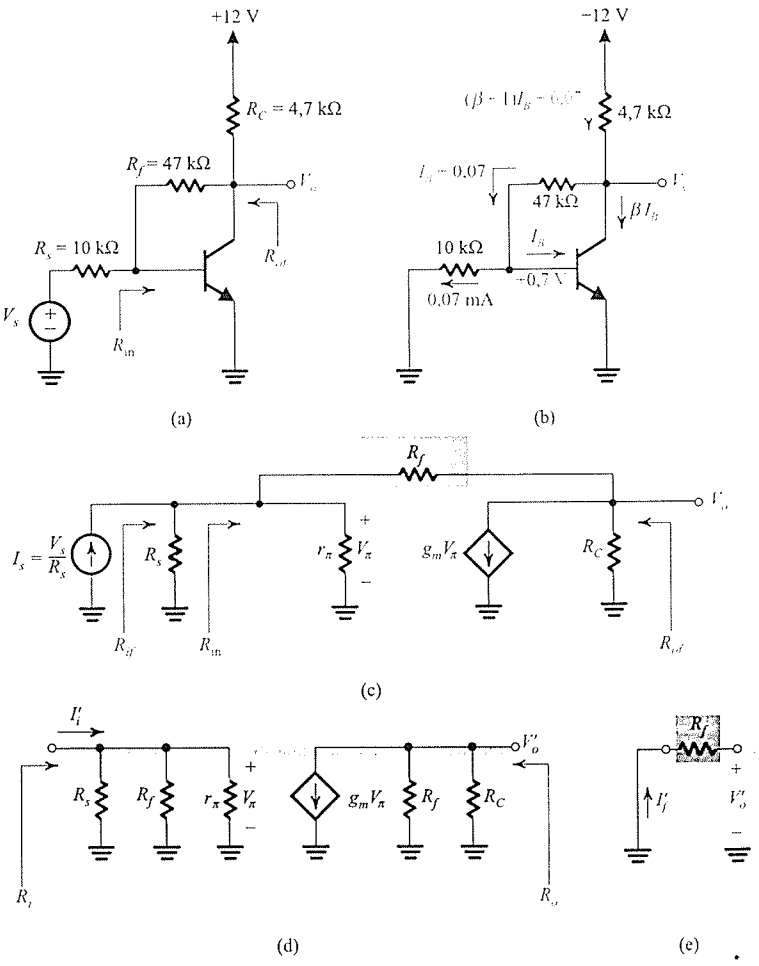


Figura 8.21 Circuitos para o Exemplo 8.3.

SOLUÇÃO

Primeiro, determinamos o ponto de operação *cc* do transistor. A análise *cc* está ilustrada na Figura 8.21(b), da qual podemos escrever

$$V_C = 0{,}7 + (I_B + 0{,}07)47 = 3{,}99 + 47I_B \quad \text{e} \quad \frac{12 - V_C}{4{,}7} = (\beta + 1)I_B + 0{,}07$$

Essas duas equações podem ser solucionadas para obter $I_B \cong 0{,}015$ mA, $I_C \cong 1{,}5$ mA e $V_C \cong 4{,}7$ V.

Para efetuar a análise para pequenos sinais, primeiro reconhecemos que a realimentação é fornecida por R_f, que amostra a tensão de saída V_o e realimenta uma corrente que é misturada com a fonte de corrente. Portanto, é conveniente usar a representação tipo fonte de Norton, conforme mostrado na Figura 8.21(c). O circuito A pode ser facilmente obtido usando as regras da Figura 8.20, e é mostrado na Figura 8.21(d). Para o circuito A podemos escrever, por inspeção,

$$V_\pi = I_i'(R_s // R_f // r_\pi)$$

$$V_o' = -g_m V_\pi (R_f // R_C)$$

Portanto,

$$A = \frac{V_o'}{I_i'} = -g_m(R_f // R_C)(R_s // R_f // r_\pi)$$

$$= -358{,}7\ \text{k}\Omega$$

As resistências de entrada e de saída do circuito A podem ser obtidas pela Figura 8.21(d) como

$$R_i = R_s // R_f // r_\pi = 1{,}4\ \text{k}\Omega$$

$$R_o = R_C // R_f = 4{,}27\ \text{k}\Omega$$

O circuito para a determinação de β pode ser visto na Figura 8.21(e), a partir do qual obtemos

$$\beta \equiv \frac{I_f'}{V_o'} = -\frac{1}{R_f} = -\frac{1}{47\ \text{k}\Omega}$$

Observe que, como usual, o sentido da referência para I_f foi escolhido de modo que I_f seja subtraída de I_s. O sinal negativo resultante para β não deve preocupar, visto que A é também negativo, mantendo o ganho de malha $A\beta$ positivo, como deve ser para que a realimentação seja negativa.

Agora podemos obter A_f (para o circuito da Figura 8.21(c)) como

$$A_f \equiv \frac{V_o}{I_s} = \frac{A}{1 + A\beta}$$

$$\frac{V_o}{I_s} = \frac{-358{,}7}{1 + 358{,}7/47} = \frac{-358{,}7}{8{,}63} = -41{,}6\ \text{k}\Omega$$

Para calcular o ganho de tensão V_o/V_s observamos que

$$V_s = I_s R_s$$

Portanto,

$$\frac{V_o}{V_s} = \frac{V_o}{I_s R_s} = \frac{-41{,}6}{10} \cong -4{,}16\ \text{V/V}$$

A resistência de entrada com realimentação (veja a Figura 8.21(c)) é dada por

$$R_{if} = \frac{R_i}{1 + A\beta}$$

Portanto,

$$R_{if} = \frac{1{,}4}{8{,}63} = 162{,}2\ \Omega$$

Essa é a resistência vista pela fonte de corrente I_s na Figura 8.21(c). Para obter a resistência de entrada do amplificador realimentado excluindo R_s (ou seja, a resistência pedida R_{in}), subtraímos $1/R_s$ de $1/R_{if}$ e invertemos o resultado; portanto, $R_{in} = 165\ \Omega$. Finalmente, a resistência de saída do amplificador R_{of} é calculada usando

$$R_{of} = \frac{R_o}{1+A\beta} = \frac{4{,}27}{8{,}63} = 495\ \Omega$$

Uma Observação Importante

O método que empregamos para a análise dos amplificadores com realimentação parte de duas premissas: a maior parte da transmissão direta ocorre no amplificador básico e a maior parte da transmissão reversa (realimentação) ocorre no elo de realimentação. Para cada uma das três topologias consideradas até aqui, essas duas suposições foram matematicamente expressas como condições para os valores relativos dos parâmetros diretos e reversos das duas portas do amplificador básico e do elo de realimentação. Como o circuito considerado no Exemplo 8.3 é simples, temos uma boa oportunidade para checar a validade dessas suposições.

Tomando como referência a Figura 8.21(d), podemos ver claramente que o amplificador básico é unilateral; logo, *toda* a transmissão reversa acontece no elo de realimentação. O caso da transmissão direta, contudo, não está claro, e precisamos calcular os parâmetros y diretos. Para o circuito A, na Figura 8.21(d), $y_{21} = g_m$. Para o elo de realimentação, pode ser mostrado facilmente que $y_{21} = -1/R_f$. Logo, para nosso método de análise ser válido, precisamos ter $g_m >> 1/R_f$. Para os valores numéricos do Exemplo 8.3, $g_m = 60$ mA/V e $1/R_f = 0{,}02$ mA/V, indicando que essa suposição é mais do que justificada. Entretanto, no projeto de amplificadores com realimentação, deve-se ter cuidado na escolha dos valores dos componentes para garantir que as duas suposições básicas sejam válidas.

A Configuração Paralelo–Série

A Figura 8.22 mostra a estrutura ideal do amplificador com realimentação paralelo–série. Ela é um amplificador de corrente cujo ganho com realimentação é definido como

$$A_f \equiv \frac{I_o}{I_s} = \frac{A}{1+A\beta} \tag{8.23}$$

A resistência de entrada com realimentação é aquela vista pela fonte de corrente I_s, dada por

$$R_{if} = \frac{R_i}{1+A\beta} \tag{8.24}$$

Observamos novamente que a conexão em paralelo na entrada reduz a resistência de entrada. A resistência de saída com realimentação é a resistência vista abrindo-se o circuito de saída, como entre os pontos O e O′, e olhando entre os dois terminais que surgem (ou seja, entre O e O′).

Essa resistência, R_{of}, é dada por

$$R_{of} = R_o(1+A\beta) \tag{8.25}$$

em que observamos que o aumento na resistência de saída é devido à amostragem em série da corrente.

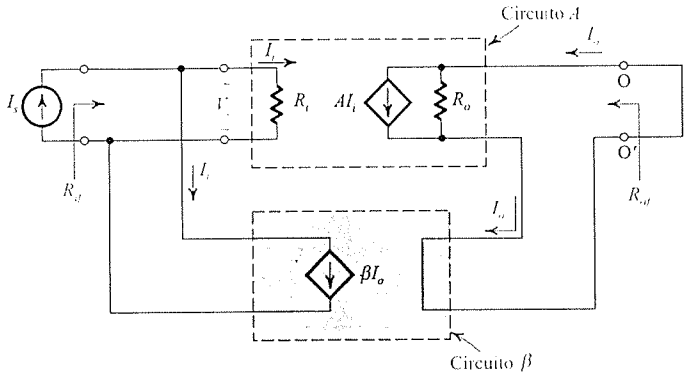


Figura 8.22 Estrtura ideal para o amplificador realimentado paralelo–série.

Dado um amplificador real com realimentação paralelo–série, como aquele representado pelo diagrama de blocos da Figura 8.23, seguimos o método dado na Figura 8.24 a fim de obter A e β. Nesse caso, novamente, o método é atribuído à suposição de que a maior parte da transmissão direta ocorre no amplificador básico,

$$|g_{21}|_{\substack{\text{malha de}\\ \text{realimentação}}} << |g_{21}|_{\substack{\text{amplificador}\\ \text{básico}}}$$

e de que a maior parte da transmissão reversa ocorre no elo de realimentação,

$$|g_{12}|_{\substack{\text{amplificador}\\ \text{básico}}} << |g_{12}|_{\substack{\text{malha de}\\ \text{realimentação}}}$$

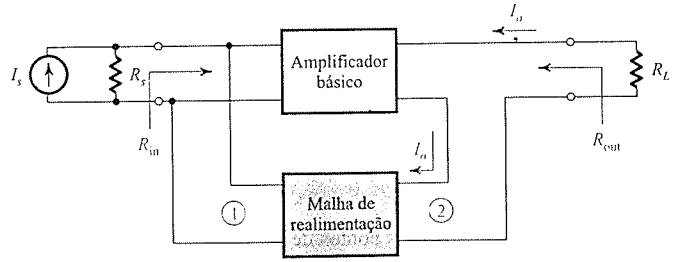


Figura 8.23 Diagrama de blocos para o amplificador realimentado paralelo–série real.

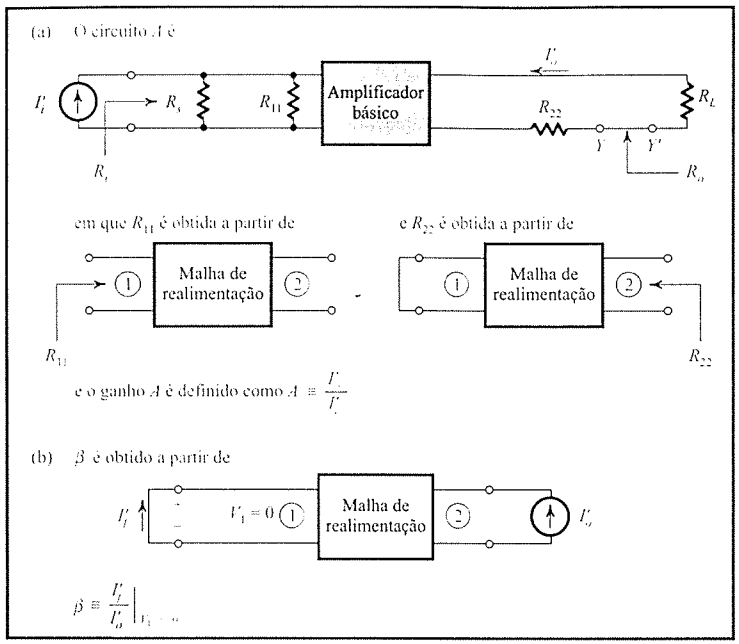


Figura 8.24 Determinando o circuito A e β para o caso amostragem de corrente com comparação paralela (paralelo–série).

(Para a definição dos parâmetros g, veja o Apêndice B). Finalmente, observamos que uma vez determinados R_{if} e R_{of}, usando as fórmulas de realimentação (Equações 8.24 e 8.25), as resistências de entrada e de saída do amplificador propriamente, R_{in} e R_{out} (Figura 8.23), podem ser obtidas como

$$R_{\text{in}} = 1 \Big/ \left(\frac{1}{R_{if}} - \frac{1}{R_s} \right)$$

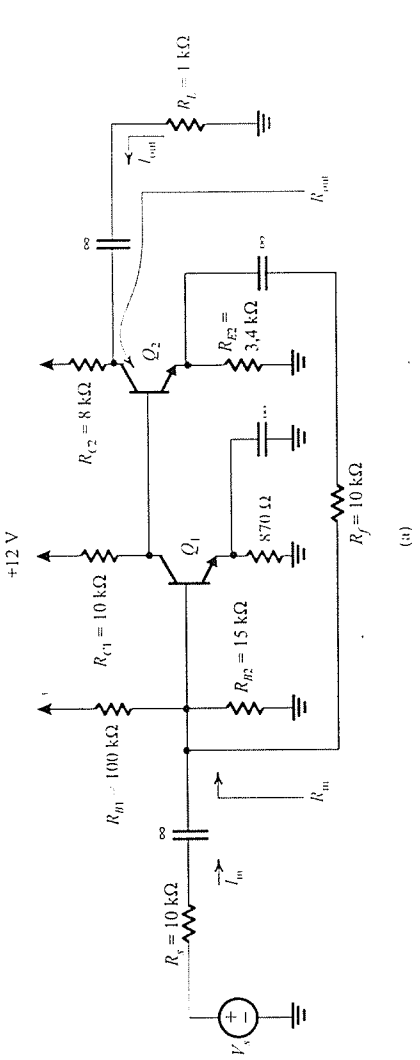
$$R_{\text{out}} = R_{of} - R_L$$

EXEMPLO 8.4

A Figura 8.25 mostra um circuito com realimentação do tipo paralelo–série. Calcule $I_{\text{out}}/I_{\text{in}}$, R_{in} e R_{out}. Suponha que os transistores tenham $\beta = 100$ e $V_A = 75$ V.

SOLUÇÃO

Começamos pela determinação dos pontos de operação *cc*. Para isso, observamos que o sinal de realimentação está capacitivamente acoplado; logo, a realimentação não tem efeito sobre a polarização *cc*.



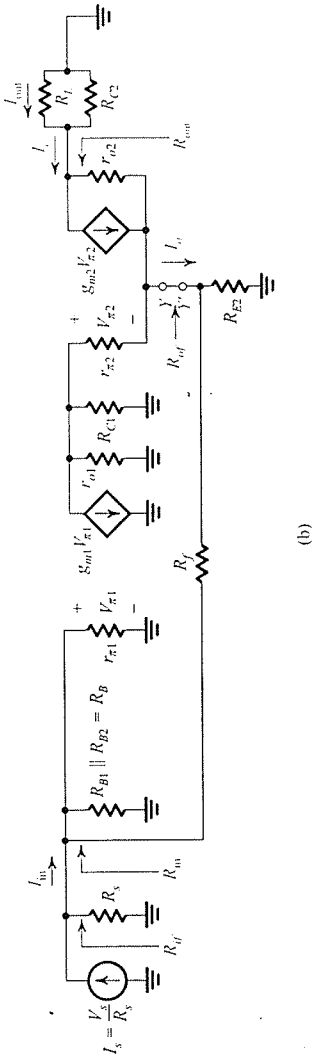
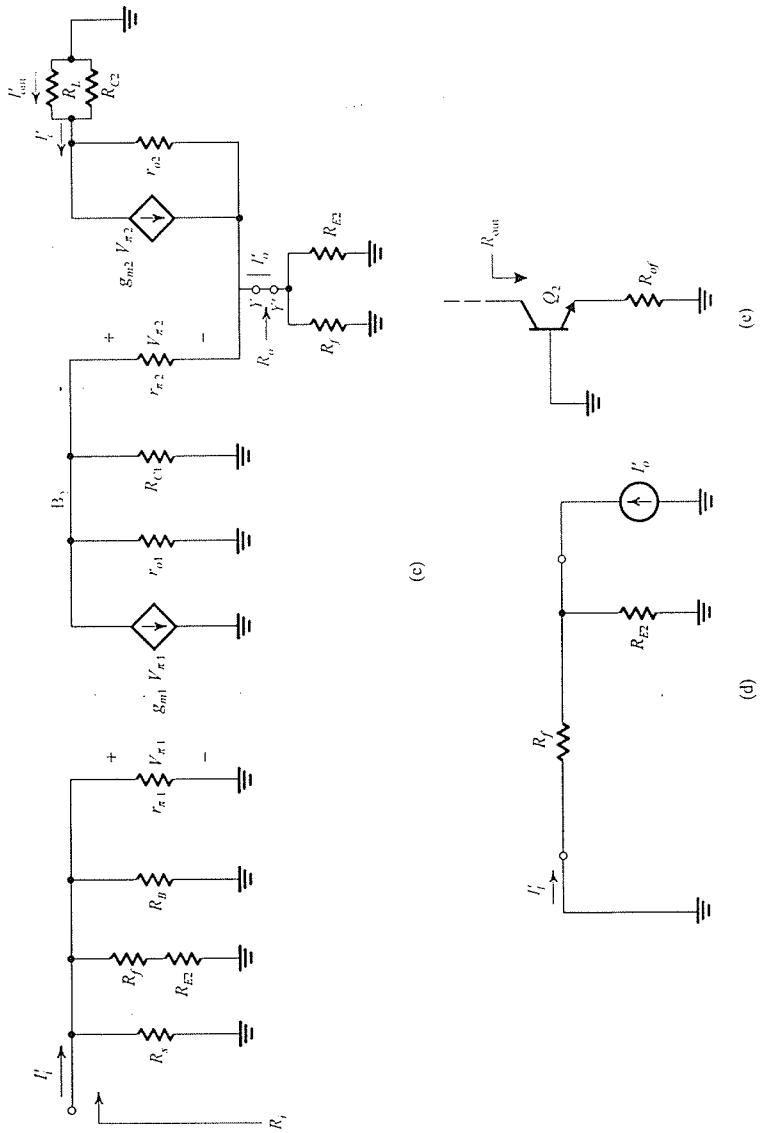


Figura 8.25 Circuitos para o Exemplo 8.4.



(c)

(e)

(d)

Figura 8.25 *(continuação.)*

Desconsiderando-se o fato de β e V_A dos transistores serem finitos, a análise *cc* é feita da seguinte maneira:

$$V_{B1} \simeq 12\frac{15}{100+15} = 1{,}57 \text{ V}$$
$$V_{E1} \simeq 1{,}57 - 0{,}7 = 0{,}87 \text{ V}$$
$$I_{E1} = 0{,}87/0{,}87 = 1 \text{ mA}$$
$$V_{C1} \simeq 12 - 10\times 1 = 2 \text{ V}$$
$$V_{E2} \simeq 2 - 0{,}7 = 1{,}3 \text{ V}$$
$$I_{E2} \simeq 1{,}3/3{,}4 \cong 0{,}4 \text{ mA}$$
$$V_{C2} \simeq 12 - 0{,}4\times 8 = 8{,}8 \text{ V}$$

O circuito equivalente do amplificador é mostrado na Figura 8.25(b), do qual observamos que o elo de realimentação é composto de R_{E2} e de R_f. O elo de realimentação amostra a corrente de emissor de Q_2, I_o, que é aproximadamente igual à corrente de coletor I_c. Observe também que o ganho de corrente pedido, I_{out}/I_{in}, será ligeiramente diferente do ganho em malha fechada $A_f \equiv I_o/I_s$.

O circuito A é mostrado na Figura 8.25(c), onde obtemos o efeito de carga do elo de realimentação usando as regras da Figura 8.24. Para o circuito A, podemos escrever

$$V_{\pi 1} = I_i'\left[R_s//(R_{E2}+R_f)//R_B//r_{\pi 1}\right]$$
$$V_{b2} = -g_{m1}V_{\pi 1}\left\{r_{o1}//R_{C1}//\left[r_{\pi 2}+(\beta+1)(R_{E2}//R_f)\right]\right\}$$
$$I_o' \simeq \frac{V_{b2}}{r_{e2}+(R_{E2}//R_f)}$$

em que desprezamos o efeito de r_{o2}. Essas equações podem ser combinadas para obter o ganho de corrente em malha aberta A,

$$A \equiv \frac{I_o'}{I_i'} \simeq -201{,}45 \text{ A/A}$$

A resistência de entrada R_i é dada por

$$R_i = R_s//(R_{E2}+R_f)//R_B//r_{\pi 1} = 1{,}535 \text{ k}\Omega$$

A resistência de saída R_o é aquela encontrada quando se olha para a malha de saída do circuito A entre os nós Y e Y' (veja a Figurâ 8.25(c)), com a excitação de entrada I_i' igual a zero. Desprezando-se o pequeno efeito de r_{o2} pode ser mostrado que

$$R_o = (R_{E2}//R_f)+r_{e2}+\frac{R_{C1}//r_{o1}}{\beta+1}$$
$$= 2{,}69 \text{ k}\Omega$$

O circuito para a determinação de β está mostrado na Figura 8.25(d), do qual calculamos

$$\beta \equiv \frac{I_f'}{I_o'} = -\frac{R_{E2}}{R_{E2}+R_f} = -\frac{3{,}4}{13{,}4} = -0{,}254$$

Portanto,

$$1 + A\beta = 52{,}1$$

A resistência de entrada R_{if} é dada por

$$R_{if} = \frac{R_i}{1 + A\beta} = 29{,}5\ \Omega$$

A resistência de entrada pedida, R_{in}, é dada por (veja a Figura 8.25(b))

$$R_{\text{in}} = \frac{1}{1/R_{if} - 1/R_s} = 29{,}5\ \Omega$$

Como $R_{\text{in}} = R_{if}$, pela Figura 8.25(b) segue que $I_{\text{in}} = I_s$. O ganho de corrente A_f é dado por

$$A_f \equiv \frac{I_o}{I_s} = \frac{A}{1 + A\beta} = -3{,}87\ \text{A/A}$$

Observe que, devido ao fato de $A\beta >> 1$, o ganho em malha fechada é aproximadamente igual a $1/\beta$.

Agora, o ganho de corrente pedido é dado por

$$\frac{I_{\text{out}}}{I_{\text{in}}} = \frac{I_{\text{out}}}{I_s} = \frac{R_{C2}}{R_L + R_{C2}} \frac{I_c}{I_s} = \frac{R_{C2}}{R_L + R_{C2}} \frac{I_o}{I_s}$$

Portanto,

$$I_{\text{out}}/I_{\text{in}} = -3{,}44\ \text{A/A}$$

A resistência de saída R_{of} é dada por

$$R_{of} = R_o(1 + A\beta) = 140{,}1\ \text{k}\Omega$$

Uma estimativa da resistência de saída R_{out} pode ser obtida usando-se a técnica empregada no Exemplo 8.2, isto é, considerando-se que o efeito da realimentação é incluir uma resistência R_{of} no emissor de Q_2 [veja a Figura 8.25(e)]. Assim, usando a Equação 6.78, podemos escrever

$$R_{\text{out}} = r_{o2}\left[1 + g_{m2}(r_{\pi 2} /\!/ R_{of})\right]$$

Substituindo-se os valores dados, $r_{o2} = 75/0{,}4 = 187{,}5\ \text{k}\Omega$, $g_{m2} = 16\ \text{mA/V}$, $r_{\pi 2} = 6{,}25\ \text{k}\Omega$ e $R_{of} = 140{,}1\ \text{k}\Omega$, chega-se a

$$R_{\text{out}} = 18{,}1\ \text{M}\Omega$$

Assim, enquanto a realimentação negativa aumenta R_{out} consideravelmente, esse aumento não é pelo fator $(1 + A\beta)$ simplesmente porque o elo de realimentação amostra a corrente de emissor e não a corrente de coletor. Assim, de fato, o elo de realimentação "não sabe" da existência de r_{o2}.

Exercício

8.7 Use o método da realimentação para calcular o ganho de tensão V_o/V_s, a resistência de entrada R_{in} e a resistência de saída R_{out} do amp op na configuração inversora da Figura E8.7. Suponha que o amp op tenha um ganho de malha aberta de $\mu = 10^4$, $R_{id} = 100\ \text{k}\Omega$ e $r_o = 1\ \text{k}\Omega$. (*Dica*: A realimentação é do tipo paralelo–paralelo.)

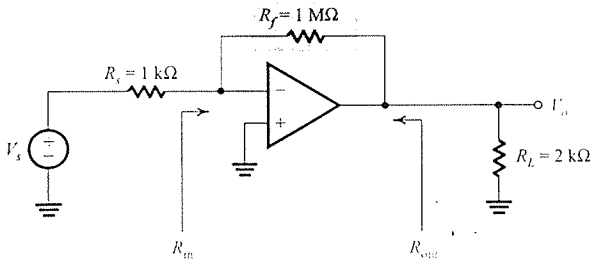


Figura E8.7

Resposta -870 V/V; 150 Ω; 92 Ω

Resumo dos Resultados

A Tabela 8.1 fornece um resumo das regras e relações empregadas na análise dos quatro tipos de amplificadores com realimentação.

8.7 DETERMINAÇÃO DO GANHO DE MALHA

Já vimos que o ganho de malha $A\beta$ é um valor muito importante que caracteriza a realimentação da malha. Além disso, nas seções seguintes será mostrado que $A\beta$ determina se a realimentação do amplificador é estável (ou, contrariamente, se é instável, levando à oscilação). Nesta seção descreveremos um modo alternativo para a determinação do ganho de malha.

Considere primeiro o amplificador com realimentação geral na Figura 8.1. Suponha que a fonte externa x_s seja zero. Abra o elo de realimentação cortando a conexão entre x_o e o elo de realimentação e aplique um sinal de teste x_t. Vemos que o sinal na saída do elo de realimentação é $x_f = \beta x_t$; a entrada do amplificador básico é $x_i = -\beta x_t$; e o sinal na saída do amplificador, onde a malha foi cortada, será $x_o = -A\beta x_t$. Isso implica que o ganho de malha $A\beta$ é dado pelo negativo da razão do sinal que *retorna* para o sinal de teste aplicado; ou seja, $A\beta = -x_o/x_t$. Deve estar óbvio também que isso se aplica indiferentemente do ponto em que a malha foi cortada.

Ao cortar o elo de realimentação de um circuito amplificador prático, devemos garantir que sejam mantidas as condições que havia antes de a malha ter sido cortada. Isso é obtido acrescentando-se ao final da malha, na qual foi quebrado o elo, uma impedância igual àquela vista antes de ter sido cortada.

Tabela 8.1 Resumo das relações para as quatro topologias básicas de realimentação

Tipo de realimentação	x_i	x_o	x_f	x_s	A	β	A_f	Tipo da fonte	A carga da malha de realimentação no amplificador básico é obtida: Na entrada	A carga da malha de realimentação no amplificador básico é obtida: Na saída	Para determinar β, aplique à porta 2 do elo de realimentação	Z_{if}	Z_{of}	Refira-se às figuras
Série–paralelo (amplificador de tensão)	V_i	V_o	V_f	V_s	$\frac{V_o}{V_i}$	$\frac{V_f}{V_o}$	$\frac{V_o}{V_s}$	Thévenin	Curto-circuitando-se o terminal 2 da malha de realimentação	Abrindo-se o terminal 1 da malha de realimentação	Uma tensão e determine a tensão em aberto no terminal 1	$Z_i(1+A\beta)$	$\frac{Z_o}{1+A\beta}$	8.4(a) 8.8 8.10 8.11
Paralelo–série (amplificador de corrente)	I_i	I_o	I_f	I_s	$\frac{I_o}{I_i}$	$\frac{I_f}{I_o}$	$\frac{I_o}{I_s}$	Norton	Abrindo-se o terminal 2 da malha de realimentação	Curto-circuitando-se o terminal 1 da malha de realimentação	Uma corrente e determine a corrente de curto-circuito no terminal 1	$\frac{Z_i}{1+A\beta}$	$Z_o(1+A\beta)$	8.4(b) 8.22 8.23 8.24
Série–série (amplificador de transcondutância)	V_i	I_o	V_f	V_s	$\frac{I_o}{V_i}$	$\frac{V_f}{I_o}$	$\frac{I_o}{V_s}$	Thévenin	Abrindo-se o terminal 2 da malha de realimentação	Abrindo-se o terminal 1 da malha de realimentação	Uma corrente e determine a tensão em aberto no terminal 1	$Z_i(1+A\beta)$	$Z_o(1+A\beta)$	8.4(c) 8.13 8.15 8.16
Paralelo–paralelo (amplificador de transresistência)	I_i	V_o	I_f	I_s	$\frac{V_o}{I_i}$	$\frac{I_f}{V_o}$	$\frac{V_o}{I_s}$	Norton	Curto-circuitando-se o terminal 2 da malha de realimentação	Curto-circuitando-se o terminal 1 da malha de realimentação	Uma tensão e determine a corrente de curto-circuito no terminal 1	$\frac{Z_i}{1+A\beta}$	$\frac{Z_o}{1+A\beta}$	8.4(d) 8.18 8.19 8.20

Para ser específico, considere o elo de realimentação conceitual mostrado na Figura 8.26(a). Se cortarmos a malha em XX′ e aplicarmos uma tensão de teste V_t aos terminais criados à esquerda de XX′, os terminais à direita de XX′ devem ter uma carga com uma impedância Z_t, conforme mostrado na Figura 8.26(b). A impedância Z_t é igual àquela previamente vista à esquerda dos terminais XX′. O ganho de malha $A\beta$ é determinado então a partir de

$$A\beta = -\frac{V_r}{V_t}$$

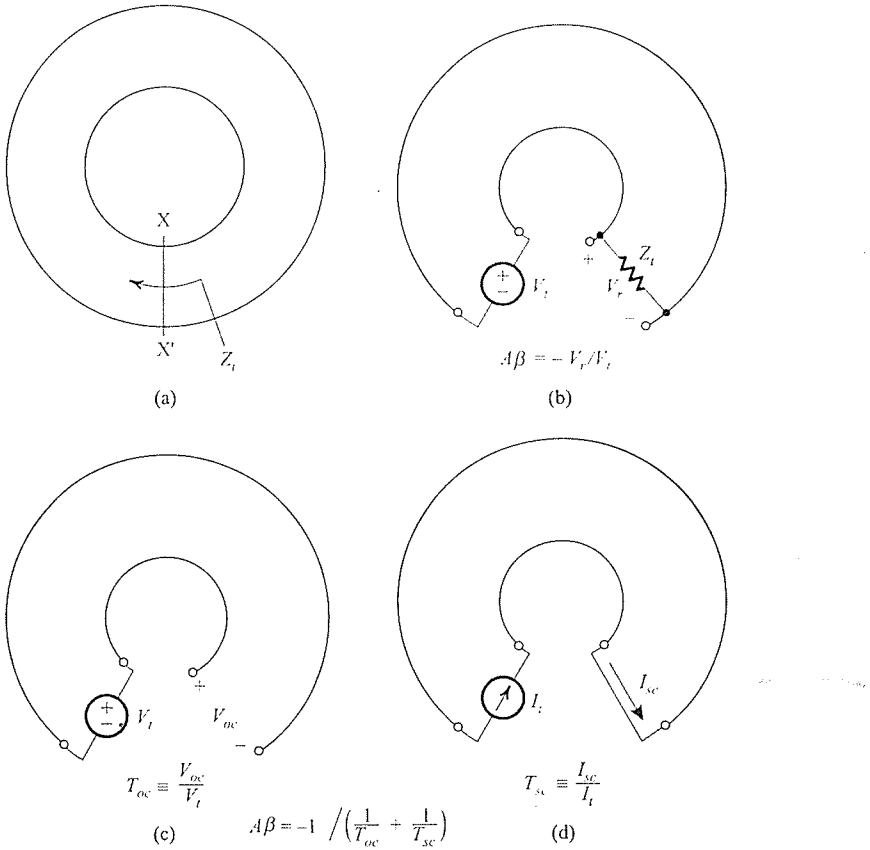


Figura 8.26 Um elo de realimentação conceitual é cortado em XX′ e uma tensão de teste V_t é aplicada. A impedância Z_t é igual àquela previamente vista olhando-se à esquerda de XX′. O ganho de malha $A\beta = -V_f/V_t$, em que V_r é a tensão de *retorno*. Como alternativa, $A\beta$ pode ser determinada encontrando-se a função de transferência T_{oc} em circuito aberto [como em (c)] e a função de transferência T_{sc} em curto-circuito [como em (d)] e combinando-as como indicado.

Finalmente, deve ser observado que, em alguns casos, pode ser conveniente determinar $A\beta$ aplicando-se uma corrente de teste I_t e calculando o sinal de corrente I_r que retorna. Nesse caso, $A\beta = -I_r/I_t$.

Um método alternativo equivalente para determinar $A\beta$ (veja Rosenstark, 1986), que é normal e convenientemente empregado em simulações SPICE, é o seguinte: como anteriormente, o elo é quebrado em um ponto conveniente. A função de transferência T_{oc} em circuito aberto é determinada como indicado na Figura 8.26(c) e a função de transferência T_{sc} em curto-circuito é determinada como indicado na Figura 8.26(d). Essas duas funções de transferência são então combinadas para se obter o ganho de malha $A\beta$,

$$A\beta = -1 \Big/ \left(\frac{1}{T_{oc}} + \frac{1}{T_{sc}} \right)$$

Para ilustrar o procedimento anterior, consideremos o elo de realimentação mostrado na Figura 8.27(a). Esse elo de realimentação representa ambas as configurações, inversora e não-inversora, do amp op. Usando um modelo simples de circuito equivalente para o amp op, obtemos o circuito da Figura 8.27(b). Um exame desse circuito revela um ponto conveniente para cortar a malha nos terminais de entrada do amp op. A malha, cortada dessa maneira, está mostrada na Figura 8.27(c) com um sinal de teste V_t aplicado à direita dos terminais e uma resistência R_{id} conectada à direita dos terminais. A tensão de retorno V_r é calculada, por inspeção, como

$$V_r = -\mu V_1 \left(\frac{\{R_L // [R_2 + R_1 // (R_{id} + R)]\}}{\{R_L // [R_2 + R_1 // (R_{id} + R)]\} + r_o} \right) \left(\frac{[R_1 // (R_{id} + R)]}{[R_1 // (R_{id} + R)] + R_2} \right) \frac{R_{id}}{R_{id} + R}$$

Essa equação pode ser usada diretamente para calcular o ganho de malha $L = A\beta = -V_r/V_t = -V_r/V_1$.

Como o ganho de malha L é geralmente uma função da freqüência, é comum chamá-lo de **transmissão da malha** e é representado por $L(s)$ ou $L(j\omega)$.

Equivalência de Circuitos do Ponto de Vista do Elo de Realimentação

A partir do estudo da teoria de circuitos, sabemos que os pólos de um circuito são independentes da excitação externa. De fato, os pólos, ou os modos naturais (que é um nome mais apropriado), são determinados fazendo-se a excitação externa igual a zero. Isso implica que os pólos do amplificador realimentado dependem apenas da malha de realimentação. Isso será demonstrado em uma seção posterior, na qual veremos que a equação característica (cujas raízes são os pólos) é determinada completamente pelo ganho de malha. Portanto, uma dada malha de realimentação pode ser usada para gerar uma série de circuitos contendo os mesmos pólos, mas com diferentes zeros de transmissão. O ganho em malha fechada e os zeros da transmissão dependem de como e onde o sinal de entrada é injetado na malha.

Como exemplo, considere a malha de realimentação da Figura 8.27(a). Essa malha pode ser usada para gerar o circuito amplificador não-inversor conectando-se o sinal de entrada no terminal de R ligado ao terra; ou seja, retiramos esse terminal do terra e o conectamos em V_s. Essa mesma malha de realimentação pode ser usada para gerar o circuito amplificador inversor conectando-se o sinal de tensão de entrada no terminal de R_1 ligado ao terra.

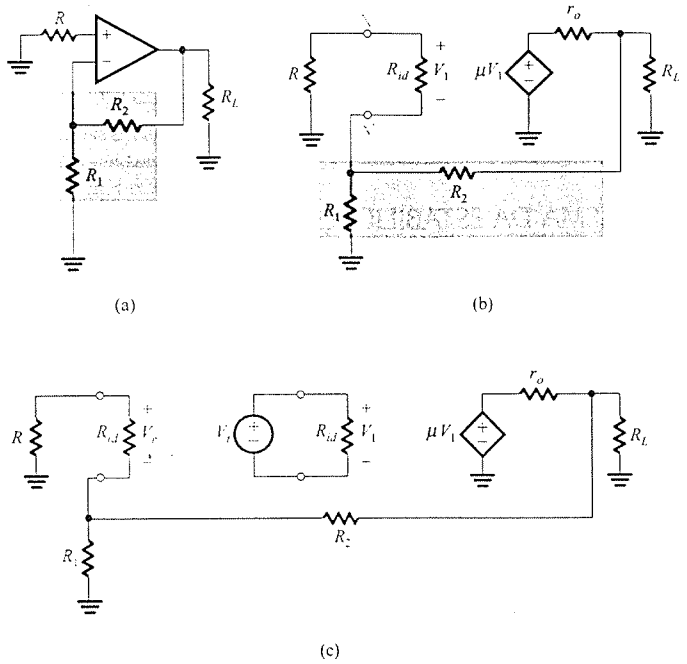


Figura 8.27 Determinação do ganho de malha para a malha de realimentação em (a).

Perceber que dois ou mais circuitos são equivalentes do ponto de vista da malha de realimentação é muito útil, visto que (como será mostrado na Seção 8.8) a estabilidade é uma função da malha. Conseqüentemente, precisamos realizar a análise da estabilidade para uma dada malha apenas uma vez.

No Capítulo 11, empregaremos o conceito de equivalência de malhas na síntese dos filtros ativos.

Exercícios

8.8 Considere o amplificador realimentado cujo circuito equivalente está mostrado na Figura 8.25(b). Corte o elo de realimentação na entrada do transistor Q_1; ou seja, aplique uma tensão de teste V_t na base de Q_1 e calcule a tensão de retorno que aparece em $r_{\pi 1}$. A seguir, mostre que o ganho de malha (desprezando-se r_{o2} a fim de simplificar a análise) é dado por:

$$A\beta = g_{m1}\{r_{o1} // R_{C1} // [r_{\pi 2} + (h_{fe} + 1)(R_{E2} // (R_f + (R_B // R_s // r_{\pi 1})))]\}$$
$$\times \left\{ \frac{R_{E2} // [R_f + (R_B // R_s // r_{\pi 1})]}{R_{E2} // [R_f + (R_B // R_s // r_{\pi 1})] + r_{e2}} \right\} \frac{R_s // R_B // r_{\pi 1}}{(R_s // R_B // r_{\pi 1}) + R_f}$$

Usando os valores dos componentes do Exemplo 8.4, calcule o valor de $A\beta$ e compare com o valor encontrado no Exemplo 8.4.

Resposta 49,3 comparado com 52,1

8.9 Determine o valor numérico de $A\beta$ para o amplificador do Exercício 8.7.

Resposta 6.589 V/V

8.8 O PROBLEMA DA ESTABILIDADE

Em um amplificador realimentado, conforme apresentado pela estrutura geral da Figura 8.1, o ganho de malha A é geralmente uma função da freqüência e deve, portanto, ser chamado mais precisamente de **função de transferência em malha aberta**, $A(s)$. Além disso, fizemos a suposição de que a maior parte da malha de realimentação é resistiva e que, conseqüentemente, o fator de realimentação β é constante; no entanto, essa premissa nem sempre é verdadeira na prática. Devemos, portanto, supor que, no caso geral, a **função de transferência de realimentação** é $\beta(s)$. Isso implica que a **função de transferência em malha fechada** $A_f(s)$ é dada por

$$A_f(s) = \frac{A(s)}{1 + A(s)\beta(s)} \tag{8.26}$$

Para concentrar a atenção nesse ponto importante de nossa discussão, vamos supor que o amplificador esteja diretamente acoplado, tendo um ganho *cc* constante A_0 e pólos e zeros ocorrendo em altas freqüências. Além disso, por enquanto, vamos supor que em baixas freqüências $\beta(s)$ se reduz a um valor constante. Portanto, em baixas freqüências o ganho de malha $A(s)\beta(s)$ torna-se constante, sendo necessariamente um valor positivo; caso contrário, a realimentação não seria negativa. Então surge a questão do que ocorre em altas freqüências.

Para regime permanente senoidal, em que $s = j\omega$, a Equação 8.26 torna-se

$$A_f(j\omega) = \frac{A(j\omega)}{1 + A(j\omega)\beta(j\omega)} \tag{8.27}$$

Portanto, o ganho de malha $A(j\omega)\beta(j\omega)$ é um número complexo que pode ser representado por sua amplitude e fase,

$$\begin{aligned} L(j\omega) &\equiv A(j\omega)\beta(j\omega) \\ &= |A(j\omega)\beta(j\omega)|e^{j\phi(\omega)} \end{aligned} \tag{8.28}$$

A estabilidade ou instabilidade do amplificador com realimentação é determinada pelo modo pelo qual o ganho de malha varia com a freqüência. Para observar esse fato, considere a freqüência em que o ângulo de fase $\phi(\omega)$ se torna 180°. Nessa freqüência, ω_{180}, o ganho de malha $A(j\omega)\beta(j\omega)$ será um número real com sinal negativo. Portanto, nessa freqüência, a realimentação torna-se positiva. Se em $\omega = \omega_{180}$ a amplitude do ganho de malha for menor que a unidade, então vemos que, pela Equação 8.28, o ganho em malha fechada $A_f(j\omega)$ será maior do que o ganho de malha $A(j\omega)$, visto que o denominador da Equação 8.27 será menor do que a unidade. Contudo, a realimentação do amplificador será estável.

Por outro lado, se na freqüência ω_{180} a amplitude do ganho de malha for igual à unidade, isso implica, pela Equação 8.27, que $A_f(j\omega)$ será infinita. Isso significa que o amplificador terá uma saída mesmo com uma entrada zero; ou seja, por definição, esse circuito se comporta como um **oscilador**. Para visualizar como a malha de realimentação pode oscilar, considere a malha geral na Figura 8.1 com uma entrada externa x_s igual a zero. Qualquer distúrbio, como o fechamento da chave de alimentação do circuito, gerará um sinal $x_i(t)$ na entrada do amplificador. Esse sinal de ruído espalha-se usualmente por uma larga faixa de freqüências, e podemos agora nos concentrar na componente com freqüência $\omega = \omega_{180}$, ou seja, o sinal X_i sen $(\omega_{180}t)$. Esse sinal de entrada resultará em um sinal realimentado dado por

$$X_f = A(j\omega_{180})\beta(j\omega_{180})X_i = -X_i$$

Como X_i é multiplicado por −1 na entrada do bloco somador, vemos que a realimentação faz o sinal X_f na entrada do amplificador, ser *sustentado*. Isto é, a partir desse ponto, há sinais senoidais com freqüências ω_{180} na entrada e na saída do amplificador. Portanto, o amplificador é dito estar oscilando na freqüência ω_{180}.

A questão agora é: o que ocorre se em ω_{180} a amplitude do ganho de malha for maior do que a unidade? Devemos responder a essa questão, não em termos gerais, mas para essa classe específica de circuitos que nos interessa neste momento e que aliás é muito importante. A resposta, que não está óbvia pela Equação 8.27, é que o circuito oscilará e as oscilações aumentarão em amplitude até que certa quantidade de não-linearidade (que está sempre presente de alguma forma) reduza o ganho de malha para se tornar exatamente igual à unidade, momento em que será obtida a sustentação das oscilações. Esse mecanismo de início das oscilações, usando a realimentação positiva com um ganho de malha maior do que a unidade e depois usando a não-linearidade para reduzir o ganho de malha até a unidade na amplitude desejada, será utilizado no projeto de osciladores senoidais no Capítulo 12. Nosso objetivo aqui é exatamente o oposto: agora que sabemos como as oscilações podem ocorrer em um amplificador com realimentação negativa, desejamos encontrar métodos para evitar que isso ocorra.

O Diagrama de Nyquist

O diagrama de Nyquist é uma aproximação formalizada para teste da estabilidade baseada na discussão anterior. Ele é simplesmente um gráfico polar do ganho de malha com a freqüência usada como parâmetro.

A Figura 8.28 mostra esse diagrama. Observe que a distância radial é $|A\beta|$ e o ângulo é o ângulo da fase. A curva em linha cheia é para freqüências positivas. Como o ganho de malha – e na verdade qualquer função de ganho de uma malha real – tem uma amplitude que é uma função par da freqüência e a fase é uma função ímpar da freqüência, a curva $A\beta$ para freqüências negativas, mostrada na Figura 8.28 com linhas tracejadas, pode ser desenhada como uma imagem espelhada em relação ao eixo R_e.

O diagrama de Nyquist intercepta o eixo real negativo na freqüência ω_{180}. Logo, se essa interseção ocorrer à esquerda do ponto (−1, 0), sabemos que a amplitude do ganho de malha nessa freqüência é maior do que a unidade e o amplificador será instável. Por outro lado, se a interseção ocorrer à direita do ponto (−1, 0), o amplificador será estável. Se e diagrama de Nyquist *englobar* o ponto (−1, 0), então o amplificador será instável. Contudo, deve ser mencionado que essa declaração é uma versão simplificada dos **critérios de Nyquist**; entretanto, ela se aplica a todos os circuitos que nos interessam. Para conhecer a teoria completa sobre o método de Nyquist e para mais detalhes sobre sua aplicação, consulte Haykin (1970).

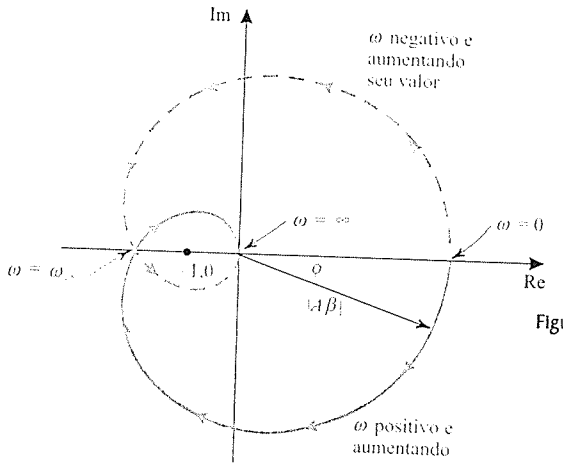


Figura 8.28 O diagrama de Nyquist para um amplificador instável.

Exercício

8.10 Considere um amplificador realimentado cuja função de transferência em malha aberta $A(s)$ é dada por

$$A(s) = \left(\frac{10}{1 + s/10^4}\right)^3$$

Suponha que o fator de realimentação β seja constante, independente da freqüência. Calcule a freqüência ω_{180} cujo deslocamento de fase é de 180°. Depois mostre que o amplificador realimentado será estável se o fator de realimentação β for menor do que um valor crítico β_{cr} e instável se $\beta \geq \beta_{cr}$, e calcule o valor de β_{cr}.

Resposta $\omega_{180} = \sqrt{3} \times 10^4$ rad/s; $\beta_{cr} = 0{,}008$

8.9 O EFEITO DA REALIMENTAÇÃO SOBRE OS PÓLOS DO AMPLIFICADOR

A resposta em freqüência do amplificador e a estabilidade são determinadas diretamente por seus pólos. Devemos, portanto, examinar o efeito da realimentação sobre os pólos do amplificador.

A Estabilidade e a Posição dos Pólos

Começaremos considerando a relação entre a estabilidade e a posição dos pólos. Para um amplificador ou outro sistema qualquer ser estável, seus pólos devem estar no lado esquerdo do plano s. Um par de pólos conjugados complexos sobre o eixo $j\omega$ dá origem à sustentação das oscilações senoidais. Os pólos no lado direito do plano s dão origem ao crescimento das oscilações. Esse comportamento está detalhado na Figura 8.29.

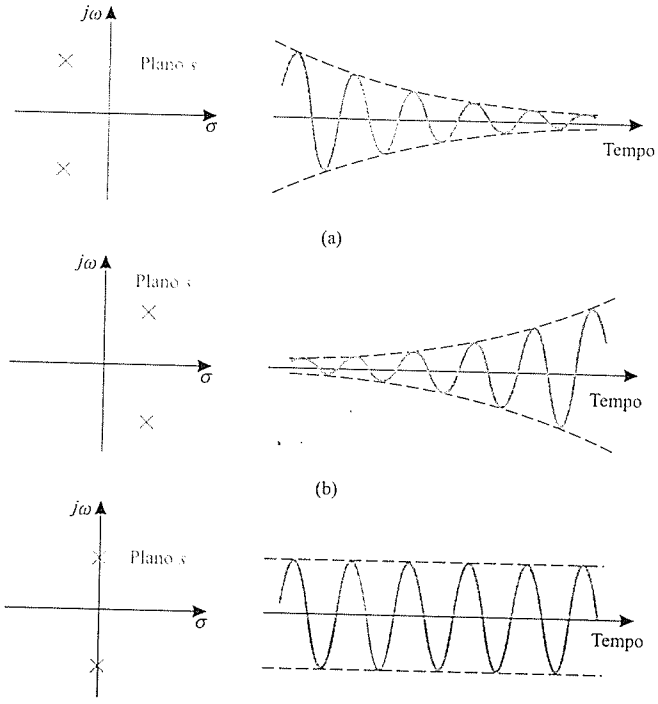


Figura 8.29 A relação entre a posição dos pólos e a resposta transiente.

Para verificar a afirmação anterior, considere um amplificador com um par de pólos em $s = \sigma_0 \pm j\omega_n$. Se esse amplificador for submetido a um distúrbio, como o causado pelo fechamento da chave de alimentação, sua resposta transiente conterá termos na forma

$$v(t) = e^{\sigma_0 t}\left[e^{+j\omega_n t} + e^{-j\omega_n t}\right] = 2e^{\sigma_0 t}\cos(\omega_n t)$$

Esse é um sinal senoidal com uma envoltória $e^{\sigma_0 t}$. Agora, se os pólos estiverem no lado esquerdo do plano s, então σ_0 será negativo e as oscilações cairão exponencialmente em direção a zero, conforme mostrado na Figura 8.29(a), indicando que o sistema é estável. Se, por outro lado, os pólos estiverem do lado direito do plano s, então σ_0 será positivo e as oscilações aumentarão exponencialmente (até que algum fenômeno não-linear limite seu crescimento), conforme mostrado na Figura 8.29(b). Finalmente, se os pólos estiverem sobre o eixo $j\omega$, então σ_0 será zero e as oscilações serão sustentadas, conforme mostrado na Figura 8.29(c).

Embora a discussão anterior seja em termos de pólos conjugados complexos, pode ser mostrado que a existência de quaisquer pólos do lado direito do plano s resulta em instabilidade.

Os Pólos do Amplificador com Realimentação

Pela função de transferência em malha fechada na Equação 8.26, vemos que os pólos do amplificador realimentado são os zeros de $1 + A(s)\beta(s)$. Ou seja, os pólos do amplificador realimentado são obtidos pela resolução da equação

$$1 + A(s)\beta(s) = 0 \tag{8.29}$$

que é chamada de **equação característica** da malha de realimentação. Deve estar claro, portanto, que a aplicação da realimentação em um amplificador muda a posição de seus pólos.

A seguir, consideraremos como a realimentação afeta os pólos do amplificador. Para isso suponhamos que o amplificador em malha aberta tenha pólos reais e nenhum zero finito (isto é, todos os zeros estão em $s = \infty$). Isso simplificará a análise e nos permitirá concentrar a atenção nos conceitos fundamentais envolvidos. Suporemos também que o fator de realimentação β é independente da freqüência.

A Resposta do Amplificador com Pólo Simples

Considere primeiro o caso de um amplificador cuja função de transferência em malha aberta é caracterizada por um pólo simples:

$$A(s) = \frac{A_0}{1 + s/\omega_P} \tag{8.30}$$

A função de transferência em malha fechada é dada por

$$A_f(s) = \frac{A_0/(1 + A_0\beta)}{1 + s/\omega_P(1 + A_0\beta)} \tag{8.31}$$

Portanto, a realimentação move o pólo ao longo do eixo real negativo para uma freqüência ω_{Pf},

$$\omega_{Pf} = \omega_P(1 + A_0\beta) \tag{8.32}$$

Esse processo está ilustrado na Figura 8.30(a). A Figura 8.30(b) mostra as curvas de Bode para $|A|$ e $|A_f|$. Observe que, enquanto para baixas freqüências a diferença entre as duas curvas é de 20 log$(1 + A_0\beta)$, para altas freqüências as duas curvas coincidem. Pode ser mostrado que esse é realmente o caso pela aproximação da Equação 8.31 para freqüências $\omega >> \omega_P(1 + A_0\beta)$:

$$A_f(s) \simeq \frac{A_0\omega_P}{s} \simeq A(s) \tag{8.33}$$

Fisicamente falando, nessas altas freqüências o ganho de malha é muito menor que a unidade e a realimentação é ineficiente.

A Figura 8.30(b) ilustra claramente o fato de que a aplicação de uma realimentação negativa em um amplificador resulta em um aumento da faixa de passagem e em uma redução do ganho. Visto que o pólo do amplificador em malha fechada nunca penetra no lado direito do plano s, o amplificador de pólo simples é estável para qualquer valor de β. Portanto, esse amplificador é dito **incondicionalmente estável**. Esse resultado, contudo, não é surpreendente, visto que o atraso de fase associado a uma resposta de um pólo simples não pode ser maior do que 90°. Portanto, o ganho de malha nunca atinge o deslocamento de fase de 180° exigido para que a realimentação se torne positiva.

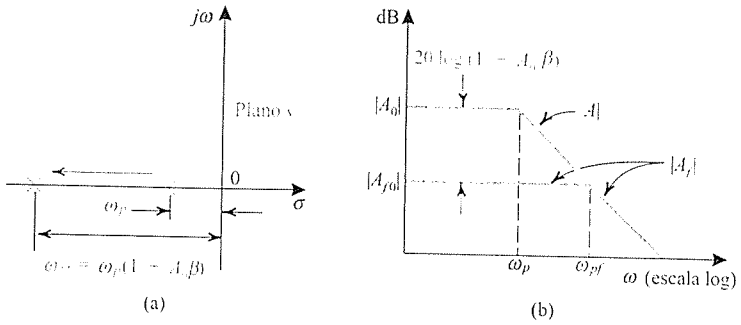


Figura 8.30 O efeito da realimentação **(a)** na localização dos pólos e **(b)** na resposta em freqüência de um amplificador com resposta em malha aberta do tipo pólo simples.

Exercício

8.11 Um amp op de pólo simples em 100 Hz e ganho para baixas freqüências de 10^5 opera em malha fechada com $\beta = 0{,}01$. Por que fator a realimentação desloca o pólo? Para qual freqüência? Se β for mudado para um valor que resulta em um ganho em malha fechada de +1. para qual freqüência o pólo se desloca?

Resposta 1001; 100,1 kHz; 10 MHz

A Resposta do Amplificador com Dois Pólos

Considere a seguir um amplificador cuja função de transferência em malha aberta é caracterizada por dois pólos reais:

$$A(s) = \frac{A_0}{(1 + s/\omega_{P1})(1 + s/\omega_{P2})} \tag{8.34}$$

Nesse caso, os pólos em malha fechada são obtidos a partir de $1 + A(s)\beta = 0$, o que nos leva a

$$s^2 + s(\omega_{P1} + \omega_{P2}) + (1 + A_0\beta)\omega_{P1}\omega_{P2} = 0 \tag{8.35}$$

Portanto, os pólos em malha fechada são dados por

$$s = -\tfrac{1}{2}(\omega_{P1} + \omega_{P2}) \pm \tfrac{1}{2}\sqrt{(\omega_{P1} + \omega_{P2})^2 - 4(1 + A_0\beta)\omega_{P1}\omega_{P2}} \tag{8.36}$$

Por essa equação, vemos que, aumentando-se o ganho em malha aberta $A_0\beta$ a partir de zero, os pólos se aproximam, sendo que, para um dado valor de ganho de malha, os pólos se tornam coincidentes. Se o ganho de malha aumenta ainda mais, os pólos se tornam conjugados complexos e se movem ao longo de uma linha vertical. A Figura 8.31 mostra o lugar dos pólos para um ganho de malha que está aumentando. Essa curva é chamada de **diagrama do lugar das raízes**, no qual "raiz" se refere ao fato de os pólos serem as raízes da equação característica.

Pelo diagrama do lugar das raízes na Figura 8.31, vemos que esse amplificador realimentado também é incondicionalmente estável. Novamente, esse resultado não deve causar surpresa; o deslocamento máximo da fase de $A(s)$, nesse caso, é de 180° (90° por pólo), mas esse valor é atingido apenas em $\omega = \infty$. Portanto, não há uma freqüência finita em que o deslocamento de fase atinja 180°.

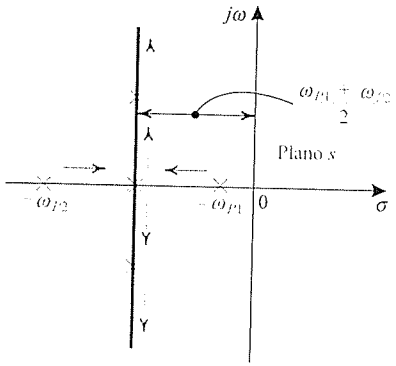


Figura 8.31 Diagrama do lugar das raízes para um amplificador realimentado cuja função de transferência em malha aberta tem dois pólos reais.

Outra observação a ser feita sobre o diagrama do lugar das raízes, da Figura 8.31, é que o amplificador em malha aberta deve ter um pólo dominante, mas não é necessariamente o caso do amplificador em malha fechada. Uma vez calculados os pólos, a partir da Equação 8.36, a resposta do amplificador em malha fechada pode ser plotada. Como é o caso geralmente com a resposta de segunda ordem, a resposta em malha fechada pode mostrar um pico (veja o Capítulo 11). Para ser mais específico, a equação característica de uma malha de segunda ordem pode ser escrita na forma-padrão

$$s^2 + s\frac{\omega_0}{Q} + \omega_0^2 = 0 \tag{8.37}$$

em que ω_0 é chamado de **freqüência do pólo** e Q é chamado de **fator Q do pólo**. Os pólos serão complexos se Q for maior do que 0,5. Uma interpretação geométrica de ω_0 e Q para um par de pólos conjugados complexos é dada na Figura 8.32, a partir da qual observamos que ω_0 é a distância radial dos pólos e Q indica a distância dos pólos a partir do eixo $j\omega$. Os pólos sobre o eixo $j\omega$ têm $Q = \infty$.

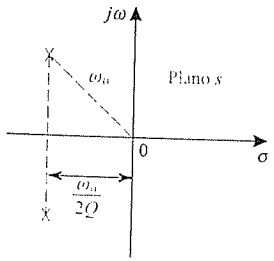


Figura 8.32 Definição de ω_0 e Q para um par de pólos conjugados complexos.

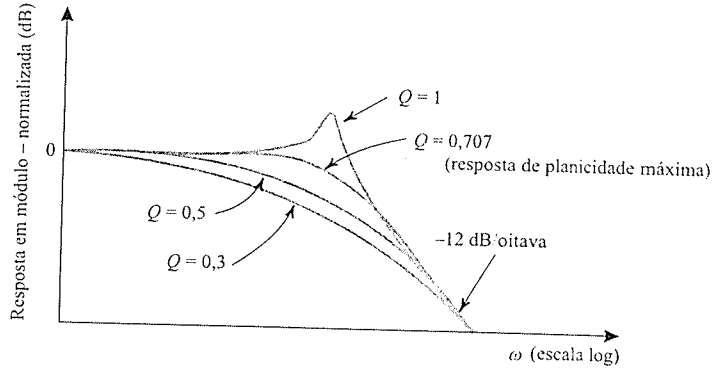


Figura 8.33 Resposta normalizada do módulo de um amplificador realimentado de dois pólos para vários valores de Q. Note que Q é determinado pelo ganho de malha, de acordo com a Equação 8.38.

Por comparação das Equações 8.35 e 8.37, obtemos o fator Q para os pólos do amplificador realimentado como

$$Q = \frac{\sqrt{(1 + A_0\beta)\omega_{P1}\omega_{P2}}}{\omega_{P1} + \omega_{P2}} \tag{8.38}$$

Pelo estudo das respostas das malhas de segunda ordem no Capítulo 11, veremos que a resposta do amplificador realimentado que estamos analisando mostra que não há picos para $Q \leq 0{,}707$. O limite correspondente ao caso $Q = 0{,}707$ (ângulos de 45° dos pólos) resulta em uma resposta de **planicidade máxima**. A Figura 8.33 mostra uma série de respostas possíveis obtidas para os vários valores de Q (ou, correspondentemente, vários valores de $A_0\beta$).

Exercício

8.12 Um amplificador com ganho em baixas freqüências de 100 e pólos em 10^4 e 10^6 rad/s está incorporado a uma malha de realimentação negativa com um fator de realimentação β. Para que valor de β os pólos do amplificador em malha fechada coincidem? Qual o Q correspondente para o sistema de segunda ordem resultante? Para que valor de β se obtém planicidade máxima? No caso de planicidade máxima, qual o ganho em malha fechada para baixas freqüências?

Resposta 0,245; 0,5; 0,5; 1,96 V/V

EXEMPLO 8.5

Para ilustrar algumas das idéias discutidas anteriormente, consideremos a realimentação positiva mostrada na Figura 8.34(a). Calcule a transmissão da malha $L(s)$ e a equação característica. Esboce o diagrama do lugar das raízes para K variável e calcule o valor de K que resulta em uma resposta de planicidade máxima e o valor de K que faz o circuito oscilar. Suponha que o amplificador tenha uma impedância de entrada infinita e uma impedância de saída zero.

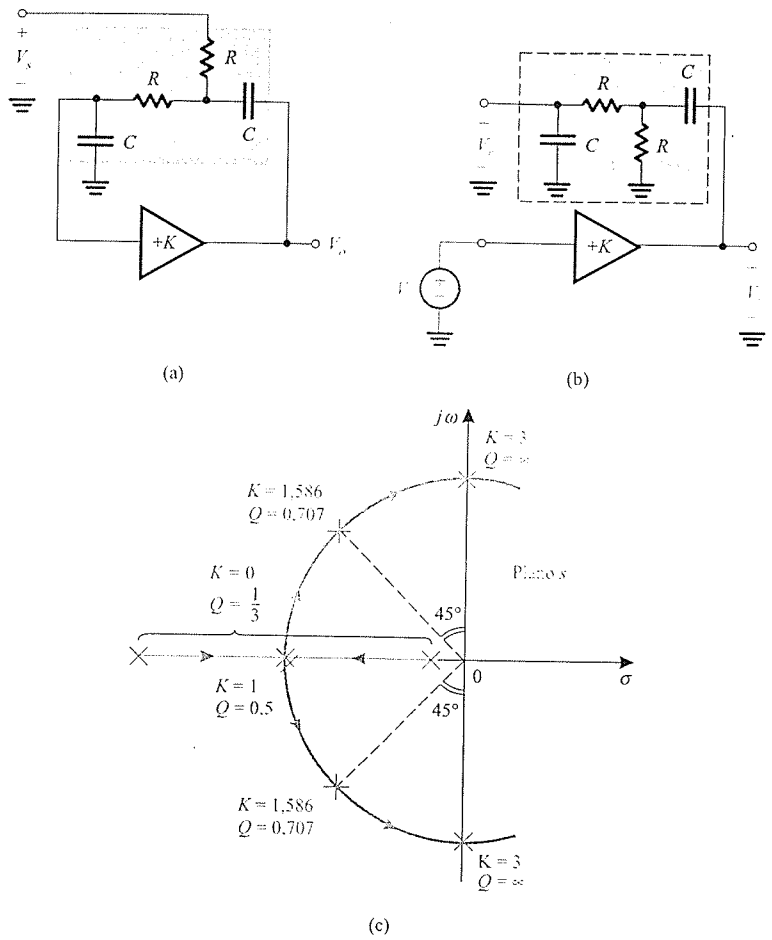


Figura 8.34 Circuitos e gráficos para o Exemplo 8.5.

SOLUÇÃO

Para obter a transmissão da malha, curto-circuitamos a fonte de sinal e cortamos a malha na entrada do amplificador. Depois, aplicamos uma tensão de teste V_t e calculamos a tensão de retorno V_r, conforme indicado na Figura 8.34(b). A transmissão da malha $L(s) = A(s)\beta(s)$ é dada por

$$L(s) = -\frac{V_r}{V_t} = -KT(s) \tag{8.39}$$

em que $T(s)$ é a função de transferência da malha RC de duas portas dentro do retângulo de linhas tracejadas na Figura 8.34(b):

$$T(s) \equiv \frac{V_r}{V_t} = \frac{s(1/CR)}{s^2 + s(3/CR) + (1/CR)^2} \tag{8.40}$$

Portanto,

$$L(s) = \frac{-s(K/CR)}{s^2 + s(3/CR) + (1/CR)^2} \tag{8.41}$$

A equação característica é

$$1 + L(s) = 0 \tag{8.42}$$

ou seja,

$$s^2 + s\frac{3}{CR} + \left(\frac{1}{CR}\right)^2 - s\frac{K}{CR} = 0$$

$$s^2 + s\frac{3-K}{CR} + \left(\frac{1}{CR}\right)^2 = 0 \tag{8.43}$$

Comparando essa equação à forma-padrão da equação característica de segunda ordem dada pela Equação 8.37, vemos que a freqüência de pólo ω_0 é dada por

$$\omega_0 = \frac{1}{CR} \tag{8.44}$$

e o fator Q é

$$Q = \frac{1}{3-K} \tag{8.45}$$

Assim, para $K = 0$, os pólos têm $Q = 1/3$ e são, portanto, posicionados sobre o eixo real negativo. À medida que K aumenta, os pólos vão se aproximando um do outro e, eventualmente, coincidem ($Q = 0{,}5$, $K = 1$). Se K continua aumentando, faz com que os pólos se tornem complexos e conjugados. O lugar das raízes é, então, um círculo, porque a distância radial ω_0 permanece constante (Equação 8.44), independente do valor de K.

A resposta de planicidade máxima é obtida quando $Q = 0{,}707$, que resulta quando $K = 1{,}586$. Nesse caso, os pólos estão em ângulos de 45°, como indicado na Figura 8.34(c). Os pólos atravessam o eixo $j\omega$ indo para o lado direito do plano s no valor de K, que resulta em $Q = \infty$, isto é, $K = 3$. Portanto, para $K \geq 3$, esse circuito se torna instável. Isso parece contradizer nossa conclusão anterior de que o amplificador realimentado com resposta de segunda ordem é incondicionalmente estável. Porém, observe que o circuito nesse exemplo é muito diferente do amplificador com realimentação negativa que estudamos. Nesse caso, temos um amplificador com um ganho positivo K e uma malha de realimentação cuja função de transferência $T(s)$ é dependente da freqüência. Essa realimentação é, na realidade, *positiva* e o circuito oscilará na freqüência cuja fase de $T(j\omega)$ for zero.

O Exemplo 8.5 ilustra o uso da realimentação (nesse caso, realimentação positiva) para mover os pólos de uma malha RC de suas posições do eixo real negativo para posições onde eles se tornam conjugados complexos. Pode-se obter o mesmo resultado usando a realimentação negativa, como mostra o diagrama do lugar das raízes da Figura 8.31. O processo de controle do pólo é a essência do *projeto de filtros ativos*, como será discutido no Capítulo 11.

Amplificadores com Três ou Mais Pólos

A Figura 8.35 mostra o diagrama do lugar das raízes para um amplificador realimentado cuja resposta em malha aberta é caracterizada por três pólos. Conforme indicado, aumentando-se o ganho de malha a partir de zero, move-se o pólo de alta freqüência para fora do gráfico, enquanto os outros dois pólos se aproximam. Aumentando-se $A_0\beta$ ainda mais, os dois pólos tornam-se coincidentes e, então, complexos e conjugados. Há um valor de $A_0\beta$ para o qual o par de pólos conjugados complexos entra na metade direita do plano s, tornando instável o amplificador.

Esse resultado não é inteiramente inesperado, visto que um amplificador com três pólos tem um deslocamento de fase que atinge –270° à medida que ω se aproxima do ∞. Portanto, deve haver uma freqüência finita ω_{180} para a qual o ganho de malha tem um deslocamento de fase de 180°.

Pelo diagrama do lugar das raízes na Figura 8.35, observamos que é possível manter a estabilidade do amplificador mantendo-se o ganho de malha $A_0\beta$ menor do que o valor correspondente à entrada dos pólos na metade direita do plano. Em termos do diagrama de Nyquist, o valor crítico de $A_0\beta$ é aquele cujo diagrama passa pelo ponto (–1, 0). Reduzir $A_0\beta$ abaixo desse valor faz o diagrama de Nyquist retrair-se e interceptar o eixo real negativo à direita do ponto (–1, 0), que indica um funcionamento estável do amplificador. Por outro lado, aumentar $A_0\beta$ acima do valor crítico faz o diagrama de Nyquist estender-se, circundando, portanto, o ponto (–1, 0) e indicando um funcionamento instável.

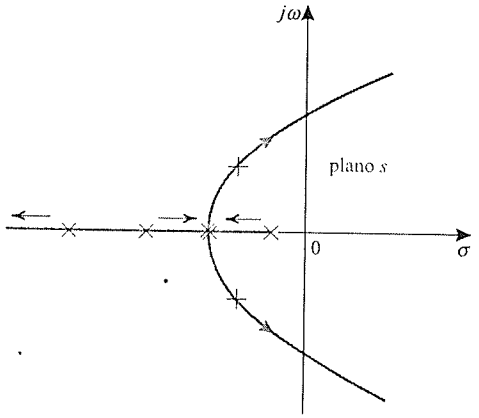


Figura 8.35 Diagrama do lugar das raízes para um amplificador com três pólos. As setas indicam o movimento dos pólos quando se aumenta $A_0\beta$.

Para um dado ganho de malha, as conclusões podem ser feitas em termos do fator de realimentação β. Ou seja, há um *valor máximo* para β acima do qual o amplificador realimentado se torna instável. Alternativamente, podemos dizer que há um *valor mínimo* para o ganho em malha fechada A_{f0}, abaixo do qual o amplificador se torna instável. Para obter valores mais baixos

para o ganho em malha fechada, necessitamos, portanto, alterar a função de transferência da malha $L(s)$. Esse processo é conhecido como *compensação de freqüência*. Estudaremos a teoria e as técnicas de compensação de freqüência na Seção 8.11.

Antes de encerrarmos esta seção, devemos observar que o levantamento do diagrama do lugar das raízes para o amplificador com três ou mais pólos e com um número finito de zeros é um processo trabalhoso para o qual há um procedimento sistemático. Contudo, tal procedimento não será apresentado aqui; o leitor interessado deve consultar Haykin (1970). Embora o diagrama do lugar das raízes forneça ao projetista de amplificadores considerável discernimento, técnicas mais simples podem ser empregadas, baseadas nas curvas de Bode, como será explicado na Seção 8.10.

Exercício

8.13 Considere o amplificador realimentado cuja função de transferência em malha aberta $A(s)$ é dada por

$$A(s) = \left(\frac{10}{1 + s/10^4}\right)^3$$

Suponha que o fator de realimentação β seja independente da freqüência. Calcule os pólos em malha fechada como função de β e mostre que o lugar das raízes é o da Figura E8.13. Calcule também o valor de β que torna o amplificador instável. (*Observação*: Esse amplificador é o mesmo considerado no Exercício 8.10.)

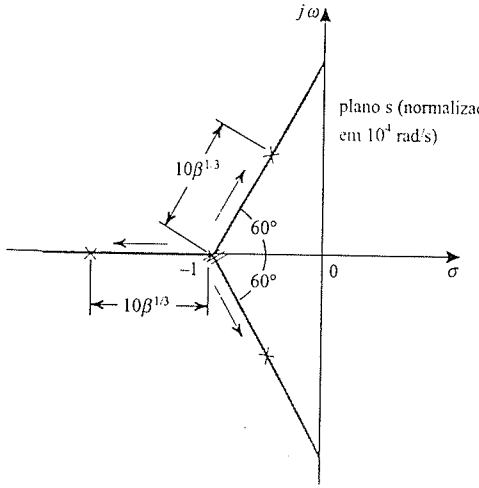


Figura E8.13

Resposta Veja a Figura E8.13; $\beta_{\text{crítico}} = 0{,}008$

8.10 ESTUDO DA ESTABILIDADE USANDO AS CURVAS DE BODE

Margens de Ganho e de Fase

Pelas Seções 8.8 e 8.9, sabemos que podemos determinar se o amplificador realimentado é estável ou não, examinando o ganho de malha $A\beta$ como uma função da freqüência. Um dos meios mais simples e eficazes de fazê-lo é através do uso do diagrama de Bode para $A\beta$, como na Figura 8.36. (Observe que, como a fase varia até –360°, a malha examinada é de quarta ordem.) O amplificador realimentado, cujo ganho de malha está plotado na Figura 8.36, será estável, visto que na freqüência de deslocamento de fase 180°, ω_{180}, o valor do ganho de malha fica abaixo da unidade (dB negativo). A diferença entre o valor de $|A\beta|$ em ω_{180} e a unidade é chamada **margem de ganho** e é usualmente expressa em dB. A margem de ganho representa o valor pelo qual o ganho de malha pode ser aumentado mantendo-se a estabilidade. Os amplificadores com realimentação são usualmente projetados para ter margem de ganho suficiente para permitir as variações inevitáveis do ganho de malha com a temperatura, tempo e assim por diante.

Outra forma de estudar a estabilidade e expressar seu grau é examinando o diagrama de Bode na freqüência em que $|A\beta| = 1$, que é o ponto em que a curva do módulo passa pela linha de 0 dB. Se nessa freqüência o ângulo de fase for menor (em valor) do que 180°, então o amplificador é estável. Essa é a situação ilustrada na Figura 8.36. A diferença entre o ângulo de fase nessa freqüência e 180° é denominada **margem de fase**. Por outro lado, se na freqüência para módulo do ganho de malha unitário o atraso na fase exceder a 180°, o amplificador será instável.

Exercício

8.14 Considere o amp op tendo uma resposta em malha aberta tipo pólo simples com $A_0 = 10^5$ e $f_P = 10$ Hz. Suponha um amp op ideal (impedância de entrada infinita, impedância de saída zero e assim por diante). Se o amplificador for conectado à configuração não-inversora com um ganho nominal em malha fechada para baixas freqüências de 100, calcule a freqüência em que $|A\beta| = 1$. Calcule também a margem de fase.

Resposta 10^4 Hz; 90°

O Efeito da Margem de Fase sobre a Resposta em Malha Fechada

Os amplificadores com realimentação são projetados normalmente com uma margem de fase de pelo menos 45°. O valor da margem de fase exerce um efeito acentuado na forma da resposta em módulo para malha fechada. Para apreciar essa relação, considere um amplificador realimentado que tem um alto valor de ganho em malha fechada para baixas freqüências, $A_0\beta >> 1$. Isso implica que o ganho em malha fechada para baixas freqüências é aproximadamente $1/\beta$. Representando por ω_1 a freqüência na qual o módulo do ganho de malha é unitário, teremos (veja a Figura 8.36)

$$A(j\omega_1)\beta = 1 \times e^{-j\theta} \tag{8.46}$$

em que

$$\theta = 180° - \text{margem de fase} \tag{8.47}$$

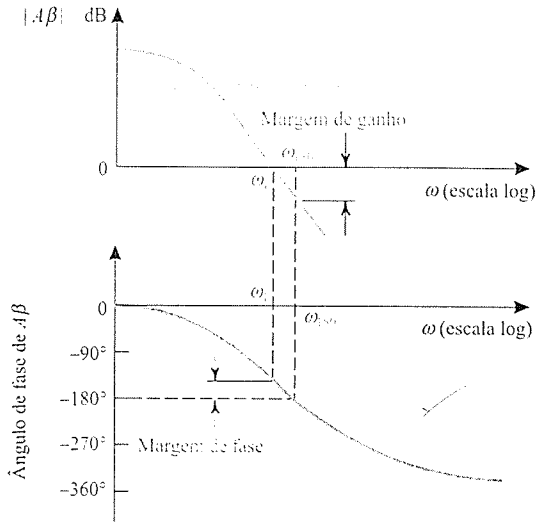


Figura 8.36 Curvas de Bode para o ganho de malha $A\beta$, ilustrando as definições das margens de ganho e de fase.

Em ω_1 o ganho em malha fechada é

$$A_f(j\omega_1) = \frac{A(j\omega_1)}{1 + A(j\omega_1)\beta}$$

Utilizando a Equação 8.46, temos

$$A_f(j\omega_1) = \frac{(1/\beta)e^{-j\theta}}{1 + e^{-j\theta}}$$

Portanto, o módulo do ganho em ω_1 é

$$\left|A_f(j\omega_1)\right| = \frac{1/\beta}{\left|1 + e^{-j\theta}\right|} \tag{8.48}$$

Para uma margem de fase de 45°, $\theta = 135°$, e então

$$\left|A_f(j\omega_1)\right| = 1{,}3\frac{1}{\beta}$$

Ou seja, o ganho é maior que o valor $1/\beta$ para baixas freqüências por um fator de 1,3. Esse pico é maior à medida que a margem de fase diminui, atingindo, eventualmente, ∞, quando a margem de fase for zero. Uma margem de fase zero, implica, é claro, que o amplificador pode sustentar uma oscilação [pólos sobre o eixo $j\omega$; o diagrama de Nyquist passa por (–1, 0)].

Exercício

8.15 Na freqüência ω_1 calcule o ganho em malha fechada em relação ao ganho em malha aberta quando a margem de fase for de 30°, 60° e 90°.

Resposta 1,93; 1; 0,707

Uma Forma Alternativa

O estudo da estabilidade pela construção das curvas de Bode para o ganho de malha $A\beta$ pode ser tedioso e o processo pode demandar um longo tempo, especialmente se tivermos de examinar a estabilidade de certo amplificador para uma variedade de malhas de realimentação. Um modo alternativo, muito simples, é construir a curva de Bode apenas para o ganho em malha aberta $A(j\omega)$. Supondo, por enquanto, que o valor de β seja independente da freqüência, podemos plotar a curva de $20\log(1/\beta)$ como uma reta horizontal no mesmo plano usado para $20\log|A|$. A diferença entre as duas curvas será

$$20\log|A(j\omega)| - 20\log\frac{1}{\beta} = 20\log|A\beta| \tag{8.49}$$

que é o ganho de malha expresso em dB. Podemos, portanto, estudar a estabilidade examinando a diferença entre as duas curvas. Se desejarmos calcular a estabilidade para um fator de realimentação diferente, simplesmente desenhamos outra reta horizontal no nível $20\log(1/\beta)$.

Para ilustrar, considere um amplificador cuja função de transferência em malha aberta é caracterizada por três pólos. Para simplificar, suponha que os três pólos estejam bem separados – digamos em 0,1, 1 e 10 MHz, como mostrado na Figura 8.37. Observe que, como os pólos estão bem separados, a fase é de aproximadamente –45° na freqüência do primeiro pólo, –135° na freqüência do segundo e –225° na freqüência do terceiro. A freqüência para a qual a fase de $A(j\omega)$ é de –180° repousa sobre o segmento de –40 dB/década, conforme indicado na Figura 8.37.

O ganho em malha aberta desse amplificador pode ser expresso como

$$A = \frac{10^5}{(1+jf/10^5)(1+jf/10^6)(1+jf/10^7)} \tag{8.50}$$

do qual $|A|$ pode ser facilmente determinado para uma freqüência f (em Hz) e a fase pode ser obtida como

$$\phi = -\left[\tan^{-1}(f/10^5) + \tan^{-1}(f/10^6) + \tan^{-1}(f/10^7)\right] \tag{8.51}$$

Os gráficos do módulo e da fase mostrados na Figura 8.37 foram obtidos usando-se o método das construções das curvas de Bode (Seção 7.1). Esses gráficos fornecem valores aproximados para os principais parâmetros do amplificador, com valores mais exatos obtidos pelas Equações 8.50 e 8.51. Por exemplo, a freqüência f_{180} cujo ângulo de fase é de 180° pode ser calculada pela Figura 8.37, sendo aproximadamente $3{,}2 \times 10^6$ Hz. Usando esse valor como ponto de partida, um valor mais exato pode ser obtido pelo método de tentativa e erro, usando a Equação 8.51. O resultado é $f_{180} = 3{,}34 \times 10^6$ Hz. Nessa freqüência, a Equação 8.50 dá um ganho em módulo de 58,2 dB, que é razoavelmente próximo do valor de 60 dB dado pela Figura 8.37.

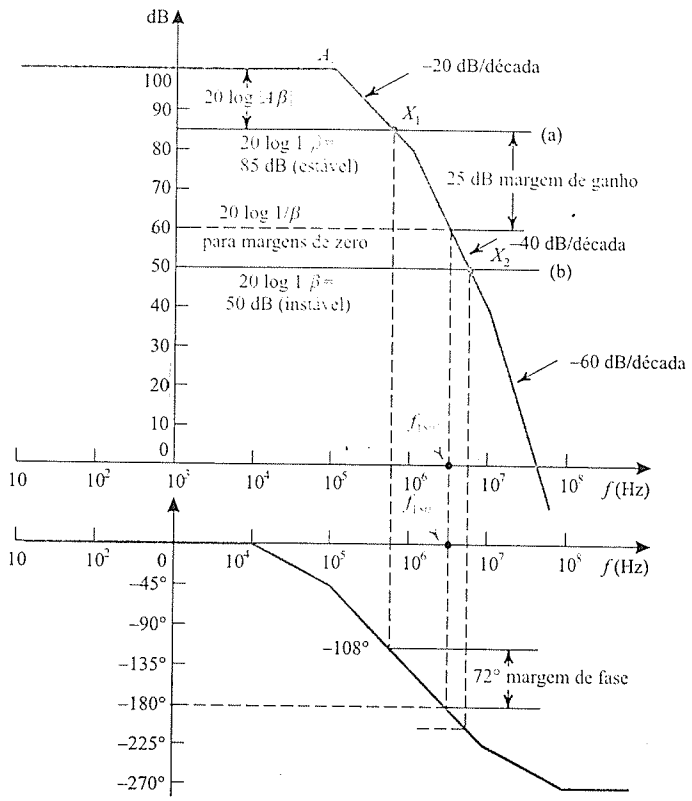


Figura 8.37 Análise de estabilidade usando as curvas de Bode para $|A|$.

Considere a seguir a reta (a) na Figura 8.37. Essa reta representa um fator de realimentação de $20\log(1/\beta) = 85$ dB, que corresponde a $\beta = 5{,}623 \times 10^{-5}$ e um ganho em malha fechada de 83,6 dB. Como o ganho de malha é a diferença entre $|A|$ da curva e $1/\beta$ da reta, o ponto de interseção X_1 corresponde à freqüência em que $|A\beta| = 1$. Usando os gráficos da Figura 8.37, essa freqüência é dada aproximadamente por $5{,}6 \times 10^5$ Hz. Um valor mais exato, de $4{,}936 \times 10^5$, pode ser obtido usando as equações da função de transferência. Nessa freqüência, o ângulo de fase é de aproximadamente –108°. Portanto, o amplificador em malha fechada, no qual $20\log(1/\beta) = 85$ dB, será estável com uma margem de fase de 72°. A margem de ganho pode ser obtida facilmente pela Figura 8.37, que nesse caso é de 25 dB.

A seguir, suponha que desejássemos usar esse amplificador para obter um ganho em malha fechada de valor nominal 50 dB. Como $A_0 = 100$ dB, vemos que $A_0\beta >> 1$ e $20\log(A_0\beta) = 50$ dB, resultando em $20\log(1/\beta) = 50$ dB. Para ver se o amplificador em malha fechada é estável ou não, desenhamos a reta (b) na Figura 8.37 no ponto de 50 dB. Essa reta intercepta a curva do ganho

em malha aberta no ponto X_2, no qual a fase correspondente é maior que 180°. Logo, o amplificador em malha fechada com ganho de 50 dB será instável.

Pode ser visto facilmente, pela Figura 8.37, que o valor *mínimo* de 20 log(1/β) que pode ser usado, com o amplificador resultante estável, é 60 dB. Em outras palavras, o valor mínimo do ganho em malha fechada obtido com esse amplificador é de aproximadamente 60 dB. Com esse valor de ganho, contudo, o amplificador ainda pode oscilar, visto que não é deixada margem para possíveis variações no ganho.

Como o ponto de fase de 180° sempre ocorre sobre o segmento de –40 dB/década da curva de Bode para |A|, uma norma prática para garantir a estabilidade é esta: o amplificador em malha fechada será estável se a reta 20 log(1/β) interceptar a curva no ponto sobre o segmento –20 dB/década. Seguindo essa regra, temos a garantia de que a margem de fase obtida será de pelo menos 45°. Para o exemplo da Figura 8.37, essa regra implica um valor máximo de β de 10^{-4}, que corresponde a um ganho em malha fechada de aproximadamente 80 dB.

Essa regra prática pode ser generalizada para o caso em que β é uma função da freqüência. A regra geral afirma que, na interseção de 20 log[1/|$\beta(j\omega)$|] e 20 log |$A(j\omega)$|, a diferença de inclinações não deve exceder a 20 dB/década.

Exercício

8.16 Considere um amp op cujo ganho em malha aberta é idêntico ao da Figura 8.37. Suponha que o amp op seja ideal e esteja conectado como um diferenciador. Use a regra prática anterior para mostrar que, para um funcionamento estável, a constante de tempo do diferenciador deve ser maior do que 159 ns. (*Sugestão*: Lembre-se de que, para um diferenciador, a curva de Bode para 1/|$\beta(j\omega)$| tem uma inclinação de +20 dB/década e intercepta a reta de 0 dB em 1/τ, em que τ é a constante de tempo do diferenciador.)

8.11 A COMPENSAÇÃO DE FREQÜÊNCIA

Nesta seção discutiremos os métodos para modificar a função de transferência em malha aberta $A(s)$ de um amplificador com três ou mais pólos, de modo que o amplificador em malha fechada seja estável para qualquer valor desejado de ganho em malha fechada.

Teoria

O método mais simples de compensação de freqüência consiste na introdução de um novo pólo na função $A(s)$ em uma freqüência suficientemente baixa, f_D, tal que o ganho em malha aberta modificado, $A'(s)$, intercepta a curva 20 log(1/|β|) com uma diferença de inclinação de 20 dB/década. Como exemplo, suponha que seja necessário compensar o amplificador cujo $A(s)$ está mostrado na Figura 8.38, de tal modo que amplificadores em malha fechada com β tão alto quanto 10^{-2} (isto é, ganhos em malha fechada tão baixos quanto aproximadamente 40 dB) sejam estáveis. Primeiro, desenhamos uma reta horizontal no nível de 40 dB para representar 20 log(1/β), conforme mostrado na Figura 8.38. Posicionamos o ponto Y sobre essa linha na freqüência do primeiro pólo, f_{P1}. A partir de Y desenhamos uma reta com uma inclinação de –20 dB/década e determinamos o ponto em que essas duas linhas interceptam a reta do ganho *cc*, ponto Y'. Este ponto dá a freqüência f_D do novo pólo que deve ser introduzido na função de transferência em malha aberta.

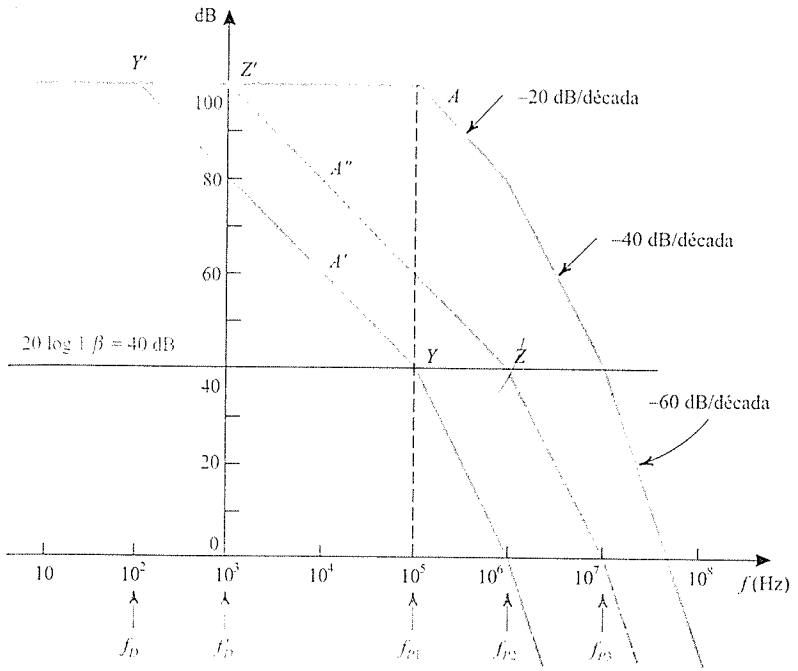


Figura 8.38 Compensação de freqüência para $\beta = 10^{-2}$. A resposta A' é obtida introduzindo-se um pólo adicional em f_D. A resposta A'' é obtida movendo-se o pólo de baixas freqüências para f'_D.

A resposta em malha aberta compensada $A'(s)$ está indicada na Figura 8.38. Ela tem quatro pólos: em f_D, f_{P1}, f_{P2} e f_{P3}. Portanto, |A'| começa a cair com uma inclinação de –20 dB/década em f_D. Em f_{P1} a inclinação varia para –40 dB/década, em f_{P2} ela muda para –60 dB/década e assim por diante. Como a linha 20 log(1/β) intercepta a curva 20 log |A'| no ponto Y sobre o segmento –20 dB/década, o amplificador em malha fechada com um valor de β (ou valores abaixo) será estável.

Uma desvantagem séria desse método de compensação é que em quase todas as freqüências o ganho em malha aberta se reduz drasticamente. Isso significa que em quase todas as freqüências a quantidade de realimentação fornecida será menor. Como todas as vantagens da realimentação negativa são diretamente proporcionais à quantidade de realimentação, o funcionamento do amplificador compensado fica prejudicado.

Um exame cuidadoso da Figura 8.38 mostra que a razão de o ganho $A'(s)$ ser baixo é o pólo f_{P1}. Se pudermos de algum modo eliminar esse pólo, então – em vez de posicionar o ponto Y, desenhamos YY' e assim por diante – poderemos começar do ponto Z (na freqüência do segundo pólo) e desenhar a reta ZZ'. Isso deverá resultar na curva da malha fechada $A''(s)$, que mostra um ganho consideravelmente maior que $A'(s)$.

Embora não seja possível eliminar o pólo em f_{P1}, normalmente é possível deslocar o pólo de $f = f_{P1}$ para $f = f'_D$. Isso torna o pólo dominante e elimina a necessidade de introdução de um pólo adicional em baixas freqüências, como será explicado a seguir.

Implementação

Devemos retornar agora à questão da implementação do esquema de compensação de freqüência discutido anteriormente. O circuito amplificador normalmente consiste em um certo número de estágios com ganho em cascata, com cada estágio responsável por um ou mais dos pólos da função de transferência. Através de análise manual e/ou com computador, podemos identificar qual estágio introduz cada um dos principais pólos f_{P1}, f_{P2} e assim por diante. Para os propósitos de nossa discussão, suponha que o primeiro pólo f_{P1} seja introduzido na interface entre os dois estágios diferenciais em cascata mostrado na Figura 8.39(a). Na Figura 8.39(b), mostramos um modelo para pequenos sinais do circuito nessa interface. A fonte de corrente I_x representa o sinal da corrente de saída do estágio $Q_1 - Q_2$. A resistência R_x e a capacitância C_x representam a resistência e a capacitância totais entre os dois nós B e B′. Isso implica que o pólo f_{P1} é dado por

$$f_{P1} = \frac{1}{2\pi C_x R_x} \tag{8.52}$$

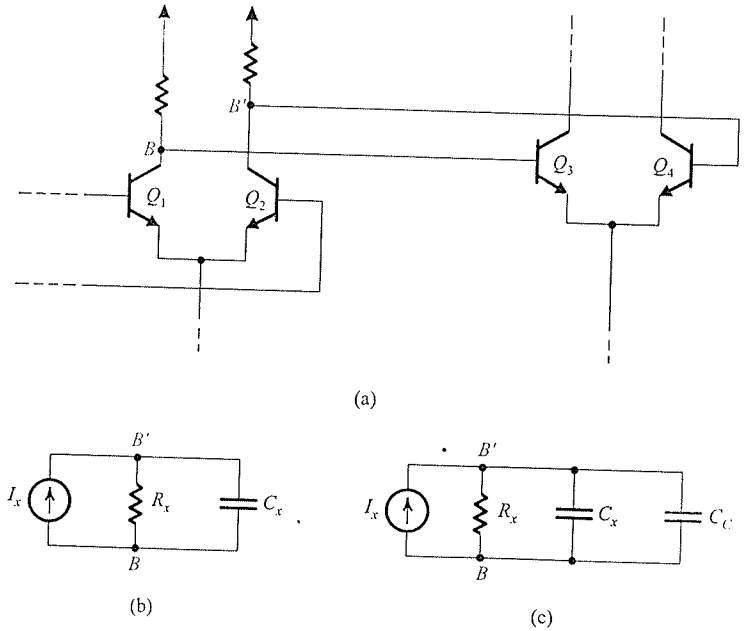


Figura 8.39 (a) Dois estágios de ganho em cascata de um amplificador de múltiplos estágios. (b) Circuito equivalente para a interface entre os dois estágios em (a). (c) Mesmo circuito de (b), mas com um capacitor de compensação C_c adicionado.

Conectaremos agora o capacitor C_C entre os nós B e B′. Isso resultará no circuito equivalente modificado, mostrado na Figura 8.39(c), no qual vemos que o pólo introduzido não será mais em f_{P1}; o pólo pode ser em qualquer valor de baixa freqüência desejado f'_D:

$$f'_D = \frac{1}{2\pi(C_x + C_C)R_x} \tag{8.53}$$

Concluímos, portanto, que podemos escolher um valor apropriado para C_C de modo a deslocar o pólo da freqüência de f_{P1} para o valor de f'_D determinado pelo ponto Z' na Figura 8.38.

Nesse momento, deve ser observado que a adição do capacitor C_C resultará no deslocamento de outros pólos (aqueles em f_{P2} e f_{P3}). Precisaremos, portanto, calcular a nova posição de f_{P2} e executar algumas iterações para chegar ao valor exigido para C_C.

Uma desvantagem desse método de implementação é que o valor exigido de C_C é usualmente muito alto. Portanto, se o amplificador a ser compensado for um amp op integrado, será difícil e provavelmente impossível incluir esse capacitor de compensação na pastilha do CI. (Conforme mostrado no Capítulo 10 e no Apêndice A, o valor prático máximo de um capacitor monolítico é cerca de 100 pF.) Uma solução elegante para esse problema é conectar um capacitor de compensação no caminho do elo de realimentação de um estágio amplificador. Por causa do efeito Miller, a capacitância de compensação será multiplicada pelo ganho do estágio, resultando em uma capacitância efetiva muito maior. Além do mais, conforme explicado a seguir, ocorre outro benefício.

A Compensação Miller e a Separação de Pólos

A Figura 8.40(a) mostra um estágio com ganho de um amplificador de múltiplos estágios. Para simplificar, o estágio é apresentado como um amplificador em emissor-comum, mas na prática ele pode ser um circuito mais elaborado. No elo de realimentação desse estágio em emissor-comum colocamos um capacitor de compensação C_f.

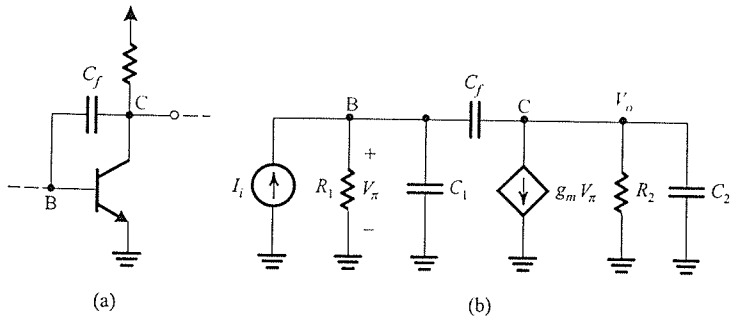


Figura 8.40 (a) Um estágio com ganho em um amplificador de múltiplos estágios com um capacitor de compensação conectado no elo de realimentação e (b) circuito equivalente.

A Figura 8.40(b) mostra um circuito equivalente simplificado do estágio com ganho da Figura 8.40(a). Nessa figura, R_1 e C_1 representam a resistência e a capacitância totais entre o nó B

e o terra. De modo similar, R_2 e C_2 representam a resistência e a capacitância totais entre o nó C e o terra. Além disso, supõe-se que C_1 e C_2 incluem as componentes de Miller devidas à capacitância C_μ, e C_2 inclui a capacitância de entrada do estágio amplificador seguinte. Finalmente, I_i representa o sinal de corrente de saída do estágio anterior.

Na ausência do capacitor de compensação C_f, podemos observar, pela Figura 8.40(b), que existem dois pólos – um na entrada e outro na saída. Vamos supor que esses dois pólos sejam f_{P1} e f_{P2} da Figura 8.38; portanto,

$$f_{P1} = \frac{1}{2\pi C_1 R_1} \qquad f_{P2} = \frac{1}{2\pi C_2 R_2} \tag{8.54}$$

Com a presença de C_f, a análise do circuito produz a função de transferência

$$\frac{V_o}{I_i} = \frac{(sC_f - g_m)R_1R_2}{1 + s\left[C_1R_1 + C_2R_2 + C_f(g_mR_1R_2 + R_1 + R_2)\right] + s^2\left[C_1C_2 + C_f(C_1 + C_2)\right]R_1R_2} \tag{8.55}$$

O zero situa-se usualmente em uma freqüência muito maior do que aquela do pólo dominante e podemos desprezar esse efeito. O denominador polinomial $D(s)$ pode ser escrito na forma

$$D(s) = \left(1 + \frac{s}{\omega'_{P1}}\right)\left(1 + \frac{s}{\omega'_{P2}}\right) = 1 + s\left(\frac{1}{\omega'_{P1}} + \frac{1}{\omega'_{P2}}\right) + \frac{s^2}{\omega'_{P1}\omega'_{P2}} \tag{8.56}$$

em que ω'_{P1} e ω'_{P2} são as novas freqüências dos dois pólos. Normalmente, um dos pólos será dominante; $\omega'_{P1} << \omega'_{P2}$. Logo,

$$D(s) \simeq 1 + \frac{s}{\omega'_{P1}} + \frac{s^2}{\omega'_{P1}\omega'_{P2}} \tag{8.57}$$

Igualando os coeficientes de s no denominador das Equações 8.55 e 8.57, resulta

$$\omega'_{P1} = \frac{1}{C_1R_1 + C_2R_2 + C_f(g_mR_1R_2 + R_1 + R_2)}$$

que pode ser aproximada por

$$\omega'_{P1} \simeq \frac{1}{g_mR_2C_fR_1} \tag{8.58}$$

Para obter ω'_{P2} igualamos os coeficientes de s^2 no denominador das Equações 8.55 e 8.57 e usamos a Equação 8.58:

$$\omega'_{P2} \simeq \frac{g_mC_f}{C_1C_2 + C_f(C_1 + C_2)} \tag{8.59}$$

Pelas Equações 8.58 e 8.59, vemos que, conforme C_f aumenta, ω'_{P1} é reduzida e ω'_{P2} aumenta. Isso é chamado de **separação de pólos**. Observe que o aumento em ω'_{P2} é altamente benéfico; isso nos permite mover o ponto Z (veja a Figura 8.38) mais para a direita, resultando, portanto, em um ganho compensado em malha aberta mais elevado. Finalmente, observe pela Equação 8.58 que C_f é multiplicado pelo fator do efeito Miller g_mR_2, resultando, portanto, em uma capacitância muito maior, $g_mR_2C_f$. Em outras palavras, o valor necessário para C_f será então muito menor do que C_C na Figura 8.39.

EXEMPLO 8.6

Considere um amp op cuja função de transferência em malha aberta é idêntica àquela mostrada na Figura 8.37. Desejamos compensar esse amp op de modo que o amplificador em malha fechada com realimentação resistiva seja estável para qualquer valor de ganho (isto é, para β com valor até a unidade). Suponha que o circuito do amp op inclua um estágio como o da Figura 8.40, com C_1 = 100 pF, C_2 = 5 pF e g_m = 40 mA/V, o pólo em f_{P1} se deva ao circuito de entrada daquele estágio e o pólo em f_{P2} seja introduzido pelo circuito de saída. Calcule o valor do capacitor de compensação se ele for conectado entre o nó B e o terra ou no elo de realimentação do transistor.

SOLUÇÃO

Primeiro, determinamos R_1 e R_2 a partir de

$$f_{P1} = 0{,}1 \text{ MHz} = \frac{1}{2\pi C_1R_1}$$

Portanto,

$$R_1 = \frac{10^5}{2\pi}\Omega$$

$$f_{P2} = 1 \text{ MHz} = \frac{1}{2\pi C_2R_2}$$

Logo,

$$R_2 = \frac{10^5}{\pi}\Omega$$

Se um capacitor de compensação C_C for conectado aos terminais de entrada do estágio, então a freqüência do primeiro pólo mudará de f_{P1} para f'_D

$$f'_D = \frac{1}{2\pi(C_1 + C_C)R_1}$$

O segundo pólo permanece inalterado. O valor exigido para f'_D é determinado desenhando-se uma reta com inclinação de –20 dB/década do ponto de freqüência de 1 MHz partindo do ponto 20 log($1/\beta$) = 20 log 1 = 0 dB. Essa reta interceptará a reta do ganho *cc* a 100 dB na freqüência de 10 Hz. Logo,

$$f'_D = 10 \text{ Hz} = \frac{1}{2\pi(C_1 + C_C)R_1}$$

o que resulta em $C_C \simeq 1$ μF, que é muito alto e certamente não pode ser incluído na pastilha de um CI.

A seguir, se um capacitor C_f for conectado ao elo de realimentação do transistor, então ambos os pólos mudam de posição para os valores dados pelas Equações 8.58 e 8.59:

$$f'_{P1} \simeq \frac{1}{2\pi g_mR_2C_fR_1} \qquad f'_{P2} \simeq \frac{g_mC_f}{2\pi\left[C_1C_2 + C_f(C_1 + C_2)\right]} \tag{8.60}$$

Para determinar onde devemos posicionar o primeiro pólo, precisamos saber o valor de f'_{P2}. Como uma aproximação vamos supor que $C_f >> C_2$, o que nos permite obter

$$f'_{P2} \simeq \frac{g_m}{2\pi(C_1 + C_2)} = 60{,}6 \text{ MHz}$$

Portanto, parece que esse pólo se moverá para uma freqüência mais alta que f_{P3} (que é 10 MHz).

Vamos supor, portanto, que o segundo pólo será em f_{P3}. Isso exige que o primeiro pólo seja posicionado em 100 Hz:

$$f'_{P1} = 100 \text{ Hz} = \frac{1}{2\pi g_m R_2 C_f R_1}$$

que resulta em $C_f = 78{,}5$ pF. Embora esse valor seja realmente muito maior que C_2, podemos determinar a posição do pólo f'_{P2} pela Equação 8.60, que resulta em $f'_{P2} = 57{,}2$ MHz, confirmando o fato de que esse pólo realmente se moveu além de f_{P3}.

Concluímos que usar a compensação de Miller não só resulta em um capacitor de compensação muito menor, mas, devido à separação dos pólos, nos permite também posicionar o pólo dominante em uma freqüência uma década mais alta. Isso resulta em uma faixa de passagem maior para um amp op compensado.

Exercícios

8.17 Um amplificador com pólos múltiplos tem um primeiro pólo em 1 MHz e um ganho em malha aberta de 100 dB, que deve ser compensado para o ganho em malha fechada de 20 dB pela introdução de um pólo dominante. Em que freqüência deve ser posicionado o novo pólo?

Resposta 100 Hz

8.18 Para o amplificador descrito no Exercício 8.17, em vez de introduzir um novo pólo dominante, podemos colocar uma capacitância adicional no nó do circuito onde o primeiro pólo é formado para reduzir a freqüência desse pólo. Se a freqüência do segundo pólo for de 10 MHz e ela se mantiver inalterada com a capacitância adicional introduzida, calcule a freqüência para a qual o primeiro pólo deve ser deslocado, de modo que o amplificador resultante seja estável para ganhos em malha fechada com valores de até 20 dB. Por qual fator a capacitância deve ser multiplicada no nó de controle?

Resposta 1000 Hz; 1000

8.12 EXEMPLOS DE SIMULAÇÃO COM O SPICE

Concluímos este capítulo apresentando dois exemplos que ilustram o uso do SPICE na análise de amplificadores realimentados. Exemplos adicionais podem ser encontrados em Roberts e Sedra (1992 e 1997).

EXEMPLO 8.7: VERIFICANDO A PRECISÃO DO MÉTODO DE ANÁLISE DA REALIMENTAÇÃO

O objetivo de nosso primeiro exemplo é verificar a validade do método de análise da realimentação apresentado neste capítulo. Faremos isso considerando o mesmo circuito analisado na Figura 8.4. O circuito está redesenhado na Figura 8.41(a) e o circuito A é mostrado na Figura 8.41(b).

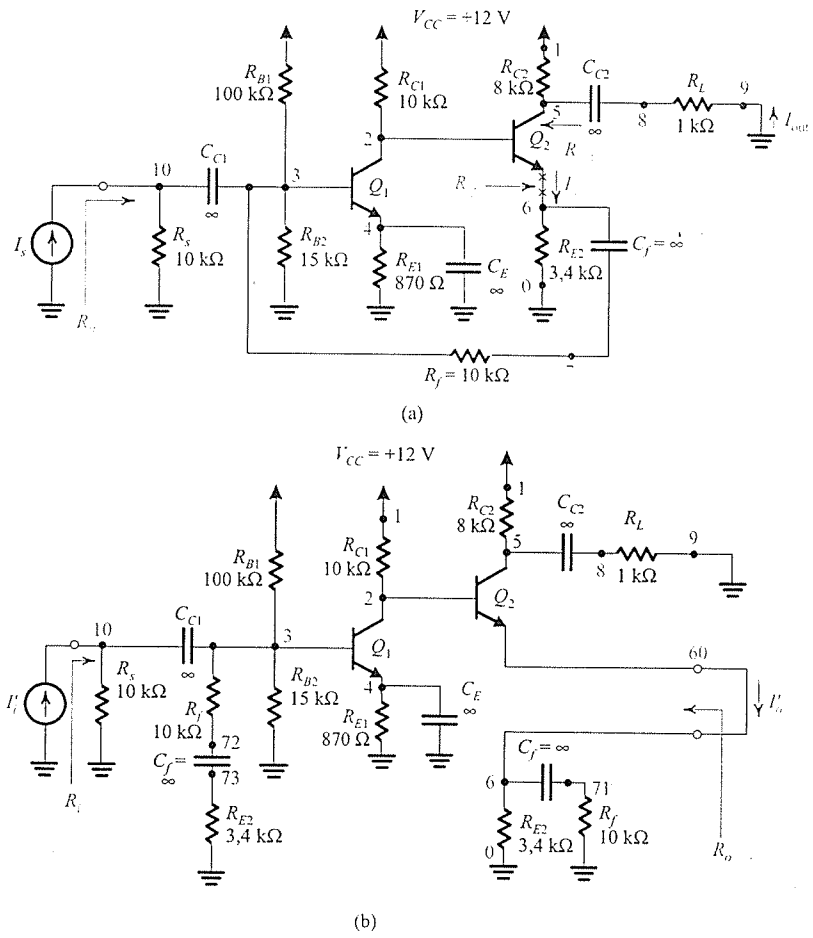


Figura 8.41 Circuitos para o Exemplo 8.7: **(a)** amplificador com realimentação paralelo–série; **(b)** o circuito A.

Note que, uma vez que a realimentação é aplicada através de um capacitor de acoplamento, ambos os circuitos na Figura 8.41 terão o mesmo ponto de polarização *cc*. Transistores do tipo 2N3904, disponíveis comercialmente, são usados na simulação e o valor de seus parâmetros para o modelo SPICE pode ser encontrado nas listagens dos arquivos de entrada do SPICE fornecidas no Apêndice D.

A estratégia adotada neste exemplo é a seguinte: o SPICE é usado para analisar o circuito A da Figura 8.41(b) a fim de determinar seu ganho $A \equiv I_o'/I_i'$, resistência de entrada R_i e resistência de saída R_o. A seguir, esses valores são utilizados juntamente com o fator de realimentação $\beta = -R_{E2}/(R_f + R_{E2}) = -0{,}2537$ A/A para determinar $A_f \equiv I_o/I_s$, R_{if} e R_{of} usando as equações de realimentação. Em seqüência, uma estimativa de R_{out} é obtida usando o método do Exemplo 8.4. O SPICE é então usado para encontrar valores desses quatro parâmetros analisando diretamente o circuito amplificador realimentado. A comparação desses dois conjuntos de resultados apresenta uma oportunidade para avaliar a precisão do método de análise da realimentação.

A análise SPICE do circuito A da Figura 8.41(b) fornece os seguintes resultados:

$$A = -246{,}6 \text{ A/A} \qquad R_i = 2{,}077 \text{ k}\Omega \qquad R_o = 2{,}639 \text{ k}\Omega$$

Usando esses valores nas fórmulas de realimentação chega-se aos valores apresentados na Tabela 8.2. Também estão mostrados na Tabela 8.2 os resultados para o circuito da Figura 8.41(a), obtidos diretamente da análise SPICE. Observe que os dois conjuntos de resultados são muito próximos, reforçando a validade do método de análise da realimentação. Como mencionado anteriormente no Capítulo 8, a análise usando a formulação de realimentação resulta em uma maior compreensão do funcionamento do circuito, que pode ser muito útil na etapa de projeto. Tal compreensão não pode ser obtida usando-se a análise por força bruta do circuito completo. Também é animador ver que os resultados do SPICE estão próximos daqueles obtidos pela análise manual do Exemplo 8.4, principalmente porque na análise manual usamos um transistor genérico e um modelo bem simples.

Tabela 8.2 Resultados SPICE para o Exemplo 8.7 obtidos usando-se o método de análise da realimentação e a análise direta.

Parâmetro	Método da realimentação	Análise direta
$A_f \equiv \dfrac{I_o}{I_s}$ (A/A)	−3,879	−3,879
R_{if} (Ω)	32,68	32,65
R_{of} (kΩ)	167,7	167,9
R_{out} (MΩ)	18,26	18,35

O leitor deve se lembrar de que o método de análise da realimentação é baseado na premissa de que a maior parte da transmissão direta ocorre no amplificador (e não na malha de realimentação passiva) e que a maior parte da transmissão reversa (a realimentação) ocorre na malha de realimentação. Uma vez que os resultados da análise por realimentação do circuito da Figura 8.41 estão muito próximos dos resultados obtidos usando-se a análise direta, é razoável supor que essas duas premissas são satisfeitas. Apesar disso, seria interessante verificar formalmente sua validade. Isso pode ser feito usando-se o SPICE para computar os parâmetros do quadripolo que são mais adequados para a configuração paralelo–série, os chamados parâmetros g (veja o Apêndice B). Os resultados são apresentados na Tabela 8.3. Note que a transmissão direta através da malha de realimentação (g_{21} do circuito β) é cerca de mil vezes menor que aquela do circuito A (g_{21} do circuito A). Da mesma forma, a transmissão reversa através da malha de realimentação (g_{12} do circuito β) é cerca de cinco ordens de grandeza maior que aquela do circuito A (g_{12} do circuito A). Assim, claramente, as premissas assumidas são válidas.

Tabela 8.3 Parâmetros g computados pelo SPICE para os circuitos A e β do Exemplo 8.7.

Parâmetro g	Circuito A	Circuito β
g_{11} (A/V)	$4{,}187 \times 10^{-4}$	$7{,}463 \times 10^{-5}$
g_{12} (A/A)	$9{,}934 \times 10^{-7}$	$2{,}537 \times 10^{-1}$
g_{21} (V/V)	$3{,}138 \times 10^{2}$	$2{,}537 \times 10^{-1}$
g_{22} (V/A)	$2{,}640 \times 10^{3}$	$2{,}537 \times 10^{3}$

EXEMPLO 8.8: DETERMINANDO O GANHO DE MALHA USANDO O SPICE

Nosso segundo exemplo ilustra o uso do SPICE para determinar o ganho de malha $A\beta$. Com a finalidade de comparar resultados, usaremos o mesmo amplificador com realimentação paralelo–série utilizado nos Exemplos 8.4 e 8.7. Isso, no entanto, não limita a generalidade do método descrito.

Escolhemos quebrar o elo de realimentação entre o coletor de Q_1 e a base de Q_2, como mostra a Figura 8.41(a). Para que isso não altere as condições *cc* do circuito, inserimos uma indutância de alto valor, como indicado na Figura 8.42(a). Usando um valor de 1 GH, garantimos que o elo esteja aberto para sinais *ca* enquanto mantém as mesmas condições *cc*. A Figura 8.42(a) também mostra que um sinal V_t é aplicado através de um capacitor de acoplamento C_{ti} de alto valor na base de Q_2. Esse circuito pode então ser usado para determinar a função de transferência de tensão em malha aberta, V_{oc}/V_t. O arquivo de entrada do SPICE está mostrado no Apêndice D e o resultado é

$$T_{oc} = -60{,}68 \text{ V/V}$$

O circuito para determinar a função de transferência de corrente para curto-circuito é mostrado na Figura 8.42(b). Note que, neste caso, o sinal da corrente de entrada I_t é aplicado na base de Q_2 e a saída do elo, no coletor de Q_1, é curto-circuitada ao terra através de um grande capacitor C_{to} e uma fonte de tensão de valor zero utilizada para determinar a corrente de curto-circuito de saída, I_{sc}. Assim, o circuito pode ser usado para determinar a função de transferência de corrente para curto-circuito T_{sc}, como I_{sc}/I_t. O resultado é

$$T_{sc} = -2753 \text{ A/A}$$

Podemos agora combinar T_{oc} e T_{sc} para obter o ganho de malha $A\beta$,

$$A\beta = -1 \Big/ \left(\frac{1}{T_{oc}} + \frac{1}{T_{sc}} \right) = 59{,}54$$

Esse valor é muito próximo daquele determinado no Exemplo 8.7, no qual se calcularam A e β separadamente, que fornece $A\beta = -246{,}6 \times -0{,}2537 = 62{,}56$.

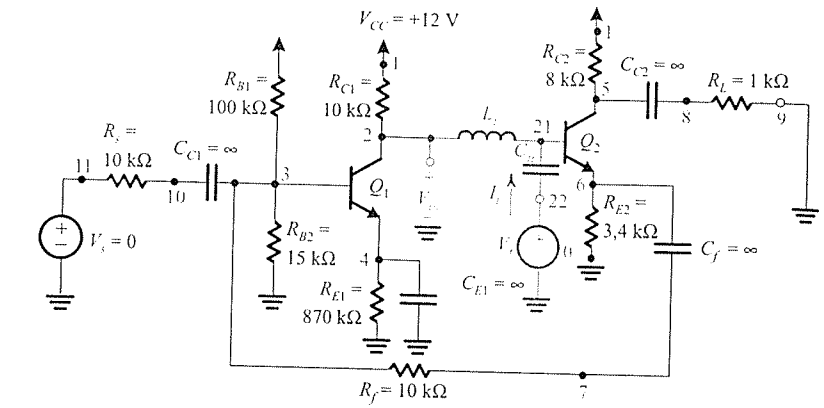


Figura 8.42 Determinando: (a) a função de transferência de tensão em circuito aberto; e (b) a função de transferência de corrente para o amplificador realimentado da Figura 8.41(a) com a finalidade de determinar o ganho de malha.

RESUMO

- A realimentação negativa é empregada para fazer com que o ganho do amplificador seja menos sensível às variações dos componentes, a fim de controlar as impedâncias de entrada e de saída, para estender a faixa de passagem, reduzir a distorção não-linear e aumentar a relação sinal–ruído (e sinal–interferência).
- As vantagens anteriores são obtidas por meio de uma redução no ganho e no risco de o amplificador se tornar instável (isto é, oscilar). Esse problema é resolvido realizando-se um projeto cuidadoso.
- Para cada um dos quatro tipos básicos de amplificadores, há uma topologia de realimentação apropriada. As quatro topologias, junto com seus procedimentos de análise e seus efeitos sobre as impedâncias de entrada e de saída, estão resumidas na Tabela 8.1.
- Os parâmetros-chave da realimentação são o ganho de malha ($A\beta$), o qual, para a realimentação negativa, deve ter um valor positivo adimensional, e uma quantidade de realimentação ($1 + A\beta$). Este último parâmetro determina diretamente a redução do ganho, a dessensibilidade do ganho, a extensão da faixa de passagem e as modificações em Z_i e Z_o.
- Como A e β são em geral dependentes da freqüência, os pólos do amplificador realimentado são obtidos pela resolução da equação característica $1 + A(s)\beta(s) = 0$.
- Para o amplificador realimentado ser estável, seus pólos devem estar do lado esquerdo do plano s.
- A estabilidade é mantida se, na freqüência em que o ângulo de fase $A\beta$ for de 180° (isto é, ω_{-180}), $|A\beta|$ for menor do que a unidade; o quanto $|A\beta|$ é menor do que a unidade, expresso em decibéis, é a margem de ganho. Alternativamente, o amplificador será estável se, na freqüência cujo $|A\beta| = 1$, o ângulo de fase for menor que 180°; a diferença entre esse ângulo e 180° é a margem de fase.
- A estabilidade do amplificador com realimentação pode ser analisada pela construção das curvas de Bode para $|A|$ e $1/|\beta|$. A estabilidade será mantida se as duas curvas se interceptarem com uma diferença na inclinação que não seja maior do que 6 dB/oitava.
- Para fazer com que um dado amplificador seja estável com um dado fator de realimentação β, a resposta em freqüência em malha aberta pode ser convenientemente modificada por um processo conhecido como compensação de freqüência.
- Um método popular para a compensação de freqüência envolve a conexão de um capacitor de realimentação em um estágio inversor do amplificador. Isso faz com que o pólo formado na entrada do estágio amplificador se desloque para uma freqüência mais baixa e, portanto, torna-se dominante, enquanto o pólo formado na saída do estágio do amplificador se move para uma freqüência muito alta, tornando-se, portanto, sem importância. Esse processo é conhecido como separação de pólos.

BIBLIOGRAFIA

P. E. Gray e C. L. Searle, *Electronic Principles*, New York, Wiley, 1969.

P. R. Gray e R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3ª ed., New York, Wiley, 1993.

S. S. Haykin, *Active Network Theory*, Reading, Mass., Addison-Wesley, 1970.

E. S. Kuh & R. A. Rohrer, *Theory of Linear Active Networks*, San Francisco, Holden-Day, Inc., 1967. (Texto de nível avançado.)

Linear Integrated Circuits, Harrison, N. J., RCA, 1967.

G. S. Moschytz, *Linear Integrated Networks: Design*, New York, Van Nostrand Reinhold, 1974.

E. Renschler, *The MC1539 Operational Amplifier and Its Applications*, Application Note AN-439, Phoenix, Ariz., Motorola Semiconductor Products.

J. K. Roberge, *Operational Amplifiers: Theory and Practice*, New York, Wiley, 1975.

G. W. Roberts & A. S. Sedra, *SPICE*, New York, Oxford Univ. Press, 1992, 2ª ed., 1997.

S. Rosenstark, *Feedback Amplifier Principles*, New York, Macmillan Publishing Company, 1986.

PROBLEMAS

Seção 8.1: A Estrutura Geral da Realimentação

8.1 Um amplificador com realimentação negativa tem um ganho em malha fechada $A_f = 100$ e um ganho em malha aberta $A = 10^5$. Qual o fator de realimentação β? Se um erro de fabricação resultar em uma redução de A igual a 10^3, qual será o valor do ganho em malha fechada? Qual a variação em porcentagem em A_f correspondente para um fator de redução de A igual a 100?

8.2 Repita o Exercício 8.1, de (b) até (e), com $A = 100$.

8.3 Repita o Exercício 8.1, de (b) até (e), com $A_f = 10^3$. Para o item (d) use $V_s = 0{,}01$ V.

Seção 8.2: Algumas Propriedades da Realimentação Negativa

8.4 Para o elo de realimentação negativa da Figura 8.1, calcule a relação entre A e β para a qual a sensibilidade do ganho em malha fechada para o ganho em malha aberta – isto é, $(dA_f/A_f)/(dA/A)$ – seja de –20 dB. Para qual valor de $A\beta$ a sensibilidade se torna 1/2?

8.5 Um amplificador com acoplamento capacitivo tem um ganho em freqüências médias de 100, um pólo simples em alta freqüência em 10 kHz e um pólo simples em baixa freqüência em 100 Hz. Uma realimentação negativa é usada de modo a reduzir o ganho em freqüências médias para 10. Quais as freqüências de corte inferior e superior (3 dB) do ganho em malha fechada?

P8.6 Um estágio de saída de potência com ganho de tensão de 1, alimentado por uma senóide de 1 kHz, tem uma saída de 2 V de pico a pico e 1 kHz com um ruído da fonte de alimentação de 120 Hz e 3 V de pico a pico. Projete um circuito de realimentação utilizando um pré-amplificador, de modo que o ruído de saída fique reduzido para 10 mV de pico a pico, enquanto o ganho de tensão continue aproximadamente unitário. Dê o valor de β do ganho necessário para o pré-amplificador. Qual a melhoria na relação sinal–ruído (em dB)?

Seção 8.3: As Quatro Topologias Básicas da Realimentação

8.7 Um amplificador com realimentação série–paralelo representado pela Figura 8.4(a) e usando um amplificador de tensão básico ideal opera com $V_s = 100$ mV, $V_f = 90$ mV e $V_o = 10$ V. Quais os valores correspondentes de A e β? Inclua as unidades corretas para cada um.

8.8 Considere o amplificador com realimentação paralelo–série na Figura 8.5. Supondo que a resistência de entrada da base de Q_1 seja muito baixa, encontre uma expressão para $\beta \equiv I_f/I_o$.

8.9 Considere o circuito com realimentação série–série da Figura 8.6. Supondo que a resistência, olhando-se para o emissor de Q_1, seja relativamente alta, encontre uma expressão para $\beta \equiv V_f/I_o$.

8.10 Um circuito com realimentação paralelo–paralelo representado pela Figura 8.4(d) e usando um amplificador de transresistência ideal opera com $I_s = 100$ μA, $I_f = 90$ μA e $V_o = 10$ V. Quais os valores de A e β correspondentes? Inclua as unidades corretas para cada um.

Seção 8.4: O Amplificador com Realimentação Série–Paralelo

8.11 Para um amplificador particular conectado em uma malha de realimentação em que a tensão de saída é amostrada, a resistência de saída medida antes e depois da malha ser conectada mostra uma variação por um fator de 100. A resistência com realimentação é a maior ou a menor? Qual o valor do ganho de malha $A\beta$? Se R_{of} for de 100 Ω, qual o valor de R_o sem realimentação?

8.12 Um amplificador com realimentação série–paralelo utiliza o circuito de realimentação mostrado na Figura P8.12.

(a) Encontre as expressões para os parâmetros h do circuito de realimentação (veja a Figura 8.10(b)).

(b) Se $R_1 = 1$ kΩ e $\beta = 0{,}01$, quais os valores dos quatro parâmetros h? Dê as unidades de cada um desses parâmetros.

(c) Para o caso em que $R_s = 1$ kΩ e $R_L = 1$ kΩ, esboce e denomine um circuito equivalente seguindo o modelo da Figura 8.10(c).

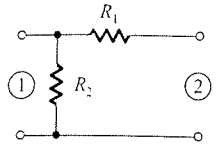


Figura P8.12

**8.13 Para o circuito da Figura P8.13, $|V_t| = 1$ V, $k'W/L = 1$ mA/V^2, $h_{fe} = 100$ e o valor da tensão Early para todos os dispositivos (incluindo aqueles que implementam as fontes de corrente) é de 100 V. A fonte de sinal V_s tem uma componente *cc* zero. Calcule a tensão *cc* na saída e na base de Q_3. Calcule os valores de A, β, A_f, R_{in} e R_{out}.

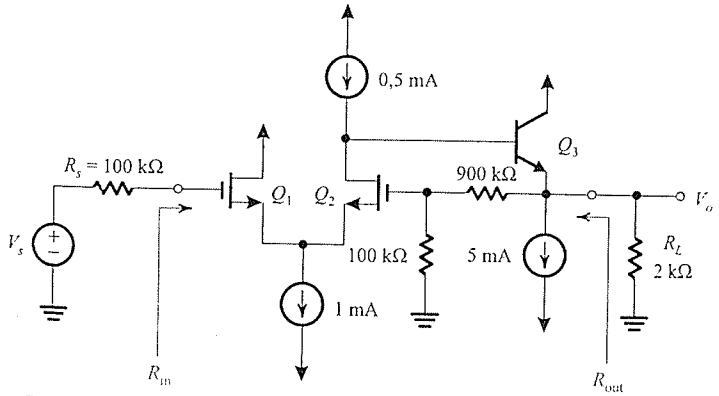


Figura P8.13

Seção 8.5: O Amplificador com Realimentação Série–Série

8.14 A Figura P8.14 mostra um circuito para uma fonte de corrente controlada por tensão usando uma realimentação série–série através do resistor R_E. (O circuito de polarização não está mostrado.) Demonstre que, se o ganho de malha $A\beta$ for de alto valor,

$$\frac{I_o}{V_s} \simeq \frac{1}{R_E}$$

Calcule a seguir o valor de R_E para obter um circuito de transcondutância de 1 mA/V. Se o amplificador de tensão tiver uma resistência de entrada diferencial de 100 kΩ, um ganho de tensão de 100, uma resistência de saída de 1 kΩ, e se o transistor estiver polarizado com uma corrente de 1 mA e h_{fe} for de 100 e r_o for de 100 kΩ, calcule o valor real da transcondutância (I_o/V_s) assim obtida. Use $R_s = 10$ kΩ. Calcule também a resistência de entrada R_{in} e a resistência de saída R_{out}. Para o cálculo de R_{out} lembre-se de que a resistência de saída do TBJ com uma resistência no emissor R_E e uma resistência na base R_B é dada por

$$r_o\left[1 + \frac{g_m R_E}{1 + R_B/r_\pi}\right]$$

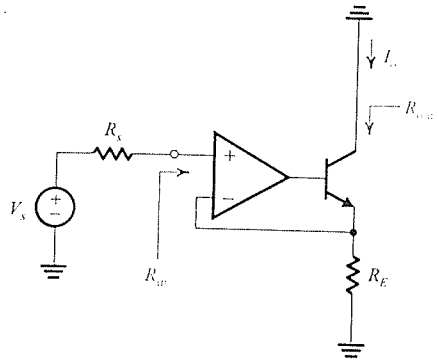


Figura P8.14

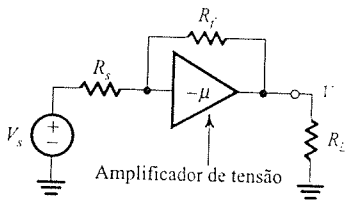
Seção 8.6: Amplificadores com Realimentação Paralelo–Paralelo e Paralelo–Série

P**8.15 (a) Mostre que, para o circuito da Figura P8.15(a), se o ganho de malha for alto, o ganho de tensão V_o/V_s será dado aproximadamente por

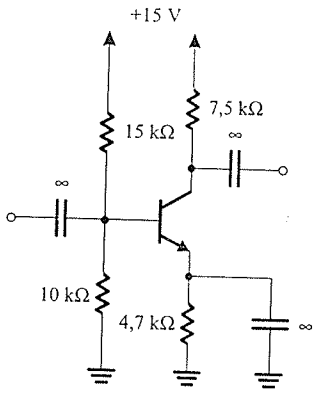
$$\frac{V_o}{V_s} \cong -\frac{R_f}{R_s}$$

(b) Usando três estágios em cascata do tipo mostrado na Figura P8.15(b) para implementar o amplificador μ, projete um amplificador realimentado com um ganho de tensão de aproximadamente –100 V/V. O amplificador deve funcionar para uma resistência R_s = 10 kΩ e uma resistência de carga R_L = 1 kΩ. Calcule o valor real de V_o/V_s obtido, a resistência de entrada (excluindo R_s) e a resistência de saída (excluindo R_L). Suponha que os TBJs tenham h_{fe} de 100. (*Observação*: Na prática, os três estágios amplificadores não são feitos idênticos, por razões de estabilidade.)

P8.16 A realimentação negativa é usada para modificar as características particulares de um amplificador por vários motivos. Identifique a topologia de realimentação a ser usada se:
(a) a resistência de entrada for diminuída e a resistência de saída aumentada;
(b) ambas as resistências de entrada e de saída, forem aumentadas;
(c) ambas as resistências de entrada e de saída, forem diminuídas.



(a)



(b)

Figura P8.15

*8.17 Considere que o amplificador da Figura 8.25(a) tenha sua saída no emissor do transistor Q_2 da direita. Use a técnica para um amplificador com realimentação paralelo–paralelo para calcular (V_{out}/V_{in}) e R_{in}. Usando esse resultado, calcule I_{out}/I_{in}. Compare com os resultados obtidos no Exemplo 8.4.

Seção 8.7: Determinação do Ganho de Malha

8.18 Determine o ganho de malha do amplificador na Figura P8.13 abrindo a malha no terminal de Q_2 e calculando a tensão de retorno no resistor de 100 kΩ (enquanto fazemos V_s igual a zero). Os dispositivos têm $|V_t|$ = 1 V, $k_n' W/L$ = 1 mA/V² e h_{fe} = 100. O valor da tensão Early para todos os dispositivos (incluindo os usados na implementação das fontes de corrente) é de 100 V. O sinal da fonte V_s tem um componente *cc* zero. Determine a resistência de saída R_{out}.

8.19 Para determinar o ganho de malha do circuito amplificador mostrado na Figura P8.19, o ponto mais conveniente para abrirmos a malha é entre o terminal do coletor de Q_2 e R_L. Faça isso e aplique um sinal de corrente I_t no nó da fonte de Q_1 e determine a corrente de retorno do sinal no terminal do coletor de Q_2. Como sempre, V_s deve ser zero. Mostre que

$$A\beta = \frac{R_L}{R_L + 1/g_{m1}} \frac{h_{fe2} R_{D1}}{R_{D1} + (h_{fe2} + 1)(r_{e2} + R_{E2})}$$

8.20 Para o circuito na Figura P8.20, calcule o ganho de malha e depois calcule a resistência de entrada R_{in}. Suponha que os TBJs tenham h_{fe} = 100.

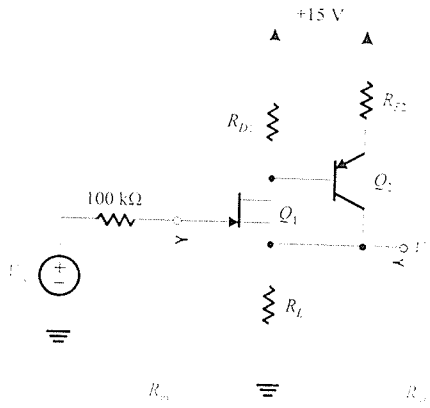


Figura P8.19

Seção 8.8: O Problema da Estabilidade

8.21 Um amp op, projetado para ter um ganho para baixas freqüências de 10^5 e uma resposta em altas freqüências dominada por um pólo simples em 100 rad/s, adquire, por erro de fabricação, um par de pólos adicional em 10.000 rad/s. Em que freqüência o deslocamento total de fase atinge 180°? Nessa freqüência, com qual valor de β, supondo-o independente da freqüência, o ganho de malha atinge o valor de ganho unitário? Qual o valor correspondente do ganho em malha fechada para baixas freqüências?

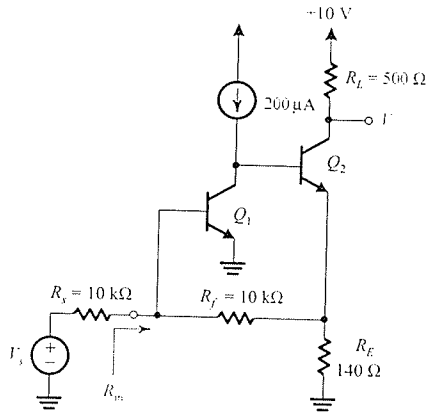


Figura P8.20

8.22 Um amp op, tendo um ganho para baixas freqüências de 10^3 e uma queda com pólo simples em 10^4 rad/s, está conectado em uma malha de realimentação negativa via uma malha de realimentação com uma

transmissão k e uma queda de dois pólos em 10^4 rad/s. Calcule o valor de k acima do qual o amplificador em malha fechada se torna instável.

Seção 8.9: O Efeito da Realimentação sobre os Pólos do Amplificador

8.23 Um amplificador *cc*, tendo uma resposta de pólo simples com o pólo na freqüência 10^4 Hz e uma freqüência de ganho unitário de 10 MHz, está operando em uma malha cujo fator de realimentação é de 0,1 e independe da freqüência. Calcule o ganho para baixas freqüências, a freqüência de corte e a freqüência de ganho unitária do amplificador em malha fechada. Por qual fator o pólo se desloca?

8.24 Um amplificador *cc* tem um ganho em malha aberta de 1000 e dois pólos, um dominante em 1 kHz e um em alta freqüência cuja posição pode ser controlada. Pede-se para conectar um amplificador com uma malha de realimentação negativa que forneça um ganho *cc* em malha fechada de 100 e uma resposta de planicidade máxima. Calcule o valor necessário de β e a freqüência em que o segundo pólo deve ser posicionado.

Seção 8.10: Estudo da Estabilidade Usando as Curvas de Bode

8.25 Reconsidere o Exercício 8.14 para o caso de um amp op ligado como um buffer de ganho unitário. Em que freqüência teremos $|A\beta| = 1$? Qual a margem de fase correspondente?

8.26 Reconsidere o Exercício 8.14 para o caso em que um erro de fabricação introduz um segundo pólo em 10^4 Hz. Qual será agora a freqüência em que $|A\beta| = 1$? Qual a margem de fase correspondente? Para que valores de β a margem de fase será 45° ou mais?

*8.27 Para o amplificador descrito pela Figura 8.37 e com realimentação independente da freqüência, qual o menor valor de ganho de tensão em malha fechada que pode ser obtido com as margens de 90° e de 45°?

Seção 8.11: A Compensação de Freqüência

P8.28 Um amplificador de pólos múltiplos, tendo um primeiro pólo em 2 MHz e um ganho *cc* em malha aberta de 80 dB, deve compensar os ganhos em malha fechada de valores tão baixos quanto a unidade pela introdução de um novo pólo dominante. Em que freqüência deve o novo pólo ser posicionado?

8.29 Observe os efeitos da separação de pólos considerando as Equações 8.58 e 8.59 nas condições em que $R_1 = R_2 = R$, $C_2 = C_1/10 = C$, $C_f >> C$ e $g_m = 100/R$, calculando ω_{P1}, ω_{P2} e ω'_{p1}, ω'_{p2}.

**8.30 O amp op no circuito da Figura P8.30 tem um ganho em malha aberta de 10^5 e uma queda de pólo simples com $\omega_{3dB} = 10$ rad/s.

(a) Esboce uma curva de Bode para o ganho de malha.

(b) Calcule a freqüência em que $|A\beta| = 1$ e calcule a margem de fase correspondente.

(c) Calcule a função de transferência em malha fechada, incluindo seus pólos e zeros. Esboce um pólo e um zero. Esboce o valor da função de transferência em função da freqüência e dê os nomes dos principais parâmetros de seu esboço.

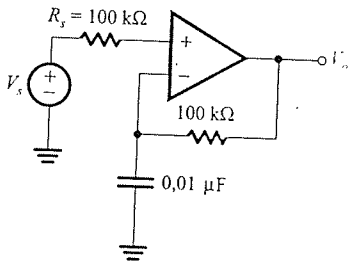


Figura P8.30

CAPÍTULO 9

MAKRON Books

Estágios de Saída e Amplificadores de Potência

Introdução
9.1 Classificação dos Estágios de Saída
9.2 O Estágio de Saída Classe A
9.3 O Estágio de Saída Classe B
9.4 O Estágio de Saída Classe AB
9.5 A Polarização do Circuito Classe AB
9.6 Os TBJs de Potência
9.7 As Variações na Configuração Classe AB
9.8 Os Amplificadores de Potência Integrados em CIs
9.9 Os Transistores de Potência MOS
9.10 Exemplo de Simulação com o SPICE
Resumo
Bibliografia
Problemas

INTRODUÇÃO

Uma função importante do estágio de saída de um amplificador é fazer o acoplamento com uma resistência de saída baixa, de modo que o amplificador possa fornecer o sinal de saída para a carga sem queda no ganho. Como o estágio de saída é o estágio final do amplificador, ele usualmente lida com sinais de amplitudes relativamente altas. Portanto, as aproximações e os modelos para pequenos sinais não são aplicáveis ou devem ser usados com cuidado. Todavia, a linearidade continua sendo uma exigência muito importante. Nesses casos, uma medida da qualidade do projeto do estágio de saída, a **distorção harmônica total**, DHT (*total harmonic distortion* – THD), passa a ser importante. Ela é o valor eficaz das componentes harmônicas do sinal de saída, excluindo a fundamental, expresso como uma porcentagem eficaz da fundamental. Um amplificador de áudio de potência com alta fidelidade apresenta uma DHT da ordem de uma fração de 1%.

A exigência mais desafiadora no projeto de um estágio de saída é que ele forneça uma quantidade de potência exigida pela carga de modo *eficiente*. Isso significa que a potência *dissipada* nos transistores do estágio de saída deve ser a menor possível. Essa exigência se origina principalmente do fato de que a potência dissipada em um transistor aumenta sua **temperatura da jun-**

ção interna, e há uma temperatura máxima (na faixa de 150°C a 200°C para os dispositivos de silício) acima da qual o transistor é destruído. Outras razões para exigir uma conversão eficiente de alta potência são o prolongamento da vida das baterias empregadas nos circuitos alimentados por elas, para permitir baterias menores, fontes de alimentação de baixo custo ou para evitar a necessidade de ventiladores.

Começaremos este capítulo com o estudo das várias configurações de estágios de saída empregadas em amplificadores tanto de baixa quanto de alta potência. Nesse contexto, "alta potência" significa geralmente acima de 1 W. Consideramos, portanto, as exigências específicas dos TBJs empregados no projeto de estágios de saída de alta potência, chamados **transistores de potência**. Uma atenção especial também será dada às propriedades térmicas do transistor.

O amplificador de potência é simplesmente um amplificador com estágio de saída de alta potência. Serão apresentados exemplos de amplificadores de potência em circuitos integrados e discretos. O capítulo será concluído com uma breve discussão sobre as estruturas dos MOSFETs que são encontrados freqüentemente em aplicações no projeto de circuito de potência.

9.1 CLASSIFICAÇÃO DOS ESTÁGIOS DE SAÍDA

Os estágios de saída são classificados de acordo com a forma de onda da corrente no coletor que resulta quando é aplicado um sinal de entrada. A Figura 9.1 ilustra a classificação para o caso de um sinal de entrada senoidal. O estágio classe A, cuja forma de onda associada está mostrada na Figura 9.1(a), é polarizado com uma corrente I_C maior do que a amplitude do sinal da corrente, $\hat{I}_c$. Portanto, o transistor em um estágio classe A conduz durante o ciclo total do sinal de entrada; ou seja, o ângulo de condução é de 360°. Em comparação, o estágio de classe B, cuja forma de onda associada está mostrada na Figura 9.1(b), é polarizado com uma corrente *cc* nula. Portanto, o transistor em um estágio classe B conduz durante apenas metade do ciclo da senóide de entrada, resultando em um ângulo de condução de 180°. Conforme será visto mais adiante, os semiciclos negativos da senóide serão fornecidos por outro transistor que também opera no modo classe B durante semiciclos alternados.

Uma classe intermediária entre A e B, apropriadamente denominada classe AB, envolve a polarização do transistor com uma corrente *cc* diferente de zero, mas muito menor do que a corrente de pico do sinal senoidal. Isso significa que o transistor conduz por um intervalo ligeiramente maior do que um semiciclo, conforme ilustrado na Figura 9.1(c). O ângulo de condução resultante é maior do que 180°, mas muito menor do que 360°. O estágio classe AB tem outro transistor que conduz por um intervalo ligeiramente maior do que o semiciclo negativo, e as correntes dos dois transistores são combinadas na carga. Isso implica que, durante os intervalos próximos da passagem por zero (cruzamento zero) da senóide de entrada, ambos os transistores conduzem.

A Figura 9.1(d) mostra a forma de onda da corrente no coletor para um transistor operando como um amplificador em classe C. Observe que o transistor conduz por um intervalo menor do que aquele de um semiciclo; isto é, o ângulo de condução é menor do que 180°. O resultado é a forma de onda da corrente pulsando periodicamente, conforme mostrado. Para obter uma tensão de saída senoidal, essa corrente passa através de um circuito paralelo LC, sintonizado para a freqüência da senóide de entrada. O circuito sintonizado funciona como um filtro passa-faixas e fornece uma tensão de saída proporcional à amplitude da componente fundamental na representação da série de Fourier da forma de onda da corrente.

Neste capítulo serão estudados os amplificadores classe A, AB e B. Eles são usados como estágios de saída de amp ops e em amplificadores de áudio de potência. Neste último caso, a classe AB é mais adequada, por razões que serão explicadas nas seções seguintes. Os amplificadores classe C são normalmente empregados na amplificação da potência de radiofreqüência (RF) (necessária, por exemplo, nos transmissores de rádio e TV). O projeto dos amplificadores classe C é um tópico muito especializado e não está incluído neste livro.

Embora o TBJ seja usado para ilustrar a definição das várias classes de estágios de saída, a mesma classificação se aplica aos estágios de saída implementados com MOSFETs. Observe que a classificação anterior se estende para outros estágios amplificadores além daqueles usados na saída. Dessa forma, os amplificadores emissor comum, base comum e coletor comum (e seus correspondentes com FET) estudados nos capítulos anteriores são considerados classe A.

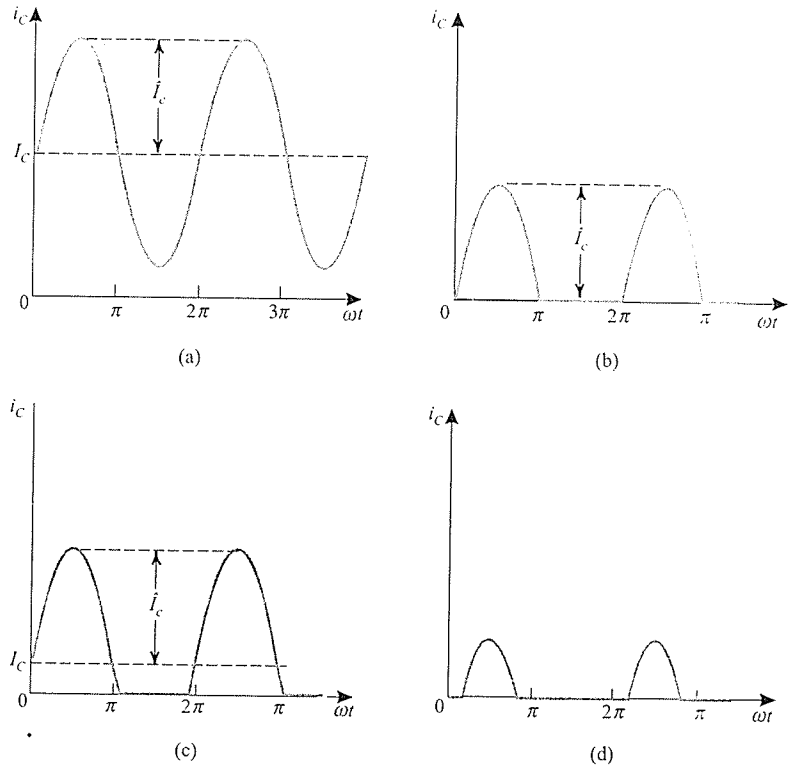


Figura 9.1 Formas de onda da corrente para transistores em estágios: **(a)** classe A, **(b)** classe B, **(c)** classe AB e **(d)** classe C.

9.2 O ESTÁGIO DE SAÍDA CLASSE A

Devido a sua baixa resistência de saída, o seguidor de emissor é o estágio de saída classe A mais popular. Já estudamos o seguidor de emissor nos Capítulos 4 e 7; a seguir, consideraremos sua operação com grandes sinais.

A Característica de Transferência

A Figura 9.2 mostra um seguidor de emissor Q_1 polarizado com uma corrente I constante, fornecida pelo transistor Q_2. Como a corrente do emissor é $i_{E1} = I + i_L$, a corrente de polarização I deve ser maior do que a corrente negativa mais alta da carga; caso contrário, Q_1 entra em corte e a operação classe A não mais será mantida.

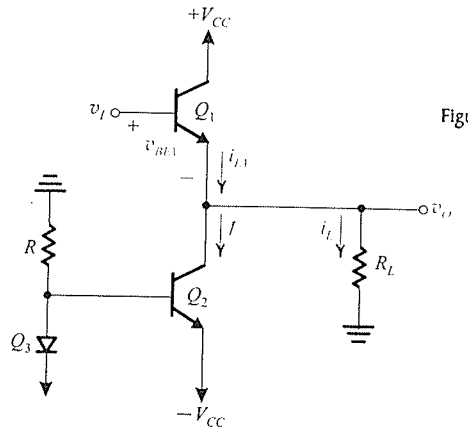


Figura 9.2 Um seguidor de emissor (Q_1) polarizado com corrente I constante fornecida pelo transistor Q_2.

A característica de transferência do seguidor de emissor da Figura 9.2 é descrita por

$$v_O = v_I - v_{BE1} \tag{9.1}$$

em que v_{BE1} depende da corrente do emissor i_{E1} e, portanto, da corrente da carga i_L. Se desprezarmos as variações relativamente pequenas em v_{BE1} (60 mV para cada fator de variação de 10 na corrente do emissor), chega-se à curva de transferência linear mostrada na Figura 9.3. Conforme indicado, o limite positivo da região linear é determinado pela saturação de Q_1; portanto,

$$v_{O\text{máx}} = V_{CC} - V_{CE1\text{sat}} \tag{9.2}$$

No sentido negativo, o limite da região linear é determinado pelo corte de Q_1,

$$v_{O\text{mín}} = -IR_L \tag{9.3}$$

ou pela saturação de Q_2,

$$v_{O\text{mín}} = -V_{CC} + V_{CE2\text{sat}} \tag{9.4}$$

dependendo dos valores de I e R_L. A tensão de saída, certamente mais baixa, é aquela dada pela Equação 9.4 e será obtida quando a corrente de polarização I for maior do que a amplitude da corrente da carga correspondente,

$$I \geq \frac{|-V_{CC} + V_{CE2\text{sat}}|}{R_L} \tag{9.5}$$

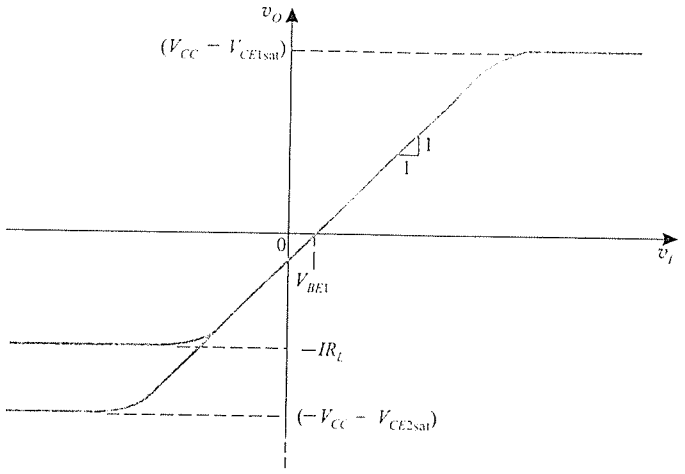


Figura 9.3 Característica de transferência do seguidor de emissor na Figura 9.2. Essa característica linear é obtida desprezando-se a mudança em v_{BE1} com i_L. A saída positiva máxima é determinada pela saturação de Q_1. Na direção negativa, o limite da região linear é dado ou pelo corte de Q_1 ou pela saturação de Q_2, dependendo dos valores de I e R_L.

Exercícios

P9.1 Para o seguidor de emissor na Figura 9.2, suponha $V_{CC} = 15$ V, $V_{CE\text{sat}} = 0{,}2$ V, $V_{BE} = 0{,}7$ V e constante e β muito alto. Calcule o valor de R que estabelecerá uma corrente de polarização suficientemente alta para permitir a excursão, a maior possível, do sinal de saída para $R_L = 1$ kΩ. Determine a excursão do sinal de saída resultante e as correntes máxima e mínima do emissor.

Resposta 0,97 kΩ; −14,8 V até +14,8 V; 0 até 29,6 mA

9.2 Para o seguidor de emissor do Exercício 9.1, com $I = 14{,}8$ mA, considere o caso em que $v_O = -10$ V até +10 V. Considere que Q_1 tem $v_{BE} = 0{,}6$ V e $i_C = 1$ mA e suponha $\alpha \simeq 1$. Calcule v_I correspondente a $v_O = -10$ V, 0 e +10 V. Para cada um desses valores, use a análise para pequenos sinais a fim de determinar o ganho de tensão v_o/v_i. Observe que o ganho de tensão incremental dá a inclinação da característica de v_O *versus* v_I.

Resposta −9,36 V, 0,67 V e 10,68 V; 0,995 V/V, 0,998 V/V e 0,999 V/V

Formas de Onda dos Sinais

Considere a operação do circuito seguidor de emissor da Figura 9.2 para uma entrada senoidal. Desprezando $V_{CE\text{sat}}$, vemos que, se a corrente de polarização I for apropriadamente escolhida, a tensão de saída pode excursionar de $-V_{CC}$ a $+V_{CC}$ com um valor quiescente igual a zero, conforme mostrado na Figura 9.4(a). A Figura 9.4(b) mostra a forma de onda correspondente de $v_{CE1} = V_{CC} - v_O$. Agora, supondo que a corrente de polarização I seja escolhida para permitir uma cor-

rente de carga negativa máxima de V_{CC}/R_L, a corrente no coletor Q_1 terá a forma de onda mostrada na Figura 9.4(c). Finalmente, a Figura 9.4(d) mostra a forma de onda da **dissipação de potência instantânea** em Q_1:

$$p_{D1} \equiv v_{CE1} i_{C1} \tag{9.6}$$

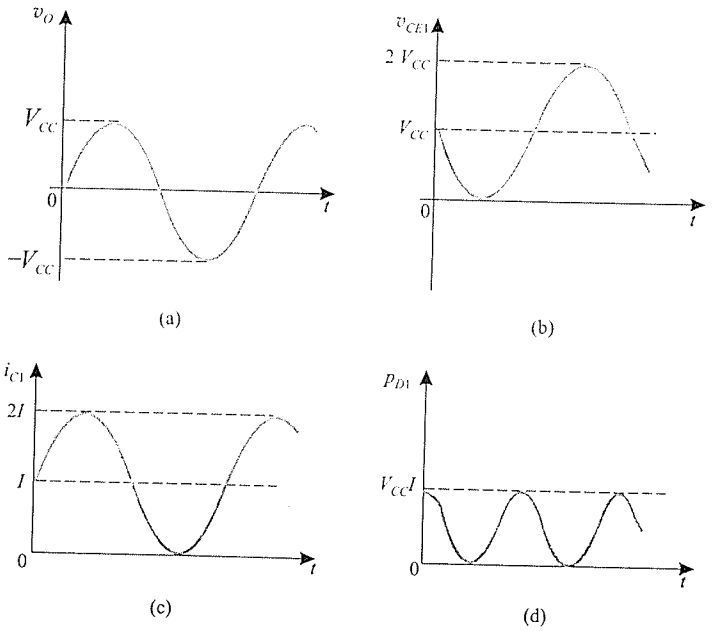


Figura 9.4 Formas de onda na situação de máxima excursão no estágio de saída classe A da Figura 9.2 na condição $I = V_{CC}/R_L$ ou, equivalentemente, $R_L = V_{CC}/I$.

Dissipação de Potência

A Figura 9.4(d) indica que a dissipação de potência instantânea máxima em Q_1 é $V_{CC}I$. Ela é igual à dissipação de potência quiescente em Q_1. Portanto, o transistor do seguidor de emissor dissipa a maior potência quando $v_O = 0$. Como essa condição (sem sinal) pode prevalecer facilmente por um período de tempo prolongado, o transistor Q_1 deve ser capaz de suportar uma dissipação contínua de potência, $V_{CC}I$.

A dissipação de potência em Q_1 depende do valor de R_L. Considere o caso extremo da saída em circuito aberto, que é $R_L = \infty$. Nesse caso, $i_{C1} = I$ é constante e a dissipação de potência instantânea em Q_1 dependerá do valor instantâneo de v_O. A dissipação de potência máxima ocorrerá quando $v_O = -V_{CC}$; para esse caso, v_{CE1} é no máximo $2V_{CC}$ e $p_{D1} = 2V_{CC}I$. Essa condição, contudo, não persiste normalmente por um intervalo de tempo prolongado; logo, o projeto não precisa ser conservador. Observe que, com o circuito da carga aberto, a dissipação de potência

média em Q_1 é $V_{CC}I$. Uma situação muito mais perigosa ocorre com outro valor extremo de R_L – especificamente, $R_L = 0$. Na eventualidade de um curto-circuito na saída, uma tensão positiva na entrada resultaria teoricamente em uma corrente de carga infinita. Na prática, pode circular por Q_1 uma corrente muito alta e, se a condição de curto-circuito persistir, a dissipação de potência alta resultante em Q_1 pode aumentar a temperatura em sua junção além do valor máximo especificado, provocando a queima de Q_1. Para avitar essa situação, os estágios de saída são equipados usualmente com uma *proteção contra curto-circuito*, como será explicado mais adiante.

A dissipação de potência em Q_2 também precisa ser levada em consideração no projeto de um estágio de saída com o seguidor de emissor. Como Q_2 conduz uma corrente constante I e o valor máximo de v_{CE2} é $2V_{CC}$, a dissipação de potência instantânea máxima em Q_2 é $2V_{CC}I$. Contudo, esse máximo ocorre quando $v_O = V_{CC}$, uma condição que normalmente não prevalece por um período de tempo prolongado. Uma grandeza muito significativa para fins de projeto é a dissipação de potência média em Q_2, que é $V_{CC}I$.

Exercício

9.3 Considere o seguidor de emissor na Figura 9.2 com $V_{CC} = 10$ V, $I = 100$ mA e $R_L = 100\ \Omega$. Calcule a dissipação de potência em Q_1 e Q_2 na condição quiescente ($v_O = 0$). Para uma tensão de saída senoidal de máxima amplitude possível (desprezando V_{CEsat}), calcule a dissipação de potência média em Q_1 e Q_2. Calcule também a potência na carga.

Resposta 1 W, 1 W; 0,5 W, 1 W; 0,5 W

O Rendimento da Conversão de Potência

O rendimento da conversão de potência de um estágio de saída é definido como

$$\eta \equiv \frac{\text{Potência da carga } (P_L)}{\text{Potência da fonte } (P_S)} \tag{9.7}$$

Para o seguidor de emissor da Figura 9.2, supondo que a tensão de saída seja senoidal com um valor de pico $\hat{V}_o$, a potência média na carga será

$$P_L = \frac{1}{2}\frac{\hat{V}_o^2}{R_L} \tag{9.8}$$

Como a corrente em Q_2 é constante (I), a potência exigida da fonte de alimentação[1] é $V_{CC}I$. A corrente *média* em Q_1 é igual a I, portanto a potência média exigida da fonte de alimentação é $V_{CC}I$. Logo, a potência média total da fonte de alimentação é

$$P_S = 2V_{CC}I \tag{9.9}$$

1. Isso *não* inclui a potência exigida pela polarização do transistor Q_3 conectado como diodo.

As Equações 9.8 e 9.9 podem ser combinadas para produzir

$$\eta = \frac{1}{4}\frac{\hat{V}_o^2}{IR_L V_{CC}}$$

$$= \frac{1}{4}\left(\frac{\hat{V}_o}{IR_L}\right)\left(\frac{\hat{V}_o}{V_{CC}}\right) \tag{9.10}$$

Visto que $\hat{V}_o \leq V_{CC}$ e $\hat{V}_o \leq IR_L$, o rendimento máximo é obtido quando

$$\hat{V}_o = V_{CC} = IR_L \tag{9.11}$$

O rendimento máximo que se pode alcançar é de 25%. Por causa desse baixo rendimento, o estágio de saída classe A raramente é usado em aplicações de alta potência (ou acima de 1 W). Observe também que, na prática, a tensão de saída é limitada em seu valor mais baixo a fim de evitar a saturação do transistor e a distorção não-linear associada. Portanto, o rendimento obtido na prática está usualmente na faixa de 10% a 20%.

Exercício

9.4 Para o seguidor de emissor da Figura 9.2, suponha $V_{CC} = 10$ V, $I = 100$ mA e $R_L = 100\ \Omega$. Se a tensão na saída for senoidal com 8 V de pico, calcule o seguinte: **(a)** A potência entregue à carga. **(b)** A potência média exigida da fonte de alimentação. **(c)** O rendimento da conversão de potência. Ignore a perda em Q_3.

Resposta 0,32 W; 2 W; 16%

9.3 O ESTÁGIO DE SAÍDA CLASSE B

A Figura 9.5 mostra um estágio de saída classe B. Ele consiste em um par complementar de transistores (isto é, um *npn* e outro *pnp*) conectados de tal modo que nunca entrem em condução simultaneamente.

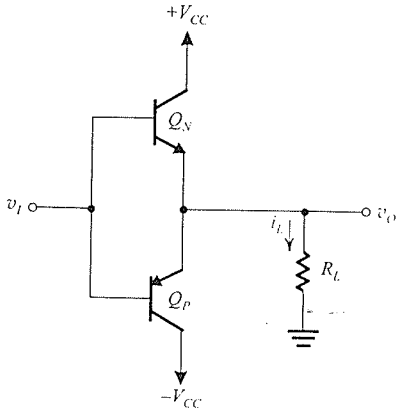


Figura 9.5 Estágio de saída classe B.

O Funcionamento do Circuito

Quando a tensão de entrada v_I for zero, os dois transistores estarão em corte e a tensão de saída v_O será nula. Quando a excursão de v_I é positiva e excede cerca de 0,5 V, Q_N conduz e funciona como um seguidor de emissor. Nesse caso, v_O segue v_I (isto é, $v_O = v_I - v_{BEN}$) e Q_N fornece a corrente à carga. Enquanto isso, a junção base–emissor de Q_P estará reversamente polarizada por V_{BE} de Q_N, que é aproximadamente de 0,7 V. Logo, Q_P estará em corte.

Quando a excursão do sinal de entrada for negativa por mais de cerca de 0,5 V, Q_P entrará em condução e funcionará como seguidor de emissor. Novamente, v_O segue v_I (isto é, $v_O = v_I + v_{EBP}$), mas nesse caso Q_P fornece corrente à carga e Q_N estará em corte.

Concluímos que os transistores no estágio classe B da Figura 9.5 são polarizados com uma corrente zero e conduzem apenas quando o sinal de entrada está presente. O circuito funciona de um modo **push-pull**: Q_N *empurra (push)* a corrente (da fonte) para a carga quando v_I é positiva e Q_P *puxa (pull)* a corrente da carga quando v_I é negativa.

Característica de Transferência

Um esboço da característica de transferência do estágio classe B pode ser visto na Figura 9.6. Observe que há uma faixa nas proximidades de zero de v_I em que os dois transistores estão em corte e v_O é zero. Essa **faixa morta** resulta na **distorção de cruzamento** (*crossover*) ilustrada na Figura 9.7 para o caso de uma senóide de entrada. O efeito da distorção de cruzamento será mais pronunciado quando a amplitude do sinal de entrada for pequeno. A distorção de cruzamento nos amplificadores de áudio dá origem a um som desagradável.

O Rendimento da Conversão de Potência

Para calcular o rendimento da conversão de potência, η, do estágio classe B, desprezamos a distorção de cruzamento e consideramos o caso de uma senóide na saída com amplitude de pico $\hat{V}_o$.

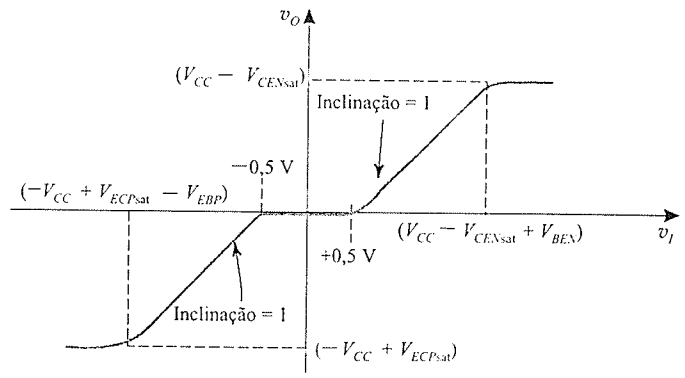


Figura 9.6 Característica de transferência do estágio de saída classe B na Figura 9.5.

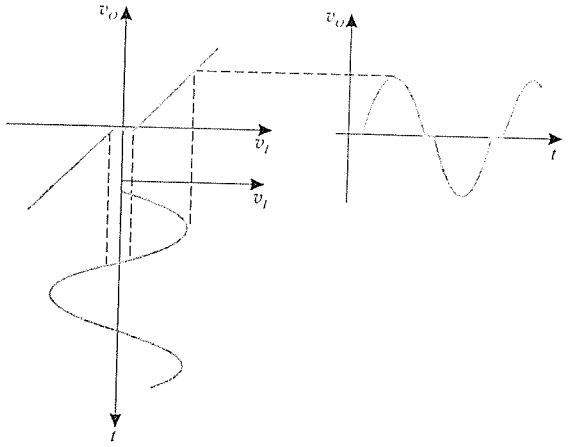


Figura 9.7 Ilustração mostrando a faixa morta na característica de transferência do estágio classe B resulta em distorção de cruzamento.

A potência média na carga será

$$P_L = \frac{1}{2}\frac{\hat{V}_o^2}{R_L} \tag{9.12}$$

A corrente drenada da fonte de alimentação simétrica consistirá em semiciclos da onda com pico de $(\hat{V}_o/R_L)$. Portanto, a corrente média drenada da fonte de alimentação simétrica será $\hat{V}_o/\pi R_L$. Isso implica que a potência média exigida da fonte de alimentação simétrica será a mesma,

$$P_{S+} = P_{S-} = \frac{1}{\pi}\frac{\hat{V}_o}{R_L}V_{CC} \tag{9.13}$$

e a potência total da fonte de alimentação será

$$P_S = \frac{2}{\pi}\frac{\hat{V}_o}{R_L}V_{CC} \tag{9.14}$$

Logo, o rendimento será dado por

$$\eta = \frac{\pi}{4}\frac{\hat{V}_o}{V_{CC}} \tag{9.15}$$

Isso significa que o rendimento máximo é obtido quando $\hat{V}_o$ estiver em seu valor máximo. Esse máximo é limitado pela saturação de Q_N e Q_P em $V_{CC} - V_{CEsat} \cong V_{CC}$. Nesse valor de pico da tensão de saída, o rendimento da conversão de potência é

$$\eta_{máx} = \frac{\pi}{4} = 78{,}5\% \tag{9.16}$$

Esse valor é muito maior do que o obtido no estágio classe A (25%). Finalmente, observamos que a máxima potência média fornecida do estágio classe B é obtida pela substituição de $\hat{V}_o = V_{CC}$ na Equação 9.12,

$$P_{Lmáx} = \frac{1}{2}\frac{V_{CC}^2}{R_L} \tag{9.17}$$

A Dissipação de Potência

Ao contrário do estágio classe A, que dissipa a potência máxima na condição quiescente ($v_O = 0$), a dissipação de potência quiescente do estágio classe B é zero. Quando um pequeno sinal for aplicado, a potência *média* dissipada no estágio classe B será dada por

$$P_D = P_S - P_L \tag{9.18}$$

Substituindo P_S da Equação 9.14 e P_L da Equação 9.12 resulta

$$P_D = \frac{2}{\pi}\frac{\hat{V}_o}{R_L}V_{CC} - \frac{1}{2}\frac{\hat{V}_o^2}{R_L} \tag{9.19}$$

Pela simetria, vemos que metade de P_D é dissipada em Q_N e a outra metade em Q_P. Logo, Q_N e Q_P devem ser capazes de dissipar seguramente $1/2P_D$ em watts. Como P_D depende de $\hat{V}_o$, precisamos calcular a dissipação de potência no pior caso, $P_{Dmáx}$. Diferenciando a Equação 9.19 em relação a $\hat{V}_o$ e igualando a zero, temos o valor de $\hat{V}_o$, que resulta na máxima dissipação de potência média como

$$\hat{V}_o\big|_{P_{Dmáx}} = \frac{2}{\pi}V_{CC} \tag{9.20}$$

Substituindo este valor na Equação 9.19, obtemos

$$P_{Dmáx} = \frac{2V_{CC}^2}{\pi^2 R_L} \tag{9.21}$$

Portanto,

$$P_{DNmáx} = P_{DPmáx} = \frac{V_{CC}^2}{\pi^2 R_L} \tag{9.22}$$

Nesse ponto, o rendimento máximo da dissipação de potência pode ser calculado pela substituição de $\hat{V}_o$ da Equação 9.20 na Equação 9.15; conseqüentemente, $\eta = 50\%$.

A Figura 9.8 mostra um esboço de P_D (Equação 9.19) *versus* a tensão de pico de saída $\hat{V}_o$. Essas curvas são usualmente fornecidas nos catálogos de fabricantes dos amplificadores de potência integrados em CIs. (Normalmente, contudo, P_D é plotado em função de P_L, como segue:

$$P_L = \frac{1}{2}\frac{\hat{V}_o^2}{R_L},$$

em vez de $\hat{V}_o$.) Uma observação interessante sobre a Figura 9.8: aumentando-se v_O além de $2V_{CC}/\pi$ *diminui-se* a potência dissipada no estágio classe B, enquanto a potência na carga é aumentada. O preço pago é um aumento na distorção não-linear, como resultado do funcionamento próximo da região de saturação de Q_N e Q_P. O transistor na saturação achata os picos da forma de

onda da senóide. Infelizmente, esse tipo de distorção não pode ser reduzida significativamente pela aplicação de uma realimentação negativa (veja a Seção 8.2); portanto, a saturação do transistor deve ser evitada em aplicações que exijam uma baixa DHT.

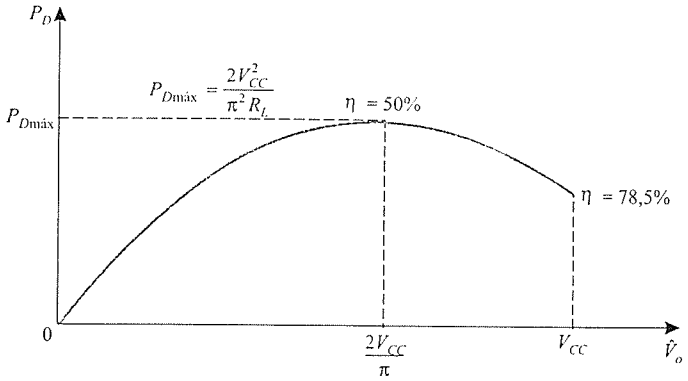


Figura 9.8 Dissipação de potência do estágio de saída classe B em função da amplitude do sinal senoidal de saída.

EXEMPLO 9.1

Pede-se para projetar um estágio de saída classe B para fornecer uma potência média de 20 W para uma carga de 8 Ω. A fonte de alimentação escolhida deve ser tal que V_{CC} seja cerca de 5 V maior do que a tensão de pico de saída. Isso evita a saturação do transistor e a distorção não-linear associada e permite a inclusão de proteção contra curto-circuito. (Esta última será discutida na Seção 9.7.) Determine a fonte de alimentação necessária, a corrente de pico drenada da fonte, a potência total da alimentação e o rendimento da conversão de potência. Determine também a potência máxima que cada transistor deve ter para dissipar essa potência de forma segura.

SOLUÇÃO

Como

$$P_L = \frac{1}{2}\frac{\hat{V}_o^2}{R_L}$$

então

$$\hat{V}_o = \sqrt{2P_L R_L}$$
$$= \sqrt{2 \times 20 \times 8} = 17{,}9 \text{ V}$$

Logo, escolhemos $V_{CC} = 23$ V.

A corrente de pico drenada da fonte é

$$\hat{I}_o = \frac{\hat{V}_o}{R_L} = \frac{17{,}9}{8} = 2{,}24 \text{ A}$$

A potência média exigida da fonte é

$$P_{S+} = P_{S-} = \frac{1}{\pi} \times 2{,}24 \times 23 = 16{,}4 \text{ W}$$

para uma potência total de 32.8 W da fonte. O rendimento da conversão de potência é

$$\eta = \frac{P_L}{P_S} = \frac{20}{32{,}8} \times 100 = 61\%$$

A dissipação de potência máxima em cada transistor é dada pela Equação 9.22; logo,

$$P_{DN\text{máx}} = P_{DP\text{máx}} = \frac{V_{CC}^2}{\pi^2 R_L}$$
$$= \frac{(23)^2}{\pi^2 \times 8} = 6{,}7 \text{ W}$$

A Redução da Distorção de Cruzamento

A distorção de cruzamento de um estágio de saída classe B pode ser reduzida substancialmente pelo uso de um amp op de alto ganho e da realimentação negativa global, como mostra a Figura 9.9. A banda morta de ± 0,7 V é reduzida para ± $0{,}7/A_0$ volts, em que A_0 é o ganho *cc* do amp op. Entretanto, a limitação da taxa de inclinação (*slew-rate*) do amp op causará alternadamente, de forma visível, a condução e o corte dos transistores de saída, especialmente em altas freqüências. Um método mais prático para reduzir e quase eliminar a distorção de cruzamento encontra-se no uso do estágio classe AB, que será estudado na próxima seção.

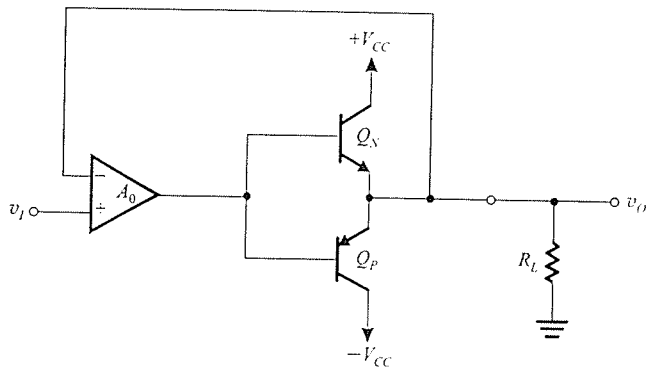


Figura 9.9 Circuito classe B com um amp op conectado em uma malha de realimentação negativa para reduzir a distorção de cruzamento.

A Operação com Fonte de Alimentação Simples

O estágio classe B pode operar com apenas uma fonte de alimentação simples; nesse caso, a carga é capacitivamente acoplada, conforme mostrado na Figura 9.10. Observe que, a fim de fazer com que as fórmulas determinadas anteriormente sejam aplicáveis diretamente, a fonte de alimentação simples é representada por $2V_{CC}$.

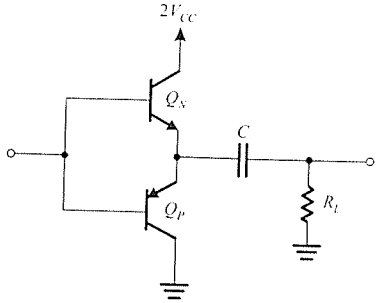


Figura 9.10 Estágio de saída classe B, alimentado com uma única fonte de alimentação.

Exercício

9.5 Para o estágio de saída classe B da Figura 9.5, suponha $V_{CC} = 6$ V e $R_L = 4\ \Omega$. Se a saída for uma senóide com 4,5 V de pico, calcule (a) a potência de saída; (b) a potência média drenada da fonte de alimentação; (c) o rendimento da fonte obtido com essa tensão de saída; (d) as correntes de pico fornecidas por v_I, supondo que $\beta_N = \beta_P = 50$; e (e) a potência máxima que cada transistor deve ser capaz de dissipar com segurança.

Resposta (a) 2,53 W; (b) 2,15 W; (c) 59%; (d) 22,1 mA; (e) 0,91 W

9.4 O ESTÁGIO DE SAÍDA CLASSE AB

A distorção de cruzamento pode ser virtualmente eliminada por uma pequena polarização (corrente diferente de zero) dos transistores complementares de saída. O resultado é o estágio de saída classe AB mostrado da Figura 9.11. Uma tensão de polarização V_{BB} é aplicada entre as bases de Q_N e Q_P. Para $v_I = 0$ e $v_O = 0$, uma tensão $V_{BB}/2$ aparece na junção base–emissor de cada Q_N e Q_P. Supondo os dispositivos casados,

$$i_N = i_P = I_Q = I_S e^{V_{BB}/2V_T} \tag{9.23}$$

O valor de *V*BB é escolhido de modo a produzir a corrente quiescente I_Q necessária.

O Funcionamento do Circuito

Quando v_I excursiona positivamente por um certo valor, a tensão na base de Q_N aumenta com o mesmo valor e a saída torna-se positiva em uma quantidade quase igual,

$$v_O = v_I + \frac{V_{BB}}{2} - v_{BEN} \tag{9.24}$$

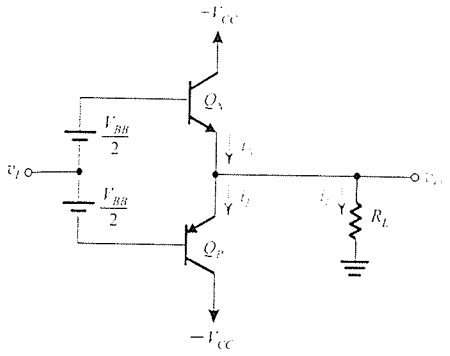


Figura 9.11 Estágio de saída classe AB. Uma fonte de tensão V_{BB} é aplicada entre as bases de Q_N e Q_P fazendo com que ocorra aumento de corrente de polarização I_Q dada pela Equação 9.23. Portanto, para v_I pequeno, ambos os transistores conduzem e a distorção de cruzamento é quase inteiramente eliminada.

A tensão positiva v_O faz circular uma corrente i_L através de R_L, portanto i_N deve aumentar. isto é,

$$i_N = i_P + i_L \tag{9.25}$$

O aumento em i_N deve ser acompanhado de um aumento correspondente em v_{BEN} (acima do valor quiescente $V_{BB}/2$). Porém, como a tensão entre as duas bases permanece constante em V_{BB}, o aumento em v_{BEN} resultará em uma diminuição igual em v_{EBP} e, conseqüentemente, em i_P. A relação entre i_N e i_P pode ser deduzida como segue:

$$v_{BEN} + v_{EBP} = V_{BB}$$

$$V_T \ln\left(\frac{i_N}{I_S}\right) + V_T \ln\left(\frac{i_P}{I_S}\right) = 2V_T \ln\left(\frac{I_Q}{I_S}\right)$$

$$i_N i_P = I_Q^2 \tag{9.26}$$

Portanto, como i_N aumenta, i_P diminui pela mesma razão enquanto o produto permanecer constante. As Equações 9.25 e 9.26 podem ser combinadas para produzir i_N para uma dada i_L como a solução da equação quadrática

$$i_N^2 - i_L i_N - I_Q^2 = 0 \tag{9.27}$$

Pelo que foi demonstrado anteriormente, podemos ver que, para tensões de saída positivas, a corrente da carga é fornecida por Q_N, que funciona como seguidor de emissor de saída. Entretanto, Q_P conduzirá uma corrente que diminui com o aumento de v_O; para um alto valor de v_O, a corrente em Q_P pode ser totalmente ignorada.

Para valores negativos da tensão de entrada, ocorre o oposto; a corrente na carga é fornecida por Q_P, que funciona como um seguidor de emissor de saída, enquanto Q_N conduz uma corrente que vai diminuindo à medida que v_I vai se tornando mais negativa. A Equação 9.26, que relaciona i_N com i_P, vale também para entradas negativas.

Concluímos que o estágio classe AB funciona quase do mesmo modo que o circuito classe B, com uma exceção importante: para pequenos valores de v_I, os dois transistores conduzem e, se v_I diminui ou aumenta, um dos dois transistores entra em operação. Como a transição é suave, a distorção de cruzamento é quase totalmente eliminada. A Figura 9.12 mostra a característica de transferência do estágio classe AB.

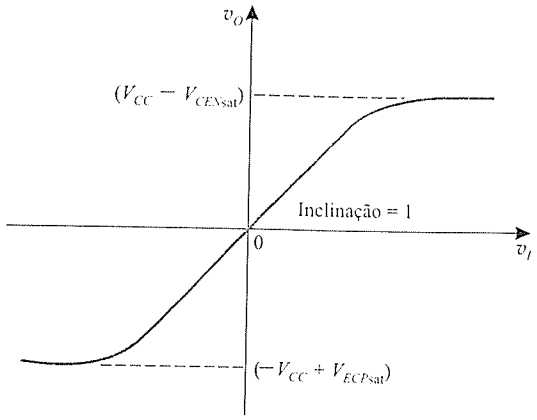


Figura 9.12 Característica de transferência do estágio classe AB da Figura 9.11.

As relações de potência no estágio classe AB são quase idênticas às determinadas para o circuito classe B na seção anterior. A única diferença é que nas condições quiescentes o circuito classe AB dissipa uma potência de $V_{CC}I_Q$ por transistor. Como I_Q é normalmente muito menor do que a corrente de pico na carga, a dissipação de potência quiescente é normalmente pequena. Entretanto, ela pode ser facilmente levada em consideração. Especificamente, podemos simplesmente somar a dissipação quiescente por transistor com sua dissipação de potência máxima com um sinal de entrada aplicado para obter a dissipação de potência total que cada transistor deve ser capaz de dissipar de forma segura.

A Resistência de Saída

Se supusermos que a tensão da fonte de alimentação v_I é ideal, então a resistência de saída do estágio classe AB pode ser determinada a partir do circuito da Figura 9.13 como

$$R_{\text{out}} = r_{eN} // r_{eP} \tag{9.28}$$

em que r_{eN} e r_{eP} são as resistências dos emissores de Q_N e Q_P para pequenos sinais, respectivamente.

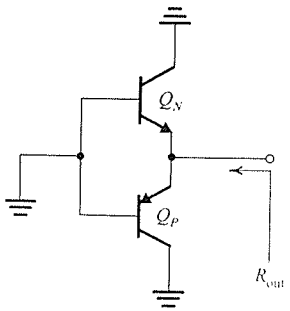


Figura 9.13 Determinando a resistência de saída para pequenos sinais do circuito classe AB da Figura 9.11.

Para uma dada tensão de entrada, as correntes i_N e i_P podem ser determinadas e r_{eN} e r_{eP} são dadas por

$$r_{eN} = \frac{V_T}{i_N} \tag{9.29}$$

$$r_{eP} = \frac{V_T}{i_P} \tag{9.30}$$

Portanto,

$$R_{\text{out}} = \frac{V_T}{i_N} // \frac{V_T}{i_P} = \frac{V_T}{i_P + i_N} \tag{9.31}$$

Com o aumento de i_N, i_P diminui, e vice-versa, e a resistência de saída permanece aproximadamente constante na região em torno de $v_I = 0$. Portanto, essa é a razão para a virtual ausência da distorção de cruzamento. Para valores altos de corrente na carga, i_N ou i_P são significativas, e R_{out} diminui à medida que a corrente na carga aumenta.

Exercício

9.6 Considere um circuito classe AB com $V_{CC} = 15$ V, $I_Q = 2$ mA e $R_L = 100\ \Omega$. Determine V_{BB}. Construa uma tabela fornecendo i_L, i_N, i_P, v_{BEN}, v_{EBP}, v_I, v_O/v_I, R_{out} e v_o/v_i *versus* v_O para $v_O = 0$, 0,1, 0,2, 0,5, 1, 5, 10, −0,1, −0,2, −0,5, −1, −5 e −10 V. Observe que v_O/v_I é o ganho de tensão para grandes sinais e v_o/v_i é o ganho incremental obtido por $R_L/(R_L + R_{\text{out}})$. O ganho incremental é igual à inclinação da curva de transferência. Suponha Q_N e Q_P casados, com $I_S = 10^{-13}$ A.

Resposta $V_{BB} = 1{,}186$ V

v_O (V)	i_L (mA)	i_N (mA)	i_P (mA)	v_{BEN} (V)	v_{EBP} (V)	v_I (V)	v_O/v_I	R_{out} (Ω)	v_O/v_i
+10,0	100	100,04	0,04	0,691	0,495	10,1	0,99	0,25	1,00
+5,0	50	50,08	0,08	0,673	0,513	5,08	0,98	0,50	1,00
+1,0	10	10,39	0,39	0,634	0,552	1,041	0,96	2,32	0,98
+0,5	5	5,70	0,70	0,619	0,567	0,526	0,95	4,03	0,96
+0,2	2	3,24	1,24	0,605	0,581	0,212	0,94	5,58	0,95
+0,1	1	2,56	1,56	0,599	0,587	0,106	0,94	6,07	0,94
0	0	2	2	0,593	0,593	0	–	6,25	0,94
−0,1	−1	1,56	2,56	0,587	0,599	−0,106	0,94	6,07	0,94
−0,2	−2	1,24	3,24	0,581	0,605	−0,212	0,94	5,58	0,95
−0,5	−5	0,70	5,70	0,567	0,619	−0,526	0,95	4,03	0,96
−1,0	−10	0,39	10,39	0,552	0,634	−1,041	0,96	2,32	0,98
−5,0	−50	0,08	50,08	0,513	0,673	−5,08	0,98	0,50	1,00
−10,0	−100	0,04	100,04	0,495	0,691	−10,1	0,99	0,25	1,00

9.5 A POLARIZAÇÃO DO CIRCUITO CLASSE AB

Nesta seção discutiremos duas possibilidades para gerar a tensão V_{BB} necessária para polarizar o estágio classe AB.

Polarização Usando Diodos

A Figura 9.14 mostra um circuito classe AB em que a tensão de polarização V_{BB} é criada pela passagem de uma corrente constante $I_{\text{POLARIZAÇÃO}}$ através de um par de diodos, ou transistores conectados como diodos, D_1 e D_2. Para os circuitos que fornecem grandes quantidades de potência, os transistores de saída são dispositivos com dimensões maiores. Os diodos de polarização, contudo, não necessitam ser dispositivos de grandes dimensões e, portanto, a corrente quiescente I_Q estabelecida em Q_N e Q_P será $I_Q = nI_{\text{POLARIZAÇÃO}}$, sendo n a razão da área da junção do emissor dos dispositivos de saída para a área da junção dos diodos de polarização. Em outras palavras, a corrente de saturação (ou de escala) I_S dos transistores de saída é n vezes a corrente dos diodos de polarização. A razão de áreas é simples de implementar nos circuitos integrados, mas difícil de realizar nos projetos de circuitos discretos.

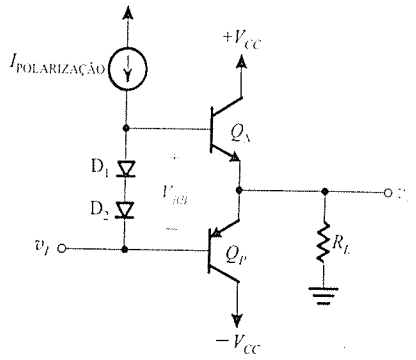


Figura 9.14 Estágio de saída classe AB utilizando diodos de polarização. Se a área de junção dos dispositivos de saída, Q_N e Q_P, é n vezes a área dos diodos de polarização D_1 e D_2, isso significa que uma corrente quiescente $I_Q = nI_{\text{POLARIZAÇÃO}}$ passa através dos dispositivos de saída.

Quando o estágio de saída da Figura 9.14 fornece corrente para a carga, a corrente da base de Q_N aumenta de I_Q/β_N (que é usualmente pequeno) para aproximadamente i_L/β_N. Essa corrente que aciona a base deve ser fornecida pela fonte de corrente $I_{\text{POLARIZAÇÃO}}$. Isso implica que $I_{\text{POLARIZAÇÃO}}$ deve ser maior do que a corrente máxima esperada na base para Q_N. Isso dá o limite inferior do valor de $I_{\text{POLARIZAÇÃO}}$. Agora, visto que $I_Q = nI_{\text{POLARIZAÇÃO}}$ e I_Q usualmente é muito menor do que a corrente de pico na carga (menos de 10%), vemos que não podemos fazer n com um valor muito alto. Em outras palavras, não podemos usar diodos muito menores do que os dispositivos de saída. Essa é a desvantagem do esquema de polarização por diodos.

Pelo que foi discutido anteriormente, vemos que a corrente através dos diodos de polarização diminui quando o estágio de saída está fornecendo corrente para a carga. Logo, a tensão de polarização V_{BB} também diminuirá e a análise da seção anterior deve ser modificada para levar em consideração esse efeito.

O arranjo com diodos de polarização tem uma vantagem importante: pode proporcionar uma estabilização térmica da corrente quiescente no estágio de saída. Para observar esse ponto, lembre-se de que o estágio de saída classe AB dissipa uma potência abaixo das condições quiescentes. A dissipação de potência aumenta a temperatura interna dos TBJs. Como vimos no Capítulo 4, um aumento na temperatura do transistor resulta em uma diminuição em seu V_{BE} (aproximadamente, –2 mV/°C) se a corrente do coletor for mantida constante. Alternativamente, se V_{BE} for mantida constante e a temperatura aumentar, a corrente no coletor aumentará. O aumento na corrente do coletor aumenta a dissipação de potência que, por sua vez, aumenta a corrente no coletor.

Logo, ocorre um mecanismo de realimentação positiva que resulta em um fenômeno chamado **disparo térmico**. Se não for detido, o disparo térmico pode levar o TBJ à destruição. Os diodos de polarização podem ser usados para proporcionar um efeito de compensação que pode proteger os transistores de saída contra o disparo térmico nas condições quiescentes. Especificamente, se os diodos forem colocados em contato térmico com os transistores de saída, suas temperaturas aumentarão na mesma proporção de Q_N e Q_P. Logo, V_{BB} diminuirá com a mesma taxa $v_{BEN} + v_{EBP}$, resultando que I_Q permanecerá constante. O contato térmico é facilmente obtido na fabricação de CIs. Ele é obtido nos circuitos discretos pela montagem dos diodos de polarização no encapsulamento metálico de Q_N ou Q_P.

EXEMPLO 9.2

Considere o estágio de saída classe AB nas condições em que $V_{CC} = 15$ V, $R_L = 100\ \Omega$ e a saída é senoidal com amplitude máxima de 10 V. Suponha Q_N e Q_P casados com $I_S = 10^{-13}$ A e $\beta = 50$. Suponha que os diodos de polarização tenham uma área da junção de um terço da área da junção dos dispositivos de saída. Calcule o valor de $I_{\text{POLARIZAÇÃO}}$ que garanta uma corrente mínima de 1 mA através dos diodos o tempo todo. Determine a corrente quiescente e a dissipação de potência quiescente nos transistores de saída (isto é, em $v_O = 0$). Calcule também V_{BB} para $v_O = 0$, +10 V e –10 V.

SOLUÇÃO

A corrente máxima através de Q_N é aproximadamente igual a $i_{L\text{máx}} = 10$ V/0,1 kΩ = 100 mA. Portanto, a corrente de base máxima em Q_N é de aproximadamente 2 mA. Para manter uma corrente mínima de 1 mA nos diodos, escolhemos $I_{\text{POLARIZAÇÃO}} = 3$ mA. A razão de área 3 produz uma corrente quiescente de 9 mA através de Q_N e Q_P. A dissipação de potência quiescente é

$$P_{DQ} = 2 \times 15 \times 9 = 270 \text{ mW}$$

Para $v_O = 0$, a corrente da base de Q_N é 9/51 ≈ 0,18 mA, que faz circular uma corrente de 3 – 0,18 = 2,82 mA através dos diodos. Como os diodos têm $I_S = 1/3 \times 10^{-13}$ A, a tensão V_{BB} será

$$V_{BB} = 2V_T \ln \frac{2{,}82 \text{ mA}}{I_S} = 1{,}26 \text{ V}$$

Com $v_O = +10$ V, a corrente através dos diodos aumentará para 1 mA, resultando em $V_{BB} = 1{,}21$ V. No outro extremo, com $v_O = -10$ V, Q_N conduzirá uma corrente muito pequena; logo, sua corrente de base será desprezivelmente pequena e a corrente $I_{\text{POLARIZAÇÃO}}$ total (3 mA) circulará pelos diodos, resultando em $V_{BB} = 1{,}26$ V.

Exercícios

9.7 Para o circuito do Exemplo 9.2, calcule i_N e i_P para $v_O = +10$ V e $v_O = -10$ V.

Resposta 100,1 mA, 0,1 mA; 0,8 mA, 100,8 mA

9.8 Se a corrente de coletor de um transistor for mantida constante, seu v_{BE} diminuirá em 2 mV para cada °C de aumento na temperatura. Alternativamente, se v_{BE} for mantida constante, então i_C diminuirá aproximadamente $g_m \times 2$ mV para cada °C de aumento na temperatura. Para um dispositivo operando com $I_C = 10$ mA, calcule a variação na corrente de coletor resultante de um aumento de 5°C na temperatura.

Resposta 4 mA

Polarização Usando o Multiplicador de V_{BE}

Um arranjo alternativo de polarização, que proporciona ao projetista maior flexibilidade no projeto de circuitos tanto integrados quanto discretos, está mostrado na Figura 9.15. O circuito de polarização consiste no transistor Q_1 com um resistor R_1 conectado entre a base e o emissor e no resistor de realimentação R_2 conectado entre o coletor e a base. A malha resultante de dois terminais é alimentada por uma fonte de corrente constante $I_{\text{POLARIZAÇÃO}}$. Se desprezarmos a corrente da base de Q_1, então R_1 e R_2 terão a mesma corrente I_R, dada por

$$I_R = \frac{V_{BE1}}{R_1} \tag{9.32}$$

e a tensão V_{BB} na malha de polarização será

$$V_{BB} = I_R(R_1 + R_2) = V_{BE1}\left(1 + \frac{R_2}{R_1}\right) \tag{9.33}$$

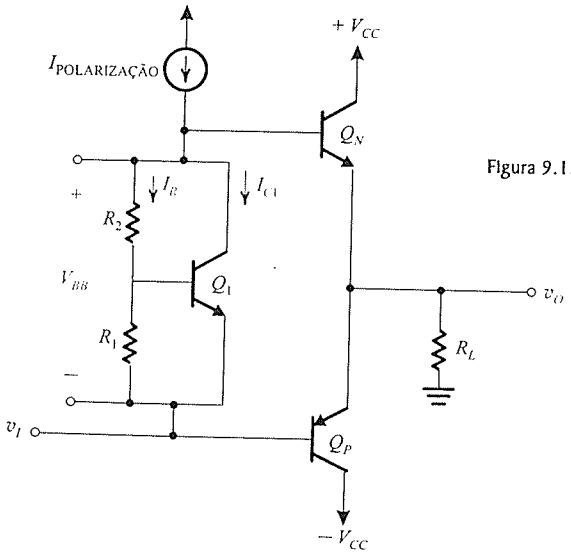


Figura 9.15 Estágio de saída classe AB utilizando um circuito multiplicador de V_{BE} para polarização dos transistores Q_N e Q_P.

Portanto, o circuito simplesmente multiplica V_{BE1} pelo fator $(1 + R_2/R_1)$, e é conhecido como "multiplicador de V_{BE}". O fator de multiplicação está obviamente sob controle do projetista e pode ser usado para estabelecer o valor de V_{BB} necessário para produzir a corrente quiescente desejada I_Q. No projeto de CIs é relativamente fácil controlar a razão dessas duas resistências. No projeto de circuitos discretos, pode ser usado um potenciômetro, conforme mostrado na Figura 9.16, ajustado manualmente para produzir o valor desejado de I_Q.

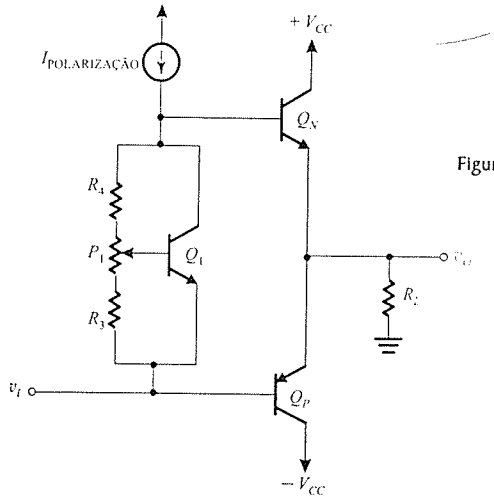


Figura 9.16 Um estágio de saída classe AB na forma discreta com um potenciômetro empregado no circuito multiplicador de V_{BE}. O potenciômetro é ajustado de modo a controlar a corrente quiescente nos transistores Q_N e Q_P.

O valor de V_{BE1} na Equação 9.33 é determinado pela porção de $I_{\text{POLARIZAÇÃO}}$ que circula através do coletor de Q_1; ou seja,

$$I_{C1} = I_{\text{polarização}} - I_R \tag{9.34}$$

$$V_{BE1} = V_T \ln\left(\frac{I_{C1}}{I_{S1}}\right) \tag{9.35}$$

em que desprezamos a corrente da base de Q_N, normalmente muito pequena, tanto na condição quiescente como quando a tensão de saída excursiona no sentido negativo. Contudo, para v_O positiva, especialmente próxima do valor de pico, a corrente da base de Q_N pode se tornar maior e reduzir a corrente fornecida para o multiplicador de V_{BE}. Entretanto, como uma grande variação em I_{C1} corresponde a uma pequena variação em V_{BE1}, a diminuição na corrente será quase totalmente absorvida por Q_1, fazendo I_R e, conseqüentemente, V_{BB} quase constantes.

Exercício

9.9 Considere um multiplicador de V_{BE} com $R_1 = R_2 = 1{,}2$ kΩ, utilizando um transistor que tem $V_{BE} = 0{,}6$ V e $I_C = 1$ mA e um β muito alto. (a) Calcule o valor da corrente I que deve ser forneci-

do ao multiplicador para obter uma tensão terminal de 1,2 V. (b) Calcule o valor de I que resultará em uma tensão terminal variando (do valor de 1,2 V) por +50 mV, +100 mV, +200 mV, −50 mV, −100 mV, −200 mV.

Resposta (a) 1,5 mA; (b) 3,24 mA, 7,93 mA, 55,18 mA, 0,85 mA, 0,59 mA, 0,43 mA

Como o diodo polariza a malha, o circuito multiplicador de V_{BE} pode proporcionar uma estabilização térmica em I_Q. Isso é especialmente verdadeiro se $R_1 = R_2$ e se Q_1 estiver em contato térmico com os transistores de saída.

EXEMPLO 9.3

Pede-se para reprojetar o estágio de saída do Exemplo 9.2 utilizando um multiplicador de V_{BE} para a polarização. Use um transistor de pequenas dimensões para Q_1 com $I_S = 10^{-14}$ A e projete para uma corrente quiescente $I_Q = 2$ mA.

SOLUÇÃO

Como a corrente de pico positiva é de 100 mA, a corrente da base de Q_N pode ser tão alta quanto 2 mA. Devemos, portanto, escolher $I_{\text{POLARIZAÇÃO}} = 3$ mA, fornecendo ao multiplicador uma corrente mínima de 1 mA.

Nas condições quiescentes ($v_O = 0$ e $i_L = 0$), a corrente da base de Q_N pode ser desprezada e toda a corrente $I_{\text{POLARIZAÇÃO}}$ circula através do multiplicador. Devemos decidir agora sobre como essa corrente (3 mA) deve ser dividida entre I_{C1} e I_R. Se fizermos I_R maior do que 1 mA, o transistor ficará próximo do corte no valor de pico de v_O. Portanto, escolheremos, por exemplo, $I_R = 0{,}5$ mA, deixando 2,5 mA para I_{C1}.

Para obter uma corrente quiescente de 2 mA na saída do transistor, V_{BB} deve ser

$$V_{BB} = 2V_T \ln\frac{2\times10^{-3}}{10^{-13}} = 1{,}19 \text{ V}$$

Podemos agora determinar $R_1 + R_2$ como segue:

$$R_1 + R_2 = \frac{V_{BB}}{I_R} = \frac{1{,}19}{0{,}5} = 2{,}38 \text{ k}\Omega$$

Com uma corrente de 2,5 mA, Q_1 tem

$$V_{BE1} = V_T \ln\frac{2{,}5\times10^{-3}}{10^{-14}} = 0{,}66 \text{ V}$$

O valor de R_1 pode agora ser determinado como

$$R_1 = \frac{0{,}66}{0{,}5} = 1{,}32 \text{ k}\Omega$$

e R_2 como

$$R_2 = 2{,}38 - 1{,}32 = 1{,}06 \text{ k}\Omega$$

9.6 OS TBJs DE POTÊNCIA

Os transistores que devem conduzir correntes na faixa de ampere e suportar uma potência na faixa de watts e até dezenas de watts são diferentes em sua estrutura física, encapsulamento e especificação em relação aos transistores para pequenos sinais considerados nos capítulos anteriores. Nesta seção consideraremos algumas propriedades importantes dos transistores de potência, especialmente nos aspectos que dizem respeito ao projeto de circuitos dos tipos discutidos nas seções anteriores. Há, é claro, outras aplicações importantes do transistor de potência, como seu uso nos elementos de chaveamento, nos inversores de potência e nos circuitos de controle de motores. Essas aplicações não são estudadas neste livro.

A Temperatura da Junção

Os transistores de potência dissipam uma grande quantidade de potência em suas junções coletor–base. A potência dissipada é convertida em calor, que faz aumentar a temperatura da junção. Contudo, a temperatura da junção, T_J, não pode exceder a um valor máximo especificado, $T_{J\text{máx}}$; caso contrário, o transistor pode sofrer danos permanentes. Para os dispositivos de silício, $T_{J\text{máx}}$ está na faixa de 150°C a 200°C.

A Resistência Térmica

Considere primeiro o caso de um transistor operando em ar livre – isto é, sem equipamento de ventilação. O calor dissipado na junção do transistor será conduzido para fora da junção, para o encapsulamento do transistor e do encapsulamento para o meio ambiente. Em um estado estável em que o transistor dissipa uma potência de P_D watts, um aumento na temperatura da junção relativa ao meio ambiente pode ser expresso como

$$T_J - T_A = \theta_{JA} P_D \tag{9.36}$$

em que θ_{JA} é a **resistência térmica** entre a junção e o meio ambiente, tendo a unidade de °C por watt. Observe que θ_{JA} representa simplesmente o aumento na temperatura da junção sobre a temperatura ambiente para cada watt de potência dissipada. Como precisamos dissipar uma grande quantidade de potência sem que a temperatura da junção ultrapasse o valor de $T_{J\text{máx}}$, devemos ter o valor de resistência térmica θ_{JA} o mais baixo possível. Para operação ao ar livre, θ_{JA} depende primariamente do tipo de encapsulamento do transistor. O valor de θ_{JA} é normalmente especificado pelos manuais dos fabricantes de transistor.

A Equação 9.36, que descreve o processo da condução térmica, é análoga à lei de Ohm, que descreve o processo da condução elétrica. Nessa analogia, a dissipação de potência corresponde à corrente, a diferença de temperatura corresponde à tensão e a resistência térmica corresponde à resistência elétrica. Portanto, podemos representar o processo da condução térmica pelo circuito elétrico mostrado na Figura 9.17.

A Temperatura em Função da Dissipação de Potência

Os fabricantes de transistores normalmente especificam $T_{J\text{máx}}$, a resistência térmica θ_{JA}, e a dissipação de potência máxima, em uma temperatura ambiente particular T_{A0} (geralmente, 25°C). Além disso, fornecem também um gráfico como o da Figura 9.18.

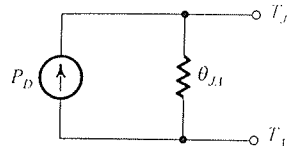


Figura 9.17 Circuito elétrico equivalente do processo de condução térmica: $T_J - T_A = P_D\theta_{JA}$.

O gráfico simplesmente mostra que, para operação na temperatura ambiente abaixo de T_{A0}, o dispositivo pode dissipar seguramente essa potência nominal de P_{D0} watts. Entretanto, se o dispositivo operar em temperaturas mais elevadas do que a ambiente, a dissipação de potência máxima permitida deve ser **degradada** (*derated*), de acordo com a inclinação da reta dada na Figura 9.18. A curva de degradação da potência é uma representação gráfica da Equação 9.36. Observe, especificamente, que, se a temperatura ambiente for T_{A0} e a dissipação de potência for a máxima permitida (P_{D0}), então a temperatura da junção será $T_{J\text{máx}}$. Substituindo esses valores na Equação 9.36 chega-se a

$$\theta_{JA} = \frac{T_{J\text{máx}} - T_{A0}}{P_{D0}} \tag{9.37}$$

que é o inverso da inclinação da curva de degradação da potência. Na temperatura ambiente T_A, acima de T_{A0}, a dissipação de potência máxima permitida $P_{D\text{máx}}$ pode ser obtida pela Equação 9.36, substituindo $T_J = T_{J\text{máx}}$, logo

$$P_{D\text{máx}} = \frac{T_{J\text{máx}} - T_A}{\theta_{JA}} \tag{9.38}$$

Observe que T_A se aproximando de $T_{J\text{máx}}$ implica que a dissipação de potência permitida diminui; o menor gradiente térmico limita a quantidade de calor que pode ser retirada da junção. No caso extremo de $T_A = T_{J\text{máx}}$, não pode haver dissipação de potência, pois o aquecimento não pode ser retirado da junção.

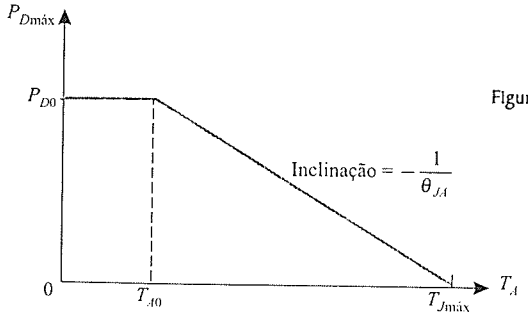


Figura 9.18 Máxima dissipação de potência permitida em função da temperatura ambiente para um TBJ operando ao ar livre. Esta é conhecida como curva de "degradação de potência".

EXEMPLO 9.4

Um TBJ é especificado para dissipação de potência máxima, P_{D0}, de 2 watts na temperatura ambiente T_{A0} de 25°C e uma temperatura de junção máxima $T_{J\text{máx}}$ de 150°C. Calcule:

(a) A resistência térmica θ_{JA}.

(b) A potência máxima que pode ser dissipada com segurança em uma temperatura de 50°C.

(c) A temperatura da junção se o dispositivo estiver operando com $T_A = 25$°C e dissipando 1 W.

SOLUÇÃO

(a) $\theta_{JA} = \dfrac{T_{J\text{máx}} - T_{A0}}{P_{D0}} = \dfrac{150-25}{2} = 62{,}5\,°\text{C/W}$

(b) $P_{D\text{máx}} = \dfrac{T_{J\text{máx}} - T_A}{\theta_{JA}} = \dfrac{150-50}{62{,}5} = 1{,}6\ \text{W}$

(c) $T_J = T_A + \theta_{JA} P_D = 25 + 62{,}5 \times 1 = 87{,}5\,°\text{C}$

Encapsulamento e Dissipador de Calor

A resistência térmica entre a junção e o ambiente, θ_{JA}, pode ser expressa como

$$\theta_{JA} = \theta_{JC} + \theta_{CA} \tag{9.39}$$

em que θ_{JC} é a resistência térmica entre a junção e o encapsulamento do transistor e θ_{CA} é a resistência térmica entre o encapsulamento e o ambiente. Para um dado transistor, θ_{JC} é fixado pelo projeto do dispositivo e pelo encapsulamento. O fabricante do dispositivo pode reduzir θ_{JC} utilizando encapsulandos com dimensões relativamente maiores e colocando o coletor (onde a maior parte do calor é dissipada) em contato direto com o encapsulamento. Os transistores de maiores potências são encapsulados desse modo. A Figura 9.19 mostra um esboço de um encapsulamento típico.

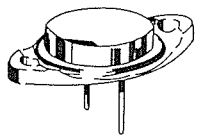


Figura 9.19 O popular encapsulamento TO3 para transistores de potência. Este encapsulamento é metálico com um diâmetro de cerca de 2,2 cm; a dimensão do plano metálico onde se assenta o encapsulamento é de cerca de 4 cm. Esse "plano de assentamento" tem dois furos, de modo que parafusos possam prendê-lo em um dissipador de calor. O coletor do transistor está eletricamente conectado à capa metálica externa.

Embora o projetista de circuitos não tenha controle sobre θ_{JC} (uma vez escolhido um transistor particular), pode reduzir consideravelmente o valor de θ_{CA} abaixo de seu valor ao ar livre (especificado pelo fabricante como parte de θ_{JA}). A redução de θ_{CA} proporciona um meio para facilitar a transferência de calor do encapsulamento para o ambiente. Um modo popular é parafusar o transistor ao chassi ou aumentar sua superfície metálica. Essa superfície metálica funciona então como um **dissipador de calor**. O calor passa facilmente do encapsulamento do transistor para o dissipador de calor, ou seja, a resistência térmica θ_{CS} é usualmente muito pequena. Além disso, o calor é eficientemente transferido (por convecção) do dissipador de calor para o ambiente, resultando em uma baixa resistência térmica θ_{SA}. Portanto, se um dissipador de calor for utilizado, a resistência térmica do encapsulamento para o ambiente será dada por

$$\theta_{CA} = \theta_{CS} + \theta_{SA} \tag{9.40}$$

e pode ser pequena por causa de suas duas componentes que podem ser pequenas pela escolha apropriada do dissipador de calor.[2] Por exemplo, em aplicações de potências muito elevadas, o dissipador de calor é usualmente equipado com aletas que facilitam ainda mais o esfriamento por radiação.

A analogia elétrica do processo de condução térmica quando utilizado um dissipador de calor está mostrada na Figura 9.20, da qual podemos escrever

$$T_J - T_A = P_D(\theta_{JC} + \theta_{CS} + \theta_{SA}) \tag{9.41}$$

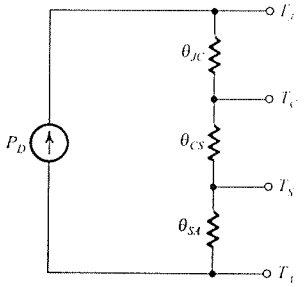


Figura 9.20 Análogo elétrico do processo de condução térmica quando um dissipador de calor é empregado.

Além da especificação de θ_{JC}, o fabricante de dispositivo fornece usualmente uma curva de degradação $P_{D\text{máx}}$ *versus* temperatura do encapsulamento, T_C. Essa curva está mostrada na Figura 9.21. Observe que a inclinação da reta de degradação da potência é $-1/\theta_{JC}$. Para um dado transistor, a dissipação de potência máxima na *temperatura do encapsulamento* T_{C0} (usualmente 25°C) é muito maior do que aquela na *temperatura ambiente* T_{A0} (usualmente 25°C). Se o dispositivo puder ser mantido na temperatura do encapsulamento T_C, $T_{C0} \le T_C \le T_{J\text{máx}}$, então a dissipação de potência máxima segura é obtida quando $T_J = T_{J\text{máx}}$,

$$P_{D\text{máx}} = \frac{T_{J\text{máx}} - T_C}{\theta_{JC}} \tag{9.42}$$

2. Conforme mencionado anteriormente, o encapsulamento metálico do transistor de potência está eletricamente conectado ao coletor. Logo, um material eletricamente isolante como a mica é usualmente colocado entre o encapsulamento metálico e o dissipador de calor metálico. Além disso, geralmente são colocadas buchas isolantes nos parafusos do dissipador de calor.

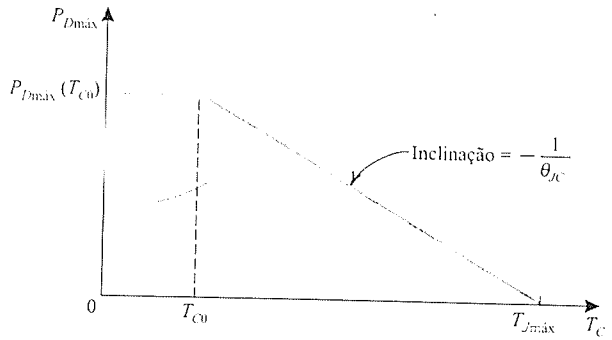


Figura 9.21 Máxima dissipação de potência permitida em função da temperatura do encapsulamento.

EXEMPLO 9.5

Um TBJ é especificado para ter $T_{J\text{máx}} = 150°C$ e para ser capaz de dissipar a seguinte potência máxima:

40 W em $T_C = 25°C$

2 W em $T_A = 25°C$

Acima de 25°C, a dissipação de potência máxima tem uma degradação linear com $\theta_{JC} = 3{,}12°C/W$ e $\theta_{JA} = 62{,}5°C/W$. Calcule:

(a) A potência máxima que pode ser dissipada seguramente por esse transistor quando funcionando ao ar livre com $T_A = 50°C$.

(b) A potência máxima que pode ser dissipada por esse transistor de forma segura quando funcionando na temperatura ambiente de 50°C, mas com um dissipador de calor cujo $\theta_{CS} = 0{,}5°C/W$ e $\theta_{SA} = 4°C/W$. Nesse caso, calcule a temperatura do encapsulamento e do dissipador de calor.

(c) A potência máxima que pode ser dissipada de forma segura se um *dissipador de calor infinito* for usado e $T_A = 50°C$.

SOLUÇÃO

(a) $$P_{D\text{máx}} = \frac{T_{J\text{máx}} - T_A}{\theta_{JA}} = \frac{150 - 50}{62{,}5} = 1{,}6 \text{ W}$$

(b) Com um dissipador de calor, θ_{JA} torna-se

$$\theta_{JA} = \theta_{JC} + \theta_{CS} + \theta_{SA}$$
$$= 3{,}12 + 0{,}5 + 4 = 7{,}62°C/W$$

Portanto,

$$P_{D\text{máx}} = \frac{150 - 50}{7{,}62} = 13{,}1 \text{ W}$$

A Figura 9.22 mostra o circuito térmico equivalente com as várias temperaturas indicadas.

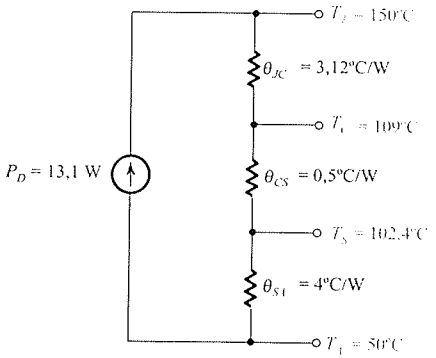


Figura 9.22 Circuito elétrico equivalente para o Exemplo 9.5.

(c) Um dissipador de calor infinito, se houvesse, faria a temperatura do encapsulamento T_C igualar-se à T_A. O dissipador de calor infinito tem $\theta_{CA} = 0$. Obviamente, ninguém pode comprar um dissipador de calor infinito; entretanto, essa terminologia é usada por alguns fabricantes para descrever a curva de degradação da potência da Figura 9.21. A abscissa é então denominada T_A e a curva é chamada de "dissipação de potência *versus* temperatura ambiente com dissipador de calor infinito". Para nosso exemplo, com dissipador de calor infinito,

$$P_{D\text{máx}} = \frac{T_{J\text{máx}} - T_A}{\theta_{JC}} = \frac{150 - 50}{3{,}12} = 32 \text{ W}$$

A vantagem do uso de um dissipador de calor é evidente pelo exemplo anterior: com um dissipador de calor, a dissipação de potência máxima permitida aumenta de 1,6 W para 13,1 W. Observe também que, embora o transistor considerado seja chamado de "transistor de 40 W", esse nível de dissipação de potência não pode ser obtido na prática; seria necessário um dissipador de calor infinito na temperatura ambiente $T_A \leq 25°C$.

Exercício

9.10 O transistor de potência 2N6306 é especificado com uma $T_{J\text{máx}} = 200°C$ e $P_{D\text{máx}} = 125$ W para $T_C \leq 25°C$. Para $T_C \geq 25°C$, $\theta_{JC} = 1{,}4°C/W$. Se em uma aplicação particular o dispositivo deve dissipar 50 W e operar em uma temperatura ambiente de 25°C, calcule a resistência térmica máxima do dissipador de calor que deve ser usado (isto é, θ_{SA}). Suponha $\theta_{CS} = 0{,}6°C/W$. Qual a temperatura do encapsulamento, T_C?

Resposta 1,5°C/W; 130°C

O TBJ na Área Segura de Operação

Além da especificação da dissipação de potência máxima para diferentes temperaturas do encapsulamento, os fabricantes de transistor de potência fornecem usualmente uma curva dos limites da área de operação segura (*safe operating area* – SOA) no plano i_C–v_{CE}. A especificação da SOA toma a forma ilustrada no esboço da Figura 9.23. Os números dos parágrafos a seguir correspondem aos limites do esboço.

1. A corrente máxima permitida $I_{C\text{máx}}$. Exceder essa corrente continuadamente pode resultar na fusão dos fios que ligam o dispositivo aos terminais do encapsulamento.
2. A hipérbole da dissipação de potência máxima. Esse é o lugar geométrico dos pontos onde $v_{CE}\, i_C = P_{D\text{máx}}$ (com T_{C0}). Para temperaturas $T_C > T_{C0}$, as curvas de degradação descritas anteriormente devem ser usadas para obter a $P_{D\text{máx}}$ aplicável e, portanto, uma hipérbole de valores correspondentemente menores. Embora possa ser tolerado o deslocamento temporário do ponto de operação acima da hipérbole, a dissipação de potência *média* não deve exceder a $P_{D\text{máx}}$.
3. Os limites da **segunda ruptura**. A segunda ruptura é um fenômeno que ocorre porque a corrente que circula na junção emissor–base não é uniforme. Em vez disso, a densidade de corrente é maior próxima da periferia da junção. Essa "corrente amontoada" dá origem a uma dissipação de potência localizada e, conseqüentemente, a temperatura aumenta (em locais chamados de manchas quentes). Como um aumento na temperatura provoca um aumento na corrente, ocorre uma espécie de disparo térmico, levando à destruição da junção.
4. A tensão de ruptura coletor-emissor, BV_{CEO}. Nunca devemos permitir que os valores instantâneos de v_{CE} excedam o valor de BV_{CEO}; caso contrário, poderá ocorrer a ruptura por avalanche da junção coletor–base (veja a Seção 4.13).

Finalmente, deve ser mencionado que as escalas logarítmicas são, normalmente, usadas para i_C e v_{CE}, de forma que os limites da SOA consistirão em retas.

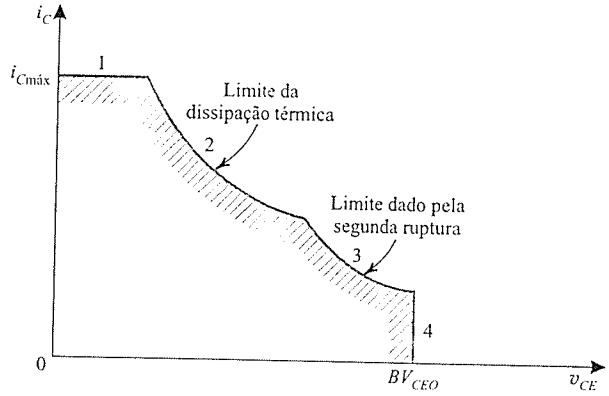


Figura 9.23 Área de operação segura (SOA) de um TBJ.

Os Valores dos Parâmetros dos Transistores de Potência

Devido às suas grandes dimensões e seus valores elevados de corrente de operação, os transistores de potência exibem valores típicos de parâmetros que podem ser muito diferentes dos transistores para pequenos sinais. As principais diferenças são:

1. Para correntes elevadas, a relação exponencial i_C–v_{BE} exibe uma constante $n = 2$; isto é, $i_C = I_S e^{v_{BE}/2V_t}$.
2. O valor de β é baixo, tipicamente de 30 a 80, mas pode chegar a 5. Nessa situação, é importante observar que β tem um coeficiente de temperatura positivo.
3. Para valores elevados de correntes, r_π torna-se muito pequeno e r_x (de alguns ohms) torna-se importante (r_x foi definida e explicada na Seção 4.15).
4. f_T é baixo (alguns MHz), C_μ é alto (centenas de pF) e C_π ainda é de alto valor. (Esses parâmetros estão definidos e explicados na Seção 4.15.)
5. I_{CBO} é alto (alguns décimos de μA) e, como é normal, dobra para cada 10°C de aumento na temperatura.
6. BV_{CEO} é tipicamente de 50 a 100 V, mas pode chegar a 500 V.
7. $I_{C\text{máx}}$ está tipicamente na faixa de ampère e pode chegar a 100 A.

9.7 AS VARIAÇÕES NA CONFIGURAÇÃO CLASSE AB

Nesta seção discutiremos algumas melhorias de circuito e algumas técnicas de proteção para o estágio de saída classe AB.

O Uso do Seguidor de Emissor na Entrada

A Figura 9.24 mostra um circuito classe AB usando os transistores Q_1 e Q_2 para polarização, os quais funcionam também como seguidores de emissor, proporcionando, portanto, ao circuito maior resistência de entrada. O circuito funciona como um amplificador isolador (*buffer*) de ganho unitário. Como os quatro transistores são usualmente casados, a corrente quiescente ($v_I = 0$, $R_L = \infty$) em Q_3 e Q_4 é igual à de Q_1 e Q_2. Os resistores R_3 e R_4 são usualmente muito pequenos e são incluídos para compensar algum possível descasamento entre Q_3 e Q_4 e para proteger contra um possível disparo térmico devido às diferenças de temperatura entre os transistores do estágio de entrada e de saída. Esse último ponto pode ser notado observando-se que um aumento na corrente de, digamos, Q_3 provoca um aumento na queda de tensão em R_3 e uma diminuição correspondente em V_{BE3}. Portanto, R_3 fornece uma realimentação negativa que auxilia na estabilização de corrente de Q_3.

Como o circuito da Figura 9.24 exige transistores *pnp* de alta qualidade, ele não é muito conveniente para uma implementação em uma tecnologia de CI monolítica convencional. Porém, foram obtidos excelentes resultados com esse circuito implementado com a tecnologia de filme espesso híbrido (Wong e Sherwin, 1979). Essa tecnologia permite a retificação (trimming) do componente, por exemplo, para minimizar a tensão residual (*offset*) de saída. O circuito pode ser usado sozinho ou com um amp op para proporcionar aumento na capacidade de acionamento na saída. Esta última aplicação será discutida na próxima seção.

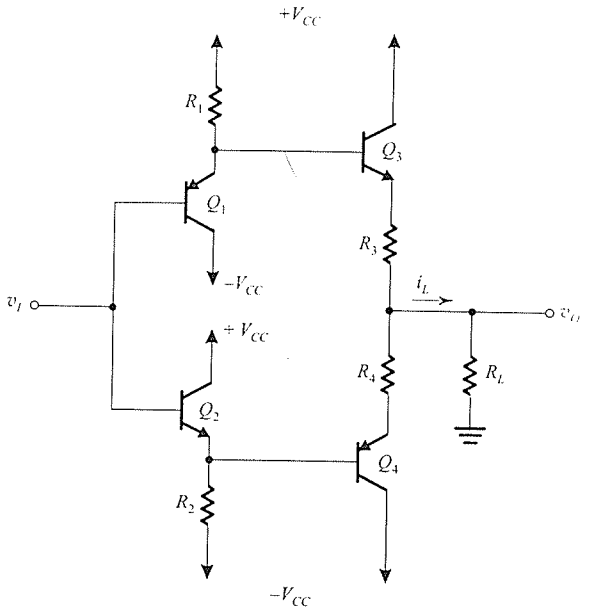


Figura 9.24 Estágio de saída classe AB com um circuito isolador (*buffer*) de entrada. Por outro lado, para fazer com que a resistência de entrada fique alta, os transistores Q_1 e Q_2 também polarizam os transistores de saída Q_3 e Q_4.

Exercício

9.11 (*Observação*: Embora seja muito instrutivo, este exercício é um tanto demorado.) Considere o circuito da Figura 9.24 com $R_1 = R_2 = 5$ kΩ, $R_3 = R_4 = 0$ Ω e $V_{CC} = 15$ V. Suponha que os transistores sejam casados com $I_S = 3{,}3 \times 10^{-14}$ A, $n = 1$ e $\beta = 200$. (Esses valores são usados no LH002 da National Semiconductor, exceto que $R_3 = R_4 = 2$ Ω.) (a) Para $v_I = 0$ e $R_L = \infty$, calcule a corrente quiescente em cada um dos quatro transistores e v_O. (b) Para $R_L = \infty$, calcule i_{C1}, i_{C2}, i_{C3}, i_{C4} e v_O para $v_I = +10$ V e -10 V. (c) Repita o item (b) com $R_L = 100$ Ω.

Resposta (a) 2,87 mA; 0 V; (b) para $v_I = +10$ V: 0,88 mA, 4,87 mA, 1,95 mA, 1,95 mA, +9,98 V; para $v_I = -10$ V: 4,87 mA, 0,88 mA, 1,95 mA, 1,95 mA, –9,98 V; (c) para $v_I = +10$ V: 0,38 mA, 4,87 mA, 100 mA, 0,02 mA, +9,86 V; para $v_I = -10$ V: 4,87 mA, 0,38 mA, 0,02 mA, 100 mA, –9,86 V.

O Uso de Dispositivos Compostos

A fim de aumentar o ganho de corrente do transistor do estágio de saída e, portanto, reduzir a corrente da base exigida pelo acionador, a configuração Darlington mostrada na Figura 9.25 é freqüentemente usada para substituir o transistor *npn* do estágio classe AB. A configuração Darlington equivale a um transistor simples tendo um $\beta \approx \beta_1\beta_2$, mas o dobro do valor de V_{BE}.

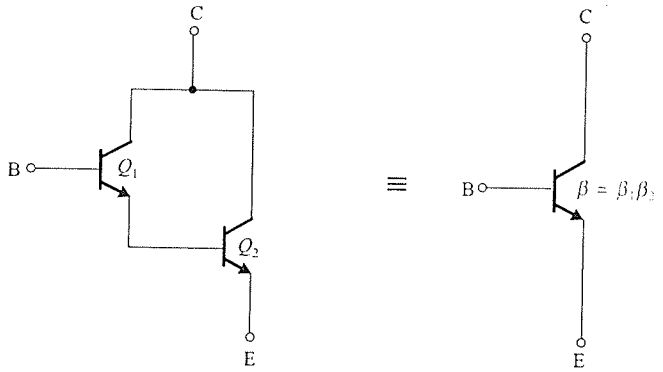


Figura 9.25 Configuração Darlington.

A configuração Darlington pode também ser usada com transistores *pnp*, e isso é realmente feito no projeto de circuitos discretos. No projeto de CIs, a falta de transistores *pnp* de boa qualidade induziu o uso da configuração composta alternativa mostrada na Figura 9.26. Esse dispositivo composto equivale a um transistor simples *pnp* tendo $\beta \simeq \beta_1\beta_2$. Quando fabricado com a tecnologia-padrão de CI, Q_1 é usualmente um *pnp* lateral, tendo um baixo valor de β ($\beta = 5 - 10$) e uma pobre resposta em altas freqüências ($f_T \simeq 5$ MHz); veja o Apêndice A. O dispositivo composto, embora tenha um valor de β equivalente relativamente alto, ainda apresenta o problema de uma pobre resposta em altas freqüências. Ele tem também outro problema: a malha de realimentação formada por Q_1 e Q_2 tende a oscilar em altas freqüências (com uma freqüência próxima de f_T do dispositivo *pnp*, isto é, cerca de 5 MHz). Há métodos para prevenir essas oscilações. O assunto que trata da estabilidade do amplificador com realimentação foi estudado no Capítulo 8.

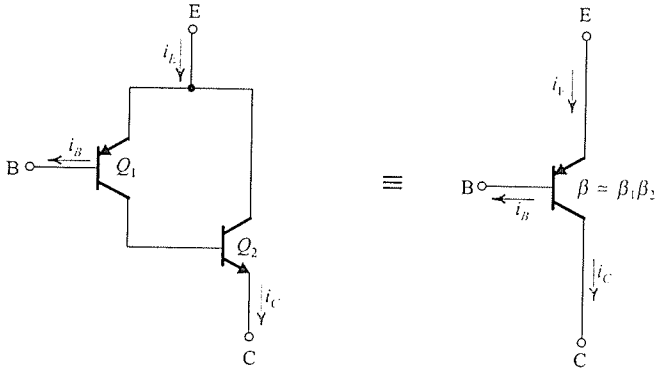


Figura 9.26 Configuração composta *pnp*.

Para ilustrar a aplicação da configuração Darlington e do *pnp* composto, mostramos na Figura 9.27 um estágio de saída utilizando ambos. A polarização do estágio classe AB é obtida usando um multiplicador de V_{BE}. Observe que o Darlington *npn* soma uma queda de um V_{BE} a mais e, portanto, o multiplicador de V_{BE} é necessário para fornecer uma tensão de polarização de cerca de 2 V. O projeto desse estágio classe AB será estudado no Problema 9.13.

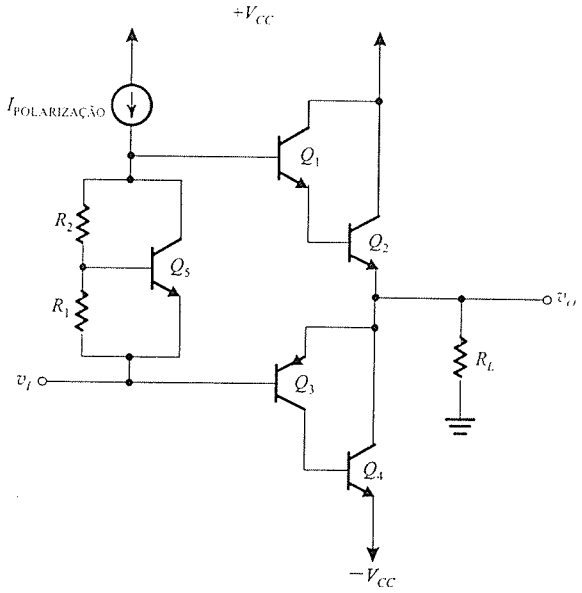


Figura 9.27 Um estágio de saída classe AB utilizando um Darlington *npn* e um composto *pnp*. A polarização dos transistores de saída é feita com um circuito multiplicador de V_{BE}.

Exercício

9.12 (a) Utilizaremos a Figura 9.26. Mostre que, para o transistor composto *pnp*,

$$i_B \simeq \frac{i_C}{\beta_N \beta_P}$$

e

$$i_E \simeq i_C$$

Conseqüentemente, mostre que

$$i_C \simeq \beta_N I_{SP} e^{v_{EB}/V_t}$$

e, portanto, o transistor tem uma corrente de escala efetiva de

$$I_S = \beta_N I_{SP}$$

em que I_{SP} é a corrente de saturação do transistor *pnp* Q_1.

(b) Para $\beta_P = 20$, $\beta_N = 50$, $I_{SP} = 10^{-14}$ A, calcule o ganho efetivo de corrente do dispositivo composto e seu valor de v_{EB} quando $i_C = 100$ mA. Suponha $n = 1$.

Resposta (b) 1000; 0,651 V

A Proteção contra Curto-circuito

A Figura 9.28 mostra um estágio de saída classe AB equipado com proteção contra os efeitos de um curto-circuito na saída quando o estágio estiver fornecendo corrente. A corrente de valor elevado que circula através de Q_1, quando ocorre um curto-circuito na saída, desenvolverá uma queda de tensão em R_{E1} de valor suficiente para fazer Q_5 entrar em condução. O coletor de Q_5 conduzirá a maior parte de $I_{\text{POLARIZAÇÃO}}$, desviando a corrente da base de Q_1. A corrente através de Q_1 será reduzida, portanto, até um nível seguro de operação.

Esse método de proteção contra curto-circuito é eficaz para garantir a segurança do dispositivo, mas tem a desvantagem de, em operação normal, uma queda de cerca de 0,5 V poder aparecer em cada R_E. Isso significa que a excursão na tensão de saída será reduzida desse valor em cada sentido. Por outro lado, a inclusão dos resistores de emissor proporciona um benefício adicional de proteção contra o disparo térmico na saída dos transistores.

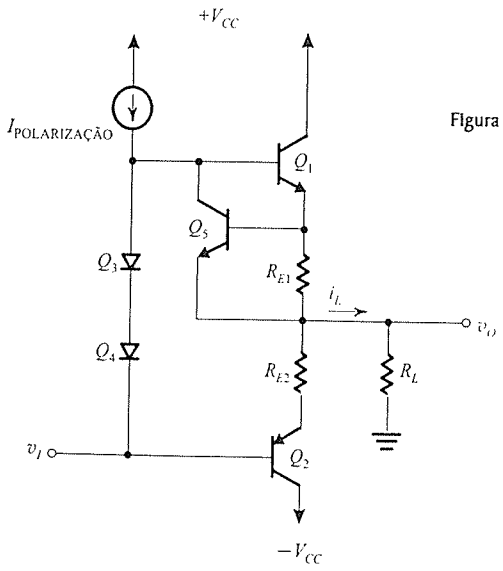


Figura 9.28 Um estágio de saída com proteção contra curto-circuito. O circuito de proteção mostrado opera na situação em que um curto-circuito na saída ocorra quando v_o for positivo.

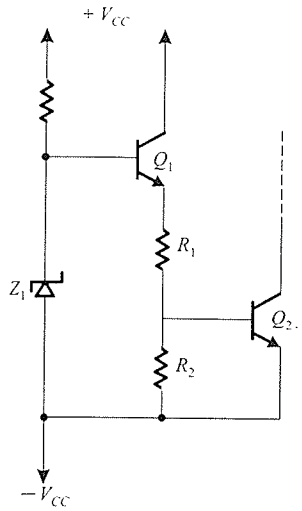


Figura 9.29 Circuito de paralisação térmica.

Exercício

P9.13 No circuito da Figura 9.28 suponha $I_{\text{POLARIZAÇÃO}} = 2$ mA. Calcule o valor de R_{E1} que faz Q_5 entrar em condução e desvie uma corrente de 2 mA quando a corrente de saída que está sendo fornecida alcançar 150 mA. Para Q_5, $I_S = 10^{-14}$ A e $n = 1$. Se a corrente de pico de saída normal for de 100 mA, calcule a queda de tensão em R_{E1} e a corrente no coletor de Q_5.

Resposta 4,3 Ω; 430 mV; 0,3 μA

A Paralisação Térmica

Além da proteção contra curto-circuito, muitos amplificadores de potência em CI são equipados, usualmente, com um circuito sensível à temperatura da pastilha, sendo que um transistor entra em condução na eventualidade de a temperatura exceder um valor de segurança preestabelecido. O transistor que entra em condução é conectado de tal modo que desvia a corrente de polarização do amplificador, paralisando, portanto, sua operação.

A Figura 9.29 mostra um circuito de paralisação térmica. Nessa figura o transistor Q_2 fica normalmente em corte. Com o aumento da temperatura da pastilha, a combinação do coeficiente positivo de temperatura do diodo zener Z_1 e do coeficiente negativo de temperatura de V_{BE1} faz a tensão no emissor de Q_1 aumentar. Isso, por sua vez, aumenta a tensão na base de Q_2 a ponto de Q_2 entrar em condução.

9.8 OS AMPLIFICADORES DE POTÊNCIA INTEGRADOS EM CIs

Há uma variedade de amplificadores de potência integrados em CIs disponíveis no mercado. A maioria consiste em um amplificador de alto ganho para pequenos sinais seguido por um estágio de saí-

da classe AB. Alguns têm uma malha de realimentação já aplicada, resultando em um ganho fixo de tensão em malha fechada. Outros não têm uma realimentação na pastilha e são, na prática, amp ops com uma alta capacidade de potência na saída. Na prática, a capacidade de acionamento da corrente de saída de um amp op de uso geral pode ser aumentada se a ele for conectado em cascata um estágio de saída classe B ou classe AB, aplicando-se uma realimentação negativa. O estágio de saída adicional pode ser um circuito discreto ou um CI híbrido tal como o isolador (*buffer*) discutido na seção anterior. A seguir discutiremos alguns exemplos de amplificadores de potência.

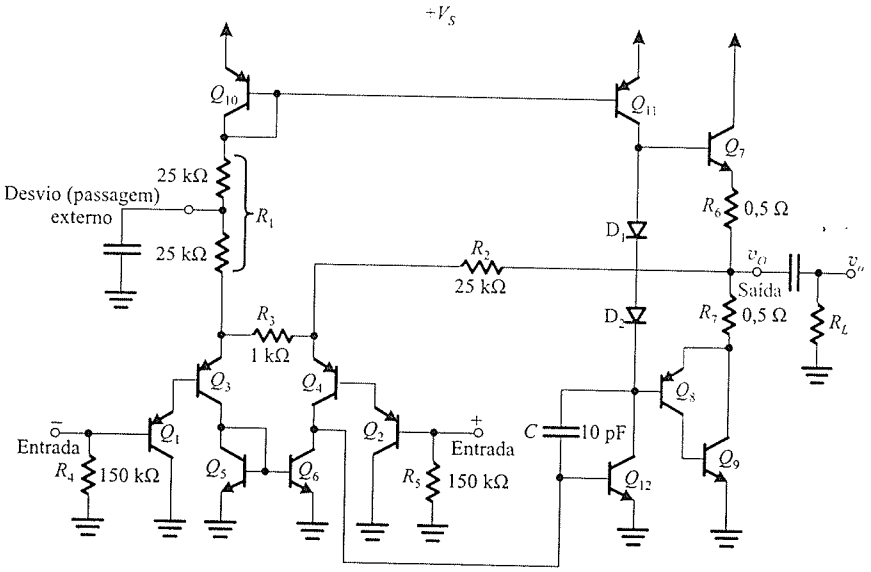


Figura 9.30 Circuito interno simplificado do circuito integrado LM380 que corresponde a um amplificador de potência. (Cortesia da National Semiconductor Corporation.)

Um Amplificador de Potência Integrado em CI com Ganho Fixo

Nosso primeiro exemplo é o LM380 (um produto da National Semiconductor Corporation), um amplificador de potência monolítico com ganho fixo. Uma versão simplificada do circuito interno do amplificador[3] é mostrada na Figura 9.30. O circuito consiste em um amplificador com entrada diferencial utilizando Q_1 e Q_2 como seguidores de emissor para reforçar a entrada e Q_3 e Q_4 como par diferencial com um resistor de emissor R_3. Os dois resistores R_4 e R_5 fornecem um

3. O principal objetivo desse circuito é observar algumas características interessantes de projeto. O circuito *não* está detalhado no diagrama esquemático da forma como ele é implementado na pastilha.

caminho *cc* para as correntes da base de Q_1 e Q_2 para o terra, permitindo, assim, que a fonte de sinal de entrada seja acoplada capacitivamente aos dois terminais de entrada.

Os transistores do amplificador diferencial Q_3 e Q_4 são polarizados por duas correntes diretas separadas: Q_3 é polarizado por uma corrente da fonte de alimentação *cc* (V_S) através do transistor Q_{10} conectado como diodo e um resistor R_1; Q_4 é polarizado por uma corrente *cc* do terminal de saída através de R_2. Nas condições quiescentes (isto é, sem sinal de entrada aplicado), as duas correntes de polarização serão iguais e a corrente e a tensão em R_3 serão zero. Para a corrente no emissor de Q_3, podemos escrever

$$I_3 \simeq \frac{V_S - V_{EB10} - V_{EB3} - V_{EB1}}{R_1}$$

em que desprezamos a pequena queda de tensão *cc* em R_4. Supondo, para simplificar, que todos os valores de V_{EB} sejam iguais,

$$I_3 \simeq \frac{V_S - 3V_{EB}}{R_1} \tag{9.43}$$

Para a corrente do emissor de Q_4, temos

$$I_4 = \frac{V_O - V_{EB4} - V_{EB2}}{R_2}$$

$$\simeq \frac{V_O - 2V_{EB}}{R_2} \tag{9.44}$$

em que V_O é a tensão *cc* na saída e onde desprezamos a pequena queda de tensão em R_5. Equacionando I_3 e I_4 e usando $R_1 = 2R_2$ chega-se a

$$V_O = \tfrac{1}{2}V_S + \tfrac{1}{2}V_{EB} \tag{9.45}$$

Portanto, a saída é polarizada com aproximadamente metade da tensão da fonte de alimentação, como é desejado para obter a excursão máxima da tensão de saída. Uma característica importante é a realimentação *cc* da saída para o emissor de Q_4, através de R_2. Essa realimentação *cc* funciona para estabilizar a tensão de polarização *cc* na saída no valor na Equação 9.45. Qualitativamente, as funções da realimentação *cc* são as seguintes: se por alguma razão V_O aumentar, haverá um aumento correspondente na corrente em R_2 e no emissor de Q_4. Portanto, a corrente no coletor de Q_4 aumenta, resultando em um incremento positivo da tensão na base de Q_{12}. Isso, por sua vez, fará a corrente no coletor de Q_{12} aumentar, o que diminuirá a tensão na base de Q_7 e, conseqüentemente, V_O.

Continuando a descrição do circuito na Figura 9.30, observamos que o amplificador diferencial (Q_3, Q_4) tem uma carga do tipo espelho de corrente composta por Q_5 e Q_6 (retorne à Seção 6.5 para uma discussão sobre cargas ativas). O sinal da tensão de saída simples do primeiro estágio aparece no coletor de Q_6 e é então aplicado na base do segundo estágio: um amplificador em emissor comum, Q_{12}. O transistor Q_{12} é polarizado por uma fonte de corrente constante Q_{11}, que funciona também como uma carga ativa. Quando realmente em operação, entretanto, a carga Q_{12} será dominada pela resistência refletida devido a R_L. O capacitor C proporciona uma compensação de freqüência (veja o Capítulo 8).

O estágio de saída é classe AB, utilizando o transistor composto *pnp* (Q_8 e Q_9). A realimentação negativa é aplicada a partir da saída do emissor de Q_4 via resistor R_2. Para calcular o ganho em malha fechada, considere o circuito equivalente para pequenos sinais na Figura 9.31. Substituímos o segundo estágio, o amplificador em emissor comum, por um bloco de um ampli-

ficador inversor com ganho A. Devemos supor que o amplificador tem um alto ganho A e uma alta resistência de entrada e, portanto, o sinal de corrente na entrada de A é desprezivelmente pequeno. Com essa suposição, a Figura 9.31 mostra os detalhes da análise com um sinal de entrada v_i aplicado no terminal de entrada inversor. A fim de ordenar a análise, os passos foram indicados por um número em um círculo. Observe que, como a entrada do amplificador diferencial tem uma resistência relativamente alta no circuito emissor, R_3, a maior parte do sinal de entrada aplicado aparece em R_3. Em outras palavras, os sinais de tensão nas junções emissor–base de Q_1, Q_2, Q_3 e Q_4 são pequenos comparados com a tensão em R_3. O ganho de tensão pode ser calculado escrevendo-se a equação nodal para o coletor de Q_6:

$$\frac{v_i}{R_3}+\frac{v_o}{R_2}+\frac{v_i}{R_3}=0$$

que produz

$$\frac{v_o}{v_i}=-\frac{2R_2}{R_3}\cong -50 \text{ V/V}$$

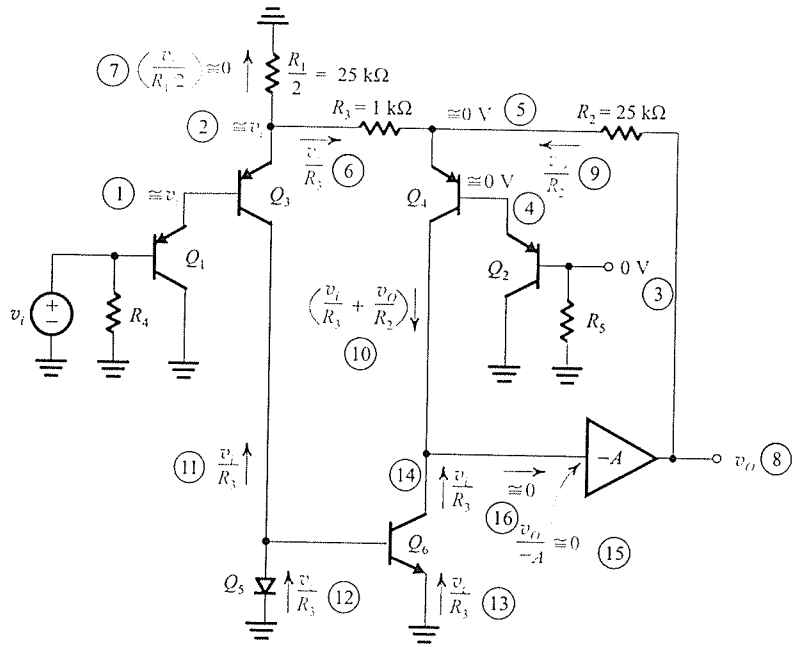


Figura 9.31 Análise para pequenos sinais do circuito da Figura 9.30. Os números dentro dos círculos indicam a ordem dos passos de análise.

Exercício

9.14 Representando a resistência total entre o coletor de Q_6 e o terra por R, mostre, usando a Figura 9.31, que

$$\frac{v_o}{v_i}=-\frac{2R_2/R_3}{1+(R_2/AR)}$$

que se reduz a $(-2R_2/R_3)$ sob a condição de que $AR >> R_2$.

Conforme mostrado no Capítulo 8, uma das vantagens da realimentação negativa é reduzir a distorção não-linear. Esse é o caso no circuito do LM380.

O LM380 foi projetado para operar com uma fonte de alimentação simples V_S na faixa de 12-22 V. A escolha da tensão de alimentação depende do valor de R_L e da potência de saída necessária P_L. O fabricante fornece curvas para a dissipação de potência dos dispositivos *versus* potência de saída para uma dada resistência de carga e diferentes tensões de alimentação. Um conjunto dessas curvas para $R_L = 8\ \Omega$ está mostrado na Figura 9.32. Observe a similaridade com a curva de dissipação de potência em classe B na Figura 9.8. O leitor pode verificar facilmente que a posição e o valor dos picos das curvas na Figura 9.32 são previstos pelas Equações 9.20 e 9.21, respectivamente (em que $V_{CC} = 1/2V_S$). A linha denominada "3% de nível de distorção" na Figura 9.32 é o lugar geométrico dos pontos das várias curvas em que a distorção (DHT) alcança 3%. Uma DHT de 3% representa o início do corte no pico devido à saturação do transistor de saída.

Os fabricantes fornecem também as curvas para a dissipação de potência máxima *versus* temperatura (curvas de degradação) similares às curvas discutidas na Seção 9.6 para os transistores de potência discretos.

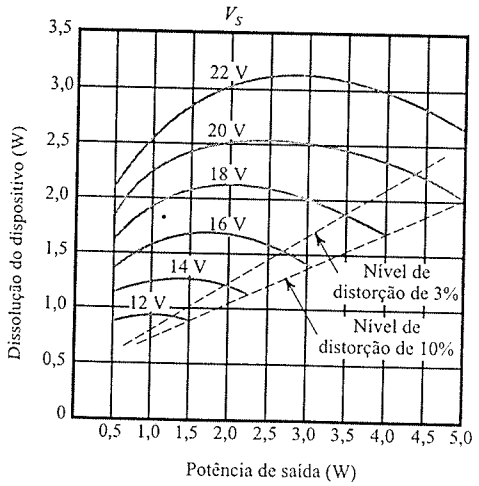


Figura 9.32 Dissipação de potência em função da potência de saída (P_L) para o LM380 com $R_L = 8\ \Omega$. (Cortesia da National Semiconductor Corporation.)

Exercícios

9.15 O fabricante especifica que, para uma temperatura ambiente abaixo de 25°C, o LM380 pode dissipar um valor máximo de 3,6 W. Isso é obtido sob a condição de que o encapsulamento em linha dupla (dual in line) seja soldado sobre uma placa de circuito impresso em contato térmico com uma chapa de cobre de 40 cm^2 pesando 60 g. Acima de 25°C, a resistência térmica é $\theta_{JA} = 35°C/W$. A $T_{J\text{máx}}$ é especificada como 150°C. Calcule a dissipação de potência máxima possível se a temperatura ambiente for de 50°C.

Resposta 2,9 W

P9.16 Pede-se para usar um LM380 para acionar um alto-falante de 8 Ω. Use as curvas da Figura 9.32 para determinar a máxima potência possível fornecida, limitando a dissipação de potência máxima em 2,9 W [determinada no Exercício 9.15]. Se para essa aplicação for permitida uma DHT de 3%, calcule P_L e a tensão de saída de pico a pico.

Resposta 20 V; 4,2 W; 16,4 V

Amp Ops de Potência

A Figura 9.33 mostra uma estrutura geral de um amp op de potência. Ele consiste em um amp op seguido de um *buffer* (reforçador) classe AB similar ao discutido na Seção 9.7. O *buffer* consiste nos transistores Q_1, Q_2, Q_3 e Q_4, com os resistores R_1 e R_2 e os resistores de queda de tensão R_5 e R_6. Os *buffers* fornecem a corrente necessária à carga até que a corrente aumente a ponto da queda de tensão em R_3 (no modo de fornecimento de corrente) se tornar suficientemente elevada para fazer Q_5 entrar em condução. O transistor Q_5, então, fornece uma corrente adicional exigida pela carga. No modo sorvedouro de corrente, Q_4 fornece corrente à carga até que uma tensão suficiente se desenvolva em R_4 para fazer com que Q_6 entre em condução. Então, Q_6 drena uma corrente adicional da carga. Portanto, o estágio formado por Q_5 e Q_6 funciona como um **intensificador de corrente** (*booster*). O amp op de potência é projetado para ser usado com uma realimentação negativa nas configurações usuais de malha fechada. Um circuito baseado na estrutura da Figura 9.33 está disponível comercialmente pela National Semiconductor, chamado de LH0101. Esse amp op é capaz de fornecer uma corrente de saída contínua de 2 A e, com um dissipador de potência apropriado, pode fornecer até 40 W de potência (Wong e Johnson, 1981). O LH0101 é fabricado com tecnologia de filme híbrido.

O Amplificador em Ponte

Concluímos esta seção com uma discussão da configuração que é muito comum nas aplicações de alta potência. É a configuração de amplificador em ponte, mostrada na Figura 9.34, utilizando dois amplificadores de potência, A_1 e A_2. Enquanto A_1 é conectado na configuração não-inversora com um ganho $K = 1 + (R_2/R_1)$, A_2 é conectado na configuração inversora com um ganho de igual valor, $K = R_4/R_3$. A carga R_L está flutuando (não está aterrada) e está conectada entre os terminais de saída dos dois amp ops.

Se v_I for senoidal com amplitude $\hat{V}_I$, a tensão que excursionará na saída de cada amp op será $\pm K\hat{V}_I$ e a excursão da tensão na carga será $\pm 2K\hat{V}_I$. Logo, com o amp op funcionando com uma alimentação de ± 15 V, sendo capaz de fornecer, digamos, ± 12 V de excursão na saída, será obtida na carga uma excursão de ± 24 V (na saída do amplificador em ponte).

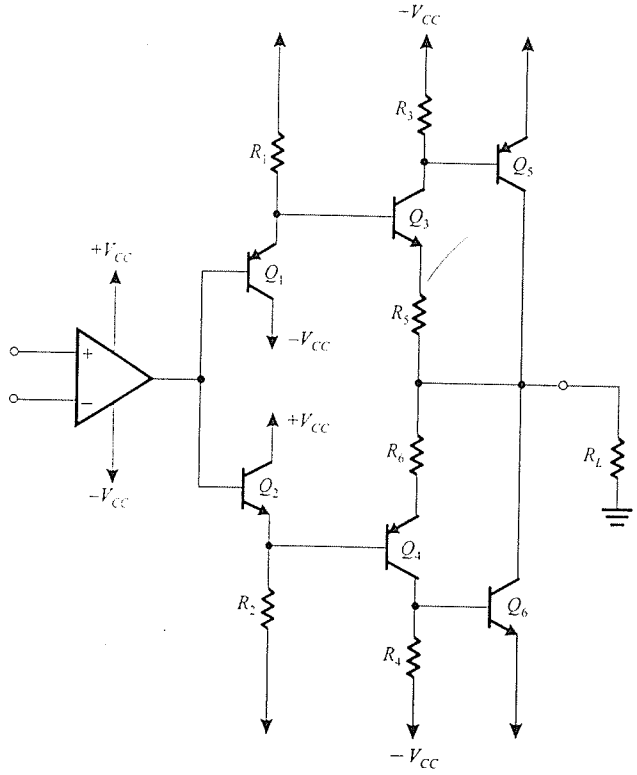


Figura 9.33 Estrutura de um amp op de potência. O circuito consiste em um amp op seguido por um reforçador (*buffer*) para a classe AB semelhante àquele discutido na Seção 9.7. A capacidade de fornecer corrente do reforçador composto de Q_1, Q_2, Q_3 e Q_4 é melhorada ainda mais pelos transistores Q_5 e Q_6.

No projeto do amplificador em ponte, deve ser observado que a corrente de pico drenada de cada amp op é $2K\hat{V}_I/R_L$. Esse efeito pode ser levado em conta considerando a carga vista por cada um dos amp op como sendo $R_L/2$.

Exercício

9.17 Considere o circuito da Figura 9.34 com $R_1 = R_3 = 10$ kΩ, $R_2 = 5$ kΩ, $R_4 = 15$ kΩ e $R_L = 8$ Ω. Calcule o ganho de tensão e a resistência de entrada. A fonte de alimentação usada é ± 18 V. Se v_I for uma senóide de 20 V de pico a pico, qual a tensão de saída de pico a pico? Qual a corrente de pico na carga? Qual a potência na carga?

Resposta 3 V/V; 10 kΩ; 60 V; 3,75 A; 56,25 W

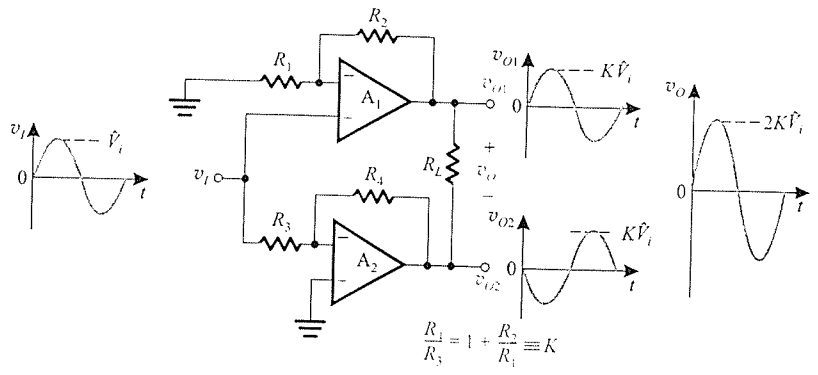


Figura 9.34 A configuração amplificadora em ponte.

9.9 OS TRANSISTORES DE POTÊNCIA MOS

Até este capítulo temos tratado exclusivamente dos circuitos com TBJs. Porém, desenvolvimentos tecnológicos recentes resultaram nos transistores MOS de potência com especificações competitivas com as dos TBJs. Nesta seção consideraremos a estrutura, as características e a aplicação dos MOSFETs de potência.

A Estrutura do MOSFET de Potência

A estrutura do MOSFET tipo enriquecimento, estudada no Capítulo 5 (Figura 5.1), não é encontrada para aplicações de potência. Para ressaltar esse fato, lembre-se de que a corrente de dreno de um MOSFET canal n operando na região de saturação é dada por

$$i_D = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)(v_{GS} - V_t)^2 \tag{9.46}$$

Isso implica que, para aumentar a capacidade de corrente do MOSFET, sua largura W deve ser maior e o comprimento do canal deve ser o menor possível. Infelizmente, porém, reduzir o comprimento do canal da estrutura-padrão do MOSFET resulta em uma drástica redução da tensão de ruptura. Especificamente, a região de depleção da junção corpo–dreno reversamente polarizada invade o canal curto, resultando em uma tensão de ruptura relativamente baixa. Logo, o dispositivo resultante não será capaz de funcionar com tensões elevadas, típicas das aplicações em alta potência. Por essa razão, era preciso encontrar novas estruturas para a produção de MOSFETs de canais curtos (de 1 a 2 micrômetros) com valores elevados de tensão de ruptura.

Até o presente momento, a estrutura mais conhecida para o MOSFET de potência é o transistor de difusão dupla DMOS, mostrado na Figura 9.35. Conforme indicado, o dispositivo é fabricado sobre um substrato tipo n levemente dopado com uma região fortemente dopada por baixo para o contato com o dreno.

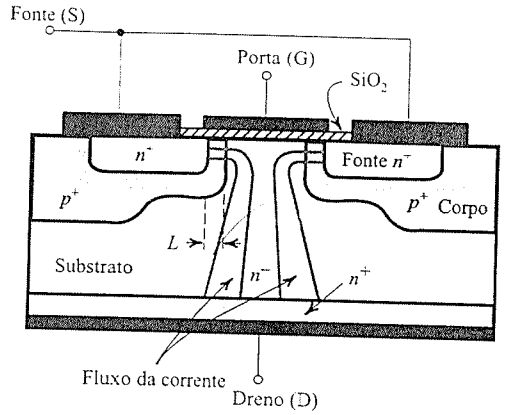


Figura 9.35 Transistor MOS vertical com dupla difusão.

São empregadas duas difusões,[4] uma para formar a região do corpo tipo p, outra para formar a região da fonte tipo n.

O dispositivo DMOS funciona assim: aplicando uma tensão positiva na porta, v_{GS}, maior do que a tensão de limiar V_t, é introduzido um canal n lateral na região do corpo tipo p por baixo do óxido da porta. O canal resultante é curto; seu comprimento é representado por L na Figura 9.35. A corrente, então, é devida aos elétrons da fonte que através do canal curto resultante se movem para o substrato e depois, verticalmente, para baixo do substrato, em direção ao dreno.

Apesar de o transistor DMOS ter um canal curto, sua tensão de ruptura pode ser alta (até 600 V). Isso porque a região de depleção entre o substrato e o corpo se estende mais para o substrato levemente dopado e não se espalha para dentro do canal. O resultado é um transistor MOS que tem, simultaneamente, uma alta capacidade de corrente (é possível até 50 A) e uma alta tensão de ruptura, como mencionado. Finalmente, observamos que a estrutura vertical do dispositivo proporciona uma utilização eficiente da área do silício.

Uma estrutura anterior usada para transistores de potência MOS merece comentário. É o dispositivo VMOS (veja Severns, 1984). Embora ainda em uso, o VMOSFET perdeu sua aplicação para a estrutura DMOS, da Figura 9.35, exceto, possivelmente, para as aplicações em alta freqüência.

As Características dos MOSFETs de Potência

Apesar de sua estrutura radicalmente diferente, os MOSFETs de potência exibem características similares às dos MOSFETs para pequenos sinais estudados no Capítulo 5. Porém, diferenças importantes existem e serão discutidas a seguir.

4. Veja o Apêndice A para a descrição dos processos de fabricação de CIs.

Os MOSFETs de potência têm tensões de limiar na faixa de 2 a 4 V. Na saturação, a corrente de dreno está relacionada com v_{GS} pela lei quadrática característica da Equação 9.46. Porém, conforme mostrado na Figura 9.36, a característica i_D–v_{GS} torna-se linear para valores maiores do que v_{GS}.

A porção linear da característica ocorre como um resultado do alto campo elétrico ao longo do canal curto, fazendo a velocidade dos portadores de carga alcançar seu limite superior, um fenômeno conhecido como **velocidade de saturação**. A corrente de dreno é, então, dada por

$$i_D = \frac{1}{2} C_{ox} W U_{sat} (v_{GS} - V_t) \tag{9.47}$$

em que U_{sat} é o valor da velocidade de saturação (5×10^6 cm/s para os elétrons no silício). A relação linear $i_D - v_{GS}$ implica g_m constante na região da velocidade de saturação. É interessante observar que g_m é proporcional a W, usualmente maior para os dispositivos de potência; logo, os MOSFETs de potência exibem valores de transcondutância relativamente altos.

A característica i_D–v_{GS} mostrada na Figura 9.36 inclui um segmento denominado "sublimiar". Ainda que de pequeno significado para os dispositivos de potência, a região de operação de sublimiar interessa nas aplicações de potência muito baixas (veja a Seção 5.1).

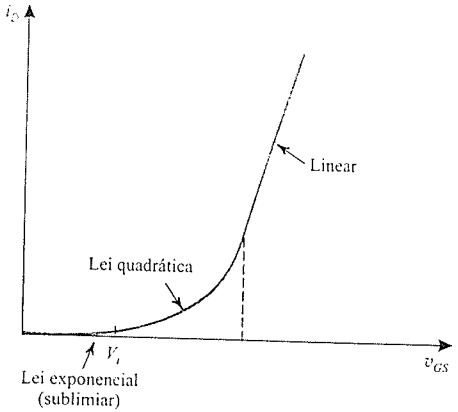


Figura 9.36 Característica típica i_D–v_{GS} para um MOSFET de potência.

Os Efeitos da Temperatura

Um ponto de grande interesse no projeto de circuitos com MOS de potência é a variação de suas características com a temperatura, ilustrada na Figura 9.37. Observe que há um valor de v_{GS} (na faixa de 4-6 V para os MOSFETs de maiores potências) em que o coeficiente de temperatura de i_D é zero. Para valores maiores de v_{GS}, i_D exibe um coeficiente negativo de temperatura. Essa propriedade é importante: isso implica que, operando acima do ponto com coeficiente de temperatura zero, um MOSFET não corre o risco de um disparo térmico. Porém, esse *não* é o caso em baixas correntes (ou seja, abaixo do ponto com coeficiente de temperatura zero). Na região de corrente (relativamente) baixa, o coeficiente de temperatura de i_D é positivo e o MOSFET de potência pode ter facilmente um disparo térmico (com conseqüências drásticas). Como os estágios de saída classe AB são polarizados com baixas correntes, algum meio deve ser providenciado para proteger contra o disparo térmico.

A razão para o coeficiente positivo de temperatura de i_D para baixas correntes é que $v_{GS} - V_t$ é relativamente baixa e a dependência com a temperatura é dominada pelo coeficiente negativo de temperatura de V_t (na faixa de –3 a –6 mV/°C).

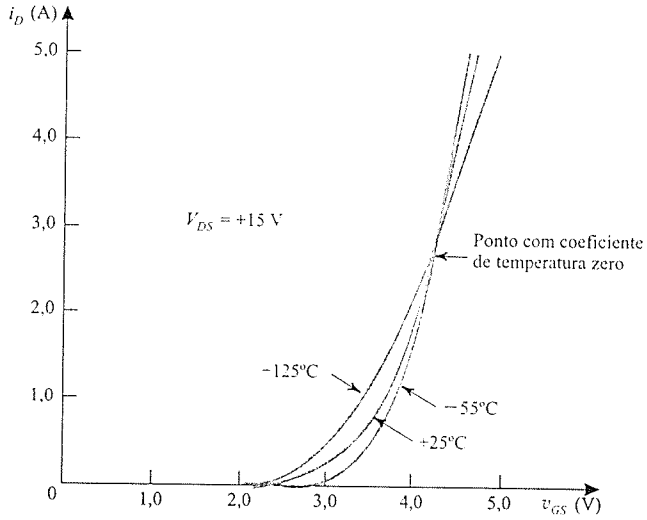


Figura 9.37 A curva característica i_D–v_{GS} de um transistor de potência MOS (IRF 630, Siliconix) para temperaturas de encapsulamento de –55°C, +25°C e +125°C. (Cortesia da Siliconix Inc.)

Comparação com os TBJs

Os MOSFETs de potência não apresentam o problema da segunda ruptura, que limita a operação em uma área segura dos TBJs. Além disso, os MOSFETs de potência não exigem a alta corrente de base dos TBJs de potência. Contudo, observe que o estágio acionador em um amplificador de potência MOS deve ser capaz de fornecer corrente suficiente para carregar e descarregar as altas capacitâncias distribuídas não-lineares da entrada do MOSFET no intervalo de tempo desejado. Finalmente, o transistor de potência MOS apresenta, em geral, uma velocidade de operação mais rápida do que o TBJ de potência. Isso faz os transistores MOS de potência serem especialmente escolhidos para aplicações de chaveamento – por exemplo, nos circuitos de controle de motor.

O Estágio de Saída Classe AB Utilizando MOSFETs

Como aplicação dos MOSFETs de potência, na Figura 9.38 mostramos um estágio de saída classe AB utilizando um par complementar com MOSFETs e empregando TBJs para a polarização e para o estágio de acionamento de saída. Este consiste em seguidores de emissor Darlington complementares formados por Q_1 até Q_4 e tem resistência de saída necessariamente baixa para acionar a saída dos MOSFETs em altas velocidades.

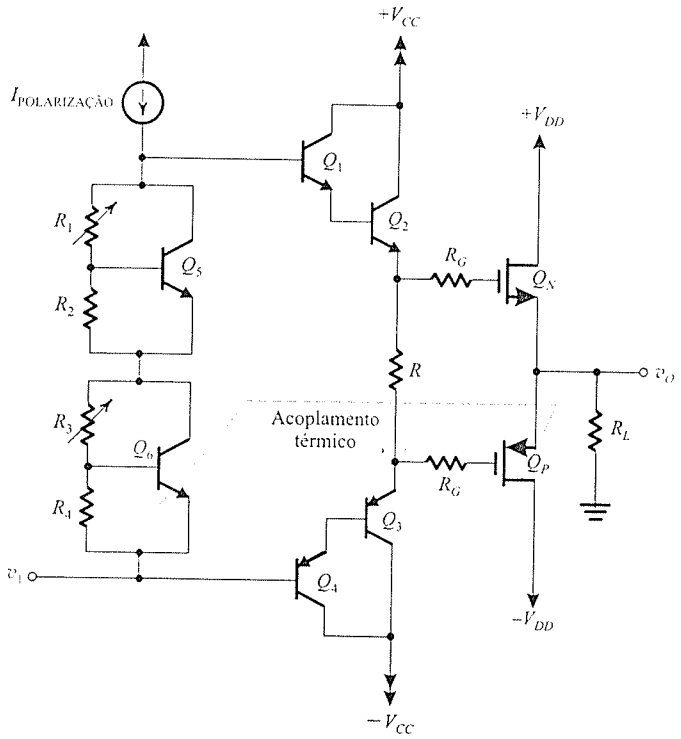


Figura 9.38 Um amplificador classe AB com transistores MOS de saída e transistores TBJ como acionadores (*drivers*). O resistor R_3 deve ser ajustado para fazer a compensação de temperatura enquanto R_1 é ajustado de forma a ter a corrente quiescente desejada nos transistores de saída.

De especial interesse no circuito da Figura 9.38 é o circuito de polarização utilizando dois multiplicadores de V_{BE} formados por Q_5 e Q_6 e seus resistores associados. O transistor Q_6 é colocado em contato direto com os transistores de potência; o que é obtido pela montagem simples de Q_6 sobre seu dissipador. Portanto, pela escolha apropriada do fator multiplicador de V_{BE} de Q_6, a tensão de polarização V_{GG} (entre as portas dos transistores de saída) pode ser escolhida para diminuir com a temperatura na mesma taxa que a soma das tensões de limiar e de saída dos MOSFETs ($V_{tN} + |V_{tP}|$). Desse modo, a corrente quiescente dos transistores de saída pode ser estabilizada contra as variações da temperatura.

Analiticamente, V_{GG} é dada por

$$V_{GG} = \left(1 + \frac{R_3}{R_4}\right) V_{BE6} + \left(1 + \frac{R_1}{R_2}\right) V_{BE5} - 4V_{BE} \tag{9.48}$$

Como V_{BE6} está termicamente acoplada aos dispositivos de saída, enquanto os outros TBJs permanecem em uma temperatura constante, temos

$$\frac{\partial V_{GG}}{\partial T} = \left(1 + \frac{R_3}{R_4}\right) \frac{\partial V_{BE6}}{\partial T} \tag{9.49}$$

que é a relação necessária para determinar R_3/R_4, tal que $\partial V_{GG}/\partial T = \partial(V_{tN} + |V_{tP}|)/\partial T$. O outro multiplicador de V_{BE} é, então, ajustado para produzir o valor necessário de V_{GG} e, conseqüentemente, a corrente quiescente desejada em Q_N e Q_P.

Exercícios

9.18 Para o circuito na Figura 9.38, calcule a razão R_3/R_4 que proporciona uma estabilização na temperatura da corrente quiescente em Q_N e Q_P. Suponha que $|V_t|$ varie de –3 mV/°C e $\partial V_{BE}/\partial T = -2$ mV/°C.

Resposta 2

9.19 Para o circuito na Figura 9.38, suponha que os TBJs tenham um V_{BE} nominal de 0,7 V e os MOSFETs tenham $|V_t| = 3$ V e $\mu_n C_{ox}(W/L) = 2$ A/V^2. Estabeleça uma corrente quiescente de 100 mA no estágio de saída e de 20 mA no estágio de acionamento. Calcule $|V_{GS}|$, V_{GG}, R e R_1/R_2. Use o valor de R_3/R_4 calculado no Exercício 9.18.

Resposta 3,32 V; 6,64 V; 332 Ω; 9,5

9.10 EXEMPLO DE SIMULAÇÃO COM O SPICE

Concluiremos este capítulo apresentando um exemplo que ilustra a utilização do programa SPICE na análise de estágios de potência. Outros exemplos podem ser encontrados em Roberts e Sedra (1992, 1997).

EXEMPLO 9.6: ESTÁGIO DE SAÍDA CLASSE B

Investigaremos a operação do estágio de saída classe B transistorizado, mostrado na Figura 9.39, utilizando um par complementar integrado, NA51 e NA52, fabricado pela National Semiconductor Corporation. A fim de comparar com valores calculados manualmente, utilizaremos na simulação do componente valores idênticos de tensão ou próximos daqueles do circuito projetado no Exemplo 9.1. Especificamente, utilizaremos uma carga resistiva de 8 Ω, um sinal de entrada senoidal com 17,9 volts de pico com freqüência de 1 kHz e fontes de alimentação de 23 V. O arquivo de entrada para o programa SPICE para o circuito está listado no Apêndice D. A análise transitória será realizada em um intervalo de 0 a 3 ms e as formas de onda nos diversos nós de tensão e ramos de corrente serão apresentados. Neste exemplo, o aplicativo Probe do PSPICE será empregado na obtenção dos diversos valores de dissipação de potência. Outros aplicativos similares disponíveis em outras versões do SPICE podem também ser empregados para este propósito.

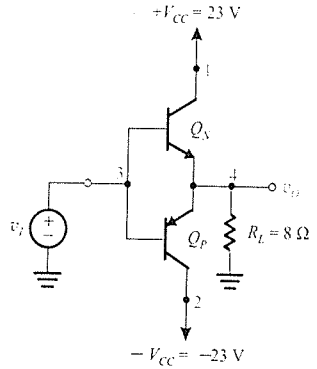


Figura 9.39 Estágio de saída classe B para a simulação SPICE do Exemplo 9.6.

Algumas das formas de onda resultantes estão mostradas na Figura 9.40. O gráfico superior e o central mostram a tensão e a corrente na carga, respectivamente. A amplitude de pico de tensão é de 17,05 V e a amplitude do pico de corrente é de 2,13 A. Observe que ambas as formas de onda exibem distorção de cruzamento. O gráfico na parte inferior da Figura 9.40 mostra as potências média e instantânea dissipadas na resistência de carga de acordo com os valores computados pelo Probe para a potência instantânea por meio da multiplicação dos valores de tensão e corrente.

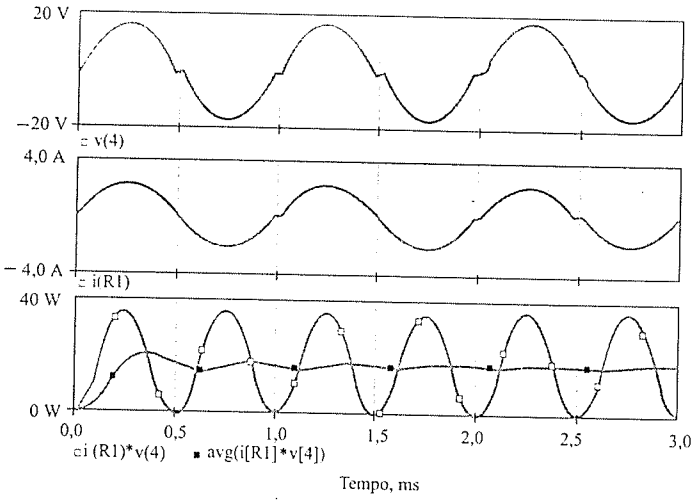


Figura 9.40 Diversas formas de onda associadas ao estágio de saída classe B, mostrado na Figura 9.39, quando excitadas por um sinal senoidal com 17,9 V de pico e com freqüência de 1 kHz. O gráfico na parte superior da figura mostra a tensão na resistência de carga, o gráfico central mostra a corrente na carga e o gráfico na parte inferior, as potências instantânea e média dissipadas na carga. (Veja Roberts e Sedra, 1997.)

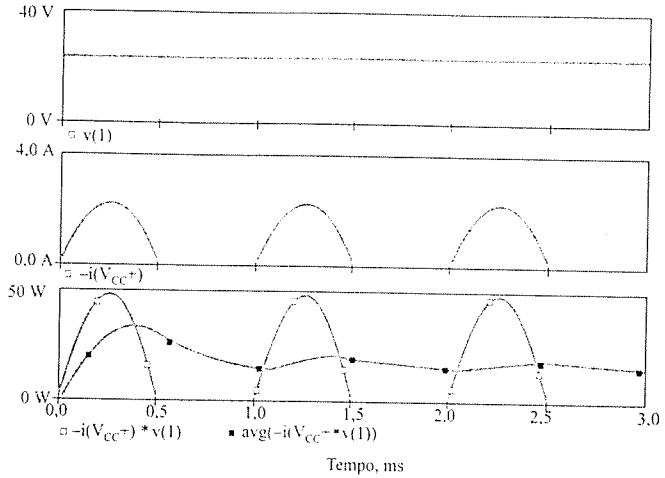


Figura 9.41 A tensão (gráfico superior), corrente (gráfico central) e as potências instantânea e média (gráfico inferior) fornecidas por uma fonte de tensão positiva ($+V_{CC}$) no circuito da Figura 9.39. (Veja Robers e Sedra, 1997.)

Para a potência média na carga (P_L), foi tomada a média dos valores calculados ao longo do tempo. O comportamento transitório da potência média na carga, que estabiliza em um estado estacionário quase constante de cerca de 17,7 W, é uma particularidade de cálculo do algoritmo PSPICE empregado para calcular a média temporal da forma de onda. Na verdade, a média temporal deveria ser constante.

Os dois gráficos na parte superior da Figura 9.41 mostram as formas de onda da tensão e corrente, respectivamente, da fonte positiva, $+V_{CC}$. O gráfico na parte inferior mostra as potências média e instantânea fornecidas por $+V_{CC}$. Formas de onda similares podem também ser obtidas para a fonte negativa, $-V_{CC}$. A potência média fornecida pelas fontes individualmente é de cerca de 15 W, o que significa uma potência total fornecida, P_S, de 30 W. Portanto, a eficiência de conversão de potência pode ser calculada como sendo:

$$\eta = P_L/P_S = \frac{17,7}{30} \times 100\% = 59\%$$

A Figura 9.42 mostra gráficos das formas de onda da tensão, da corrente e da potência associadas ao transistor Q_P. Formas de onda similares podem ser obtidas também para Q_N. Conforme esperado, a forma de onda da tensão é uma senóide e a forma de onda da corrente é uma meia senóide. Entretanto, a forma de onda da potência instantânea é bastante incomum. Ela indica a presença de alguma distorção como resultado da condução dos transistores além dos limites de linearidade. Isso pode ser verificado e confirmado reduzindo-se a amplitude do sinal de entrada. Especificamente, reduzindo-se a amplitude para cerca de 17 V, a distorção na forma de onda da potência desaparece. As potências médias dissipadas nos transistores Q_N e Q_P podem ser obtidas pelo Probe resultando em 6 W para cada transistor.

A Tabela 9.1 mostra resultados comparativos obtidos através da simulação SPICE e os valores correspondentes calculados manualmente. Observe que os valores nos dois conjuntos de resultados estão bastante próximos entre si.

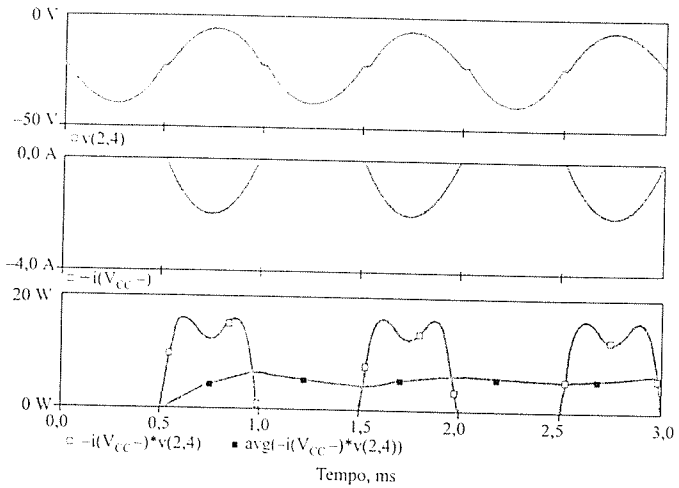


Figura 9.42 Formas de onda da tensão, da corrente e da potência dissipadas no transistor *pnp* Q_p no estágio de saída, mostrado na Figura 9.39. (Veja Roberts e Sedra, 1997.)

Para melhor investigar a distorção de cruzamento, apresentamos na Figura 9.43 um gráfico da característica de transferência de tensão (CTT) de um circuito classe B. Esse gráfico foi obtido empregando-se o comando "DC sweep", no qual V_i variou na faixa de –10 V a +10 V com incrementos de 50 mV. A inclinação da CTT é aproximadamente unitária e a faixa morta estende-se de –0,72 V a +0,72 V. O efeito da distorção de cruzamento pode ser quantificado realizando-se a análise de Fourier na forma de onda da tensão de saída.

Tabela 9.1 Diversos termos associados ao estágio de saída, mostrado na Figura 9.39, obtidos por meio de análise manual e via SPICE. A coluna mais à direita apresenta o erro percentual relativo entre os valores previstos manualmente e via SPICE.

Potência/Eficiência	Equação	Análise manual	SPICE	Erro (%)
P_S	$\frac{2}{\pi}\frac{\hat{V}_o}{R_L}V_{CC}$	31,2 W	30,0 W	4
P_D	$\frac{2}{\pi}\frac{\hat{V}_o}{R_L}V_{CC}-\frac{1}{2}\frac{\hat{V}_o^2}{R_L}$	13,0 W	12,0 W	8,3
P_L	$\frac{1}{2}\frac{\hat{V}_o^2}{R_L}$	18,2 W	17,7 W	2,8
η	$\frac{P_L}{P_S}\times 100\%$	58,3%	59,0%	–1,2

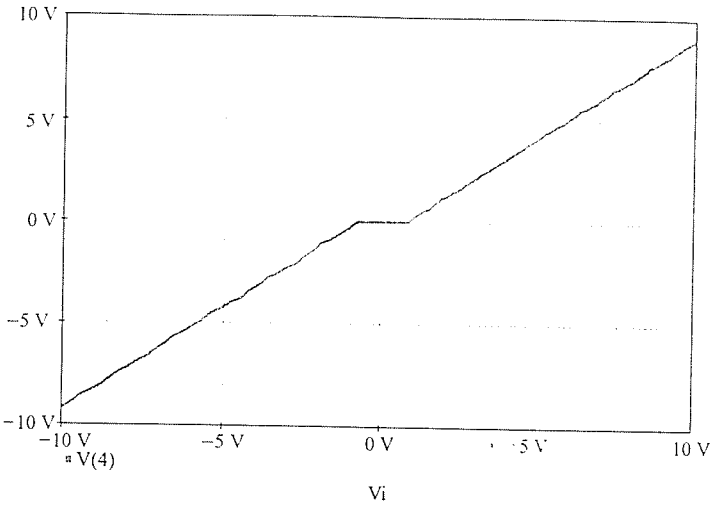


Figura 9.43 Característica de transferência do estágio de saída classe B da Figura 9.39. (Veja Roberts e Sedra, 1997.)

Isso é feito utilizando-se o comando SPICE .FOUR. Este comando decompõe uma dada forma de onda gerada através da análise transitória em suas componentes da série de Fourier. Além disso, o SPICE calcula a distorção harmônica total (DHT) da forma de onda de saída. Os resultados obtidos são os seguintes:

```
FOURIER COMPONENTS OF TRANSIENT RESPONSE V(4)

DC COMPONENT = 9.648686E-05

HARMONIC   FREQUENCY     FOURIER     NORMALIZED     PHASE     NORMALIZED
   NO        (HZ)       COMPONENT   COMPONENT      (DEG)     PHASE (DEG)

    1    1.000E+03   1.683E+01   1.000E-00   -8.163E-05   0.000E+00
    2    2.000E+03   1.373E-04   8.162E-06   -9.067E+01   -9.067E+01
    3    3.000E+03   3.387E-01   2.013E-02   -1.800E+02   -1.800E+02
    4    4.000E+03   6.927E-05   4.117E-06   -8.964E+01   -8.964E+01
    5    5.000E+03   1.977E-01   1.175E-02   -1.800E+02   -1.800E+02
    6    6.000E+03   5.794E-05   3.443E-06   -8.846E+01   -8.846E+01
    7    7.000E+03   1.378E-01   8.188E-03   -1.800E+02   -1.800E+02
    8    8.000E+03   5.281E-05   3.139E-06   -8.740E+01   -8.740E+01
    9    9.000E+03   1.045E-01   6.213E-03   -1.800E+02   -1.800E+02

TOTAL HARMONIC DISTORTION = 2.547618E-00 PERCENT
```

Observamos que a forma de onda de saída é relativamente rica em harmônicas ímpares e que a DHT resultante é relativamente elevada (2,25%).

RESUMO

- Os estágios de saída são classificados de acordo com o ângulo de condução do transistor: classe A (360°C), classe AB (ligeiramente maior do que 180°C), classe B (180°C) e classe C (menor do que 180°C).
- O estágio de saída classe A mais comum é o seguidor de emissor. Ele é polarizado com uma corrente maior do que a corrente de pico da carga.
- O estágio de saída classe A dissipa sua potência máxima nas condições quiescentes ($v_O = 0$). Seu rendimento de conversão de potência máximo é 25%.
- O estágio de saída classe B é polarizado com uma corrente zero e, portanto, não dissipa potência no estado quiescente.
- O estágio de saída classe B pode alcançar um rendimento de conversão de potência de até 78,5%. Ele dissipa sua potência máxima com $\hat{V}_o = (2/\pi)V_{CC}$.
- O estágio classe B tem o problema da distorção de cruzamento.
- O estágio de saída classe AB é polarizado com uma pequena corrente; portanto, os dois transistores conduzem para pequenos sinais de entrada e a distorção de cruzamento é virtualmente eliminada.
- Exceto por uma pequena dissipação de potência quiescente, as relações de potência do estágio classe AB são similares às do estágio classe B.
- Para proteger contra a possibilidade de um disparo térmico, a tensão de polarização do circuito classe AB é estabelecida de modo a variar com a temperatura, do mesmo modo que a V_{BE} dos transistores de saída varia.
- Para facilitar a remoção do calor da pastilha de silício, os dispositivos de potência são geralmente montados sobre dissipadores de calor. A potência máxima que pode ser dissipada com segurança no dispositivo é dada por

$$P_{D\max} = \frac{T_{J\max} - T_A}{\theta_{JC} + \theta_{CS} + \theta_{SA}}$$

em que $T_{J\max}$ e θ_{JC} são especificados pelo fabricante, enquanto θ_{CS} e θ_{SA} dependem do projeto do dissipador de calor.
- O uso da configuração Darlington no estágio de saída classe AB reduz a corrente da base necessária. Nos circuitos integrados, a configuração composta *pnp* é comumente usada.
- Os estágios de saída são usualmente equipados com dispositivos que, na eventualidade de um curto-circuito, possam ligar e limitar a corrente da base do acionador e, conseqüentemente, a corrente do emissor, do transistor de saída.
- Os amplificadores de potência com CI consistem em um amplificador de tensão para pequenos sinais em cascata com um estágio de saída de alta potência. A realimentação total é aplicada ao circuito da pastilha ou externamente.
- A configuração amplificador em ponte proporciona, na carga flutuante, o dobro da tensão de saída de pico a pico possível com um amplificador simples com uma carga aterrada.
- O transistor DMOS é um dispositivo de potência de canal curto que opera tanto com alta corrente como com alta tensão.
- Em baixas correntes, a corrente de dreno do MOSFET de potência exibe um coeficiente positivo de temperatura e, portanto, o dispositivo apresenta o problema do disparo térmico. Em altas correntes, o coeficiente de temperatura é negativo.

BIBLIOGRAFIA

C. A. Holt, *Electronic Circuits*, New York, Wiley, 1978.

National Semiconductor Corporation, *Audio/Radio Handbook*, Santa Clara, Calif., National Semiconductor Corporation, 1980.

G. W. Roberts e A. S. Sedra, *SPICE*, New York, Oxford Univ. Press, 1992 e 1997

D. L. Schilling e C. Belove, *Electronic Circuits*, 2ª ed., New York, McGraw-Hill, 1979.

A. S. Sedra e G. W. Roberts, "Current conveyor theory and practice", Cap. 3 em *Analogue IC Design: The Current-Mode Approach*, C. Toumazou, F. J. Lidgey e D. G. Haigh (eds.), London, Peter Peregrinus, 1990.

R. Severns (ed.), *MOSPOWER Applications Handbook*, Santa Clara, Calif., Siliconix, 1984.

S. Soclof, *Applications of Analog Integrated Circuits*, Englewood Cliffs, NJ, Prentice-Hall, 1985.

Texas Instruments, Inc., *Power-Transistor and TTL Integrated-Circuit Applications*, New York, McGraw-Hill, 1977.

J. Wong & R. Johnson, "Low-distortion wideband power op amp", *Application Note 261*, Santa Clara, Calif., National Semiconductor Corporation, julho de 1981.

J. Wong & J. Sherwin, "Applications of wide-band buffer amplifiers", *Application Note 227*, Santa Clara, Calif., National Semiconductor Corporation, 1979.

PROBLEMAS

Seção 9.2: O Estágio de Saída Classe A

9.1 Um seguidor de emissor classe A, polarizado usando o circuito da Figura 9.2, tem $V_{CC} = 5$ V, $R = R_L = 1$ kΩ, com todos os transistores (incluindo Q_3) idênticos. Suponha $V_{BE} = 0.7$ V, $V_{CEsat} = 0,3$ V e β de alto valor. Para uma operação linear, quais os limites superior e inferior da tensão de saída e sua entrada correspondente? Como variam esses valores se a área da junção emissor–base de Q_3 for duplicada, igualando-se a Q_2? E se for dividida pela metade?

9.2 Considere a operação do circuito seguidor da Figura 9.2 para o qual $R_L = V_{cc}/I$, quando acionado por uma onda quadrada, de modo que a saída excursione desde $+V_{CC}$ até $-V_{CC}$ (ignorando V_{CEsat}). Para essa situação, esboce o equivalente da Figura 9.4 para v_O, i_{C1} e p_{D1}. Repita este exercício para uma onda quadrada na saída que tenha níveis de pico de $\pm V_{CC}/2$. Qual é a dissipação de potência média em Q_1 em cada caso? Compare esses resultados com ondas senoidais com aplitude de V_{CC} e $V_{CC}/2$ de pico, respectivamente.

9.3 Considere a situação descrita no Problema 9.5. Para as formas de onda quadradas na saída tendo valores de pico a pico de $2V_{CC}$ e V_{CC} e para formas de onda senoidais com os mesmos valores de pico a pico, calcule a potência média perdida na fonte de corrente, transistor Q_2.

9.4 Reconsidere a situação descrita no Exercício 9.4 para uma variação em V_{CC} – especificamente para $V_{CC} = 16$, 12, 10 e 8 V. Suponha V_{CEsat} próxima a zero. Qual o rendimento da conversão de potência em cada caso?

Seção 9.3: O Estágio de Saída Classe B

9.5 Considere o estágio de saída classe B usando MOSFETs de crescimento, mostrados na Figura P9.5. Suponha que o dispositivo tenha $|V_t| = 1$ V e $\mu C_{ox}W/L = 200\ \mu A/V^2$. Com uma onda senoidal de 10 kHz na entrada de 5 V de pico e um alto valor de resistência de carga, qual o valor do pico de saída que você espera? Que fração do período da onda senoidal representa o intervalo de cruzamento? Para qual valor de resistência de carga o pico da tensão de saída se reduz à metade da tensão de entrada?

9.6 Considere o estágio de saída classe B com TBJ com uma tensão de saída com onda quadrada de amplitude $\hat{V}_o$ na carga R_L e empregando uma fonte de alimentação $\pm V_{SS}$. Desprezando os efeitos de V_{BE} e V_{CEsat}, determine a potência da carga, a potência da fonte de alimentação, o rendimento da conversão de potência, o valor correspondente de $\hat{V}_o$ e a potência máxima disponível na carga. Calcule também o valor de $\hat{V}_o$ em que a dissipação de potência nos transistores alcança seu valor de pico

e o correspondente valor de rendimento da conversão de potência.

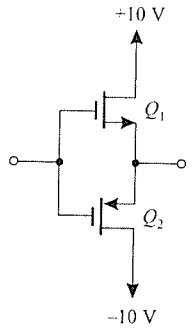


Figura P9.5

Seção 9.4: O Estágio de Saída Classe AB

P9.7 Considere o projeto de um estágio de saída classe AB com MOS de crescimento. Os dispositivos disponíveis têm $|V_t| = 1$ V e $\mu C_{ox}W/L = 200$ mA/V^2. Que valor de tensão de polarização V_{GG} é preciso para reduzir a resistência de saída dinâmica no estado quiescente para 10 Ω?

Seção 9.5: A Polarização do Circuito Classe AB

P9.8 Considere o circuito classe AB polarizado com diodos na Figura 9.14. Para $I_{\text{POLARIZAÇÃO}} = 100$ μA, calcule o valor relativo (n) que deve ser usado para os dispositivos de saída em comparação com os dispositivos de polarização para garantir uma resistência de saída de 10 Ω ou menos.

P9.9 Repita o Exemplo 9.3 para a situação em que a corrente de saída de pico positivo é de 200 mA. Use a mesma margem de segurança. Quais os valores de R_1 e R_2 que você escolheu?

Seção 9.6: Os TBJs de Potência

9.10 Um transistor de potência, operando em uma temperatura ambiente de 50°C e em uma corrente média de emissor de 3 A, dissipa 30 W. Se a resistência térmica do transistor for conhecida como sendo menor do que 3°C/W, qual o maior valor de temperatura de junção que você prevê? Se o V_{BE} medido do transistor usando uma corrente de emissor pulsada de 3 A com uma temperatura de junção a 25°C é 0,80 V, que valor médio de V_{BE} você espera nas condições normais de operação? (Use um coeficiente de temperatura de −2 mV/°C.)

Seção 9.7: As Variações na Configuração Classe AB

9.11 Use os resultados dados na resposta do Exercício 9.11 a fim de determinar a corrente de saída do circuito na Figura 9.24, para $v_I = 0$ e ± 10 V com cargas infinitas e de 100 Ω.

9.12 Um circuito parecido com o da Figura 9.24 usa quatro transistores casados com $|V_{BE}| = 0{,}7$ V e 10 mA, $n = 1$ e $\beta \geq 50$. Os resistores R_1 e R_2 são substituídos por uma fonte de corrente de 2 mA e $R_3 = R_4 = 0$. Que valor de corrente quiescente circula nos transistores de saída? Que valor de corrente quiescente circula nas bases dos transistores de entrada? Por que caminho ela circula? Qual a corrente de entrada (corrente de offset) se o descasamento for de 10%? Para uma resistência de carga $R_L = 100$ Ω, qual a resistência de entrada? Qual o ganho de tensão para pequenos sinais?

9.13 Para o circuito na Figura P9.13, cujos transistores têm $V_{BE} = 0{,}7$ V e $\beta = 100$, calcule i_C, g_{meq}, v_o/v_i e R_{in}.

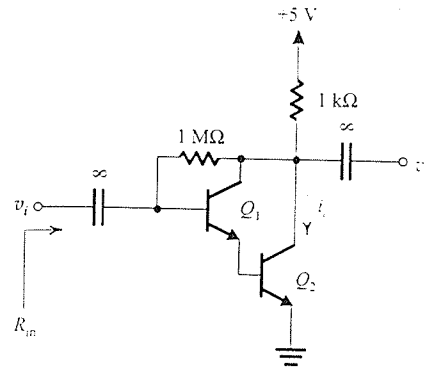


Figura P9.13

**P9.14 Considere o estágio de saída classe AB com transistor composto na Figura 9.27, cujos Q_1 e Q_2 são casados com $V_{BE} = 0{,}7$ V e 10 mA e $\beta = 100$, Q_1 e Q_5 têm $V_{BE} = 0{,}7$ V com correntes de 1 mA e $\beta = 100$, Q_3 tem $V_{EB} = 0.7$ V com corrente de 1 mA e $\beta = 10$. Todos os transistores têm $n = 1$. Projete o circuito para uma corrente quiescente de 2 mA em Q_2 e Q_4, $I_{\text{POLARIZAÇÃO}}$ que é cem vezes o valor-padrão da corrente da base de Q_1 e uma corrente em Q_5 que é nove vezes a dos resistores associados. Calcule os valores da tensões de entrada necessárias para produzir saídas de ± 10 V para cargas de 1 kΩ. Use V_{CC} de 15 V.

Seção 9.8: Os Amplificadores de Potência CI

9.15 Considere a parte inicial do circuito na Figura 9.30. Para $V_S = 20$ V, calcule valores aproximados para as correntes de polarização de Q_1 até Q_6. Suponha que $\beta_{npn} = 100$, $\beta_{pnp} = 20$ e $|V_{BE}| = 0{,}7$ V. Calcule também a tensão cc no estágio de saída.

P9.16 Para o amplificador em ponte na Figura 9.34, suponha que $R_1 = R_3 = 10$ kΩ. Calcule R_2 e R_4 para obter um ganho total de 10.

Seção 9.9: Os Transistores de Potência MOS

9.17 Um dispositivo particular de potência DMOS cujo C_{ox} é de 400 μF/m^2, W é de 10^5 μm e $Vt = 2$ V registra uma velocidade de saturação com $v_{GS} = 5$ V. Use as Equações 9.46 e 9.47 para encontrar uma expressão para L e seus valores para esse transistor. Com que valor de corrente de dreno a velocidade de saturação inicia? Para os elétrons no silício, $U_{\text{sat}} = 5 \times 10^6$ cm/s e $\mu_n = 500$ cm^2/Vs. Qual o valor de g_m para esse dispositivo em alta corrente?

CAPÍTULO 10

MAKRON Books

Circuitos Integrados Analógicos

Introdução
10.1 O Circuito do Amp Op 741
10.2 Análise *cc* do 741
10.3 Análise do Estágio de Entrada do 741 para Pequenos Sinais
10.4 Análise do Segundo Estágio do 741 para Pequenos Sinais
10.5 Análise do Estágio de Saída do 741
10.6 O Ganho e a Resposta em Freqüência do 741
10.7 Amp Ops CMOS
10.8 Configurações Alternativas para os Amp Ops CMOS e BiCMOS
10.9 Conversores de Dados – Uma Introdução
10.10 Circuitos Conversores D/A
10.11 Circuitos Conversores A/D
10.12 Exemplos de Simulação com o SPICE
Resumo
Bibliografia
Problemas

INTRODUÇÃO

Os CIs analógicos incluem os amplificadores operacionais, multiplicadores analógicos, conversores analógico-digital (A/D) e digital-analógico (D/A), malhas em fase fechada e uma variedade de outros blocos funcionais mais especializados. Todos esses subsistemas analógicos são construídos internamente usando blocos básicos já estudados nos capítulos anteriores, incluindo pares diferenciais, espelhos de corrente, chaves MOS e outros.

Neste capítulo, estudaremos o circuito interno dos mais importantes CIs analógicos – o amplificador operacional e os conversores de dados. As características elétricas e os circuitos de aplicação dos amp ops já foram descritos no Capítulo 2. Aqui, nosso objetivo é expor ao leitor algumas técnicas engenhosas que têm sido desenvolvidas há anos pela combinação elementar dos blocos de circuitos analógicos de modo a obter um amp op completo. Especificamente, estudaremos em detalhes o circuito analógico em CI mais popular produzido atualmente, o amp op 741 que é compensado internamente. Embora tenha sido introduzido há aproximadamente 30 anos, o circuito interno do amp op 741 continua sendo tão relevante e importante como sempre foi.

Deveremos estudar também com algum detalhe um circuito popular de um amp op CMOS. Embora em vários aspectos o desempenho dos amp ops CMOS não seja tão bom quanto o das unidades bipolares, ele é mais do que adequado para aplicações em sistemas VLSI. Combinando as vantagens dos dispositivos bipolares e CMOS na tecnologia BiCMOS, tornou-se possível alguns projetos excelentes de amp ops. Descreveremos resumidamente um desses circuitos.

Os conversores analógico-digital e digital-analógico constituem uma classe importante de CIs analógicos, aos quais o leitor será apresentado neste capítulo.

Além disso, para expor ao leitor algumas idéias que fazem do projeto de CIs analógicos um tópico fascinante, este capítulo também servirá para consolidar muitos conceitos e métodos estudados nos capítulos anteriores.

10.1 O CIRCUITO DO AMP OP 741

Começaremos com um estudo qualitativo do circuito do amp op 741, que está mostrado na Figura 10.1. Observe que, mantendo a filosofia de projeto de CIs, o circuito usa um grande número de transistores, mas relativamente poucos resistores e apenas um capacitor. Essa filosofia é ditada pela economia de fabricação de componentes ativos e passivos na forma de CIs (área de silício, facilidade de fabricação, qualidade dos componentes – veja o Apêndice A).

Como o caso dos mais modernos amp ops em CI, o 741 requer uma fonte simétrica, $+V_{CC}$ e $-V_{EE}$. Normalmente, $V_{CC} = V_{EE} = 15$ V, mas o circuito opera satisfatoriamente com fontes de alimentação reduzidas a valores abaixo destes (assim como ± 5 V). É importante observar que nenhum nó do circuito está conectado ao terra, que é o terminal comum das duas fontes de alimentação.

Com um circuito relativamente grande, como o da Figura 10.1, o primeiro passo na análise é a identificação das partes familiares e de suas funções. Isso pode ser feito conforme descrito a seguir.

A Polarização do Circuito

A corrente de polarização de referência do circuito 741, I_{REF}, é gerada no ramo do extremo esquerdo, consistindo em dois transistores conectados como diodo, Q_{11} e Q_{12}, e a resistência R_5. Usando uma fonte de corrente de Widlar formada por Q_{11}, Q_{10} e R_4, a corrente de polarização para o primeiro estágio é gerada no coletor de Q_{10}. Outro espelho de corrente formado por Q_8 e Q_9 faz parte da polarização do primeiro estágio.

A corrente de polarização de referência I_{REF} é usada para fornecer duas correntes proporcionais nos coletores de Q_{13}. Esse transistor *lateral*[1] *pnp* de coletor duplo pode ser visto como dois transistores cujas junções emissor–base estão conectadas em paralelo. Logo, Q_{12} e Q_{13} formam um espelho de corrente de saída dupla: uma saída, a do coletor de Q_{13B}, fornece a corrente de polarização para Q_{17} e a outra saída, a do coletor de Q_{13A}, fornece a corrente de polarização para o estágio de saída do amp op.

Dois outros transistores, Q_{18} e Q_{19}, fazem parte do processo de polarização *cc*. O objetivo de Q_{18} e Q_{19} é estabelecer duas quedas V_{BE} entre as bases dos transistores de saída Q_{14} e Q_{20}.

1. Veja o Apêndice A para uma descrição dos transistores *pnp* laterais.

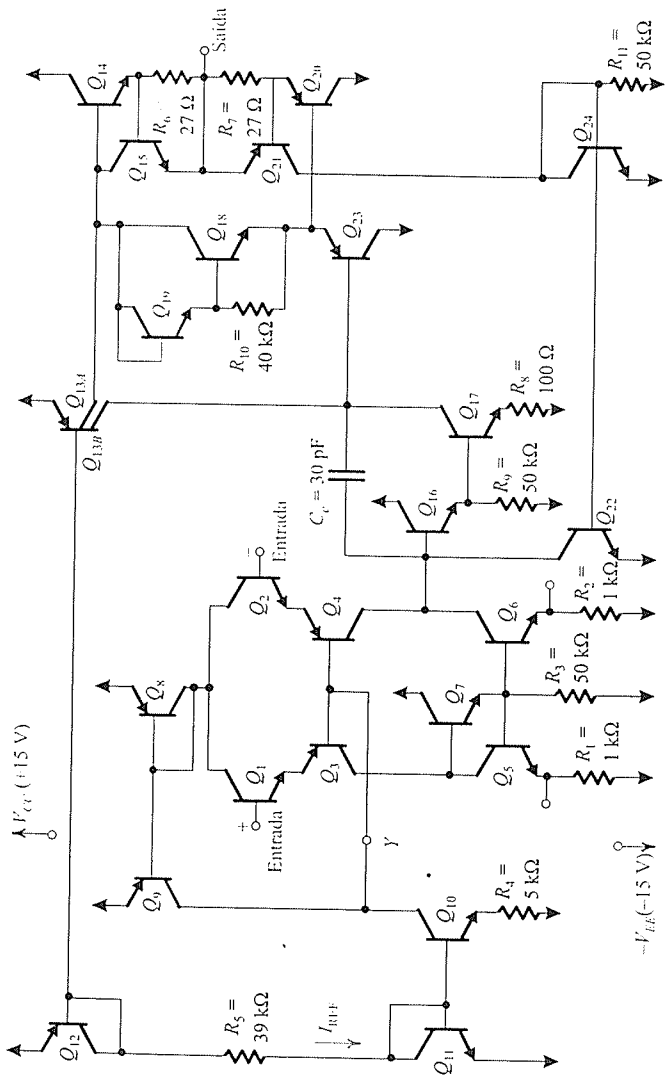


Figura 10.1 O circuito do amp op 741. Q_{11}, Q_{12} e R_5 geram a corrente de polarização de referência, I_{REF}. Q_{10}, Q_9 e Q_8 polarizam o estágio de entrada, composto por Q_1 a Q_7. O segundo estágio, que fornece ganho, é formado por Q_{16} e Q_{17} com Q_{13B} atuando como carga ativa. O estágio de saída classe AB é formado por Q_{14} e Q_{20} com dispositivos de polarização Q_{13A}, Q_{18} e Q_{19} e com um acoplador de entrada Q_{23}. Os transistores Q_{15}, Q_{21}, Q_{24} e Q_{22} servem para proteger o amplificador contra curtos-circuitos na saída e estão normalmente cortados.

Circuito de Proteção contra Curto-circuito

O circuito do 741 inclui vários transistores que estão normalmente em corte e conduzem apenas no evento da tentativa de drenagem de uma elevada corrente do terminal de saída do amp op. Isso poderia acontecer, por exemplo, se o terminal de saída fosse curto-circuitado com os terminais de uma das fontes de alimentação. A malha de proteção contra curto-circuito consiste em R_6, R_7, Q_{15}, Q_{21}, Q_{24}, R_{11} e Q_{22}. A seguir, podemos supor que esses transistores estão em corte. A operação de proteção contra curto-circuito será explicada na Seção 10.5.

O Estágio de Entrada

O circuito do 741 consiste em três estágios: um estágio diferencial de entrada, um estágio intermediário de alto ganho com saída simples e um estágio de saída reforçador (buffer). O estágio de entrada consiste nos transistores de Q_1 até Q_7, com a polarização executada por Q_8, Q_9 e Q_{10}. Os transistores Q_1 e Q_2 funcionam como seguidores de emissor, fazendo com que a resistência de entrada seja elevada e entregando um sinal de entrada diferencial para o amplificador diferencial com base comum formado por Q_3 e Q_4. Assim, o estágio de entrada é a versão diferencial da configuração coletor comum–base comum discutida na Seção 7.8.

Os transistores Q_5, Q_6 e Q_7 com os resistores R_1, R_2 e R_3 formam o circuito da carga do estágio de entrada. Esse é um circuito de carga elaborado com espelho de corrente, que será analisado em detalhes na Seção 10.3. Será mostrado que esse circuito de carga não apenas proporciona uma resistência de carga elevada, mas também converte o sinal diferencial na forma de saída simples, sem perda no ganho ou na rejeição de modo comum. A saída do estágio de entrada é de terminação simples, tomada no coletor de Q_6.

Conforme mencionado na Seção 6.10, cada circuito amp op inclui um *deslocador de nível* cuja função é deslocar o nível *cc* do sinal, de modo que o sinal na saída do amp op possa excursionar nos sentidos positivo e negativo. No 741, o deslocamento de nível é feito no primeiro estágio usando os transistores *pnp* laterais Q_3 e Q_4. Embora os transistores *pnp* laterais tenham um funcionamento pobre em altas freqüências, seu uso na configuração base comum (conhecida por ter uma boa resposta em altas freqüências) não prejudica seriamente a resposta em freqüência do amp op.

O uso dos transistores *pnp* laterais Q_3 e Q_4 no primeiro estágio resulta em uma vantagem adicional: proteção dos transistores do estágio de entrada Q_1 e Q_2 contra a ruptura da junção emissor–base. Como a junção emissor–base de um transistor *npn* atinge a ruptura com cerca de 7 V de polarização reversa (veja a Seção 4.15), estágios diferenciais com transistores *npn* regulares podem ter problema de ruptura se, digamos, a tensão de alimentação for acidentalmente conectada entre os terminais de entrada. Os transistores *pnp* laterais, contudo, têm tensões de ruptura emissor–base elevadas (cerca de 50 V); e, pelo fato de serem conectados em série com Q_1 e Q_2, oferecem uma proteção dos transistores de entrada Q_1 e Q_2 do 741.

O Segundo Estágio

O segundo estágio ou estágio intermediário é composto por Q_{16}, Q_{17}, Q_{13B} e por dois resistores, R_8 e R_9. O transistor Q_{16} age como um seguidor de emissor, dando, portanto, ao segundo estágio uma resistência de entrada elevada. Isso minimiza o efeito de carga sobre o estágio de entrada e evita perdas no ganho. O transistor Q_{17} funciona como um amplificador emissor comum com um resistor de 100 Ω no emissor. Sua carga é composta pela resistência de saída elevada da fonte de corrente com o *pnp* Q_{13B} em paralelo com a resistência de entrada do estágio de saída (vista olhando-se para a base de Q_{23}). O uso de uma fonte de corrente com transistor como uma resistência

de carga é uma técnica conhecida por *carga ativa* (Seção 6.5). Ela nos permite obter um alto valor de ganho sem recorrer ao uso de elevadas resistências de carga, o que ocuparia uma grande área na pastilha e exigiria um alto valor para a fonte de tensão.

A saída do segundo estágio é tomada no coletor de Q_{17}. O capacitor C_C está conectado ao caminho da realimentação do segundo estágio para proporcionar uma compensação de freqüência usando a técnica da compensação de Miller, estudada na Seção 8.11. Será mostrado na Seção 10.6 que o capacitor C_C, relativamente pequeno, dá ao 741 um pólo dominante em torno de 4 Hz. Além do mais, a separação dos pólos (*pole splitting*) faz com que outros pólos sejam deslocados para freqüências muito mais altas, dando ao amp op uma queda uniforme no ganho de −20 dB/década, com uma faixa de passagem de ganho unitário de cerca de 1 MHz. Deve ser observado que, embora C_C seja de pequeno valor, a área da pastilha que ele ocupa é cerca de 13 vezes a de um transistor *npn* padrão!

O Estágio de Saída

A finalidade do estágio de saída (Capítulo 9) é proporcionar ao amplificador uma baixa resistência de saída. Além disso, o estágio de saída deve ser capaz de fornecer uma corrente relativamente elevada à carga sem dissipação de uma grande quantidade de potência indevida no CI. O 741 utiliza um eficiente estágio de saída classe AB, que estudaremos em detalhes na Seção 10.5.

O estágio de saída consiste em um par complementar Q_{14} e Q_{20}, em que Q_{20} é um *pnp de substrato* (veja o Apêndice A). Os transistores Q_{18} e Q_{19} são alimentados pela fonte de corrente Q_{13A} e polarizam os transistores de saída Q_{14} e Q_{20}. O transistor Q_{23} (um outro *pnp* de substrato) funciona como um seguidor de emissor, minimizando, portanto, o efeito de carga do estágio de saída sobre o segundo estágio.

Os Parâmetros do Dispositivo

Nas seções seguintes apresentaremos uma análise detalhada do circuito do 741. Para os transistores-padrão *npn* e *pnp*, serão usados os seguintes parâmetros:

$$npn: \quad I_S = 10^{-14}\,\text{A},\ \beta = 200,\ V_A = 125\ \text{V}$$

$$pnp: \quad I_S = 10^{-14}\,\text{A},\ \beta = 50,\ V_A = 50\ \text{V}$$

No circuito do 741, os dispositivos fora de padrão são Q_{13}, Q_{14} e Q_{20}. Vamos supor que o transistor Q_{13} seja equivalente aos dois transistores, Q_{13A} e Q_{13B}, com as junções emissor–base em paralelo e as seguintes correntes de saturação:

$$I_{SA} = 0{,}25\times10^{-14}\,\text{A} \qquad I_{SB} = 0{,}75\times10^{-14}\,\text{A}$$

Vamos supor também que os transistores Q_{14} e Q_{20} tenham cada um uma área três vezes superior à do dispositivo-padrão. Normalmente, os transistores de saída têm áreas relativamente grandes para serem capazes de fornecer correntes elevadas à carga e dissipar quantidades relativamente elevadas de potência com apenas um aumento moderado na temperatura do dispositivo.

Exercícios

10.1 Para o transistor *npn* padrão cujos parâmetros são dados anteriormente, calcule os valores aproximados para os seguintes parâmetros com I_C = 1 mA: V_{BE}, g_m, r_e, r_π, r_o, r_μ. (*Observação*: Suponha $r_\mu = 10\beta r_o$.)

Resposta 633 mV; 40 mA/V; 25 Ω; 5 kΩ; 125 kΩ; 250 MΩ

10.2 Para o circuito na Figura E10.2, despreze as correntes da base e use a relação exponencial i_C–v_{BE} para mostrar que

$$I_3 = I_1\sqrt{\frac{I_{S3}I_{S4}}{I_{S1}I_{S2}}}$$

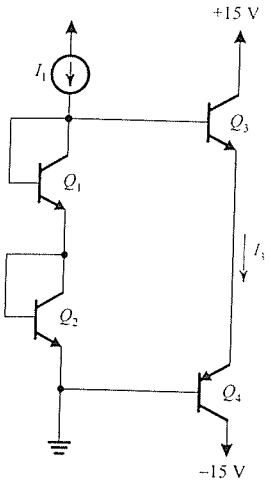


Figura E10.2

10.2 ANÁLISE *cc* DO 741

Nesta seção, apresentaremos uma análise *cc* do circuito do 741 para determinar o ponto de polarização de cada dispositivo. Para a análise *cc* do circuito do amp op, os terminais de entrada são aterrados. Teoricamente falando, isso deveria resultar em uma tensão *cc* zero na saída. Porém, devido ao ganho muito alto do amp op, qualquer ligeira aproximação na análise implicarão tensões na saída que estão longe de zero e próximas de $+V_{CC}$ ou $-V_{EE}$. Na prática real, um amp op deixado em malha aberta terá uma tensão de saída saturada próxima do valor positivo ou negativo da fonte de alimentação. Para superar esse problema na análise *cc*, será suposto que o amp op está conectado a uma malha de realimentação negativa que estabiliza a tensão *cc* de saída em zero volts.

A Corrente de Polarização de Referência

A corrente de polarização de referência I_{REF} é gerada no ramo composto por dois transistores conectados como diodo, Q_{11} e Q_{12}, e pelo resistor R_5. Com referência à Figura 10.1, podemos escrever

$$I_{REF} = \frac{V_{CC} - V_{EB12} - V_{BE11} - (-V_{EE})}{R_5}$$

Para $V_{CC} = V_{EE} = 15$ V e $V_{BE11} = V_{EB12} \cong 0{,}7$ V, temos $I_{REF} = 0{,}73$ mA.

A Polarização do Estágio de Entrada

O transistor Q_{11} é polarizado por I_{REF} e a tensão em seus terminais é usada para polarizar Q_{10}, que tem uma resistência R_4 em série com o emissor. Essa parte do circuito está redesenhada na Figura 10.2 e pode ser reconhecida como a fonte de corrente de Widlar estudada na Seção 6.4. A partir desse circuito, temos

$$V_{BE11} - V_{BE10} = I_{C10}R_4$$

Portanto,

$$V_T \ln \frac{I_{REF}}{I_{C10}} = I_{C10}R_4 \tag{10.1}$$

em que está suposto que $I_{S10} = I_{S11}$. Substituindo os valores conhecidos de I_{REF} e R_4, essa equação pode ser solucionada por tentativa e erro para determinar I_{C10}. Para nosso caso, o resultado é $I_{C10} = 19\ \mu A$.

Exercício

D10.3 Projete a fonte de corrente de Widlar da Figura 10.2 para gerar uma corrente $I_{C10} = 10\ \mu A$, dado que $I_{REF} = 1$ mA. Se para uma corrente de coletor de 1 mA, $V_{BE} = 0{,}7$ V, calcule V_{BE11} e V_{BE10}.

Resposta $R_4 = 11{,}5\ K\Omega$; $V_{BE11} = 0{,}7$ V; $V_{BE10} = 0{,}585$ V

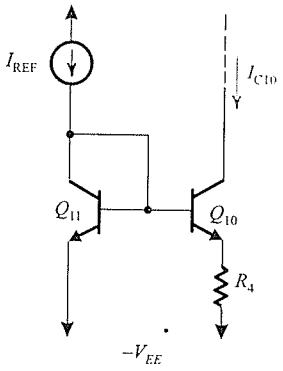


Figura 10.2 Fonte de corrente de Widlar.

Determinado I_{C10}, agora determinaremos a corrente *cc* em cada um dos transistores do estágio de entrada. Parte do estágio de entrada está redesenhada na Figura 10.3. Pela simetria vemos que

$$I_{C1} = I_{C2}$$

Representemos essa corrente por I. Vemos que, se o β do *npn* for elevado, então

$$I_{E3} = I_{E4} \simeq I$$

e as correntes da base de Q_3 e Q_4 são iguais, com um valor de $I/(\beta_P + 1) \simeq I/\beta_P$, em que β_P representa o β dos dispositivos *pnp*.

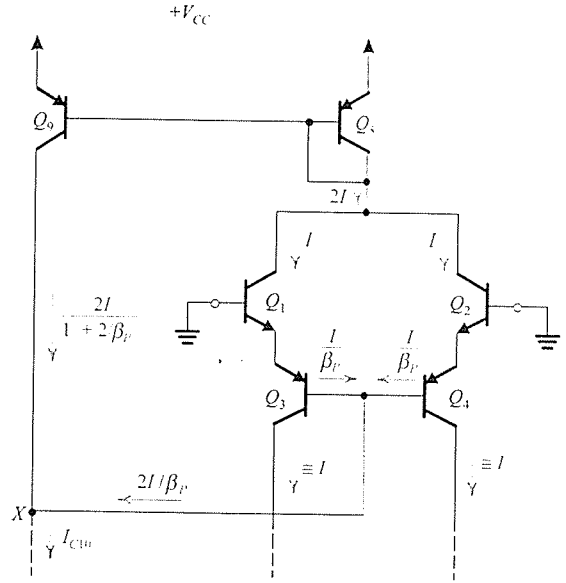


Figura 10.3 Análise *cc* do estágio de entrada do 741.

O espelho de corrente formado por Q_8 e Q_9 é alimentado por uma corrente de entrada de $2I$. Usando o resultado da Equação 6.63, podemos expressar a corrente de saída do espelho como

$$I_{C9} = \frac{2I}{1+2/\beta_P}$$

Podemos escrever agora uma equação nodal para o ponto X na Figura 10.3 e, então, determinar o valor de I. Se $\beta_P >> 1$, essa equação nodal fornece

$$2I \simeq I_{C10}$$

Para o 741, $I_{C10} = 19\ \mu A$; logo $I = 9{,}5\ \mu A$. Determinamos, portanto, que

$$I_{C1} = I_{C2} \simeq I_{C3} = I_{C4} = 9{,}5\ \mu A$$

Nesse ponto, devemos observar que os transistores Q_1 até Q_4, Q_8 e Q_9 formam uma **malha de realimentação negativa**, que trabalha para estabilizar o valor de I em aproximadamente $I_{C10}/2$. Para observar esse fato, suponha que, por alguma razão, a corrente I em Q_1 e Q_2 aumente. Isso fará com que a corrente drenada de Q_8 aumente e, portanto, a corrente de saída do espelho Q_8–Q_9 aumenta correspondentemente. Porém, como I_{C10} permanece constante, o nó X força as correntes combinadas das bases de Q_3 e Q_4 a diminuir. Isso, por sua vez, fará com que diminuam as correntes dos emissores de Q_3 e Q_4 e, conseqüentemente, as correntes dos coletores de Q_1 e Q_2. Isso está no sentido oposto da variação original. Conseqüentemente, a realimentação é negativa e estabiliza o valor de I.

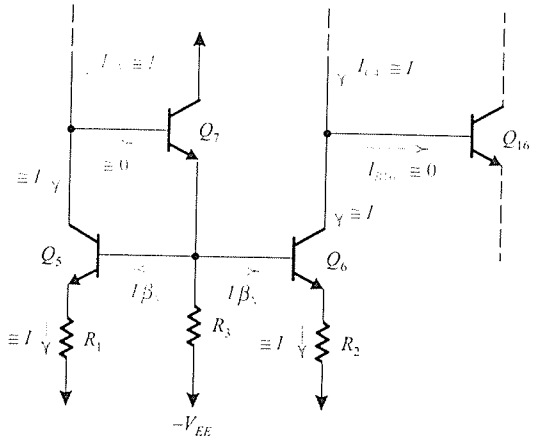


Figura 10.4 Análise *cc* do estágio de entrada do 741 (*continuação*).

A Figura 10.4 mostra o restante do estágio de entrada do 741. Se desprezarmos a corrente da base de Q_{16}, então

$$I_{C6} \simeq I$$

De modo similar, desprezando a corrente da base de Q_7, obtemos

$$I_{C5} \simeq I$$

A corrente de polarização de Q_7 pode ser determinada por

$$I_{C7} \simeq I_{E7} = \frac{2I}{\beta_N} + \frac{V_{BE6} + IR_2}{R_3} \tag{10.2}$$

em que β_N representa o β dos transistores *npn*. Para determinar V_{BE6}, usamos a relação exponencial do transistor e escrevemos

$$V_{BE6} = V_T \ln \frac{I}{I_S}$$

Substituindo $I_S = 10^{-14}$ A e $I \simeq 9{,}5$ μA, resulta em $V_{BE6} = 517$ mV. Substituindo, então, na Equação 10.2 produz $I_{C7} = 10{,}5$ μA. Observe que a corrente da base de Q_7 é realmente desprezível comparada ao valor de I, como foi suposto.

As Correntes de Polarização e Offset de Entrada

A **corrente de polarização de entrada** de um amp op é definida (Capítulos 2 e 6) como

$$I_B = \frac{I_{B1} + I_{B2}}{2}$$

Para o 741 obtemos

$$I_B = \frac{I}{\beta_N}$$

Usando $\beta_N = 200$, temos $I_B = 47{,}5$ nA. Observe que esse valor é razoavelmente pequeno e é típico dos amp ops de uso geral que utilizam TBJs no estágio de entrada. Uma corrente de polarização de entrada muito menor (na faixa de picoampères) pode ser obtida usando um estágio de entrada FET. Além disso, há técnicas para a redução da corrente de polarização de entrada dos amp ops bipolares.

Devido às possibilidades de descasamento nos valores de β de Q_1 e Q_2, as correntes de entrada de base não serão iguais. Dado o valor do descasamento de β, podemos usar a Equação 6.60 para calcular a **corrente de offset de entrada**, definida como

$$I_{OS} = |I_{B1} - I_{B2}|$$

A Tensão de Offset de Entrada

Pelo que estudamos no Capítulo 6, sabemos que a tensão de *offset* de entrada é determinada primariamente pelo descasamento entre os dois lados do estágio de entrada. No amp op 741, a tensão de *offset* de entrada é devida aos descasamentos entre Q_1 e Q_2, entre Q_3 e Q_4, entre Q_5 e Q_6 e entre R_1 e R_2. A avaliação das componentes de V_{OS} correspondentes aos vários descasamentos segue o método resumido na Seção 6.3. Basicamente, calculamos a corrente que resulta na saída do primeiro estágio devido à consideração de um descasamento particular. Depois, calculamos a tensão de entrada diferencial que deve ser aplicada para reduzir a corrente de saída a zero.

Faixa de Entrada em Modo Comum

A **faixa de entrada em modo comum** é a faixa de valores de tensão com a entrada em modo comum para a qual o estágio de entrada permanece no modo ativo linear. Retorne à Figura 10.1. Vemos que no circuito do 741 a faixa de entrada em modo comum é determinada no limite superior pela saturação de Q_1 e Q_2 e no limite inferior pela saturação de Q_3 e Q_4.

Exercício

10.4 Despreze a queda de tensão em R_1 e R_2 e suponha que $V_{CC} = V_{EE} = 15$ V. Mostre que a faixa de entrada em modo comum do 741 é de aproximadamente −12,6 V a +14,4 V. (Suponha $V_{BE} \simeq 0{,}6$ V e que, para evitar saturação, $V_{CB} \geq 0$ para um transistor *npn* e $V_{BC} \geq 0$ para um transistor *pnp*.)

A Polarização do Segundo Estágio

Se desprezarmos a corrente da base de Q_{23}, vemos, então, pela Figura 10.1, que a corrente de coletor de Q_{17} é aproximadamente igual à corrente fornecida pela fonte de corrente Q_{13B}. Pelo fato de Q_{13B} ter uma escala de corrente de 0,75 vezes a de Q_{12}, sua corrente de coletor será $I_{C13B} \simeq 0{,}75 I_{REF}$, na qual fizemos a suposição de que $\beta_P >> 1$. Portanto, $I_{C13B} = 550$ μA e $I_{C17} \simeq 550$ μA. A esse nível de corrente, a tensão emissor–base de Q_{17} é

$$V_{BE17} = V_T \ln \frac{I_{C17}}{I_S} = 618 \text{ mV}$$

A corrente de coletor de Q_{16} pode ser determinada a partir de

$$I_{C16} \cong I_{E16} = I_{B17} + \frac{I_{E17}R_8 + V_{BE17}}{R_9}$$

Esses cálculos produzem $I_{C16} = 16{,}2\ \mu\text{A}$. Observe que a corrente da base de Q_{16} será realmente desprezível comparada à corrente de polarização I, como presumido.

A Polarização do Estágio de Saída

A Figura 10.5 mostra o estágio de saída do 741 com o circuito de proteção de curto-circuito omitido. A fonte de corrente Q_{13A} fornece uma corrente de $0{,}25I_{\text{REF}}$ (porque I_S de Q_{13A} é 0,25 vezes I_S de Q_{12}) para a malha composta de Q_{18}, Q_{19} e R_{10}. Se desprezarmos as correntes das bases de Q_{14} e Q_{20}, então a corrente do emissor de Q_{23} também será igual a $0{,}25I_{\text{REF}}$. Portanto,

$$I_{C23} \cong I_{E23} \cong 0{,}25I_{\text{REF}} = 180\ \mu\text{A}$$

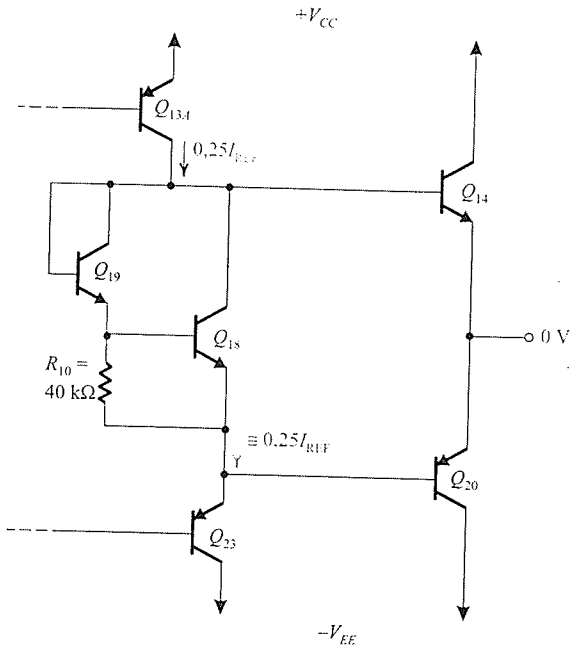


Figura 10.5 O estágio de saída do 741 sem os dispositivos de proteção contra curto-circuito.

Portanto, vemos que a corrente da base de Q_{23} é somente 180/50 = 3,6 μA, que é desprezível se comparada com I_{C1}, conforme assumido anteriormente.

Se fizermos a suposição de que V_{BE18} é aproximadamente 0,6 V, podemos determinar a corrente em R_{10} como 15 μA. A corrente do emissor de Q_{18} é, portanto,

$$I_{E18} = 180 - 15 = 165\ \mu\text{A}$$

Além disso,

$$I_{C18} \cong I_{E18} = 165\ \mu\text{A}$$

Com esse valor de corrente, encontramos que $V_{BE18} = 588$ mV, que é muito próximo ao valor suposto. A corrente da base de Q_{18} é de 165/200 = 0,8 μA, que pode ser somada à corrente em R_{10} para determinar a corrente em Q_{19} como

$$I_{C19} \cong I_{E19} = 15{,}8\ \mu\text{A}$$

A queda de tensão na junção emissor–base de Q_{19} pode ser agora determinada como

$$V_{BE19} = V_T \ln \frac{I_{C19}}{I_S} = 530 \text{ mV}$$

Conforme mencionado na Seção 10.1, o objetivo da malha Q_{18}–Q_{19} é estabelecer duas quedas de V_{BE} entre as bases dos transistores Q_{14} e Q_{20}. Essa queda de tensão, V_{BB}, pode ser calculada agora como

$$V_{BB} = V_{BE18} + V_{BE19} = 588 + 530 = 1{,}118 \text{ V}$$

Como V_{BB} aparece na combinação série das junções emissor–base de Q_{14} e Q_{20}, podemos escrever

$$V_{BB} = V_T \ln \frac{I_{C14}}{I_{S14}} + V_T \ln \frac{I_{C20}}{I_{S20}}$$

Usando o valor calculado de V_{BB} e substituindo $I_{S14} = I_{S20} = 3 \times 10^{-14}$ A, determinamos a corrente de coletor como

$$I_{C14} = I_{C20} = 154\ \mu\text{A}$$

Resumo

Para uma futura referência, a Tabela 10.1 fornece uma listagem dos valores das correntes de polarização do coletor dos transistores do 741.

Tabela 10.1 Correntes *cc* do coletor do circuito do 741 (μA).

Q_1	9,5	Q_8	19	Q_{13B}	550	Q_{19}	15,8
Q_2	9,5	Q_9	19	Q_{14}	154	Q_{20}	154
Q_3	9,5	Q_{10}	19	Q_{15}	0	Q_{21}	0
Q_4	9,5	Q_{11}	730	Q_{16}	16,2	Q_{22}	0
Q_5	9,5	Q_{12}	730	Q_{17}	550	Q_{23}	180
Q_6	9,5	Q_{13A}	180	Q_{18}	165	Q_{24}	0
Q_7	10,5						

Exercício

10.5 Se no circuito da Figura 10.5 a malha Q_{18}–Q_{19} for substituída por dois transistores conectados como diodo, calcule a corrente em Q_{14} e Q_{20}. (*Sugestão*: Use o resultado do Exercício 10.2.)

Resposta 540 μA

10.3 ANÁLISE DO ESTÁGIO DE ENTRADA DO 741 PARA PEQUENOS SINAIS

A Figura 10.6 mostra parte do estágio de entrada do 741 com o propósito de análisar seu comportamento para pequenos sinais. Observe que, como os coletores de Q_1 e Q_2 estão conectados a uma fonte de tensão *cc* constante, eles são mostrados aterrados. Observe também que a corrente constante de polarização das bases de Q_3 e Q_4 é equivalente a ter o terminal comum da base em aberto.

O sinal diferencial v_i aplicado entre os terminais de entrada aparece efetivamente entre quatro resistências de emissor iguais ligadas em série – as de Q_1, Q_2, Q_3 e Q_4. Como resultado, o sinal de corrente do emissor circula, conforme indicado na Figura 10.6, com

$$i_e = \frac{v_i}{4r_e} \tag{10.3}$$

em que r_e representa a resistência de emissor de cada transistor Q_1 até Q_4. Portanto,

$$r_e = \frac{V_T}{I} = \frac{25\text{ mV}}{9{,}5\ \mu\text{A}} = 2{,}63\ \text{k}\Omega$$

Portanto, os quatro transistores, Q_1 até Q_4, alimentam o circuito de carga com um par complementar de sinais de corrente αi_e, conforme indicado na Figura 10.6.

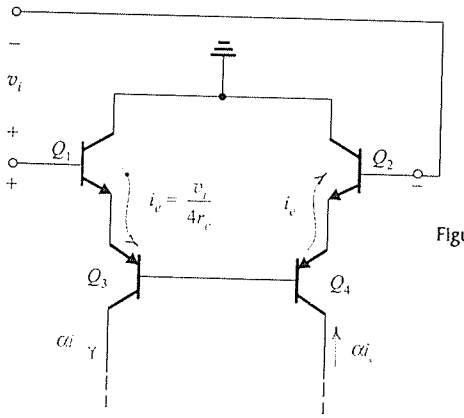


Figura 10.6 Análise para pequenos sinais do estágio de entrada do 741.

A resistência diferencial de entrada do amp op pode ser obtida pela Figura 10.6 como

$$R_{id} = 4(\beta_N + 1)r_e \tag{10.4}$$

Para $\beta_N = 200$, obtemos $R_{id} = 2{,}1$ MΩ.

Continuando a análise do estágio de entrada, mostramos na Figura 10.7 o circuito de carga alimentado pelo par complementar de sinais de corrente mencionado anteriormente. Desprezando o sinal de corrente na base de Q_7, vemos que o sinal na corrente do coletor de Q_5 é aproximadamente igual à corrente de entrada αi_e. Agora, como Q_5 e Q_6 são idênticos e suas bases são ligadas juntas e como resistências iguais são conectadas em seus emissores, segue que suas correntes de coletor devem ser iguais. Portanto, o sinal de corrente no coletor de Q_6 é forçado a ser αi_e. Em outras palavras, o circuito de carga funciona como um espelho de corrente.

Considere agora o nó de saída do estágio de entrada. A corrente de saída i_o é dada por

$$i_o = 2\alpha i_e \tag{10.5}$$

O fator 2 nessa equação indica que a conversão da saída diferencial para saída simples é feita sem perda da metade do sinal. O artifício, é claro, está no uso do espelho de corrente para inverter um dos sinais e depois somar o resultado ao outro sinal de corrente (veja a Seção 6.5).

As Equações 10.3 e 10.5 podem ser combinadas para obter a transcondutância do estágio de entrada, G_{m1}:

$$G_{m1} \equiv \frac{i_o}{v_i} = \frac{\alpha}{2r_e} \tag{10.6}$$

Substituindo $r_e = 2{,}63$ kΩ e $\alpha \simeq 1$, produz $G_{m1} = 1/5{,}26$ mA/V.

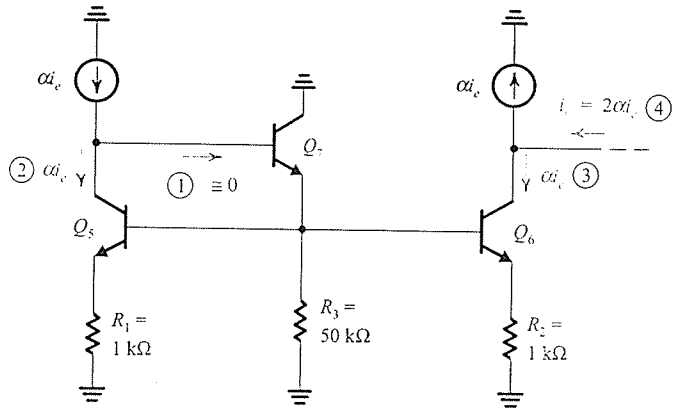


Figura 10.7 O circuito de carga do estágio de entrada alimentado pelos dois sinais complementares de corrente gerados por Q_1 a Q_2 na Figura 10.6. A ordem dos passos de análise está indicada pelos círculos numerados.

Exercício

10.6 Para o circuito da Figura 10.7, calcule em termos de i_c: (a) o sinal de tensão na base de Q_6; (b) o sinal de corrente no emissor de Q_7; (c) o sinal de corrente na base de Q_7; (d) o sinal de tensão na base de Q_7; e (e) a resistência de entrada vista do lado esquerdo da fonte de corrente do sinal αi_c. (*Nota*: Para simplificar, suponha que $I_{C7} \simeq I_{C5} = I_{C6}$.)

Resposta (a) 3,63 kΩ × i_c; (b) 0,08i_c; (c) 0,0004i_c; (d) 3,84 kΩ × i_c; (e) 3,84 kΩ

Para completar nosso modelamento do estágio de entrada do 741, precisamos encontrar sua resistência de saída R_{o1}. Esta é a resistência vista pelo terminal do coletor de Q_6 "olhando-se para trás" na Figura 10.7. Portanto, R_{o1} é o equivalente paralelo da resistência de saída da fonte de corrente que fornece o sinal de corrente α_{ic} e a resistência de saída de Q_6. A primeira componente é a resistência vista olhando para o coletor de Q_4 na Figura 10.6. Encontrar essa resistência fica consideravelmente simples se fizermos a suposição de que as bases comuns de Q_3 e Q_4 são *terras virtuais*. Isso, é claro, ocorre apenas quando o sinal de entrada v_i é aplicado de modo complementar. Felizmente, essa suposição não resulta em um grande erro.

Supondo que a base de Q_4 seja um terra virtual, a resistência que estamos procurando é R_{o4}, indicada na Figura 10.8(a). Ela é a resistência de saída de um transistor com base comum que tem uma resistência (r_e de Q_2) em seu emissor. Para encontrar R_{o4}, devemos usar a expressão desenvolvida no Capítulo 6 (Equação 6.78):

$$R_o = r_o\left[1 + g_m(R_E // r_\pi)\right] \tag{10.7}$$

Substituindo $R_E = r_e \cong 2{,}63$ kΩ e $r_o = V_A/I$, em que $V_A = 50$ V e $I = 9{,}5$ μA (portanto, $r_o = 5{,}26$ MΩ), resulta $R_{o4} = 10{,}5$ MΩ.

A segunda componente da resistência de saída é aquela vista olhando para o coletor de Q_6 na Figura 10.7. Embora a base de Q_6 não esteja em um sinal de terra, podemos supor que o sinal de tensão na base é suficientemente pequeno para validar essa aproximação. O circuito, então, toma a forma da Figura 10.8(b) e R_{o6} pode ser determinada usando a Equação 10.7 com $R_E = R_2$. Logo, $R_{o6} \simeq 18{,}2$ MΩ.

Finalmente, combinamos R_{o4} e R_{o6} em paralelo para obter a resistência de saída do estágio de entrada, R_{o1}, como $R_{o1} = 6{,}7$ MΩ.

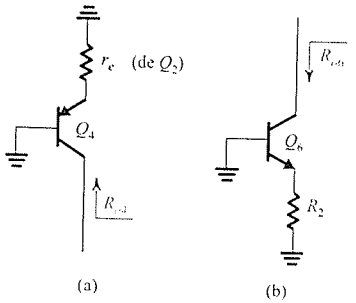


Figura 10.8 Circuitos simplificados para encontrar as duas componentes da resistência de saída R_{o1} do primeiro estágio.

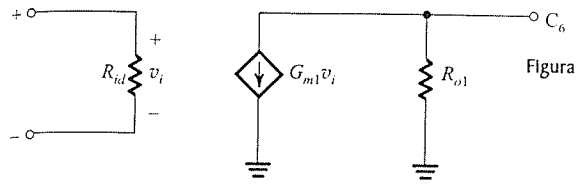


Figura 10.9 Circuito equivalente para pequenos sinais para o estágio de entrada do amp op 741.

A Figura 10.9 mostra o circuito equivalente que determinamos para o estágio de entrada. Ele é uma versão simplificada do modelo dos parâmetros *y* da rede de dois acessos com y_{12} suposto desprezível (veja o Apêndice B).

EXEMPLO 10.1

Desejamos encontrar a tensão de *offset* de entrada resultante de um descasamento de 2% entre as resistências R_1 e R_2 na Figura 10.1.

SOLUÇÃO

Considere primeiro a situação em que os dois terminais de entrada são aterrados e suponha que $R_1 = R$ e $R_2 = R + \Delta R$, em que $\Delta R/R = 0{,}02$. Na Figura 10.10, vemos que, enquanto Q_5 ainda conduz uma corrente igual a I, a corrente em Q_6 será ΔI menor. O valor de ΔI pode ser encontrado por

$$V_{BE5} + IR = V_{BE6} + (I - \Delta I)(R + \Delta R)$$

Logo,

$$V_{BE5} - V_{BE6} = I\Delta R - \Delta I(R + \Delta R) \tag{10.8}$$

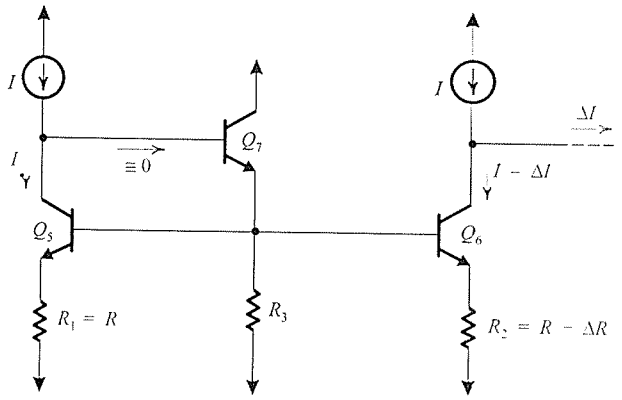


Figura 10.10 Estágio de entrada com ambas as entradas aterradas e um descasamento ΔR entre R_1 e R_2.

A quantia do lado esquerdo é de fato a variação em V_{BE} devido à variação em I_E de ΔI. Podemos, portanto, escrever

$$V_{BE5} - V_{BE6} \simeq \Delta I r_e \tag{10.9}$$

As Equações 10.8 e 10.9 podem ser combinadas para obter

$$\frac{\Delta I}{I} = \frac{\Delta R}{R + \Delta R + r_e} \tag{10.10}$$

Substituindo $R = 1\ \text{k}\Omega$ e $r_e = 2{,}63\ \text{k}\Omega$, mostra-se que um descasamento de 2% entre R_1 e R_2 dá origem a uma corrente de saída $\Delta I = 5{,}5 \times 10^{-3} I$. Para reduzir essa corrente de saída a zero, devemos aplicar uma tensão de entrada V_{OS} dada por

$$V_{OS} = \frac{\Delta I}{G_{m1}} = \frac{5{,}5 \times 10^{-3} I}{G_{m1}} \tag{10.11}$$

Substituindo $I = 9{,}5\ \mu\text{A}$ e $G_{m1} = 1/5{,}26\ \text{mA/V}$, resulta na tensão de offset $V_{OS} \simeq 0{,}3\ \text{mV}$.

Deve ser notado que a tensão de offset calculada é apenas uma componente da tensão de offset de entrada do 741. Há outras componentes por causa do descasamento nas características do transistor. A tensão de offset de entrada do 741 é especificada tipicamente como 2 mV.

Exercícios

O objetivo da série de exercícios a seguir é determinar o ganho finito no modo comum que resulta de um descasamento no circuito de carga do estágio de entrada do amp op 741. A Figura E10.7 mostra o estágio de entrada com um sinal de entrada aplicado em modo comum v_{icm} e com um descasamento ΔR entre as resistências R_1 e R_2. Observe que, para simplificar a questão, abrimos a malha de realimentação em modo comum e incluímos uma resistência R_o, que é a resistência vista do lado esquerdo do nó Y no circuito da Figura 10.1. Portanto, R_o é o equivalente paralelo de R_{o9} (a resistência de saída de Q_9) e R_{o10} (a resistência de saída de Q_{10}).

10.7 Mostre que a corrente i (Figura E10.7) é dada aproximadamente por

$$i = \frac{v_{icm}}{r_{e1} + r_{e3} + [2R_o/(\beta_P + 1)]}$$

10.8 Mostre que

$$i_o = -i \frac{\Delta R}{R + r_{e5} + \Delta R}$$

10.9 Usando os resultados dos Exercícios 10.7 e 10.8 e supondo que $\Delta R << (R + r_e)$ e $R_o/(\beta_P + 1) >> (r_{e1} + r_{e3})$, mostre que a transcondutância em modo comum G_{mcm} é dada aproximadamente por

$$G_{mcm} \equiv \frac{|i_o|}{v_{icm}} \simeq \frac{\beta_P}{2R_o} \frac{\Delta R}{R + r_{e5}}$$

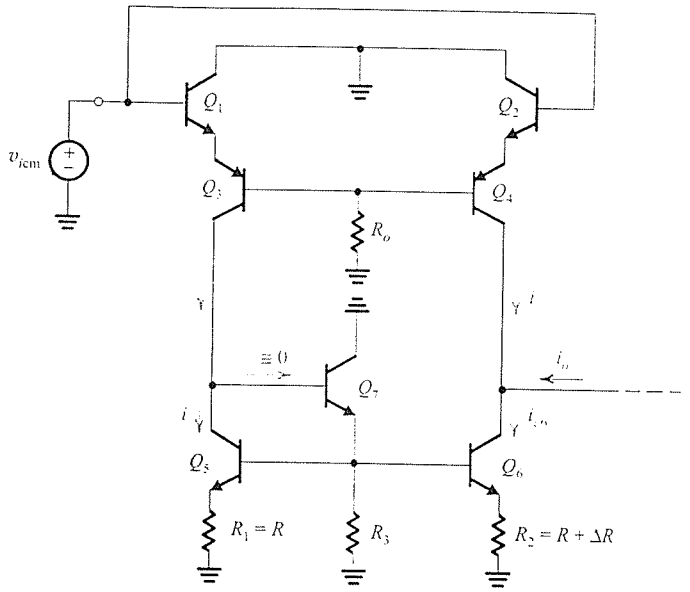


Figura E10.7

10.10 Considere a Figura 10.1 e suponha que as bases de Q_9 e Q_{10} sejam tensões aproximadamente constantes (sinal de terra). Calcule R_{o9}, R_{o10} e, conseqüentemente, R_o. Use $V_A = 125$ V para o *npn* e 50 V para o *pnp* e despreze r_μ.

Resposta $R_{o9} = 2{,}63\ \text{M}\Omega$; $R_{o10} = 31{,}1\ \text{M}\Omega$; $R_o = 2{,}43\ \text{M}\Omega$

10.11 Para $\beta_P = 50$ e $\Delta R/R = 0{,}02$, calcule G_{mcm} obtido no Exercício 10.9.

Resposta 0,057 μA/V

10.12 Use o valor de G_{mcm} obtido no Exercício 10.11 e o valor de G_{m1} obtido na Equação 10.6 para calcular a CMRR, isto é, a razão de G_{m1} para G_{mcm}, expressa em decibéis.

Resposta 70,5 dB

10.13 Observando que o ganho em modo comum diminuirá pela quantidade de realimentação para o circuito com a malha de realimentação negativa e notando que o ganho da malha é aproximadamente igual a β_P (veja o Problema 10.8), calcule a CMRR com a malha de realimentação no lugar.

Resposta 104,6 dB

10.4 ANÁLISE DO SEGUNDO ESTÁGIO DO 741 PARA PEQUENOS SINAIS

A Figura 10.11 mostra o segundo estágio do 741 preparado para a análise para pequenos sinais. Nesta seção, analisaremos o segundo estágio para determinar os valores dos parâmetros do circuito equivalente mostrado na Figura 10.12. Novamente, é um circuito equivalente simplificado para os parâmetros y com y_{12} desprezado.

Resistência de Entrada

A resistência de entrada R_{i2} pode ser determinada por inspeção, sendo

$$R_{i2} = (\beta_{16} + 1)[r_{e16} + R_9 // (\beta_{17} + 1)(r_{e17} + R_8)] \tag{10.12}$$

Substituindo os valores apropriados dos parâmetros, temos $R_{i2} \cong 4$ MΩ.

Transcondutância

A partir do circuito equivalente da Figura 10.12, vemos que a transcondutância G_{m2} é a razão da *corrente de curto-circuito de saída* para a tensão de entrada. Curto-circuitar o terminal de saída do segundo estágio (Figura 10.11) com o terra faz o sinal de corrente através da resistência de saída de Q_{13B} igual a zero e a corrente de curto-circuito da saída igual ao sinal de corrente do coletor de Q_{17} (i_{c17}). Essa última corrente pode ser facilmente relacionada com v_{i2} como segue:

$$i_{c17} = \frac{\alpha v_{b17}}{r_{e17} + R_8} \tag{10.13}$$

$$v_{b17} = v_{i2} \frac{(R_9 // R_{i17})}{(R_9 // R_{i17}) + r_{e16}} \tag{10.14}$$

$$R_{i17} = (\beta_{17} - 1)(r_{e17} + R_8) \tag{10.15}$$

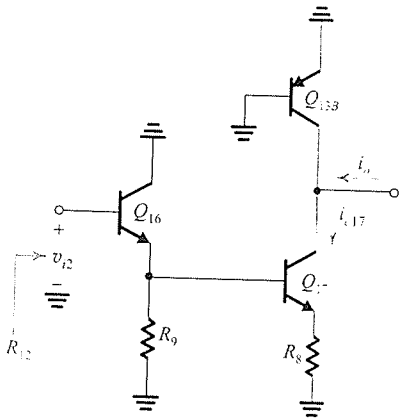


Figura 10.11 O segundo estágio do 741 preparado para a análise para pequenos sinais.

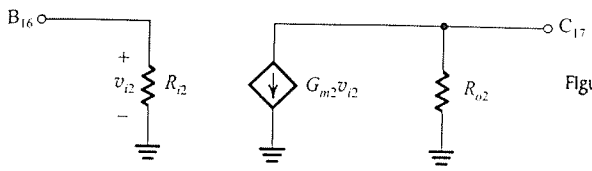


Figura 10.12 Modelo para pequenos sinais do circuito equivalente do segundo estágio.

Essas equações podem ser combinadas para obter

$$G_{m2} \equiv \frac{i_{c17}}{v_{i2}} \tag{10.16}$$

que, para os valores dos parâmetros do 741, vale $G_{m2} = 6{,}5$ mA/V.

Resistência de Saída

Para determinar a resistência de saída R_{o2} do segundo estágio na Figura 10.11, aterramos o terminal de entrada e calculamos a resistência vista olhando para dentro do terminal de saída. Assim, podemos determinar R_{o2} como

$$R_{o2} = (R_{o13B} // R_{o17}) \tag{10.17}$$

em que R_{o13B} é a resistência vista do coletor de Q_{13B}, enquanto sua base e seu emissor estão conectados ao terra. Pode ser facilmente demonstrado que

$$R_{o13B} = r_{o13B} \tag{10.18}$$

Para os valores dos componentes do 741, obtemos $R_{o13B} = 90{,}9$ kΩ.

A segunda componente da Equação 10.17, R_{o17}, é a resistência vista do coletor de Q_{17}, conforme indicado na Figura 10.13. Como a resistência entre a base de Q_{17} e o terra é relativamente pequena, podemos simplificar consideravelmente a questão supondo que a base está aterrada. Fazendo isso, podemos usar a Equação 10.7 para determinar R_{o17}. Em nosso caso, o resultado é $R_{o17} \cong 787$ kΩ. Combinando R_{o13B} e R_{o17} em paralelo, obtemos $R_{o2} = 81$ kΩ.

O Circuito Equivalente de Thévenin

O circuito equivalente do segundo estágio pode ser convertido na forma de Thévenin, como mostrado na Figura 10.14. Observe que o ganho de tensão do estágio em circuito aberto é $-G_{m2}R_{o2}$.

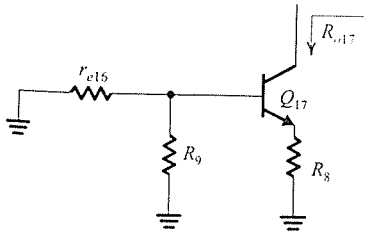


Figura 10.13 Definição de R_{o17}.

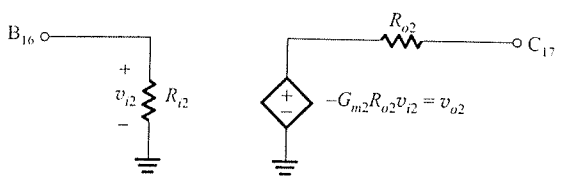


Figura 10.14 Forma de Thévenin do modelo para pequenos sinais do segundo estágio.

Exercícios

10.14 Use a Equação 10.12 para mostrar que $R_{i2} \cong 4$ MΩ.

10.15 Use as Equações 10.13 a 10.16 para comprovar que G_{m2} é 6,5 mA/V.

10.16 Verifique que $R_{o2} \cong 81$ kΩ.

10.17 Calcule o ganho de tensão em circuito aberto do segundo estágio do 741.

Resposta −526,5 V/V

10.5 ANÁLISE DO ESTÁGIO DE SAÍDA DO 741

O estágio de saída do 741 pode ser visto na Figura 10.15 sem o circuito de proteção contra curtos-circuitos. O estágio está sendo acionado pelo transistor Q_{17} do segundo estágio e está acoplado a uma resistência de carga de 2 kΩ.

O circuito é de classe AB (Capítulo 9), com a malha composta por Q_{18}, Q_{19} e R_{10} fornecendo a polarização dos transistores de saída Q_{14} e Q_{20}. O uso dessa malha, no lugar de dois transistores conectados como diodo em série, permite polarizar os transistores de saída com uma corrente baixa (0,15 mA), apesar de os dispositivos de saída serem cerca de três vezes maiores do que os dispositivos padrões.

Isso é obtido garantindo-se que a corrente em Q_{19} seja muito pequena e, portanto, seu valor de V_{BE} também seja pequeno. Analisaremos a polarização *cc* na Seção 10.2.

Outra característica do estágio de saída do 741 que merece ser observada é o fato de o estágio ser acionado pelo seguidor de emissor Q_{23}. Como será mostrado, esse seguidor de emissor proporciona uma isolação a mais, o que faz o ganho do amp op quase independente dos parâmetros dos transistores de saída.

Limites da Tensão de Saída

A tensão de saída positiva máxima é limitada pela saturação do transistor da fonte de corrente Q_{13A}. Portanto,

$$v_{o\text{máx}} = V_{CC} - V_{CEsat} - V_{BE14} \tag{10.19}$$

que está cerca de 1 V abaixo de V_{CC}. A tensão de saída mínima (isto é, a amplitude negativa máxima) é limitada pela saturação de Q_{17}. Desprezando a queda de tensão em R_8, obtemos

$$v_{o\text{mín}} = -V_{EE} + V_{CEsat} + V_{EB23} + V_{EB20} \tag{10.20}$$

que é cerca de 1,5 V acima de $-V_{EE}$.

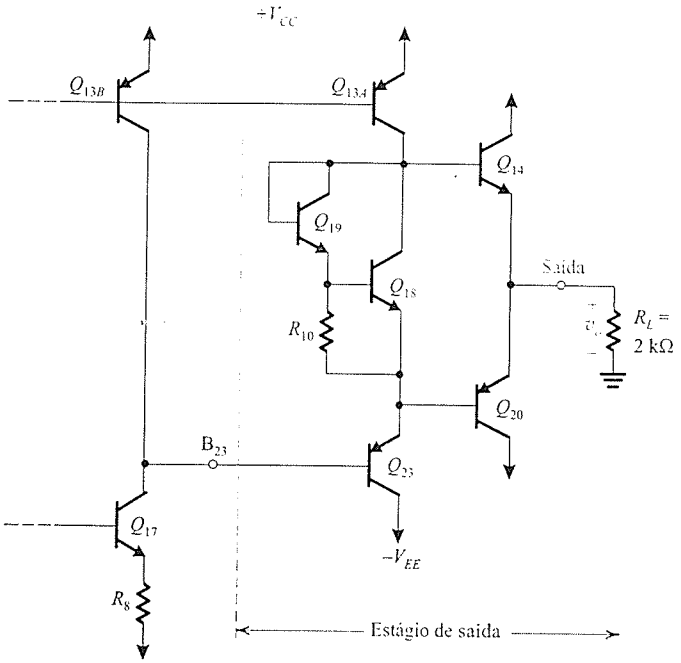


Figura 10.15 O estágio de saída do 741.

Modelo para Pequenos Sinais

Faremos agora a análise para pequenos sinais do estágio de saída com o objetivo de determinar os valores dos parâmetros do modelo de circuito equivalente mostrado na Figura 10.16. O modelo mostrado está sendo alimentado por v_{o2}, que é a tensão de saída em circuito aberto do segundo estágio. Pela Figura 10.14, v_{o2} é dada por

$$v_{o2} = -G_{m2}R_{o2}v_{i2} \tag{10.21}$$

e G_{m2} e R_{o2} foram determinados previamente como $G_{m2} = 6{,}5$ mA/V e $R_{o2} = 81$ kΩ. A resistência R_{i3} é a resistência de entrada do estágio de saída determinada para o amplificador com a carga R_L. Embora o efeito da carga de um estágio amplificador sobre sua resistência de entrada seja desprezível no estágio de entrada e no segundo estágio, não é geralmente o caso para o estágio

de saída. Definir R_{i3} desse modo permite calcular corretamente o ganho de tensão do segundo estágio, A_2, como

$$A_2 \equiv \frac{v_{i3}}{v_{i2}} = -G_{m2} R_{o2} \frac{R_{i3}}{R_{i3} + R_{o2}} \tag{10.22}$$

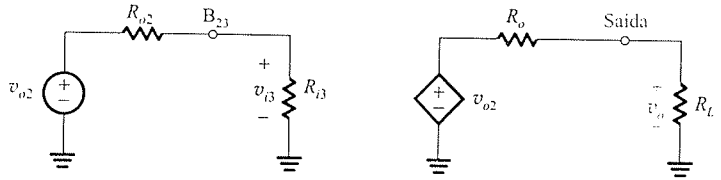


Figura 10.16 Modelo para o estágio de saída do 741.

Para determinar R_{i3}, suponha que um dos dois transistores de saída – digamos, Q_{20} – esteja conduzindo uma corrente de, digamos, 5 mA. Decorre que a resistência de entrada vista da base de Q_{20} é aproximadamente $\beta_{20} R_L$. Supondo $\beta_{20} = 50$, para $R_L = 2$ kΩ a resistência de entrada de Q_{20} é de 100 kΩ. Essa resistência aparece em paralelo com a combinação em série da resistência de saída de Q_{13A} ($r_{o13A} \simeq 280$ kΩ) e a resistência da malha de Q_{18}–Q_{19}. Essa última resistência é muito pequena (cerca de 160 Ω; veja o Exercício 10.18). Portanto, a resistência total no emissor de Q_{23} é aproximadamente (100 kΩ//280 kΩ) ou 74 kΩ e a resistência de entrada R_{i3} é dada por

$$R_{i3} \simeq \beta_{23} \times 74 \text{ k}\Omega$$

que para $\beta_{23} = 50$ é $R_{i3} \simeq 3{,}7$ MΩ. Como $R_{o2} = 81$ kΩ, vemos que $R_{i3} >> R_{o2}$ e o valor de R_{i3} terá pouco efeito sobre o desempenho do amp op. Podemos usar o valor obtido de R_{i3} para determinar o ganho do segundo estágio na Equação 10.22 como $A_2 = -515$ V/V. O valor de A_2 será necessário na Seção 10.6 junto com a análise da resposta em freqüência.

Continuando a determinação dos parâmetros do modelo do circuito equivalente, observamos pela Figura 10.16 que μ é o **ganho de tensão em circuito aberto** do estágio de saída,

$$\mu = \left.\frac{v_o}{v_{o2}}\right|_{R_L = \infty} \tag{10.23}$$

Com $R_L = \infty$, o ganho do transistor seguidor de emissor de saída (Q_{14} ou Q_{20}) será muito próximo da unidade. Além disso, com $R_L = \infty$, a resistência no emissor de Q_{23} será muito alta. Isso significa que o ganho de Q_{23} será muito próximo da unidade e a resistência de entrada de Q_{23}, muito alta. Concluímos, portanto, que $\mu \simeq 1$.

A seguir, calcularemos o valor da resistência de saída do amp op, R_o. Para isso, utilize o circuito da Figura 10.17. De acordo com a definição de R_o, a fonte de entrada que alimenta o estágio de saída é aterrada, mas sua resistência (que é a resistência de saída do segundo estágio, R_{o2}) está incluída. Supomos que a tensão de saída v_O seja negativa e, portanto, Q_{20} conduz a maior parte da corrente; o transistor Q_{14} pode, portanto, ser eliminado.

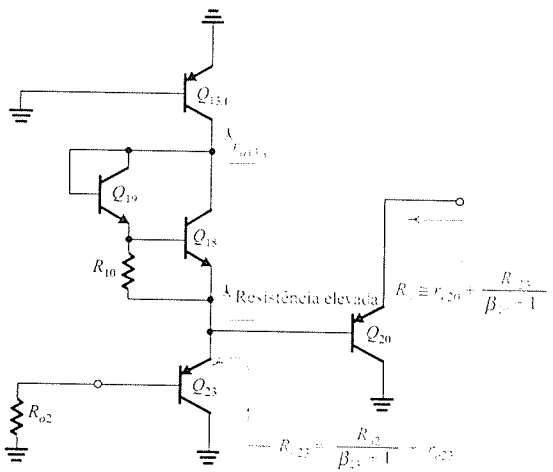


Figura 10.17 Circuito para encontrar a resistência de saída R_o.

O valor exato da resistência de saída dependerá, é claro, de qual dos transistores estará em condução (Q_{14} ou Q_{20}) e do valor da corrente de carga. Entretanto, desejamos encontrar um valor aproximado para R_o.

Conforme indicado na Figura 10.17, a resistência vista do emissor de Q_{23} é

$$R_{o23} = \frac{R_{o2}}{\beta_{23} + 1} + r_{e23} \tag{10.24}$$

Substituir $R_{o2} = 81$ kΩ, $\beta_{23} = 50$ e $r_{e23} = 25/0{,}18 = 139$ Ω produz $R_{o23} = 1{,}73$ kΩ. A resistência aparece em paralelo com a combinação em série de r_{o13A} e a resistência da malha de Q_{18}–Q_{19}. Como r_{o13A} sozinho (0,28 MΩ) é muito maior do que R_{o23}, a resistência efetiva entre a base de Q_{20} e o terra é aproximadamente igual a R_{o23}. Agora podemos calcular a resistência de saída R_o como

$$R_o = \frac{R_{o23}}{\beta_{20} + 1} + r_{e20} \tag{10.25}$$

Para $\beta_{20} = 50$, a primeira componente de R_o é 34 Ω. A segunda componente depende significativamente do valor da corrente de saída. Para uma corrente de saída de 5 mA, r_{e20} é de 5 Ω e R_o é de 39 Ω. A esse valor devemos acrescentar a resistência R_7 (27 Ω) (veja a Figura 10.1), que é incluída para proteção contra curtos-circuitos. A resistência de saída do 741 é especificada tipicamente com 75 Ω.

Exercícios

10.18 Usando um modelo simples (r_π, g_m) para cada um dos dois transistores, Q_{18} e Q_{19}, na Figura E10.18, calcule a resistência para pequenos sinais entre A e A′. (*Observação*: pela Tabela 10.1, $I_{C18} = 165$ μA e $I_{C19} = 16$ μA.)

Resposta 163 Ω

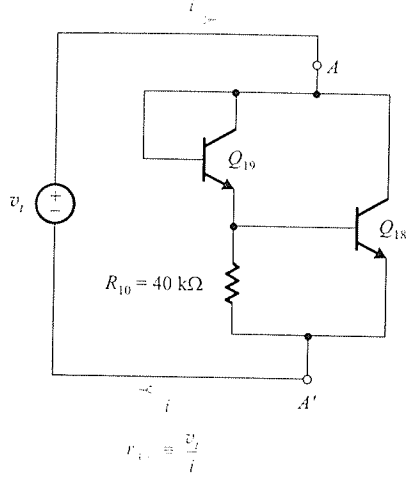


Figura E10.18

10.19 A Figura E10.19 mostra o circuito para a determinação da resistência de saída do amp op quando a tensão v_O é positiva e Q_{14} está conduzindo a maior parte da corrente. Usando a resistência da malha de Q_{18}–Q_{19}, calculada no Exercício 10.18, e desprezando o valor elevado da resistência de saída de Q_{13A}, calcule R_o quando Q_{14} está fornecendo uma corrente de saída de 5 mA.

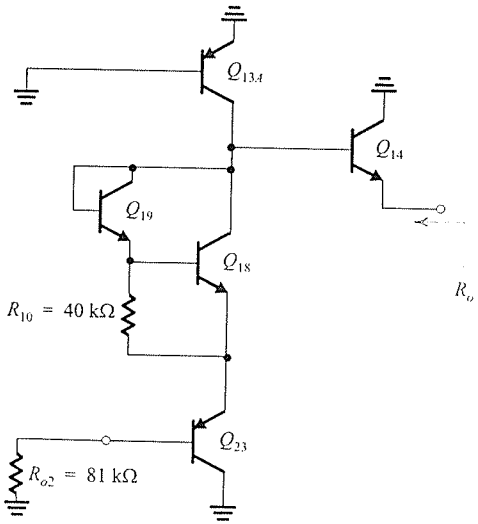


Figura E10.19

Resposta 14,4 Ω

Circuito de Proteção Contra Curto-circuito na Saída

Se o terminal de saída do amp op for curto-circuitado a um dos terminais da fonte de alimentação, um dos dois transistores de saída poderia conduzir uma corrente de valor muito elevado. Essa corrente de valor elevado pode resultar em um aquecimento suficiente para provocar a queima do CI. Para proteger contra essa possibilidade, o amp op 741 é equipado com um circuito especial de proteção contra curtos-circuitos. A função desse circuito é limitar a corrente nos transistores de saída na eventualidade de um curto-circuito.

Observe a Figura 10.1. A resistência R_6 junto com o transistor Q_{15} limitam a corrente que deveria circular por Q_{14} na eventualidade de um curto-circuito. Especificamente, se a corrente no emissor de Q_{14} exceder cerca de 20 mA, a queda de tensão em R_6 excederá 540 mV, o que leva Q_{15} a conduzir. À medida que Q_{15} entra em condução, seu coletor desvia uma parte da corrente fornecida por Q_{13A}, reduzindo, portanto, a corrente na base de Q_{14}. Esse mecanismo, então, limita a corrente máxima que o amp op pode fornecer (isto é, que pode alimentar saindo do terminal de saída) a cerca de 20 mA.

O limite da corrente máxima que o amp op pode drenar, e, conseqüentemente, a corrente em Q_{20}, é determinado por um mecanismo similar ao discutido anteriormente. O circuito relevante é composto por R_7, Q_{21}, Q_{24} e Q_{22}. Para os componentes mostrados, a corrente que entra é limitada a cerca de 20 mA.

10.6 O GANHO E A RESPOSTA EM FREQÜÊNCIA DO 741

Nesta seção, calcularemos o ganho de tensão total para pequenos sinais do amp op 741. Depois consideraremos a resposta em freqüência do amp op e sua limitação pela taxa máxima de variação da tensão de saída (*slew-rate*).

O Ganho para Pequenos Sinais

O ganho total para pequenos sinais pode ser facilmente calculado pelo encadeamento dos circuitos equivalentes determinados na seção anterior para o amp op de três estágios. Esse circuito em cascata está representado na Figura 10.18, com uma carga $R_L = 2\ \text{k}\Omega$, que é o valor típico usado nas medições para especificação de dados do 741. O ganho total pode ser expresso como

$$\frac{v_o}{v_i} = \frac{v_{i2}}{v_i}\frac{v_{o2}}{v_{i2}}\frac{v_o}{v_{o2}} \tag{10.26}$$

$$= -G_{m1}(R_{o1} /\!/ R_{i2})(-G_{m2}R_{o2})\mu\frac{R_L}{R_L + R_o} \tag{10.27}$$

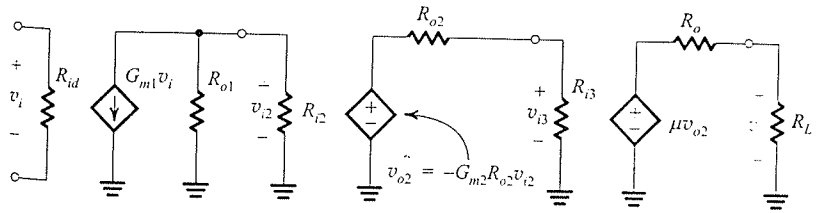


Figura 10.18 Encadeamento dos circuitos equivalentes para pequenos sinais dos estágios individuais para avaliação do ganho de tensão total.

Usando os valores encontrados nas seções anteriores, temos

$$\frac{v_o}{v_i} = -476{,}1 \times (-526{,}5) \times 0{,}97 = 243.147 \text{ V/V}$$
$$= 107{,}7 \text{ dB} \tag{10.28}$$

A Resposta em Freqüência

O 741 é um amp op com compensação interna. Ele emprega a técnica da compensação de Miller, estudada na Seção 8.11, para introduzir um pólo dominante em uma baixa freqüência. Especificamente, um capacitor de 30 pF (C_C) é conectado no caminho da malha de realimentação negativa do segundo estágio. Um valor estimado da freqüência do pólo dominante pode ser obtido como descrito a seguir.

Usando o teorema de Miller (Seção 7.4), a capacitância efetiva devida a C_C entre a base de Q_{16} e o terra é (veja a Figura 10.1)

$$C_i = C_C(1+|A_2|) \tag{10.29}$$

em que A_2 é o ganho do segundo estágio. Usando o valor calculado para A_2 na Seção 10.5, $A_2 = -515$, resulta em $C_i = 15.480$ pF. Como essa capacitância é muito elevada, podemos desprezar todas as outras capacitâncias entre a base de Q_{16} e o terra. A resistência total entre esse nó e o terra é

$$R_t = (R_{o1} // R_{i2})$$
$$= (6{,}7 \text{ M}\Omega // 4 \text{ M}\Omega) = 2{,}5 \text{ M}\Omega \tag{10.30}$$

Portanto, o pólo dominante tem uma freqüência f_P dada por

$$f_P = \frac{1}{2\pi C_i R_t} = 4{,}1 \text{ Hz} \tag{10.31}$$

Observe que esse procedimento é equivalente à utilização da fórmula aproximada dada na Equação 8.58.

Conforme discutido na Seção 8.11, a compensação de Miller produz um efeito adicional vantajoso, chamado de separação dos pólos. Como resultado, os outros pólos do circuito são deslocados para freqüências de valores muito maiores. Isso é confirmado por análises de computador [veja Gray e Meyer (1993)].

Supondo que todos os pólos não-dominantes sejam de altas freqüências, os valores calculados dão origem à curva de Bode mostrada na Figura 10.19. A faixa de passagem para ganho unitário f_t pode ser calculada por

$$f_t = A_0 f_{3\text{dB}} \tag{10.32}$$

Portanto,

$$f_t = 243.147 \times 4{,}1 \cong 1 \text{ MHz} \tag{10.33}$$

Embora essa curva de Bode indique que o deslocamento de fase em f_t é de –90° e, portanto, que a margem de fase é de 90°, na prática é obtida uma margem de fase de cerca de 80°. O excesso de deslocamento de fase (cerca de 10°) é devido aos pólos não-dominantes. Essa margem de fase é suficiente para fornecer uma operação estável dos amplificadores em malha fechada com qualquer valor do fator de realimentação β. Essa conveniência do uso da compensação interna do 741 é obtida às custas de uma grande redução no ganho em malha aberta e, conseqüentemente, na quantidade da realimentação negativa necessária. Em outras palavras, se for necessário um amplificador em malha fechada com um ganho de 1.000, então o 741 é supercompensado para tal aplicação, e seria melhor projetar sua própria compensação (supondo, é claro, a disponibilidade de um amp op que não tenha compensação interna).

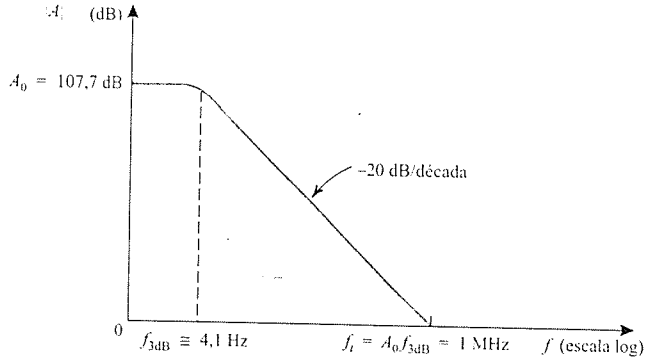


Figura 10.19 Curva de Bode para o ganho do 741, desconsiderando pólos não-dominantes.

Um Modelo Simplificado

A Figura 10.20 mostra um modelo simplificado para o amp op 741 em que o alto ganho do segundo estágio, com sua capacitância de realimentação C_C, é modelado por um integrador ideal. Nesse modelo, o ganho do segundo estágio é suposto suficientemente alto, de tal forma que um terra virtual aparece em sua entrada. Por essa razão, a resistência de saída do estágio de entrada e a resistência de entrada do segundo estágio foram omitidas. Além disso, o estágio de saída é suposto como um seguidor de emissor com ganho unitário ideal.

A análise do modelo na Figura 10.20 fornece

$$A(s) \equiv \frac{V_o(s)}{V_i(s)} = \frac{G_{m1}}{sC_C} \tag{10.34}$$

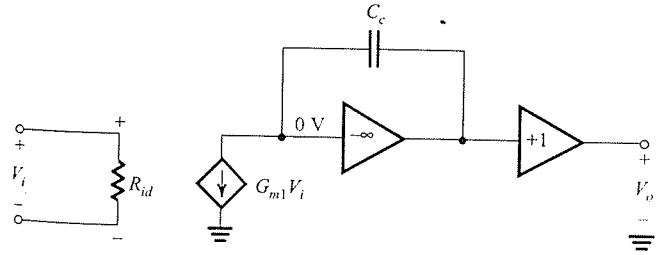


Figura 10.20 Um modelo simples do 741 baseado no modelamento do segundo estágio como um integrador.

Portanto,

$$A(j\omega) = \frac{G_{m1}}{j\omega C_C} \tag{10.35}$$

e a amplitude do ganho se torna unitária em $\omega = \omega_t$, em que

$$\omega_t = \frac{G_{m1}}{C_C} \tag{10.36}$$

Substituindo $G_{m1} = 1/5{,}26$ mA/V e $C_C = 30$ pF, chega-se a

$$f_t = \frac{\omega_t}{2\pi} \simeq 1 \text{ MHz} \tag{10.37}$$

que é igual ao valor calculado antes. Deve ser observado, contudo, que esse modelo é válido apenas em freqüências $f >> f_{3dB}$. Nessas freqüências, o ganho cai com uma inclinação de –20 dB/década, exatamente como no integrador.

A Taxa Máxima de Variação da Tensão de Saída (Slew-Rate)

A limitação do amp op pelo *slew-rate* foi discutida no Capítulo 2. Neste capítulo, ilustraremos a origem do fenômeno da inclinação no contexto do circuito do 741.

Considere o ganho unitário do seguidor da Figura 10.21 com um degrau de 10 V aplicado à entrada. Devido à dinâmica do amplificador, sua saída não mudará no instante zero. Portanto, imediatamente após a entrada ter sido aplicada, o valor quase total do degrau aparecerá como um sinal diferencial entre os terminais de entrada. Esse valor elevado de tensão de entrada faz com que o estágio de entrada seja **superacionado** e seu modelo para pequenos sinais não mais se aplica. Em vez disso, metade do estágio entra em corte e a outra metade entra em condução plena. Especificamente, tomando como referência a Figura 10.1, vemos que uma tensão diferencial de valor elevado na entrada faz com que Q_1 e Q_3 conduzam toda a corrente de polarização disponível ($2I$), enquanto Q_2 e Q_4 estarão em corte. O espelho de corrente Q_5, Q_6 e Q_7 ainda estará em funcionamento e Q_6 produzirá uma corrente de coletor de $2I$.

Usando as observações anteriores e modelando o segundo estágio como um integrador ideal, o resultado é o modelo da Figura 10.22. Por esse circuito, vemos que a tensão de saída será uma rampa com inclinação de $2I/C_C$:

$$v_O(t) = \frac{2I}{C_C}\, t \tag{10.38}$$

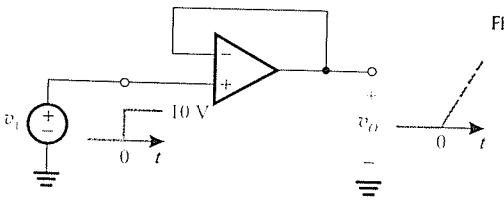


Figura 10.21 Um seguidor de ganho unitário com um degrau elevado de entrada. À medida que a tensão de saída não pode mudar imediatamente, uma grande tensão diferencial aparece entre os dois terminais de entrada do amp op.

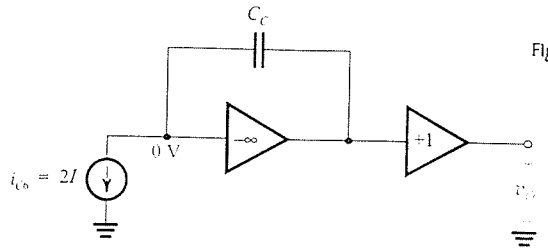


Figura 10.22 Modelo para o amp op 741 quando um grande sinal diferencial é aplicado.

Portanto, o slew-rate (SR) é dado por

$$\text{SR} = \frac{2I}{C_C} \tag{10.39}$$

Para o 741, $I = 9{,}5$ μA e $C_C = 30$ pF, resultando em SR = 0,63 V/μs.

Observe que esse é um modelo muito simplificado do processo de *slew-rate*. Mais detalhes podem ser encontrados em Gray e Meyer (1983).

Exercício

10.20 Use o valor do slew-rate calculado anteriormente para determinar a faixa de passagem total f_M do amp op 741. Suponha que a saída máxima seja de ± 10 V.

Resposta 10 kHz

A Relação entre f_t e SR

Há uma relação simples entre a faixa de passagem para ganho unitário, f_t, e o *slew-rate*, SR. Essa relação é obtida a partir das Equações 10.36 e 10.39 juntas com

$$G_{m1} = 2\frac{1}{4r_e}$$

em que r_e é a resistência do emissor de cada um dos transistores de Q_1 a Q_4.

Portanto,

$$r_e = \frac{V_T}{I}$$

e

$$G_{m1} = \frac{I}{2V_T} \tag{10.40}$$

Substituindo na Equação 10.36, resulta em

$$\omega_t = \frac{I}{2C_C V_T} \tag{10.41}$$

Substituindo para I/C_C na Equação 10.39, temos

$$\omega_t = \frac{\text{SR}}{4V_T} \tag{10.42}$$

que pode ser expressa na forma alternativa

$$\text{SR} = 4V_T\omega_t \tag{10.43}$$

Para verificar, no 741 temos

$$\text{SR} = 4 \times 25 \times 10^{-3} \times 2\pi \times 10^6 = 0{,}63 \text{ V/}\mu\text{s}$$

que é o resultado obtido anteriormente.

Uma forma geral para a relação entre SR e ω_t para um amp op com estrutura similar àquela do 741 é

$$\text{SR} = \left(\frac{2}{a}\right)\omega_t$$

em que a é a constante de proporcionalidade relacionando a transcondutância do primeiro estágio G_{m1} com sua corrente de polarização I, $G_{m1} = aI$. Para uma dada freqüência angular ω_t, um maior valor de SR é obtido reduzindo-se a; isto é, I é mantido constante e G_{m1} é reduzido. Essa é uma técnica viável para o aumento do slew-rate. Ela é chamada de método da redução de G_m (veja o Exercício 10.22).

Exercícios

10.21 Considere o modelo do integrador com amp op na Figura 10.20. Calcule o valor do resistor que, quando conectado em C_C, fornece o valor correto do ganho *cc*.

Resposta 1279 MΩ

P10.22 Se uma resistência R_E for incluída em cada terminal do emissor de Q_3 e Q_4, mostre que $\text{SR} = 4(V_T + IR_E/2)\omega_t$. Depois, calcule o valor de R_E capaz de dobrar o slew-rate do 741 enquanto ω_t e I permanecem imutáveis. Quais os novos valores de C_C, o ganho *cc* e a freqüência a 3 dB?

Resposta 5,26 kΩ; 15 pF; 101,7 dB (uma diminuição de 6 dB); 8,2 Hz

10.7 AMP OPS CMOS

Diferentemente do amp op 741, que é um amplificador operacional de uso geral projetado para aplicações variadas, a maioria dos amp ops CMOS é projetada para ser usada como parte de um circuito de VLSI. A aplicação restrita para esse fim implica que as especificações podem ser menos rigorosas, a fim de simplificar o circuito para ocupar uma área de silício relativamente menor. O relaxamento de especificação mais importante está na capacidade de acionamento de carga do amp op. A maioria dos amp ops CMOS são usados para acionar cargas capacitivas na pastilha de alguns picofarads. Isso significa que esse amp op não precisa de um estágio de saída tão sofisticado. De fato, a maioria dos amp ops CMOS não tem uma baixa impedância no estágio de saída. Em uma pastilha VLSI, porém, alguns dos amplificadores são usados para acionar cargas externas e esses poucos amplificadores são usualmente projetados com um estágio de saída do tipo clássico.

Topologia de Dois Estágios

A Figura 10.23 mostra uma arquitetura popular de amp ops CMOS conhecida como configuração de dois estágios. O circuito utiliza uma fonte de alimentação simétrica, usualmente de ± 5 V, mas que pode ser de até ± 2,5 V, para as tecnologias avançadas, com característica de tamanho reduzido. Uma corrente de polarização de referência I_{REF} é gerada externamente ou usando circuitos da pastilha. Um desses circuitos será discutido brevemente. O espelho de corrente formado por Q_8 e Q_5 fornece uma corrente de polarização ao par diferencial Q_1–Q_2. A razão W/L de Q_5 é escolhida para manter a polarização desejada no estágio de entrada. O par diferencial de entrada tem como carga ativa o espelho de corrente formado por Q_3 e Q_4. Portanto, o estágio de entrada é idêntico ao estudado na Seção 6.7.

O segundo estágio consiste em Q_6, que é um amplificador fonte comum tendo a fonte de corrente, transistor Q_7, como uma carga ativa. Como no 741, a compensação de freqüência é implementada por um capacitor de realimentação Miller C_C. Aqui, no entanto, há um resistor adicional incluído em série com C_C. A função desse resistor, que é usualmente implementado usando um ou dois transistores MOS, será explicada brevemente.

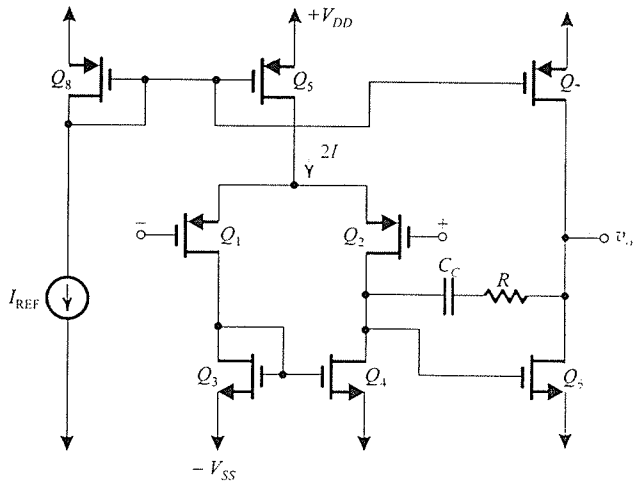


Figura 10.23 Configuração de dois estágios do amp op CMOS.

O Ganho de Tensão

O ganho de tensão do primeiro estágio foi calculado na Seção 6.7 e é dado por

$$A_1 = -g_{m1}(r_{o2} // r_{o4}) \tag{10.44}$$

em que g_{m1} é a transcondutância de cada um dos transistores do primeiro estágio, isto é, Q_1 e Q_2.

O segundo estágio é um amplificador fonte comum com carga ativa cujo ganho de tensão é dado por

$$A_2 = -g_{m6}(r_{o6} // r_{o7}) \tag{10.45}$$

O ganho em malha aberta *cc* do amp op é o produto de A_1 e A_2.

EXEMPLO 10.2

Considere o circuito na Figura 10.23 com as seguintes dimensões para o dispositivo:

Transistor	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8
W/L	120/8	120/8	50/10	50/10	150/10	100/10	150/10	150/10

Suponha $I_{REF} = 25\ \mu A$, $|V_t|$ (para todos os dispositivos) = 1 V, $\mu_n C_{ox} = 20\ \mu A/V^2$, $\mu_p C_{ox} = 10\ mA/V^2$, $|V_A|$ (para todos os dispositivos) = 25 V, $V_{DD} = V_{SS} = 5$ V. Calcule os seguintes valores para todos os dispositivos I_D, $|V_{GS}|$, g_m e r_o. Calcule também A_1, A_2 e o ganho de tensão em malha aberta *cc*, a faixa de entrada em modo comum e a faixa de tensão de saída. Despreze o efeito de V_A sobre a corrente de polarização.

SOLUÇÃO

Reporte-se à Figura 10.23. Como Q_8 e Q_5 são casados, $2I = I_{REF}$. Portanto, Q_1, Q_2, Q_3 e Q_4 conduzem, cada um, uma corrente igual a $I = 12{,}5\ \mu A$. Como Q_7 está casado com Q_5 e com Q_8, a corrente em Q_7 é igual a $I_{REF} = 25\ \mu A$. Finalmente, Q_6 conduz uma corrente igual a 25 μA.

Com o valor I_D de cada dispositivo conhecido, usamos

$$I_D = \tfrac{1}{2}(\mu C_{ox})(W/L)(|V_{GS}| - |V_t|)^2$$

para determinar $|V_{GS}|$. Os resultados são dados na Tabela 10.2.

Tabela 10.2

	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8
$I_D(\mu A)$	12,5	12,5	12,5	12,5	25	25	25	25
$\lvert V_{GS}\rvert(V)$	1,4	1,4	1,5	1,5	1,6	1,5	1,6	1,6
$g_m(\mu A/V)$	62,5	62,5	50	50	83,3	100	83,3	83,3
$r_o(M\Omega)$	2	2	2	2	1	1	1	1

A transcondutância g_m de cada dispositivo é determinada por

$$g_m = \mu C_{ox}(W/L)(|V_{GS}| - |V_t|)$$
$$= \sqrt{2(\mu C_{ox})(W/L)I_D}$$

ou, alternativamente,

$$g_m = 2I_D/(|V_{GS}| - |V_t|)$$

O valor de r_o é determinado por

$$r_o = |V_A|/I_D$$

Os valores resultantes de g_m e r_o são dados na Tabela 10.2.

O ganho de tensão do primeiro estágio é determinado usando-se a Equação 10.44,

$$A_1 = -g_{m1}(r_{o2} // r_{o4})$$
$$= -62{,}5(2//2) = -62{,}5\ V/V$$

O ganho de tensão do segundo estágio é determinado usando-se a Equação 10.45,

$$A_2 = -g_{m6}(r_{o6} // r_{o7})$$
$$= -100(1//1) = -50\ V/V$$

Portanto, o ganho total em malha aberta *cc* é

$$A_0 = A_1 A_2 = (-62{,}5)(-50) = 3125\ V/V$$

O limite inferior da faixa de tensão de entrada em modo comum é o valor em que Q_1 e Q_2 deixam a região de saturação. Isso ocorre quando a tensão de entrada cai abaixo da tensão de dreno de Q_1 por $|V_t|$ volts. Como o dreno de Q_1 está em $-5 + 1{,}5 = -3{,}5$ V, então o limite inferior da faixa de tensão de entrada em modo comum é de –4,5 V.

O limite superior da faixa de tensão de entrada em modo comum é o valor da tensão de entrada em que Q_5 deixa a região de saturação. Portanto,

$$v_{Icm/máx} = V_{DD} - |V_{GS5}| + |V_t| - |V_{GS1}|$$
$$= 5 - 1{,}6 + 1 - 1.4 = 3\ V$$

Finalmente, a faixa de tensão de saída é determinada por Q_7 saindo da região de saturação,

$$v_{Omáx} = V_{DD} - |V_{GS7}| + |V_t|$$
$$= 5 - 1{,}6 + 1 = 4{,}4\ V$$

e de Q_6 saindo da região de saturação,

$$v_{Omín} = -V_{SS} + |V_{GS6}| - |V_t| = -4{,}5\ V$$

A Tensão de Offset de Entrada

O inevitável descasamento dos dispositivos no estágio de entrada dá origem a uma tensão de *offset* de entrada. Os componentes dessa tensão de *offset* de entrada podem ser calculados utilizando-se os métodos desenvolvidos no Capítulo 6 e aplicados nas seções anteriores com o amp op 741. Devido ao fato de o descasamento do dispositivo ser de natureza aleatória, a tensão de *offset* resultante é referida como **offset aleatório.** Utiliza-se essa terminologia para fazer distinção com

outro tipo de tensão de offset de entrada, que pode ser encontrado nos amp ops CMOS, mesmo se todos os dispositivos forem adequadamente casados. Este offset previsível ou **sistemático** pode ser minimizado tomando-se um certo cuidado no projeto. Isso não ocorre nos amp ops com TBJ devido ao alto ganho por estágio.

Para perceber como ocorre o offset sistemático, considere o circuito da Figura 10.23 com os dois terminais de entrada aterrados. Se o estágio de entrada for perfeitamente balanceado, então a tensão que aparece no dreno de Q_4 será igual à do dreno de Q_3, que é $(-V_{SS} + V_{GS4})$. Agora, ela também é a tensão que alimenta a porta de Q_6. Em outras palavras, uma tensão igual a V_{GS4} aparece entre a porta e a fonte de Q_6. Portanto, a corrente de dreno de Q_6, I_6, estará relacionada à corrente de dreno de Q_4, igual a I, pela relação

$$I_6 = \frac{(W/L)_6}{(W/L)_4} I \tag{10.46}$$

De modo a não aparecer nenhuma tensão de *offset* na saída, essa corrente deve ser exatamente igual à corrente fornecida por Q_7. Esta última corrente está relacionada à corrente $2I$ do transistor paralelo Q_5 por

$$I_7 = \frac{(W/L)_7}{(W/L)_5}(2I) \tag{10.47}$$

Agora, a condição para fazer $I_6 = I_7$ pode ser encontrada a partir das Equações 10.46 e 10.47 como

$$\frac{(W/L)_6}{(W/L)_4} = 2\frac{(W/L)_7}{(W/L)_5} \tag{10.48}$$

Se essa condição não for satisfeita, resultará um offset sistemático.

Exercício

10.23 Considere o amp op CMOS da Figura 10.23 fabricado em uma tecnologia CMOS de 0,8 μm, na qual $\mu_n C_{ox} = 3\ \mu_p C_{ox} = 90\ \mu A/V^2$, $|V_t| = 0{,}8$ V e $V_{DD} = V_{SS} = 2{,}5$ V. Para um projeto particular, $I = 50\ \mu A$, $(W/L)_1 = (W/L)_2 = (W/L)_5 = 200$ e $(W/L)_3 = (W/L)_4 = 100$.

(a) Encontre as relações (W/L) de Q_6 e Q_7 de modo que $I_6 = 100\ \mu A$.
(b) Encontre a tensão efetiva, $(|V_{GS}| - |V_t|)$, na qual cada um dos transistores Q_1, Q_2 e Q_6 está operando.
(c) Encontre g_m para Q_1, Q_2 e Q_6.
(d) Se $|V_A| = 10$ V, encontre r_{o2}, r_{o4}, r_{o6} e r_{o7}.
(e) Encontre os ganhos de tensão A_1 e A_2 e o ganho total A.

Resposta (a) $(W/L)_6 = (W/L)_7 = 200$; (b) 0,129 V, 0,129 V, 0,105 V; (c) 0,775 mA/V, 0,775 mA/V, 1,90 mA/V; (d) 200 KΩ, 200 KΩ, 100 KΩ, 100 KΩ; (e) –77,5 V/V, +95 V/V, 7363 V/V.

A Resposta em Freqüência

Para apreciar a necessidade do resistor R colocado em série com o capacitor Miller de compensação C_C no circuito da Figura 10.23, considere primeiro a situação sem R. A Figura 10.24(a) mostra o circuito equivalente para pequenos sinais do amp op com a inclusão apenas de C_C.

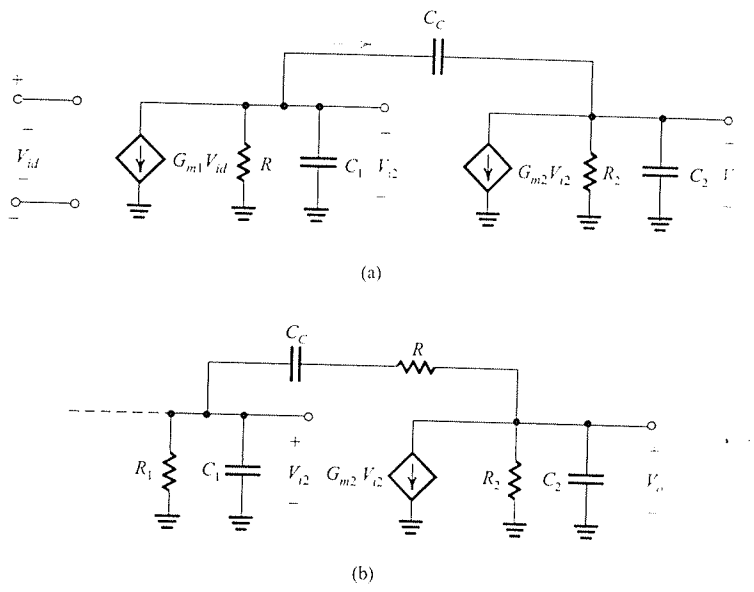


Figura 10.24 Circuito equivalente para pequenos sinais para o amp op CMOS da Figura 10.23: (a) sem a resistência R; (b) com R incluso.

Observe que G_{m1} é a transcondutância do estágio de entrada ($G_{m1} = g_{m1} = g_{m2}$), R_1 é a resistência de saída do primeiro estágio [$R_1 = r_{o2} // r_{o4}$], C_1 é a capacitância total da interface entre o primeiro e o segundo estágios, G_{m2} é a transcondutância do segundo estágio ($G_{m2} = g_{m6}$), R_2 é a resistência de saída do segundo estágio ($R_2 = r_{o6} // r_{o7}$) e C_2 é a capacitância total no nó de saída do amp op. Como C_2 inclui a capacitância da carga, ela é usualmente muito maior do que C_1.

Um circuito similar ao da Figura 10.24(a) foi analisado na Seção 8.11 e os dois pólos foram determinados como segue:

$$\omega_{P1} \simeq \frac{1}{G_{m2} R_2 C_C R_1} \tag{10.49}$$

$$\omega_{P2} \simeq \frac{G_{m2} C_C}{C_1 C_2 + C_C (C_1 + C_2)} \tag{10.50}$$

Observamos que o primeiro pólo é devido à capacitância Miller $(1 + G_{m2}R_2)\, C_C \simeq G_{m2} R_2 C_C$ (que é muito maior do que C_1) interagindo com R_1. Para fazer ω_{P1} o pólo dominante, selecionamos um valor para C_C que resultará em um valor de ω_{P1} que, quando multiplicado pelo ganho cc, A_0, fornece a freqüência desejada de ganho unitário ω_t. O valor de ω_t é usualmente escolhido para ser menor do que as freqüências dos pólos e zeros não-dominantes. Portanto, em nosso caso,

$$A_0\omega_{P1} = \omega_t$$

$$(G_{m1}R_1G_{m2}R_2)\left(\frac{1}{G_{m2}R_2C_CR_1}\right) = \omega_t$$

que produz

$$\omega_t = \frac{G_{m1}}{C_C} \tag{10.51}$$

A capacitância Miller C_C também introduz um zero no semiplano direito na função de transferência do amplificador. Não demos atenção a esse zero no caso do 741 porque ele estava em uma freqüência muito alta. Infelizmente, no amplificador CMOS não é esse o caso. A localização do zero pode ser determinada com mais facilidade diretamente do circuito na Figura 10.24(a). Desejamos calcular o valor de s em que $V_o = 0$. Quando fazemos $V_o = 0$, a corrente em C_C torna-se sC_CV_{i2} no sentido indicado. Agora, por causa de $V_o = 0$, não haverá corrente em R_2 e C_2. Portanto, uma equação nodal na saída fornece

$$sC_CV_{i2} = G_{m2}V_{i2}$$

Em outras palavras, o zero está em

$$s = \frac{G_{m2}}{C_C} \tag{10.52}$$

Como G_{m2} para os amplificadores CMOS é da mesma ordem de amplitude de G_{m1}, a freqüência do zero será próxima de ω_t, dado pela Equação 10.51. Como o zero está no lado direito do semiplano, o deslocamento de fase que ele introduz diminuirá a margem de fase, prejudicando, portanto, a estabilidade do amplificador. Mais uma vez observamos que esse problema não ocorre nos amp ops com TBJ porque G_{m2} é usualmente muito maior que G_{m1} e, portanto, o zero está em uma freqüência muito maior que ω_t.

O problema anterior pode ser resolvido pela inclusão da resistência R em série com o capacitor de realimentação C_C, conforme mostrado na Figura 10.24(b). Para encontrar a nova posição do zero da função de transferência, faça $V_o = 0$. Assim, a corrente em C_C será $V_{i2}/(R + 1/sC_C)$ e a equação nodal na saída produz

$$\frac{V_{i2}}{R + 1/sC_C} = G_{m2}V_{i2}$$

Portanto, o zero está em

$$s = \frac{1}{C_C(1/G_{m2} - R)} \tag{10.53}$$

Observamos que, pela escolha de $R = 1/G_{m2}$, o zero pode ser posicionado em uma freqüência infinita. Uma opção ainda melhor seria escolher R maior do que $1/G_{m2}$, posicionando, assim, o zero em um eixo real negativo, no qual a fase que ele introduz *se soma* à margem de fase.

Mesmo com a inclusão do resistor R, permanece outro problema: a freqüência do segundo pólo (Equação 10.50) não está muito afastada de ω_t. Portanto, o segundo pólo introduz um apreciável deslocamento de fase em ω_t, que reduz a margem de fase. Para observar esse fato mais claramente, considere o caso em que C_2 e C_C são muito maiores do que C_1. A Equação 10.50 pode ser aproximada por

$$\omega_{P2} \simeq \frac{G_{m2}}{C_2} \tag{10.50a}$$

Agora, comparando a Equação 10.51 à Equação 10.50a, vemos que, para C_2 da ordem de C_C (que pode acontecer no caso de uma capacitância de carga relativamente elevada), ω_{P2} será próxima de ω_t. Essa dificuldade pode ser aliviada aumentando-se C_C e, portanto, diminuindo-se ω_t (veja o Problema 10.50).

Exercícios

Os exercícios a seguir se referem ao amplificador analisado no Exemplo 10.2.

10.24 Calcule o valor de C_C que resultará em $f_t = 1$ MHz.

Resposta 10 pF

10.25 Calcule o valor de R que posicionará o zero da função de transferência no infinito.

Resposta 10 kΩ

10.26 Calcule a freqüência do segundo pólo sob a condição de que a capacitância total na saída seja de 10 pF. Depois, calcule o excesso da fase introduzida pelo segundo pólo em $\omega = \omega_t$ e a margem de fase resultante, supondo o zero em $\omega = \infty$.

Resposta 1,59 MHz; 32,2°; 57,8°

O Slew-Rate

O amp op CMOS da Figura 10.23 consiste em um amplificador de trasncondutância no primeiro estágio, seguido por um amplificador de alto ganho com uma rede RC de compensação de freqüência na realimentação. Se desprezarmos o resistor R, vemos que o amplificador CMOS pode ser representado pelo circuito equivalente usado para o amplificador 741, isto é, o circuito da Figura 10.20.

Naturalmente, o amplificador CMOS não possui um estágio de saída e, portanto, o acoplador de ganho unitário do circuito equivalente não se aplica. Isso, entretanto, não afeta nosso propósito atual, isto é, a determinação do slew-rate, SR. Isso pode ser visto no circuito equivalente da Figura 10.20, o qual, para o caso de uma corrente excessiva, toma a forma mostrada na Figura 10.22. Nesse caso, o slew-rate do circuito CMOS é dado pela mesma fórmula encontrada para o 741 (Equação 10.39).

$$\text{SR} = \frac{2I}{C_C} \tag{10.54}$$

Usando a Equação 10.51 junto com a substituição por G_{m1},

$$G_{m1} = g_{m1} = \frac{2I}{|V_{GS1}| - |V_t|}$$

permite-nos expressar o slew-rate em termos da freqüência de ganho unitário ω_t, como

$$SR = (|V_{GS1}| - |V_t|)\omega_t = V_{efetivo1}\omega_t \tag{10.55}$$

Portanto, para um dado ω_t, o slew-rate é determinado pela tensão efetiva na qual operam os transistores do primeiro estágio. Um maior slew-rate é conseguido operando Q_1 e Q_2 a um maior $V_{efetivo}$. Agora, para uma dada corrente de polarização I, um maior $V_{efetivo}$ é conseguido se Q_1 e Q_2 forem dispositivos de canal p. Essa é uma razão importante para o uso de dispositivos canal p em vez de canal n no primeiro estágio de amp ops CMOS. Outra razão é que ele permite que o segundo estágio use dispositivo canal n que possui maior transcondutância G_{m2} que o correspondente dispositivo canal p, resultando em uma maior freqüência para o segundo pólo e, correspondentemente, em uma maior ω_t. O preço pago por essa melhoria é um baixo G_{m1} e, conseqüentemente, um menor ganho cc.

A relação entre SR e ω_t na Equação 10.55 pode ser comparada diretamente com a correspondente relação para o op amp com TBJ na Equação 10.43. Vemos que, como $V_{efetivo}$ é usualmente maior que $4V_T$ (que é aproximadamente 0,1 V), os amp ops CMOS exibem maiores taxas de inclinação que as unidades com TBJ (para o mesmo ω_t).

Exercício

10.27 Calcule o *slew-rate* do amp op na Figura 10.23, cujos parâmetros são especificados no Exemplo 10.2, para a compensação designada no Exercício 10.24 (C_C = 10 pF, f_t = 1 MHz).

Resposta 2,5 V/μs

Um Circuito de Polarização Que Estabiliza g_m

Concluímos esta seção apresentando um circuito de polarização para o amp op CMOS de dois estágios. O circuito apresentado possui a interessante e poderosa propriedade de prover uma corrente de polarização cujo valor é independente tanto da fonte de tensão como da tensão de limiar do MOSFET. Além disso, a transcondutância dos transistores polarizados por esse circuito tem valores que são determinados apenas por um único resistor e pelas dimensões do dispositivo.

O circuito de polarização está mostrado na Figura 10.25. Ele consiste em dois transistores deliberadamente descasados, Q_{12} e Q_{13}, com Q_{12} usualmente quatro vezes mais largo que Q_{13} (Steininger, 1990; Johns e Martin, 1997). Um resistor R_B é conectado em série com a fonte de Q_{12}. Como será mostrado, desde que R_B determina tanto a corrente de polarização I_B como a transcondutância g_{m12}, seu valor deve ser preciso e estável; em muitas aplicações R_B deve ser um resistor colocado fora da pastilha. De modo a minimizar o efeito da modulação do comprimento do canal de Q_{12}, é incluído um estágio cascode formado pelos transistores casados Q_{10} e Q_{11}. Finalmente, um espelho de corrente canal p formado por um par de dispositivos casados, Q_8 e Q_9, replica a corrente I_B de volta para Q_{11} e Q_{13}, bem como provê uma linha de polarização para Q_5 e Q_7 do circuito do amp op CMOS da Figura 10.23.

O circuito opera da seguinte maneira: o espelho de corrente (Q_8, Q_9) leva Q_{13} a conduzir uma corrente igual àquela em Q_{12}, isto é, I_B. Então,

$$I_B = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_{12}(V_{GS12} - V_t)^2 \tag{10.56}$$

e

$$I_B = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_{13}(V_{GS13} - V_t)^2 \tag{10.57}$$

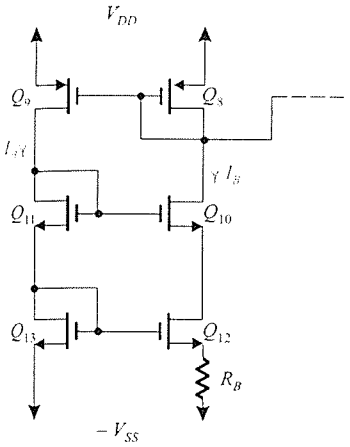


Figura 10.25 Circuito de polarização para o amp op CMOS.

A partir do circuito, vemos que as tensões porta-fonte de Q_{12} e Q_{13} estão relacionadas por

$$V_{GS13} = V_{GS12} + I_B R_B$$

Subtraindo V_t de ambos os lados dessa equação e usando as Equações 10.56 e 10.57 para substituir $(V_{GS12} - V_t)$ e $(V_{GS13} - V_t)$, resulta em

$$\sqrt{\frac{2I_B}{\mu_n C_{ox}(W/L)_{13}}} = \sqrt{\frac{2I_B}{\mu_n C_{ox}(W/L)_{12}}} + I_B R_B \tag{10.58}$$

Essa equação pode ser rearranjada para obter

$$I_B = \frac{2}{\mu_n C_{ox}(W/L)_{12} R_B^2}\left(\sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1\right)^2 \tag{10.59}$$

da qual podemos observar que I_B é determinada pelas dimensões do dispositivo e valor de R_B e pela relação das dimensões de Q_{12} e Q_{13}. Além disso, a Equação 10.59 pode ser rearranjada na forma

$$R_B = \frac{2}{\sqrt{2\mu_n C_{ox}(W/L)_{12} I_B}}\left(\sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1\right)$$

na qual reconhecemos o fator $\sqrt{2\mu_n C_{ox}(W/L)_{12} I_B}$ como g_{m12}; então

$$g_{m12} = \frac{2}{R_B}\left(\sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1\right) \tag{10.60}$$

Este é um resultado muito interessante: g_{m12} é determinado apenas pelo valor de R_B e pelas relações de dimensões de Q_{12} e Q_{13}. Além do mais, como g_m no MOSFET é proporcional a $\sqrt{I_D(W/L)}$, cada transistor polarizado pelo circuito da Figura 10.25 terá um valor de g_m que é um múltiplo de g_{m12}. Especificamente, o i-ésimo MOSFET canal n terá

$$g_{mi} = g_{m12}\sqrt{\frac{I_{Di}(W/L)_i}{I_B(W/L)_{12}}}$$

e o i-ésimo dispositivo canal p terá

$$g_{mi} = g_{m12}\sqrt{\frac{\mu_p I_{Di}(W/L)_i}{\mu_n I_B(W/L)_{12}}}$$

Finalmente, note que o circuito de polarização da Figura 10.25 emprega uma realimentação positiva e, portanto, tome cuidado em seu projeto para evitar um funcionamento instável. A instabilidade é evitada fazendo Q_{12} mais largo que Q_{13}, como foi dito. No entanto, algumas formas de instabilidade ainda podem ocorrer, isto é, o circuito pode operar em um estado estável no qual todas as correntes sejam zero. Para retirá-lo desse estado, é necessário injetar corrente em um de seus nós, para disparar sua operação.

Exercício

10.28 Considere o circuito de polarização da Figura 10.25 para o caso em que $(W/L)_8 = (W/L)_9 = (W/L)_{10} = (W/L)_{11} = (W/L)_{13} = 20$ e $(W/L)_{12} = 80$. Encontre o valor de R_B que resulta em uma corrente de polarização $I_B = 10\ \mu A$. Encontre também a transcondutância g_{m12} para um processo tecnológico tendo $\mu_n C_{ox} = 90\ \mu A/V^2$.

Resposta 5,27 kΩ; 0,379 mA/V

10.8 CONFIGURAÇÕES ALTERNATIVAS PARA OS AMP OPS CMOS E BiCMOS

A configuração amp op CMOS de dois estágios, estudada na seção anterior, é a topologia mais popular para o projeto dos amp ops para aplicações em circuitos VLSI. Talvez a mais importante dessas aplicações seja a implementação de filtros com capacitores chaveados (Seção 11.10). O amp op CMOS de dois estágios funciona bem, desde que sua carga seja principalmente capacitiva e de valor razoavelmente baixo (< 10 pF). Uma carga resistiva faz com que o ganho *cc* em malha aberta diminua. Uma carga capacitiva de valor elevado faz diminuir o pólo da freqüência não-dominante ω_{P2} (Equação 10.53), diminuindo, portanto, a margem de fase e eventualmente provocando um comportamento instável.

Se o amp op CMOS de dois estágios for usado para acionar uma carga de valor elevado, como capacitâncias externas à pastilha, ele deve ser acrescido de um estágio com baixa impedância na saída. Para esse fim, os estágios de saída classe AB, semelhantes aos estudados no Capítulo 9, podem ser implementados com a tecnologia CMOS. Contudo, há várias aplicações em que uma baixa resistência de saída não é necessária; em vez disso, as necessidades primárias são um alto ganho em malha aberta e uma capacidade de acionar cargas capacitivas enquanto é mantida uma margem de fase alta. Para tais aplicações, o uso da configuração cascode (Seções 6.5 e 6.6) e da tecnologia BiCMOS (Seção 6.7) proporciona soluções atrativas para o projeto. Nesta seção, discutiremos resumidamente algumas topologias de circuitos resultantes.

O Amp Op CMOS com Cascode

Embora o ganho do amp op CMOS de dois estágios possa ser aumentado pela adição de estágios de ganho em cascata, essa não é uma solução prática: cada estágio de ganho adicional aumenta o deslocamento da fase e dificulta a compensação em freqüência. Uma alternativa para os estágios adicionais é aumentar o ganho disponível nos estágios existentes. Isso pode ser conseguido pela utilização da configuração cascode, conforme mostrado na Figura 10.26 para o caso do estágio de entrada. Nessa figura, os dois transistores porta comum, Q_{1C} e Q_{2C}, são os dispositivos cascodes para os pares de transistores diferenciais Q_1 e Q_2. A resistência de saída vista do dreno de Q_{2C} é (veja a Equação 6.116):

$$R_{o2C} \simeq g_{m2C}r_{o2C}r_{o2} \tag{10.61}$$

que é maior do que o valor sem a configuração cascode por um fator de $g_{m2C}r_{o2C}$ (tipicamente, da ordem de 100). A fim de perceber o benefício do aumento da resistência de saída, a resistência da carga ativa também deve ser aumentada. Isso é obtido no circuito da Figura 10.26 pelo uso de um espelho de corrente de Wilson modificado (Seção 6.6).

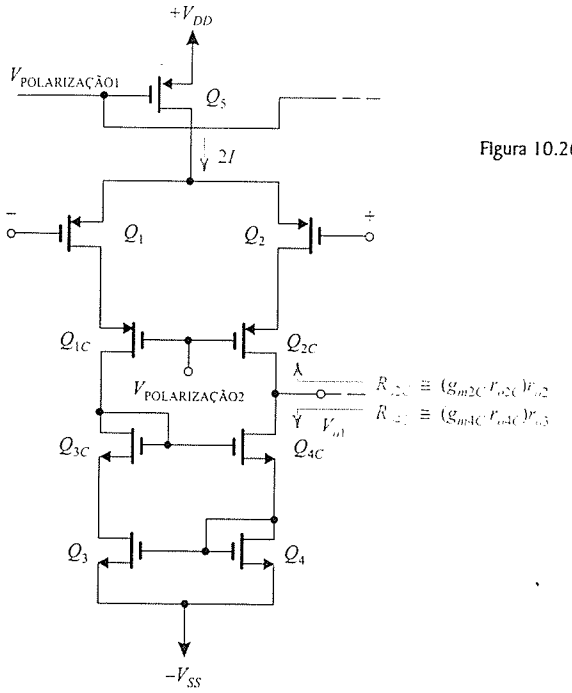


Figura 10.26 Emprego da configuração *cascode* no primeiro estágio de amp op CMOS: os transistores Q_{1C} e Q_{2C} são os transistores *cascode* para o amplificador diferencial Q_1 e Q_2 e aumentam a resistência de saída de Q_2 por um fator $g_{m2C}r_{o2C}$. Os transistores Q_3, Q_{3C}, Q_4 e Q_{4C} formam um espelho de corrente de Wilson que provê uma resistência de carga elevada, R_{o4C}. A resistência total de saída do primeiro estágio é aproximadamente duas ordens de grandeza maior que aquela do primeiro estágio do circuito da Figura 10.23.

A resistência de saída do espelho de Wilson, vista do dreno de Q_{4C}, é

$$R_{o4C} \simeq g_{m4C}r_{o4C}r_{o3} \tag{10.62}$$

que é maior do que a resistência de saída de um espelho de corrente simples por um fator de $g_{m4C}r_{o4C}$ (também tipicamente da ordem de 100). Portanto, a resistência de saída do primeiro estágio torna-se

$$R_o = R_{o2C} // R_{o4C}$$
$$= (g_{m2C}r_{o2C}r_{o2}) // (g_{m4C}r_{o4C}r_{o3}) \tag{10.63}$$

Como o ganho de tensão do primeiro estágio é dado por

$$A_1 = -g_{m1}R_o \tag{10.64}$$

aumentando R_o cerca de duas ordens de grandeza, aumenta A_1 do mesmo fator. Na realidade, esse estágio de ganho pode ser projetado para fornecer um ganho de tensão de 5.000 a 10.000.

Uma desvantagem importante do estágio de ganho na Figura 10.26 é que a faixa de entrada em modo comum fica consideravelmente menor do que a obtida no amplificador de dois estágios.

Isso ocorre devido aos dois transistores adicionais que são colocados "empilhados" entre os dois terminais da fonte de alimentação.

A saída do estágio cascode na Figura 10.26 pode ser conectada a um segundo estágio de ganho como no caso do circuito da Figura 10.23. Aqui, porém, é usado normalmente um estágio de deslocamento de nível *cc* [veja Gregorian e Temes (1986)]. Obviamente, a configuração cascode também pode ser usada no segundo estágio. Isso, contudo, resulta na diminuição da faixa de excursão da tensão de saída.

Como há uma quantidade considerável de ganho de tensão do estágio de saída cascode, uma possibilidade é um amp op CMOS com estágio simples. Esse projeto, empregando uma variação do circuito cascode da Figura 10.26, será descrito a seguir.

Exercício

10.29 Para o estágio de ganho com cascode da Figura 10.26, suponha $2I = 25\mu A$; $\mu_n C_{ox} = 20\ \mu A/V^2$; $\mu_p C_{ox} = 10\ \mu A/V^2$; $|V_t| = 1$ V; $|V_A| = 25$ V; W/L para Q_1, Q_2, Q_{1C} e $Q_{2C} = 120/8$; W/L para Q_{3C} e $Q_{4C} = 60/8$; e W/L para Q_3 e $Q_4 = 8/8$. Calcule R_o e A_1.

Resposta 122,4 MΩ; −7500 V/V

O Amp Op CMOS com Cascode Invertido

Se no circuito da Figura 10.26 cada um dos seis transistores abaixo de Q_1 e Q_2 for substituído por seu complementar e o grupo dos seis dispositivos for desconectado de $-V_{SS}$, "invertido para cima" e conectado a $+V_{DD}$, obteremos o circuito mostrado na Figura 10.27. Observe que, além de invertido, foram acrescentadas duas fontes de corrente ao circuito, Q_6 e Q_7. O circuito resultante, adequadamente denominado **cascode invertido** (*folded cascode*), opera do mesmo modo que a configuração *cascode* do circuito na Figura 10.26. Contudo, nesse circuito, a faixa de entrada em modo comum é maior porque apenas três transistores estão agora empilhados na cadeia de entrada entre os terminais das duas fontes de alimentação (quando comparado aos cinco do circuito original).

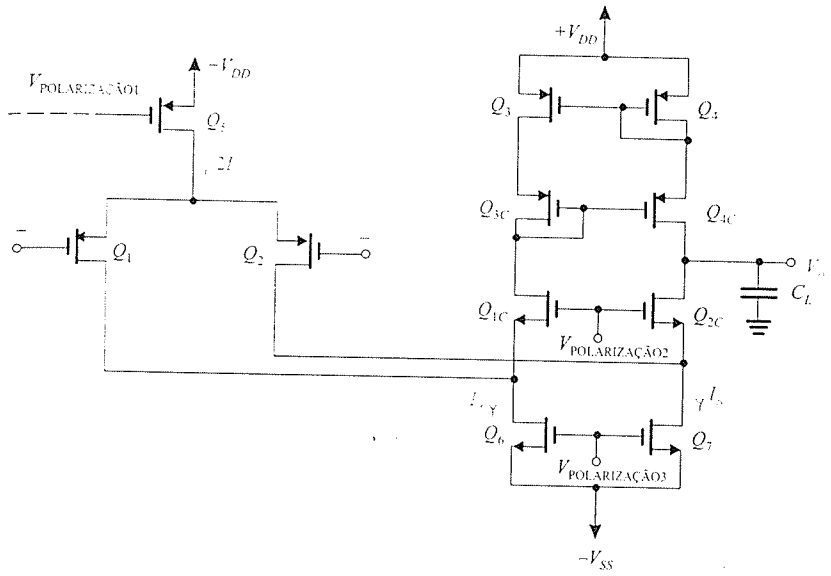


Figura 10.27 Um amp op CMOS com cascode invertido. Aqui os dispositivos canal n Q_{1C} e Q_{2C} formam o estágio de porta comum do estágio de entrada do *cascode*. Os transistores Q_3, Q_4, Q_{3C} e Q_{4C} formam uma fonte de corrente de Wilson modificada que atua como carga para o estágio de ganho.

Exercício

10.30 Para o circuito na Figura 10.27, suponha $2I = I_B = 25\ \mu A$, $\mu_n C_{ox} = 2\ \mu_p C_{ox} = 20\ \mu A/V^2$, $|V_t| = 1$ V, $(W/L)_5 = (W/L)_2 = 120/8$, $(W/L)_{1C} = (W/L)_{2C} = 60/8$, $(W/L)_{3C} = (W/L)_{4C} = 120/8$, $(W/L)_3 = (W/L)_4 = 8/8$, $(W/L)_5 = 150/10$, $(W/L)_6 = (W/L)_7 = 8/8$ e $V_{DD} = V_{SS} = 5$ V. Calcule os valores de $V_{POLARIZAÇÃO1}$, $V_{POLARIZAÇÃO2}$ e $V_{POLARIZAÇÃO3}$ de modo que Q_6 e Q_7 operem no limiar da saturação. Calcule a faixa de entrada em modo comum e a faixa da tensão de saída.

Resposta +3,4 V, −2 V, −2,4 V; −4,4 V a +3 V; −3 V a +2 V

O circuito com cascode invertido é freqüentemente usado como um amp op de estágio único. Seu ganho de tensão pode ser determinado por

$$A = g_{m1}R_o \tag{10.65}$$

em que R_o é a resistência de saída,

$$R_o = R_{o2C} // R_{o4C}$$
$$= [g_{m2C}r_{o2C}(r_{o7} // r_{o2})] // (g_{m4C}r_{o4C}r_{o3}) \tag{10.66}$$

Exercício

10.31 Mostre que o ganho de tensão do amp op com cascode invertido, na Figura 10.27, para o caso de $I_B = 2I$ e dispositivos casados aos pares, é dado por

$$A = \frac{|V_A|^2}{I} \frac{2\sqrt{\mu_n \mu_p} C_{ox} \sqrt{W_1/L_1}}{3\sqrt{(W/L)_{2C}} + \sqrt{\mu_n/\mu_p}\sqrt{(W/L)_{4C}}} \tag{10.67}$$

Uma característica muito importante do circuito com cascode invertido é que o pólo dominante é estabelecido pela capacitância total no nó de saída, C_L, em que C_L inclui a capacitância de carga. Especificamente, se representarmos a freqüência do pólo dominante por ω_D, então

$$\omega_D = 1/C_L R_o \tag{10.68}$$

Portanto, o ganho na freqüência unitária ω_t é dado por

$$\omega_t = A\omega_D = \frac{g_{m1}}{C_L} \tag{10.69}$$

O circuito, é claro, tem pólos não-dominantes, mas eles são usualmente em freqüências além de ω_t. Se esse não for o caso, ou se a margem de fase em ω_t não for suficiente, simplesmente aumentamos a capacitância de carga C_L. Esse aumento melhora a margem de fase à custa de uma redução em ω_t.

Observamos aqui que o efeito de um aumento na capacitância de carga é oposto ao efeito no caso do amp op de dois estágios. Isso, junto ao fato de que não é necessária nenhuma malha de compensação de freqüência especial, faz o circuito com cascode invertido ser particularmente apropriado para as aplicações de projetos de filtro com capacitores chaveados em altas freqüências.

O slew-rate do amp op com cascode invertido é

$$\text{SR} = 2I/C_L \tag{10.70}$$

Outra vantagem importante do circuito cascode invertido é ser muito menos suscetível ao efeito de ruído em altas freqüências da fonte de alimentação negativa ($-V_{SS}$). Esse ruído aparece inevitavelmente sobre a linha da fonte de alimentação nas pastilhas de VLSI que incluem circuitos de chaveamento; por exemplo, nos circuitos de pulsos necessários para a operação do filtro com capacitores chaveados (Seção 11.10). Em alguns circuitos de amp op, o ruído de altas freqüências da fonte de alimentação chega até a saída, contaminando, então, o sinal de saída. Para observar como isso pode ocorrer, observe o circuito do amp op CMOS de dois estágios na Figura 10.23. Um sinal de ruído em altas freqüências na linha $-V_{SS}$ aparece no terminal de fonte de Q_6 e é acoplado à porta de Q_6, sendo então acoplado à saída via o capacitor C_C e a pequena resistência em série R. Esse caminho de acoplamento não existe no circuito com cascode invertido. Portanto, o circuito com cascode invertido é dito ter uma **razão de rejeição da fonte de alimentação** (*power supply rejection ratio* – PSRR) maior do que o circuito do amp op de dois estágios. (Para um estudo detalhado sobre a PSRR, consulte Gregorian e Temes (1986).)

Uma desvantagem do circuito com cascode invertido é uma redução na capacidade de excursão do sinal de saída, devido à existência de dois transistores em série entre o terminal de saída e os terminais de cada uma das fontes de alimentação.

O Amp Op BiCMOS com Cascode Invertido

Para aumentar a faixa de passagem do amp op com cascode invertido, as freqüências dos pólos não-dominantes devem ser aumentadas. Usualmente, a freqüência mais baixa do pólo não-dominante é aquela que surge na entrada do estágio porta comum Q_{1C}, Q_{2C}. Especificamente, a resistência no nó de conexão de Q_1 e Q_{1C} (e de modo similar no nó de conexão de Q_2 e Q_{2C}) é aproximadamente igual a $1/g_{m1C}$ (que é igual a $1/g_{m2C}$). Portanto, se representarmos a capacitância total de cada um dos dois nós por C_{P1}, a freqüência do pólo resultante pode ser expressa como

$$\omega_P = g_{m1C}/C_{P1} \tag{10.71}$$

Como é possível obter valores muito maiores de transcondutância usando TBJs do que usando MOSFETs, a freqüência ω_P do pólo não-dominante pode ser aumentada pelo uso de um estágio TBJ com base comum no lugar de um estágio MOS com porta comum. O resultado é o circuito com cascode invertido BiCMOS, mostrado na Figura 10.28. Agora, com ω_P aumentado, ω_t pode ser correspondentemente aumentado a partir do projeto do primeiro estágio com um valor de transcondutância g_{m1} elevado, enquanto C_L permanece constante (veja a Equação 10.69).

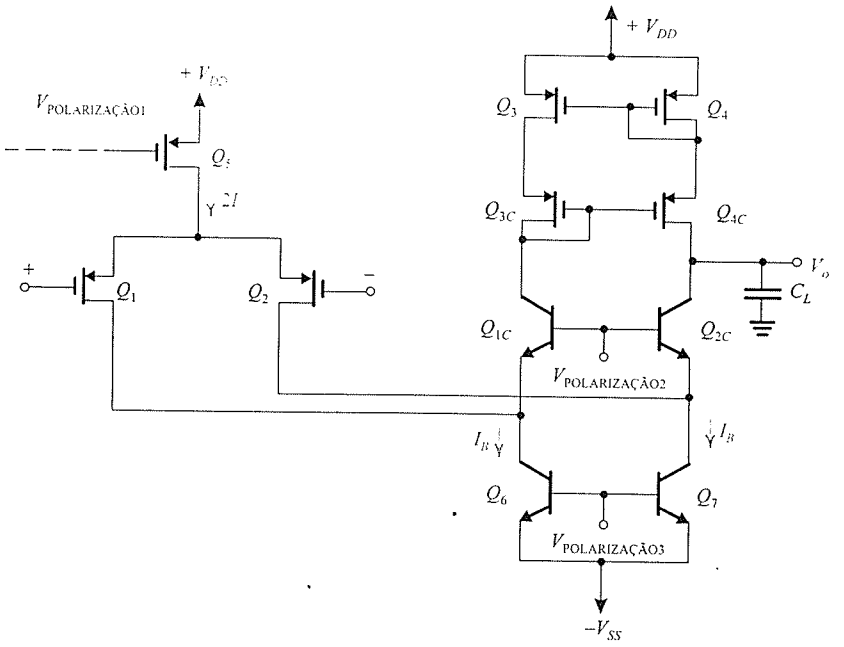


Figura 10.28 Um amp op BiCMOS do tipo cascode invertido. TBJs são empregados para implementar o estágio base comum Q_{1C} e Q_{2C}. O valor elevado de $g_{m1C} = g_{m2C}$ aumenta a freqüência do pólo não-dominante resultante na entrada do estágio base comum. Portanto, para um dado valor de C_L, $\omega_t = g_{m1}/C_L$ pode ser aumentado fazendo o primeiro estágio operar em um valor maior de g_m.

O circuito BiCMOS combina a maior de faixa de passagem com a vantagem de um estágio com entrada MOS; isto é, uma impedância de entrada aproximadamente infinita, uma corrente de polarização zero e um maior *slew-rate* (para este último ponto, reporte-se à Seção 10.7 e ao exercício seguinte).

Exercício

10.32 Desejamos comparar o amp op BiCMOS com cascode invertido mostrado na Figura 10.28 a um outro cujo primeiro estágio é substituído por um par diferencial com TBJ. Para ambos os circuitos, uma f_t de 2 MHz é necessária para uma C_L = 10 pF. (a) Para o circuito BiCMOS, suponha $(W/L)_1$ = 150/10, $|V_t|$ = 1 V e $\mu_p C_{ox}$ = 10 μA/V². Calcule a corrente de polarização necessária $2I$ e o slew-rate obtido. (b) Para o circuito com estágio de entrada com TBJ, calcule a corrente de polarização necessária $2I$ e o slew-rate obtido.

Resposta (a) 105,3 μA; 10,5 V/μs. (b) 6,3 μA; 0,63 V/μs

10.9 CONVERSORES DE DADOS – UMA INTRODUÇÃO

Nesta seção, começamos o estudo de outro grupo de circuitos analógicos em CI de grande importância, os conversores de dados.

Processamento Digital de Sinais

A maioria dos sinais, como os obtidos nas saídas dos transdutores, existe na forma analógica. Alguns dos processamentos necessários para esses sinais são mais convenientemente executados de modo analógico. Por exemplo, em sistemas de instrumentação é muito comum o uso de um amplificador diferencial com elevada impedância de entrada, alto ganho e elevado CMRR logo na saída do transdutor. Ele é seguido, normalmente, por um filtro cujo propósito é eliminar as interferências. Contudo, usualmente são necessários processamentos adicionais do sinal, que podem variar dentro de certos limites, desde a simples obtenção da medição da intensidade do sinal até a execução de algumas manipulações algébricas sobre eles ou sobre sinais relacionados para obter o valor de um parâmetro particular do sistema em questão, como geralmente ocorre em sistemas com o propósito de fornecer uma complexa função de controle. Outro exemplo de processamento de sinais pode ser encontrado na necessidade comum de transmissão de sinais para um receptor distante.

Todas essas formas de processamento de sinais podem ser feitas de modo analógico. Nos capítulos anteriores foram vistos circuitos para a implementação de várias dessas tarefas. Porém, há uma alternativa interessante: converter, seguindo algum processo inicial analógico, o sinal da forma analógica para a forma digital e, depois, usar os CIs, que são econômicos, precisos e eficientes para o **processamento digital de sinais**. Esse processamento pode, em sua forma mais simples, nos proporcionar uma medição da intensidade do sinal com uma facilidade na leitura do valor (considere, por exemplo, o voltímetro digital). Nos casos mais complexos, o processador de sinais digitais pode executar uma variedade de operações lógicas e aritméticas que implementam um **algoritmo de filtragem**. O **filtro digital** resultante faz muitas das mesmas tarefas de um filtro analógico – como eliminar interferências e ruídos. Outro exemplo de processamento digital de sinais é encontrado nos sistemas de comunicações digitais, nos quais os sinais são transmitidos como uma seqüência de pulsos binários, com a vantagem óbvia de que, até certo ponto, a alteração das amplitudes desses pulsos pelo ruído não produz conseqüências.

Uma vez executado o processamento digital do sinal, devemos apresentar o resultado na forma digital, como uma lista de números impressos. Alternativamente, podemos necessitar de uma saída analógica. Este é o caso de sistemas de telecomunicações nos quais a saída usual pode ser uma fala audível. Se tal saída analógica for desejada, então obviamente necessitaremos converter o sinal digital de volta à forma analógica.

Não é nosso propósito estudar agora as técnicas de processamento digital de sinais. Em vez disso, estudaremos os circuitos de interface entre os domínios digitais e analógicos. Especificamente, estudaremos as técnicas básicas e os circuitos empregados para converter um sinal analógico na forma digital (**analógico-digital** ou simplesmente **conversão A/D**) e os usados para converter sinal digital na forma analógica (**digital-analógico** ou simplesmente **conversão D/A**). Os circuitos digitais serão estudados nos Capítulos 13 e 14.

Amostragem de Sinais Analógicos

O princípio fundamental do processamento digital de sinais é o da **amostragem** do sinal analógico. A Figura 10.29 ilustra de forma conceitual o processo da obtenção das amostras do sinal analógico. A chave exibida fecha periodicamente sob o controle de um sinal de comando do tipo pulso periódico (relógio). O tempo de fechamento da chave, τ, é relativamente curto e as amostras obtidas são armazenadas (retidas) no capacitor. O circuito da Figura 10.29 é conhecido como **circuito de amostragem e retenção** ou **circuito sample and hold (S/H)**. Como indicado, o circuito S/H consiste em uma chave analógica, que pode ser implementada por uma porta de transmissão MOSFET (Seção 5.9), um capacitor para retenção e um amplificador isolador.

Entre os intervalos de amostragem – isto é, durante os intervalos de *retenção* –, o nível de tensão no capacitor representa as amostras do sinal a que estamos nos referindo. Cada um desses níveis de tensão é, então, passado para a entrada de um conversor A/D, que fornece um número binário de N-dígitos proporcional ao valor da amostra do sinal.

O fato de podermos fazer nosso processamento com um número limitado de amostras do sinal analógico, enquanto ignoramos os detalhes do sinal analógico entre as amostras, é baseado no teorema da amostragem [veja Lathi (1965)].

Quantificação ou Quantização do Sinal

Considere um sinal analógico cujos valores estão na faixa de 0 a +10 V. Suponha que desejamos converter esse sinal para a forma digital e que a saída seja um sinal de 4 bits.[2] Sabemos que um número binário de 4 bits pode representar 16 valores diferentes, de 0 a 15: isso implica que a *resolução* de nossa conversão será 10 V/15 = 2/3 V. Portanto, um sinal analógico de 0 V será representado por 0000; 2/3 V, por 0001; 6 V, por 1001; e 10 V, por 1111.

Todos os números de amostras anteriores são múltiplos do incremento básico (2/3 V). Uma questão se apresenta agora a respeito da conversão dos números compreendidos entre os sucessivos níveis incrementais. Por exemplo, considere o caso de um nível analógico de 6,2 V. Ele está entre 18/3 e 20/3. Porém, como está mais próximo de 18/3, será tratado como 6 V e seu *código* será 1001.

2. Um *bit* significa um dígito binário (*binary digit*).

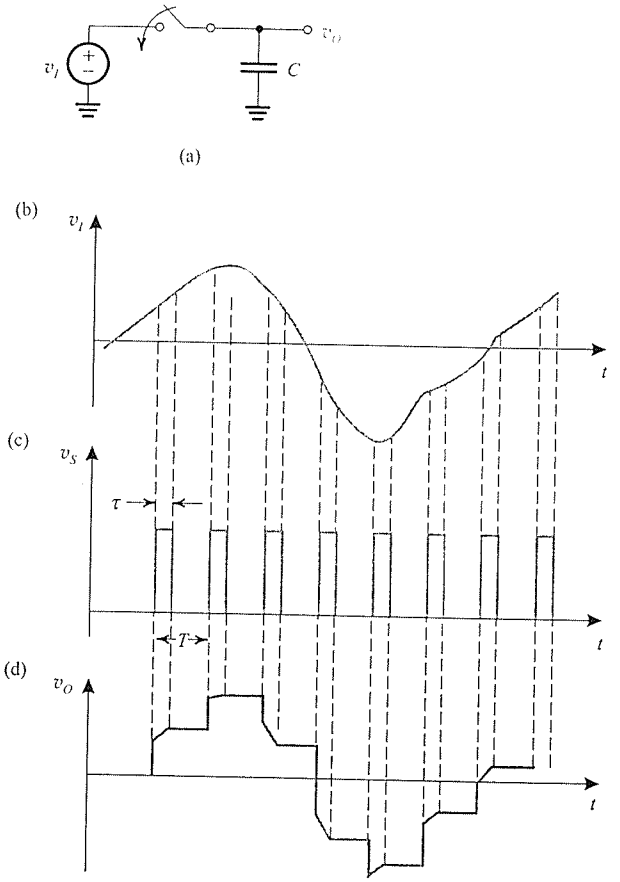


Figura 10.29 Processo de amostragem periódica de um sinal analógico. (a) Circuito de amostragem e retenção (S/H). A chave fecha por τ segundos a cada período. (**b**) Forma de onda do sinal de entrada. (c) Sinal de controle para a chave. (**d**) Sinal de saída (a ser passado para o conversor A/D).

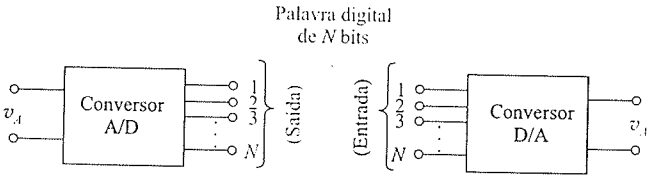


Figura 10.30 Os conversores A/D e D/A como blocos de cicuito.

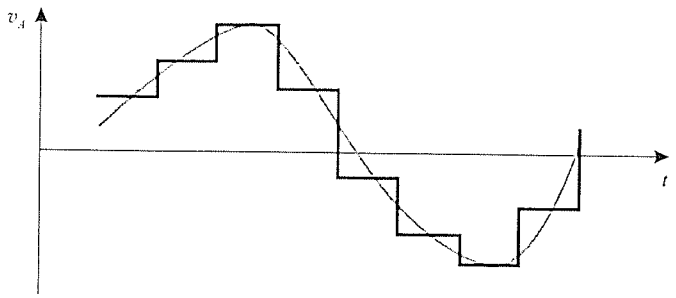


Figura 10.31 As amostras analógicas na saída do conversor D/A são normalmente passadas para o circuito de amostragem e retenção a fim de obter a forma de onda em escada mostrada. Essa forma de onda pode ser filtrada para obter uma forma de onda suave, exibida em destaque. O atraso normalmente introduzido pelo filtro não é mostrado.

Esse processo é chamado de **quantização**. Obviamente, erros são inerentes a esse processo; tais erros são chamados de erros de quantização. O uso de um maior número de dígitos binários (bits) para representar (codificar) um sinal analógico reduz o erro de quantização, mas requer circuitos mais complexos.

Os Conversores A/D e D/A como Blocos Funcionais

A Figura 10.30 apresenta os blocos funcionais dos conversores A/D e D/A. Conforme indicado, o **conversor A/D** (também chamado **CAD**) admite uma amostra analógica v_A e produz uma **palavra digital** de N bits. E, inversamente, o **conversor D/A** (também chamado **CDA**) admite uma palavra digital de n bits e produz uma amostra analógica. As amostras na saída do conversor D/A são normalmente enviadas para um circuito de amostragem e retenção. Na saída do circuito S/H obtém-se uma forma de onda em escada, como a da Figura 10.31. A forma de onda em escada pode, então, ser alisada por um filtro passa-baixas, dando origem à curva suave mostrada na Figura 10.31. Desse modo, um sinal de saída analógico é reconstituído. Finalmente, observe que o erro de quantização de um conversor A/D é equivalente a ± 1/2 do bit menos significativo (b_N).

Exercício

10.33 Um sinal analógico na faixa de 0 a +10 V deve ser convertido em um sinal digital de 8 bits. Qual a resolução da conversão em volts? Qual a representação digital para uma entrada de 6 V? Qual a representação para uma entrada de 6,2 V? Qual o erro ocorrido na quantização de 6,2 V em termos absolutos e como uma porcentagem da entrada? E como uma porcentagem da escala total? Qual o maior erro possível na quantização como uma porcentagem da escala total?

Resposta 0,0392 V; 10011001; 10011110; –0,0064 V; –0,1%; –0,064%; 0,196%

10.10 CIRCUITOS CONVERSORES D/A

Circuito Básico Usando Resistores com Peso Binário

A Figura 10.32 mostra um circuito simples para um conversor D/A de N bits. O circuito consiste em uma tensão de referência V_{ref}, N resistores com peso binário R, $2R$, $4R$, $8R$, ..., $2^{N-1}R$, N chaves de dois sentidos S_1, S_2, ..., S_N e um amp op junto com sua resistência de realimentação $R_f = R/2$.

As chaves são controladas por uma palavra de entrada digital D, de N bits,

$$D = \frac{b_1}{2^1} + \frac{b_2}{2^2} + \cdots + \frac{b_N}{2^N} \tag{10.72}$$

em que b_1, b_2 e assim por diante são os coeficientes dos bits que podem ser 1 ou 0. Observe que o bit b_N é o **bit menos significativo (least significant bit – LSB)** e b_1 é o **bit mais significativo (most significant bit – MSB)**. No circuito da Figura 10.32, b_1 controla a chave S_1, b_2 controla S_2 e assim por diante. Quando b_i é 0, a chave S_i está na posição 1, e quando b_i é 1, a chave está na posição 2.

Como na posição 1 todas as chaves estão aterradas e na posição 2 estão em um terra virtual, a corrente em cada resistor permanece constante. Cada chave simplesmente controla para onde circula sua corrente: para o terra (quando o bit correspondente for 0) ou para o terra virtual (quando o bit correspondente for 1). As correntes que circulam pelo terra virtual somam-se e passam através da resistência de realimentação R_f. A corrente total i_O é, portanto, dada por

$$i_O = \frac{V_{ref}}{R} b_1 + \frac{V_{ref}}{2R} b_2 + \cdots + \frac{V_{ref}}{2^{N-1}R} b_N$$
$$= \frac{2V_{ref}}{R}\left(\frac{b_1}{2^1} + \frac{b_2}{2^2} + \cdots + \frac{b_N}{2^N}\right)$$

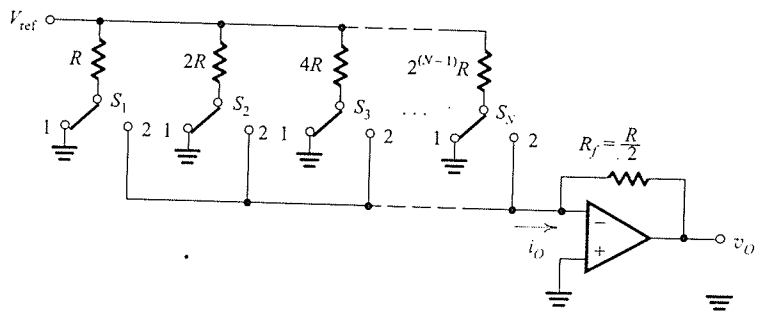


Figura 10.32 Um conversor D/A de N bits usando uma rede resistiva em escada com peso binário.

Portanto,

$$i_O = \frac{2V_{ref}}{R} D \tag{10.73}$$

e a tensão de saída v_O é dada por

$$v_O = -i_O R_f = -V_{ref} D \tag{10.74}$$

que é diretamente proporcional à palavra digital D, conforme desejado.

Deve ser observado que a precisão da CDA é muito dependente (1) da precisão de V_{ref}, (2) da precisão dos resistores em escada com peso binário e (3) da perfeição das chaves. Em relação a esse terceiro ponto, devemos enfatizar que essas chaves controlam sinais analógicos; portanto, sua perfeição é de grande interesse. Embora a tensão de offset e o valor finito da resistência não sejam muito significativos nas chaves digitais, esses parâmetros são fundamentais nas *chaves analógicas*. O uso de FETs para implementar as chaves analógicas foi discutido no Capítulo 5. Além disso, veremos rapidamente que, na implementação prática do circuito de um CDA, as correntes de peso binário são geradas por fontes de correntes. Nesse caso, a chave analógica pode ser implementada usando um circuito com um par diferencial, como será mostrado.

Uma desvantagem da rede de resistores em escada de peso binário é que, para uma grande quantidade de bits ($N > 4$), a diferença entre as menores e as maiores resistências se torna muito elevada. Isso aumenta a dificuldade em manter a precisão dos valores dos resistores. Há um esquema mais conveniente utilizando uma rede resistiva chamada escada R-$2R$.

Escada *R*-2*R*

A Figura 10.33 mostra o diagrama básico de um CDA usando uma escada R–$2R$. Devido à pequena diferença entre os valores das resistências, essa malha é usualmente escolhida em comparação à escada binária discutida anteriormente, especialmente para $N > 4$. A operação da escada R-$2R$ é direta. Primeiro, pode-se mostrar, começando da direita para a esquerda, que a resistência à direita de cada nó, como aquela denominada X, é igual a $2R$. Portanto, a corrente que circula para a direita, afastando-se de cada nó, é igual à corrente que circula para baixo em direção ao terra e o dobro dessa corrente flui para o nó proveniente do lado esquerdo.

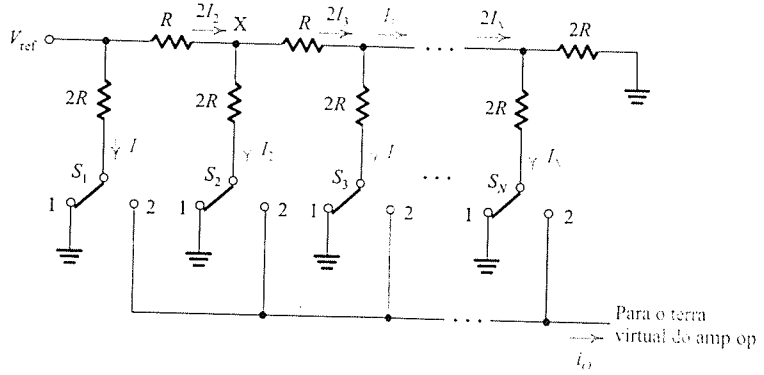


Figura 10.33 Configuração do circuito básico de um conversor CDA utilizando uma rede em escada R-$2R$.

Segue que

$$I_1 = 2I_2 = 4I_3 = \cdots = 2^{N-1} I_N$$

Portanto, como na rede resistiva em escada binária, as correntes controladas pelas chaves têm pesos binários. A corrente de saída total i_O será, portanto, dada por

$$i_O = \frac{V_{\text{ref}}}{R} D$$

A Implementação de um Circuito Prático

Uma implementação prática de um circuito CDA, utilizando uma escada R-$2R$, está mostrada na Figura 10.34. O circuito utiliza TBJs para gerar as correntes constantes de pesos binários I_1, I_2, ..., I_N, que são chaveadas entre o terra e o terra virtual do amp op somador de saída (não mostrado). Podemos mostrar primeiro que as correntes I_1 até I_N possuem, na realidade, pesos binários, com I_1 correspondendo ao MSB e I_N correspondendo ao LSB do CDA.

Começando com os dois transistores mais da direita, Q_N e Q_t, vemos que, se eles forem casados, suas correntes de emissor serão iguais e representadas por (I_N/α).

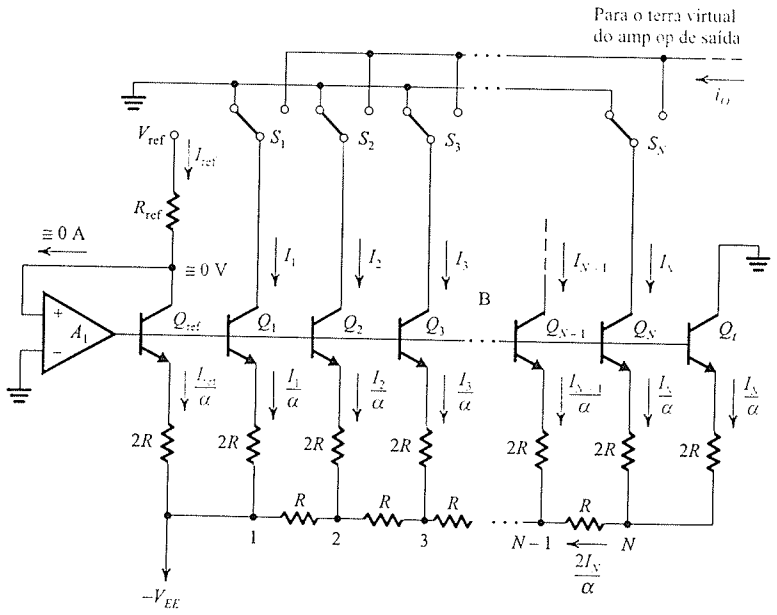


Figura 10.34 Uma implementação prática do circuito do CDA utilizando uma rede em escada R-$2R$.

O transistor Q_t foi incluído para proporcionar uma terminação adequada para a malha R-$2R$. A tensão entre a linha da base dos TBJs e o nó N será

$$V_N = V_{BE_N} + \left(\frac{I_N}{\alpha}\right)(2R)$$

em que V_{BE_N} é a tensão emissor–base de Q_N. Como a corrente que circula através do resistor R conectado ao nó N é $(2I_N/\alpha)$, a tensão entre o nó B e o nó $(N-1)$ será

$$V_{N-1} = V_N + \left(\frac{2I_N}{\alpha}\right)R = V_{BE_N} + \frac{4I_N}{\alpha} R$$

Supondo, por um momento, que $V_{BE_{N-1}} = V_{BE_N}$, vemos que uma tensão de $(4I_N/\alpha)R$ aparece na resistência $2R$ no emissor de Q_{N-1}. Portanto, Q_{N-1} terá uma corrente de emissor de $(2I_N/\alpha)$ e uma corrente de coletor de $(2I_N)$, duas vezes a corrente em Q_N. Os dois transistores terão valores iguais de V_{BE} se as áreas de suas junções tiverem dimensões na mesma proporção de suas correntes, o que normalmente é feito na prática.

Procedendo do modo anterior, podemos mostrar que

$$I_1 = 2I_2 = 4I_3 = \cdots = 2^{N-1} I_N$$

com a suposição de que as áreas da JEB de Q_1 até Q_N são escaladas com peso binário.

A seguir, considere um amp op A_1, que, junto com o transistor de referência Q_{ref}, forma uma malha com realimentação negativa. (Convença-se de que a realimentação é realmente negativa.) Um terra virtual aparece no coletor de Q_{ref}, forçando-o a conduzir uma corrente de coletor $I_{\text{ref}} = V_{\text{ref}}/R_{\text{ref}}$ independente de quaisquer imperfeições que Q_{ref} possa ter. Agora, se Q_{ref} e Q_1 forem casados, suas correntes de coletor serão iguais,

$$I_1 = I_{\text{ref}}$$

Portanto, as correntes com peso binário estão relacionadas diretamente à corrente de referência, independente dos valores exatos de V_{BE} e α. Observe também que o amp op A_1 fornece a corrente de base de todos os TBJs.

Chaves de Corrente

Cada uma das chaves de dois sentidos do circuito CDA da Figura 10.34 pode ser implementada por um circuito como o da Figura 10.35, que mostra uma chave S_m. Nessa figura, I_m representa a corrente que circula no coletor do m-ésimo transistor. O circuito é um par diferencial com a base do transistor de referência Q_{mr} conectada a uma tensão cc conveniente de polarização, $V_{\text{polarização}}$, e o sinal digital representando o m-ésimo bit b_m aplicado na base do outro transistor Q_{ms}. Se a tensão que representa b_m for maior do que $V_{\text{polarização}}$ por algumas centenas de milivolts, Q_{ms} entrará em condução e Q_{mr} entrará em corte. A corrente do bit I_m circulará através de Q_{ms} para a linha de saída, na qual temos a corrente total. Por outro lado, quando b_m for baixo, Q_{ms} estará em corte e I_m circulará através de Q_{mr} para o terra.

A chave da Figura 10.35 é simples e tem por característica a operação em alta velocidade. Porém, há um problema, pois parte da corrente I_m circula através da base de Q_{ms} e, portanto, não aparece na linha de saída da corrente total. Circuitos mais elaborados para chaves de corrente podem ser encontrados em Grebene (1984).

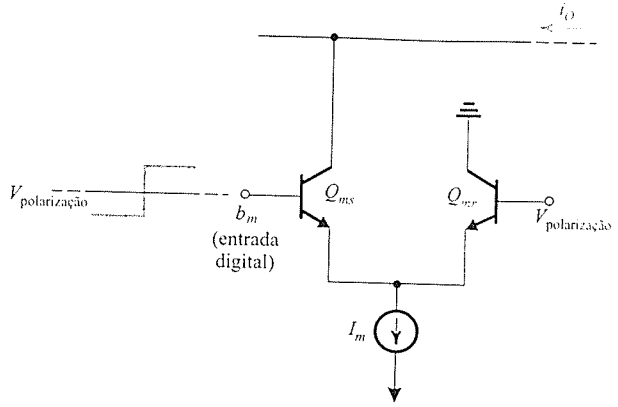


Figura 10.35 Implementação do circuito da chave S_m do CDA da Figura 10.34. Na tecnologia BiCMOS, Q_{ms} e Q_{mr} podem ser implementados usando MOSFETs, eliminando, assim, a imprecisão causada pela corrente de base dos TBJs.

Além disso, em uma tecnologia BiCMOS, o par diferencial com transistores Q_{ms} e Q_{mr} pode ser substituído por MOSFETs, eliminando, portanto, o problema da corrente de base.

Exercícios

10.34 Qual a máxima razão entre resistores necessária para um conversor D/A de 12 bits utilizando uma escada de peso binário?

Resposta 2048

10.35 Se a corrente de polarização de entrada de um amp op, usado como somador de saída em um CDA de 10 bits, não deve ser maior do que a equivalente a 1/4 do LSB, qual a corrente máxima que deve circular em R_f para um amp op cuja corrente de polarização é de 0,5 μA?

Resposta 2,046 mA

10.11 CIRCUITOS CONVERSORES A/D

Há varios métodos de conversão A/D variando em complexidade e velocidade de conversão. Discutiremos a seguir dois métodos simples, mas lentos, um método complexo (em termos da quantidade de componentes), mas extremamente rápido, e, finalmente, um método particularmente adequado para uma implementação com transistores MOS.

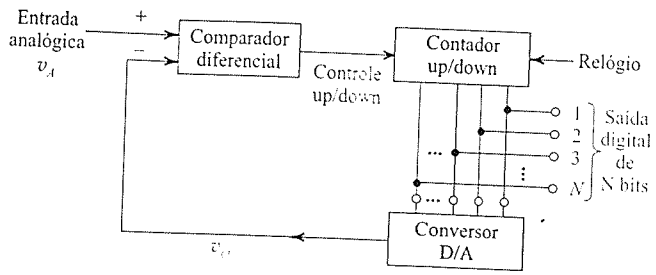


Figura 10.36 Um conversor simples do tipo realimentação.

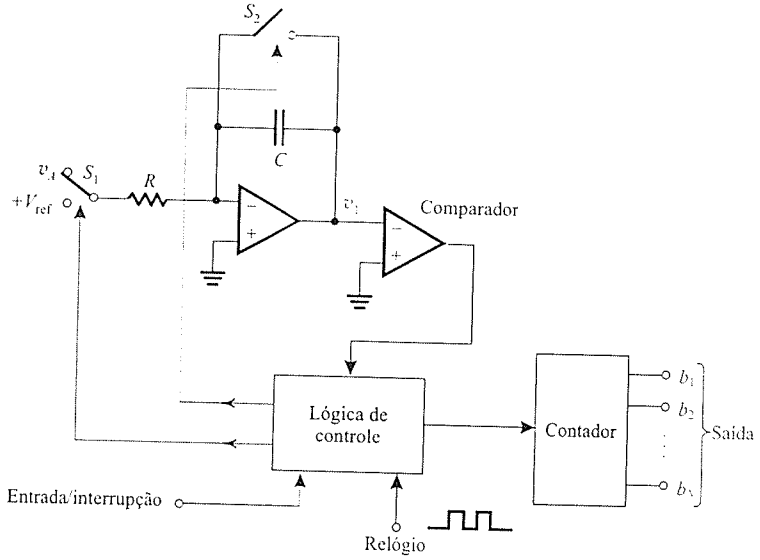
O Conversor Tipo Realimentação

A Figura 10.36 mostra um conversor A/D que emprega um comparador, um contador ascendente-descendente (*up-down*) e um conversor D/A. O circuito comparador fornece uma saída que supõe um dentre dois valores distintos: positivo quando a diferença do sinal de entrada for positiva e negativo quando a diferença do sinal de entrada for negativa. Estudaremos os circuitos comparadores no Capítulo 12. Um contador ascendente-descendente é simplesmente um contador que pode contar na ordem ascendente ou descendente, dependendo do nível binário aplicado a seu terminal de controle up-down. Pelo fato de o conversor A/D da Figura 10.36 empregar um CDA em sua malha de realimentação, é usualmente chamado conversor A/D tipo realimentação. Ele opera da seguinte forma: com uma contagem correspondente a zero no contador, a saída do conversor D/A, v_O, será zero e a saída do comparador será de nível alto, instruindo o contador a fazer a contagem dos pulsos na ordem ascendente. Como a contagem aumenta, a saída do CDA se eleva. O processo continua até que a saída do CDA atinja o valor do sinal analógico de entrada, em cujo ponto o comparador muda de estado e interrompe a contagem. A saída do contador terá, então, o equivalente digital da tensão analógica de entrada.

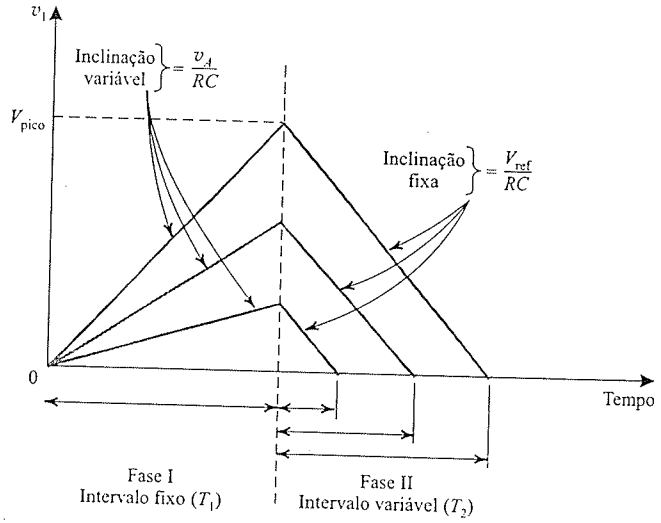
A operação do conversor da Figura 10.36 é lenta se a contagem parte do zero. Contudo, as variações incrementais do sinal em sua entrada são rapidamente aceitas pelo circuito.

O Conversor A/D com Inclinação Dupla

Um esquema de conversor A/D muito popular de alta resolução (de 12 a 14 bits, mas lento) está ilustrado na Figura 10.37. Para entender sua operação, observe a Figura 10.37 e suponha que o sinal analógico de entrada v_A seja negativo. Antes de iniciar o ciclo de conversão, a chave S_2 está fechada, descarregando, portanto, o capacitor C e fazendo $v_1 = 0$. O ciclo de conversão começa com a abertura de S_2 e a conexão da entrada do integrador através da chave S_1 ao sinal analógico de entrada. Como v_A é negativa, uma corrente $I = v_A/R$ circulará por R saindo do integrador. Portanto, v_1 aumenta linearmente com uma inclinação de $I/C = v_A/RC$, como indicado na Figura 10.37(b). Simultaneamente, o contador é habilitado e conta os pulsos de um relógio de freqüência fixa. Essa fase do processo de conversão continua por um período fixado T_1. Termina quando o contador acumula uma determinada contagem representada por n_{ref}. Usualmente, para um conversor de N bits, $n_{ref} = 2^N$.



(a)



(b)

Figura 10.37 O método de conversão de dupla inclinação. Observe que a tensão v_A é assumida como sendo negativa.

Representando a tensão de pico na saída do integrador por V_{pico}, podemos escrever em relação à Figura 10.37(b)

$$\frac{V_{pico}}{T_1} = \frac{v_A}{RC} \tag{10.75}$$

No final dessa fase, o contador é reinicializado para zero (*reset*).

A fase II da conversão começa em $t = T_1$ pela conexão da entrada do integrador através da chave S_1 à tensão de referência positiva V_{ref}. A corrente no integrador inverte o sentido e é igual a V_{ref}/R. Portanto, v_1 diminui linearmente com uma inclinação de (V_{ref}/RC). Simultaneamente, o contador é habilitado e conta os pulsos de um relógio com freqüência fixa. Quando v_1 atinge zero, o comparador sinaliza a lógica de controle para interromper a contagem. Representando o período de duração da fase II por T_2, podemos escrever, tomando como referência a Figura 10.37(b),

$$\frac{V_{pico}}{T_2} = \frac{V_{ref}}{RC} \tag{10.76}$$

As Equações 10.75 e 10.76 podem ser combinadas para produzir

$$T_2 = T_1\left(\frac{v_A}{V_{ref}}\right) \tag{10.77}$$

Como a leitura do contador, n_{ref}, no final de T_1 é proporcional a T_1 e a leitura, n, no final de T_2 é proporcional a T_2, temos

$$n = n_{ref}\left(\frac{v_A}{V_{ref}}\right) \tag{10.78}$$

Portanto, o conteúdo do contador, n,[3] no final do processo da conversão é o equivalente digital de v_A. O conversor de inclinação dupla apresenta alta precisão, visto que seu funcionamento é independente dos valores exatos de R e C. Há várias implementações comerciais do método de inclinação dupla, algumas das quais utilizando a tecnologia CMOS.

O Conversor Paralelo ou Instantâneo

O esquema de conversão A/D mais rápido é a conversão simultânea, instantânea (*flash conversion*) ou paralela, ilustrada na Figura 10.38. Conceitualmente, a conversão instantânea é muito simples. Ela utiliza $2^N - 1$ comparadores para comparar o nível do sinal de entrada com cada um dos $2^N - 1$ possíveis níveis de quantização. As saídas dos comparadores são processadas por um bloco de codificação lógica para fornecer os N bits da palavra digital da saída. Observe que uma conversão completa pode ser obtida em um intervalo de um ciclo de relógio.

Embora a conversão instantânea seja muito rápida, o preço pago é um circuito de implementação muito complexa. Variações dessa técnica básica têm sido empregadas com sucesso no projeto de conversores em CIs.

3. Observe que n *não* é uma função contínua de v_A, como pode ser visto pela Equação 10.78. Em vez disso, n assume os valores discretos correspondentes aos níveis quantizados de v_A.

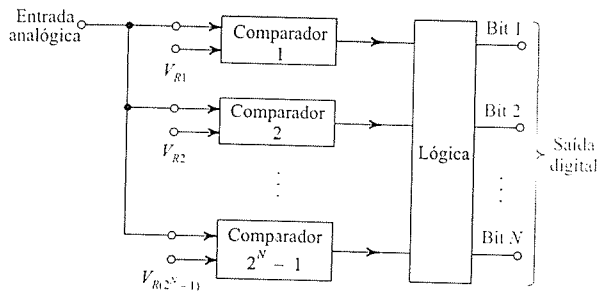


Figura 10.38 Conversão A/D paralela, simultânea ou instantânea.

O Conversor por Redistribuição de Carga

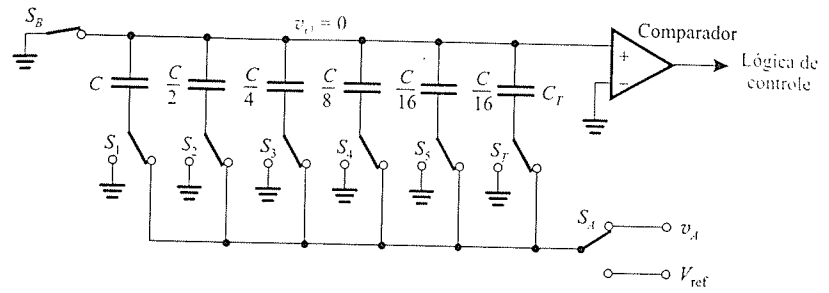
A última técnica de conversão A/D que discutiremos é particularmente adequada para a implementação CMOS. Conforme mostrado na Figura 10.39, o circuito utiliza uma fileira de capacitores com peso binário, um comparador de tensão, chaves analógicas e um controle lógico (não mostrado). O circuito desse exemplo é um conversor de 5 bits; o capacitor C_T tem a função de dar terminação à fileira de capacitores, fazendo a capacitância total se igualar ao valor desejado de $2C$.

A operação do conversor pode ser dividida em três fases distintas, ilustradas nas Figuras 10.39(a), (b) e (c). Na fase de amostragem (Figura 10.39(a)), a chave S_B está fechada, conectando, portanto, os terminais superiores de todos os capacitores ao terra e fazendo v_O igual a zero. Enquanto isso, a chave S_A está conectada à tensão de entrada analógica v_A. Portanto, a tensão v_A aparece na capacitância total de $2C$, resultando em uma carga armazenada de $2Cv_A$. Logo, durante essa fase é tomada uma amostra de v_A e uma quantidade proporcional de carga é armazenada na fileira de capacitores.

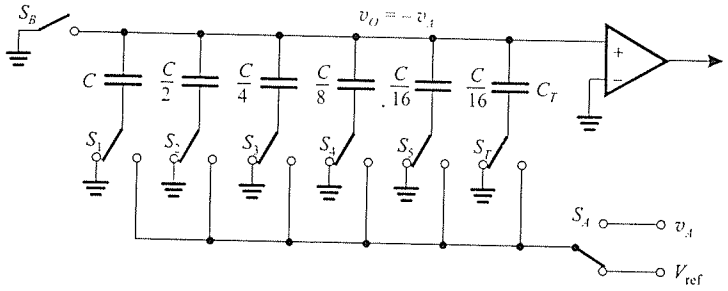
Durante a fase de retenção (Figura 10.39(b)), a chave S_B é aberta e as chaves S_1 até S_5 e S_T são ligadas para o lado do terra. Portanto, os terminais superiores dos capacitores da fileira ficam em circuito aberto, enquanto seus terminais inferiores são aterrados. Como não há caminho para a descarga, a carga dos capacitores permanece constante com o total de $2Cv_A$. Isso significa que a tensão nos terminais de cima deve se tornar $-v_A$. Finalmente, observe que, durante a fase de retenção, S_A está conectada em V_{ref}, preparando-se para a fase da redistribuição de carga.

Consideraremos, a seguir, a operação durante a fase de redistribuição de carga, ilustrada na Figura 10.39(c). Primeiro, a chave S_1 é conectada a V_{ref}. O circuito consiste, então, em V_{ref}, um capacitor em série e uma capacitância total para o terra de valor C. Esse divisor capacitivo faz com que uma tensão incremental de $V_{\text{ref}}/2$ apareça nos terminais superiores da fileira de capacitores. Agora, se v_A for maior que $V_{\text{ref}}/2$, a tensão nos terminais superiores da fileira de capacitores permanece negativa, o que significa que S_1 será deixada em sua nova posição à medida que nos deslocarmos para a chave S_2. Se, por outro lado, v_A for menor do que $V_{\text{ref}}/2$, então a tensão nos terminais superiores da fileira de capacitores se tornará positiva. O comparador detecta essa situação e sinaliza o controle lógico para fazer com que S_1 volte para sua posição de terra e depois mover para S_2.

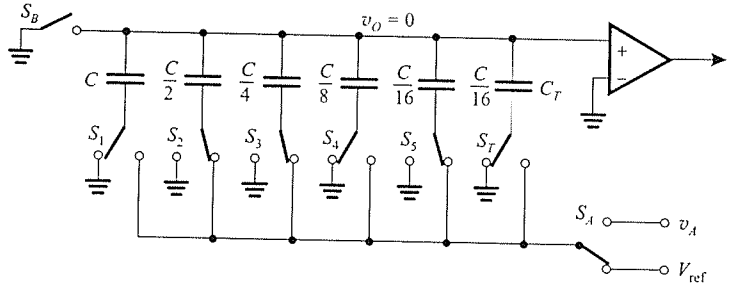
A seguir, a chave S_2 é conectada a V_{ref}, o que faz uma tensão incremental de $V_{\text{ref}}/4$ aparecer nos terminais superiores dos capacitores. Se a tensão resultante ainda for negativa, S_2 é deixada em sua nova posição; caso contrário, S_2 volta para sua posição de terra. A seguir, movemo-nos para a chave S_3, e assim sucessivamente até que todas as chaves de S_1 até S_5 tenham sido operadas.



(a)



(b)



(c)

Figura 10.39 Conversor A/D de redistribuição de carga, adequado para implementação CMOS. (a) Fase de amostragem; (b) fase de retenção; e (c) fase de redistribuição de carga.

Pode ser visto que, durante a fase da redistribuição de carga, a tensão nos terminais superiores dos capacitores diminuirá incrementalmente até zero. A posição das chaves na conclusão dessa fase fornece a palavra digital de saída; uma chave conectada ao terra indica um valor 0 para o bit correspondente, enquanto a conexão em V_{ref} indica 1. A configuração particular das chaves representada na Figura 10.39(c) é para o dado $D = 01101$. Observe que, ao final do processo da conversão, toda carga está armazenada nos capacitores correspondentes aos bits 1; os capacitores de bits zero foram descarregados.

A precisão desse método de conversão A/D é independente do valor das capacitâncias parasitas entre os terminais inferiores dos capacitores e o terra. Isso ocorre porque as placas inferiores são conectadas ou ao terra ou à V_{ref}; portanto, as cargas das capacitâncias parasitas não circularão pela fileira de capacitores.

Além disso, pelo fato de as tensões inicial e final nos terminais superiores dos capacitores serem zero, o circuito é também insensível às capacitâncias parasitas entre as placas superiores dos capacitores e o terra.[4] A insensibilidade às capacitâncias parasitas faz com que a técnica da redistribuição de carga seja um método razoavelmente preciso, com capacidade para implementação de conversores A/D de até 10 bits.

Exercícios

10.36 Considere o conversor de redistribuição de carga de 5 bits, da Figura 10.39, com $V_{ref} = 4$ V. Qual a tensão incremental que aparece nas placas de cima dos capacitores quando S_5 é chaveada? Qual a tensão máxima de conversão desse conversor? Se $v_A = 2{,}5$ V, que chaves estarão conectadas à V_{ref} ao final da conversão?

Resposta 1/8 V; 31/8 V; S_1 e S_3

10.37 Expresse o erro de quantização máximo de um conversor A/D de N-bits em termos de seu bit menos significativo (LSB) e em termos de sua entrada analógica máxima V_{FS}.

Resposta $\pm$ 1/2 LSB; $V_{FS}/2(2^N - 1)$

10.12 EXEMPLOS DE SIMULAÇÃO COM O SPICE

O SPICE oferece uma ajuda inestimável ao projeto de circuitos analógicos complexos. Quando usado apropriadamente, ele pode produzir uma visão adicional na operação e desempenho de um circuito e pode ajudar o projetista a melhorar e a fazer ajustes finos no projeto. Nesta seção, ilustramos o uso do SPICE na simulação de circuitos com amp op através de um exemplo. Exemplos adicionais podem ser encontrados em Roberts e Sedra (1997).

EXEMPLO 10.3: UM AMP OP CMOS DE DOIS ESTÁGIOS

O SPICE é usado para simular o circuito do amp op CMOS de dois estágios, da Figura 10.23, usando as dimensões do dispositivo dado no Exemplo 10.2, no qual foi apresentada uma análise manual do circuito. O leitor deve lembrar-se de que essa análise manual utilizou modelos simples de primeira ordem para os MOSFETs. Foram feitas também considerações para simplificação, como desprezar os efeitos de modulação da largura do canal durante o cálculo do ponto de operação *cc* de cada MOSFET. A simulação do SPICE assume uma implementação com uma tecnologia de processo de 5 μm e utiliza um modelo MOSFET de dois níveis, cujos valores dos parâmetros foram determinados pelo fabricante. Assim, os resultados do SPICE devem fornecer uma boa informação sobre o circuito. Uma comparação entre os resultados da simulação com aqueles obtidos pela análise manual pode informar-nos quais das simplificações são justificadas e quais causam grandes erros.

O circuito está redesenhado na Figura 10.40, com os nós numerados e as dimensões dos dispositivos indicadas. Também está mostrado na Figura 10.40 o arranjo das fontes de entrada usado para aplicar um sinal diferencial e em modo comum. O arquivo de entrada do SPICE está listado no Apêndice D. Ele inclui os valores dos parâmetros do modelo do MOSFET utilizado.

A primeira análise requer uma variação *cc* da tensão diferencial de entrada enquanto se impõe v_{CM} igual a 0 V. O resultado é a característica de transferência apresentada na Figura 10.41. Vemos que a região linear do amplificador se estende entre os níveis de tensão de entrada de –0,9 e +1,2 mV e que a saída excursiona –4,40 e +4,54 V.

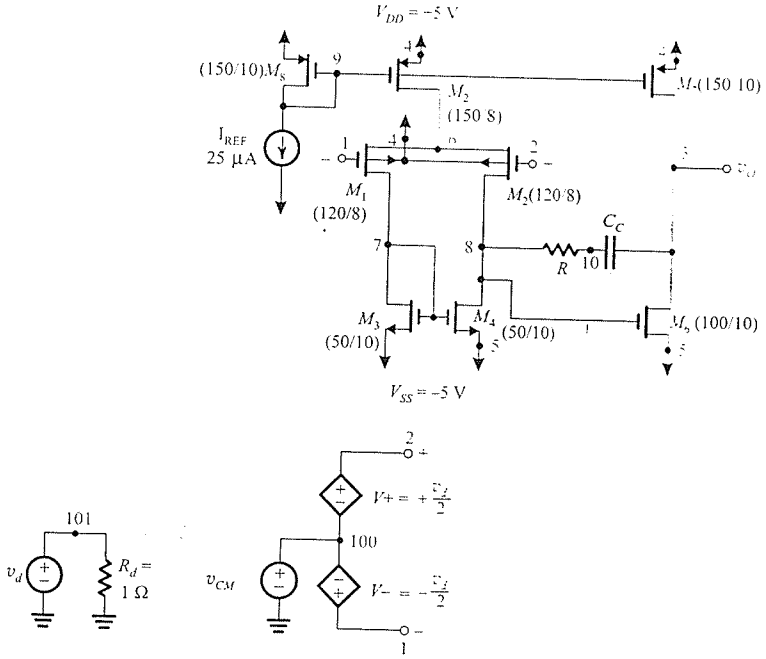


Figura 10.40 Circuito do amp op CMOS de dois estágios para a simulação SPICE do Exemplo 10.3. (Observe que uma análise manual desse mesmo circuito foi feita no Exemplo 10.2.) Também está mostrado o arranjo das fontes de entrada utilizadas para a simulação SPICE. O arquivo de entrada para o SPICE está listado no Apêndice D.

4. A tensão final pode ser diferente de zero por um valor tão grande quanto o equivalente analógico do LSB. Logo, a insensibilidade para capacitância nos terminais superiores não é completa.

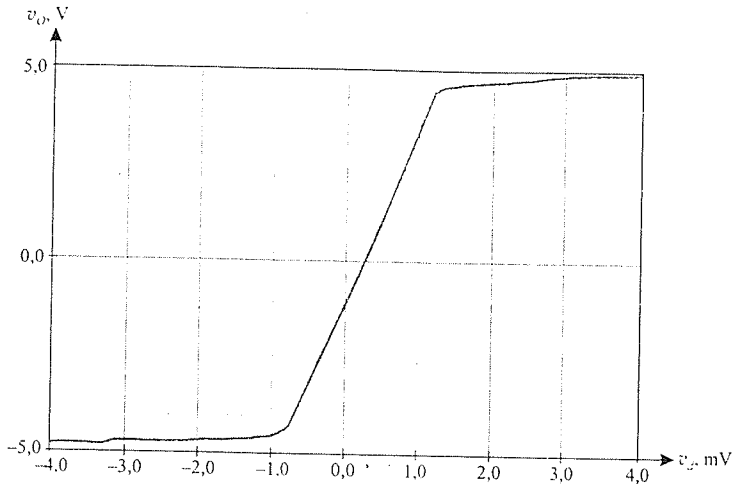


Figura 10.41 Característica de transferência do circuito amp op CMOS mostrado na Figura 10.40 para grandes sinais diferenciais de entrada. O nível de tensão de entrada em modo comum é ajustado para 0 V. (De Roberts e Sedra, 1997.)

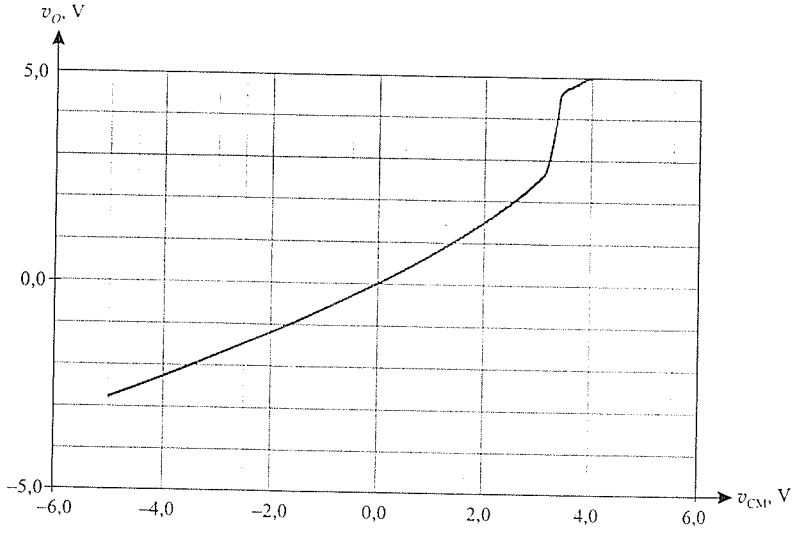


Figura 10.42 Característica de transferência para grandes sinais, $v_o - v_{CM}$, para o amplificador da Figura 10.40. A tensão de offset de entrada é anulada pela aplicação de um sinal de tensão *cc* diferencial de entrada de +220 μV. (De Roberts e Sedra, 1997.)

Então, uma estimativa do ganho diferencial é 4257 V/V. Observamos também que o amplificador tem uma tensão de offset de entrada de –220 μV.

A seguir, a tensão de entrada em modo comum varia na faixa de –5 V a +5 V, enquanto se anula a tensão de offset pela aplicação de uma tensão *cc* diferencial de entrada de +220 μV. A curva de transferência $v_O - v_{CM}$ está apresentada na Figura 10.42. Ela indica uma faixa de entrada em modo comum de –5 V a +3,1 V.

Uma análise do ponto de operação *cc* é, então, efetuada e o ganho diferencial em pequenos sinais é calculado usando o comando .TC. Os resultados são os seguintes:

NAME	M1	M2	M3	M4
MODEL	pmos_transistor	pmos_transistor	nmos_transistor	nmos_transistor
ID	-1,34E-05	-1,34E-05	1,34E-05	1,34E-05
VGS	-1,88E+00	-1,88E+00	1,46E+00	1,46E+00
VDS	-5,42E+00	-5,43E+00	1,46E+00	1,45E+00
VBS	3,12E+00	3,12E+00	0,00E+00	0,00E+00
VTH	-1,51E+00	-1,51E+00	9,52E-01	9,52E-01
VDSAT	-3,18E-01	-3,18E-01	2,83E-01	2,83E-01
GM	7,18E-05	7,18E-05	5,35E-05	5,34E-05
GDS	7,85E-07	7,84E-07	6,05E-07	6,07E-07
GMB	8,53E-06	8,53E-06	3,88E-05	3,88E-05

NAME	M5	M6	M7	M8
MODEL	pmos_transistor	nmos_transistor	pmos_transistor	mos_transistor
ID	-2,69E-05	2,87E-05	-2,87E-05	-2,50E-05
VGS	-1,58E+00	1,45E+00	-1,58E+00	-1,58E+00
VDS	-3,12E+00	5,01E+00	-4,99E+00	-1,58E+00
VBS	0,00E+00	0,00E+00	0,00E+00	0,00E+00
VTH	-9,59E-01	9,38E-01	-9,54E-01	-9,64E-01
VDSAT	-4,56E-01	2,87E-01	-4,61E-01	-4,51E-01
GM	8,64E-05	1,14E-04	9,19E-05	8,08E-05
GDS	1,09E-06	6,85E-07	9,36E-07	1,42E-06
GMB	2,63E-05	8,17E-05	2,77E-05	2,48E-05

```
****     SMALL-SIGNAL CHARACTERISTICS

 V(3)/Vd = 3.60E+03

 INPUT RESISTANCE AT Vd = 1.000E+00

 OUTPUT RESISTANCE AT V(3) = 6.210E+05
```

O leitor é solicitado a comparar o ponto de operação *cc* e os valores dos parâmetros para pequenos sinais g_m e r_o dos transistores com os correspondentes valores obtidos pela análise manual no Exemplo 10.2 (e listado na Tabela 10.2). O efeito de desprezar a modulação da largura do canal é óbvio, desde que todas as correntes *cc* sejam, de certa forma, maiores que os valores encontrados pela análise manual. Observe também que os transistores M_1 e M_2 (Q_1 e Q_2, no Exemplo 10.2) sofrem do efeito de corpo, tendo como resultado tensões de limiar de 1,51 V em vez de 1 V assumido na análise manual. Essa é uma conseqüência séria e leva a várias discrepâncias entre os resultados da simulação e da análise manual. Observe também que o valor de r_o difere razoavelmente daquele assumido na análise manual.

Apesar dessas diferenças, observamos que o ganho para pequenos sinais computado pelo SPICE (3603 V/V) é razoavelmente próximo do valor encontrado pela análise ma-

nual (3125 V/V). Além disso, se tivéssemos usado os valores de g_m e r_o computados pelo SPICE nas fórmulas de ganho, teríamos obtido o valor de 3630 V/V, que é bem próximo do computado pelo SPICE. Portanto, concluímos que a fórmula deduzida é bastante razoável e que o erro no ganho se deve principalmente a erros no cálculo dos dados do ponto de operação.

Podemos também fazer uso dos resultados anteriores para estimar a faixa de entrada em modo comum e a máxima excursão da tensão de saída. O limite inferior da faixa de entrada em modo comum é determinada por M_1 deixando a região de saturação, que ocorre quando a tensão na porta de M_1 cai abaixo da tensão em seu dreno (V(7) = –3,54 V) pelo valor da tensão de limiar. Pelos dados do SPICE, a tensão de limiar de M_1 é –1,51 V e, assim, o limite inferior da faixa de entrada em modo comum deve ser –5,1 V. Isso correlaciona-se bem com os valores obtidos na Figura 10.42. A diferença entre este valor e aquele obtido no Exemplo 10.2 (–4,5 V) é resultado de uma maior tensão de limiar de M_1.

Similarmente, podemos usar os dados de saída do SPICE para estimar o limite superior da faixa de entrada em modo comum em +2,5 V; 0,5 V a menos que o valor encontrado na análise manual, que novamente é resultado da maior tensão de limiar de M_1. A discrepância entre o valor de 2,5 V e o valor observado na Figura 10.42 é mais difícil de ser explicada. Talvez porque, no limite superior da faixa de modo comum, a corrente em M_5 seja reduzida (devido à modulação do comprimento do canal) e, assim, as correntes em M_1 e M_2 e seus valores de V_{GS} são correspondentemente reduzidos. Esse efeito seria observado apenas na simulação da Figura 10.42 e não na listagem dos pontos de operação apresentada anteriormente.

Finalmente, os resultados do SPICE podem ser usados para estimar a máxima excursão do sinal de saída entre –4,49 V e +4,37 V. Estes valores são razoavelmente próximos daqueles observados na Figura 10.41 (e refinados usando a facilidade Probe do PSPICE), que são –4,40 V e +4,54 V, e aqueles encontrados pela análise manual no Exemplo 10.2 (–4,5 V a +4,4 V).

O leitor deve realizar simulações adicionais no SPICE para investigar outras características de desempenho como resposta em freqüência e limitações do slew-rate.

RESUMO

- O circuito interno do amp op 741 incorpora muitas das técnicas de projeto empregadas nos circuitos integrados analógicos bipolares.
- O circuito 741 consiste em um estágio diferencial de entrada, um segundo estágio de alto ganho com saída simples e um estágio de saída classe AB. Essa estrutura é típica dos modernos amp ops e é conhecida como projeto de dois estágios (sem contar com o estágio de saída). A mesma estrutura é usada nos amp ops CMOS.
- Para obter um baixo valor de tensão e corrente de *offset* e um valor elevado de CMRR, o estágio de entrada do 741 é projetado para ter um equilíbrio perfeito. CMRR aumenta com a realimentação em modo comum, que também estabiliza o ponto de operação *cc*.
- Para obter uma resistência de entrada elevada e uma baixa corrente de polarização de entrada, o estágio de entrada do 741 opera com um nível de corrente muito baixo.
- No 741, a proteção contra curtos-circuitos é obtida fazendo com que um transistor entre em condução e desvie a maior parte da corrente de base do transistor de saída.

- O uso da compensação de freqüência de Miller no circuito do 741 permite a localização do pólo dominante em uma freqüência muito baixa, mesmo utilizando uma capacitância de compensação relativamente pequena.
- Os amp ops de dois estágios podem ser modelados como um amplificador de transcondutância alimentando um integrador ideal, tendo C_C como o capacitor de integração.
- O *slew-rate* de um amp op de dois estágios é determinado pela corrente de polarização do primeiro estágio e pelo capacitor de compensação de freqüência.
- A maior parte dos amp ops CMOS é projetada para operar como parte de um circuito VLSI e, portanto, precisa acionar somente pequenas cargas capacitivas. Logo, a maior parte não tem estágio de saída com resistência baixa.
- Os amp op CMOS de dois estágios possuem ganhos aproximadamente iguais em seus dois estágios.
- O limiar de descasamento ΔV_t e a baixa transcondutância do estágio de entrada resultam em uma tensão de *offset* de valor elevado para os amp ops CMOS quando comparados às unidades bipolares.
- A compensação de Miller também é empregada nos amp ops CMOS, mas é necessário um resistor em série a fim de posicionar o zero da transmissão ou em $s = \infty$ ou no eixo real negativo.
- Os amp op CMOS têm valores elevados de *slew-rate* em comparação aos correspondentes bipolares com valores de f_t comparáveis.
- O uso da configuração *cascode* aumenta o ganho do estágio amplificador CMOS em aproximadamente duas ordens de grandeza, tornando, então, possível amp ops de estágio único.
- O circuito com *cascode* invertido da Figura 10.27 é uma implementação popular dos amp ops CMOS. Além das vantagens da configuração cascode, o circuito com cascode invertido caracteriza-se por uma maior faixa de entrada em modo comum. O pólo dominante do amp op com cascode invertido é determinado pela capacitância total do nó de saída, C_L. O aumento de C_L melhora a margem de fase às custas de uma redução na faixa de passagem.
- A faixa de passagem de um circuito com cascode invertido pode ser aumentada usando-se transistores bipolares nos dispositivos da configuração cascode, resultando no circuito BiCMOS da Figura 10.28.
- Os conversores A/D e D/A constituem um grupo importante de CIs analógicos.
- Um CDA consiste em: (a) um circuito que gera uma corrente de referência, (b) um circuito que atribui pesos binários ao valor da corrente de referência, (c) chaves que, sob o controle dos bits da palavra digital de entrada, direcionam a combinação das correntes com peso binário para um nó de soma na saída e (d) um amp op que converte a corrente total em uma tensão de saída. O circuito de (b) pode ser implementado tanto por uma escada resistiva com peso binário como pela escada *R*-2*R*.
- Duas implementações simples, mas lentas, de um CAD são o conversor tipo realimentado [Figura 10.36] e o conversor de inclinação dupla [Figura 10.37].
- A implementação mais rápida possível de um CAD é a do conversor paralelo ou instantâneo [Figura 10.38].
- O método da redistribuição de carga [Figura 10.39] utiliza as técnicas de capacitores chaveados e é particularmente apropriado para a implementação de CADs com tecnologia CMOS.

BIBLIOGRAFIA

P. E. Allen e D. R. Holberg, *CMOS Analog Circuit Design*, New York, Holt, Rinehart e Winston, 1987.

J. A. Connely (ed.), *Analog Integrated Circuits*, New York, Wiley-Interscience, 1975.

R. L. Geiger, P. E. Allen e N. R. Strader, *VLSI Design Techniques for Analog and Digital Circuits*, New York, McGraw-Hill, 1990.

P. R. Gray, D. A. Hodges & R. W. Brodersen, *Analog MOS Integrated Circuits*, New York, IEEE Press, 1980.

P. R. Gray e R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3ª ed., New York, Wiley, 1993.

A. B. Grebene (ed.), *Analog Integrated Circuits*, New York, IEEE Press, 1978.

A. B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*. New York, Wiley, 1984.

R. Gregorian e G. C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, New York, Wiley-Interscience, 1986.

IEEE Journal of Solid-State Circuits. A edição de dezembro de cada ano é dedicada aos CIs analógicos.

D. A. Johns e K. Martin, *Analog Integrated Circuit Design*, New York, Wiley, 1997.

K. Laker e W. Sansen, *Design of Analog Integrated Circuits and Systems*, New York, McGraw-Hill, 1994.

B. P. Lathi, *Signals, Systems and Communication*, Cap. 11, New York, Wiley, 1965.

H. S. Lee, "Analog Design", Cap. 8, in *BiCMOS Technology and Applications*, A. R. Alvarez, editor, Boston, Kluwer Academic Publishers, 1989.

R. G. Meyer (ed.). *Integrated-Circuit Operational Amplifiers*, New York, IEEE Press, 1978.

G. W. Roberts e A. S. Sedra, *SPICE*, New York, Oxford University Press, 1992 e 1997.

J. E. Solomon, "The monolithic op amp: A tutorial study", *IEEE Journal of Solid-State Circuits*, vol. SC-9, nº 6, pp. 314-332, dezembro de 1974.

Staff of Analog Devices, Inc., *Analog-Digital Conversion Notes*, Norwood, Mass, Analog Devices, 1977.

R. J. Widlar, "Some circuit design techniques for linear integrated circuits", *IEEE Transactions on Circuit Theory*, vol. CT-12, pp. 586-590, dezembro de 1965.

R. J. Widlar, "Design techniques for monolithic operational amplifiers", *IEEE Journal of Solid-State Circuits*, vol. SC-9, nº 6, pp. 314-322, dezembro de 1974.

B. A. Wooley, "BiCMOS Analog Circuit Techniques", *Proceedings of the IEEE International Symposium on Circuits and Systems*, pp. 1983-1985, New Orleans, 1990.

PROBLEMAS

Seção 10.1: O Circuito do Amp Op 741

P10.1 Para o circuito de polarização (espelho) mostrado na Figura E10.2 e para o resultado verificado no exercício associado, calcule I_1 para o caso em que $I_{S3} = 3 \times 10^{-14}$ A, $I_{S4} = 6 \times 10^{-14}$ A e $I_{S1} = I_{S2} = 10^{-14}$ A e para o qual é necessária uma corrente de polarização $I_3 = 154$ μA.

P*10.2 A Figura P10.2 mostra uma versão CMOS do circuito na Figura E10.2. Encontre a relação entre I_3 e I_1 em termos de k_1, k_2, k_3 e k_4 dos quatro transistores, supondo as tensões de limiar de todos os dispositivos iguais em amplitude. Note que k denota $1/2\mu C_{ox}(W/L)$. Na eventualidade de $k_1 = k_2$ e $k_3 = k_4 = 16k_1$, calcule o valor necessário de I_1 para produzir uma corrente de polarização em Q_3 e Q_4 de 1,6 mA.

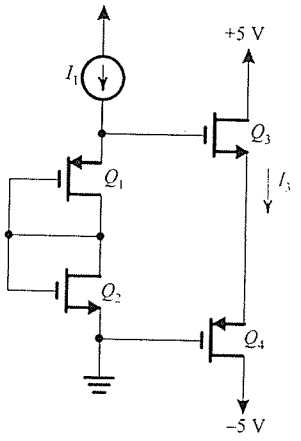


Figura P10.2

Seção 10.2: Análise *cc* do 741

P10.3 Na parte de referência de polarização do circuito na Figura 10.1, considere a substituição do resistor R_5 por um JFET canal n convenientemente conectado.

(a) Se o JFET tiver uma resistência de saída infinita no estrangulamento, calcule seu valor de I_{DSS} de modo que $I_{REF} = 0.73$ mA.

(b) Se o JFET tiver uma tensão de Early de $V_A = 50$ V, $I_{DSS} = 0.5$ mA e $V_P = -2$ V, calcule I_{REF} para uma fonte de alimentação de ± 5 V e ± 15 V.

(c) Qual o valor mínimo da tensão da fonte de alimentação abaixo do qual I_{REF} começa a se desviar rapidamente de seu valor de projeto?

P10.4 Considere a análise do estágio de entrada do 741 mostrada na Figura 10.3 para a situação em que $I_{S9} = 2I_{S8}$. Para $I_{C10} = 19$ μA e supondo β_P de valor elevado, qual será o valor de I? Redesenhe a fonte de Widlar para restabelecer $I_{C1} = I_{C2} = 9{,}5$ μA.

P10.5 Reconsidere o estágio de saída do 741 conforme mostrado na Figura 10.5, em que R_{10} foi ajustada para fazer $I_{C19} = I_{C18}$. Qual o novo valor de R_{10}? Quais serão os valores de I_{C14} e I_{C20}?

Seção 10.3: Análise do Estágio de Entrada do 741 para Pequenos Sinais

P10.6 Que modificação relativamente simples pode ser feita na carga em espelho do estágio 1 para aumentar sua resistência de saída, digamos, por um fator dois?

10.7 Devido a uma imperfeição no processamento, o β de Q_4 na Figura 10.1 é reduzido para 25, enquanto o β de Q_3 permanece com seu valor regular de 50. Calcule a tensão de offset de entrada introduzida por esse descasamento. (*Sugestão*: Siga o procedimento geral resumido no Exemplo 10.1.)

10.8 Considere o circuito da Figura 10.1 modificado para a inclusão dos resistores R em série com os emissores de Q_8 e Q_9. Qual a resistência vista olhando para o coletor de Q_9, R_{o9}? Para que valor R ele se iguala a R_{o10}? Nesse caso, qual será o valor R_o da fonte no nó Y?

Seção 10.4: Análise do Segundo Estágio do 741 para Pequenos Sinais

10.9 Considere a variação do projeto do segundo estágio do 741 em que $R_8 = 50$ Ω. Quais os valores correspondentes para R_{i2} e G_{m2}?

Seção 10.5: Análise do Estágio de Saída do 741

10.10 Considere a limitação positiva de corrente envolvendo Q_{13A}, Q_{15} e R_6. Calcule a corrente em R_6 na qual a corrente de coletor de Q_{15} se iguala à corrente disponível em Q_{13A} (180 μA) menos a corrente de base de Q_{14} (você precisa realizar um par de iterações).

Seção 10.6: O Ganho e a Resposta em Freqüência do 741

10.11 Usando os dados fornecidos na Equação 10.28 (exclusivamente) para o ganho total do 741 com uma carga de 2 kΩ e observando a importância do fator 0,97 em relação à carga, calcule o ganho de tensão em circuito aberto, a resistência de saída e o ganho com uma carga de 200 Ω. Qual a máxima tensão de saída disponível para tal carga?

10.12 Para um amplificador com um slew-rate de 10 V/μs, qual a faixa de passagem com potência total para uma saída de ± 10 V? Que valor de faixa de passagem para ganho unitário ω_t você prevê se a topologia for similar à do 741?

Seção 10.7: Amp Ops CMOS

P*10.13 No projeto particular de um amp op CMOS da Figura 10.23, o projetista deseja estudar os efeitos do aumento na razão W/L de Q_1 e Q_2 por um fator de 4. Supondo que todos os parâmetros sejam mantidos sem alteração:

(a) Calcule a variação resultante em $(|V_{GS}| - |V_t|)$ e em g_m de Q_1 e Q_2.

(b) Que variação ocorre no ganho de tensão do estágio de entrada? E no ganho de tensão total?

(c) Qual o efeito sobre a tensão de offset de entrada? (Refira-se à Seção 6.7.)

(d) Se f_t for mantida sem alteração (de modo que a margem de fase não diminua), para que valor deverá C_C mudar? Qual será a variação correspondente no slew-rate do amplificador?

*10.14 Considere o estágio de entrada do amp op CMOS da Figura 10.23 com as duas entradas aterradas. Suponha que os dois lados do estágio de entrada sejam perfeitamente casados, exceto pelas tensões de limiares de Q_3 e Q_4, que mostram um descasamento de ΔV_t. Mostre que uma corrente de $g_{m3}\Delta V_t$ aparece na saída do primeiro estágio. Qual a tensão de offset de entrada correspondente? Calcule essa tensão de offset para o circuito especificado no Exemplo 10.2 para $\Delta V_t = 2$ mV. (Use os resultados do Exemplo 10.2.)

Seção 10.8: Configurações Alternativas para os Amp Ops CMOS e BiCMOS

P*10.15 Projete o circuito cascode da Figura 10.27 para obter um ganho de tensão *cc* em malha aberta de 10.000 V/V e uma faixa de passagem de ganho unitário de 1 MHz quando a capacitância total na saída é de 10 pF. Projete para $I_B = 2I$, $(W/L)_1 = (W/L)_{4C} = 2(W/L)_{2C}$. Especifique os valores necessários de I e $(W/L)_1$. Faça $\mu_n C_{ox} = 2\mu_p C_{ox} = 20\ \mu A/V^2$ e $|V_A| = 25$ V. (*Sugestão*: Use a Equação 10.67.)

P10.16 Um amplificador BiCMOS com cascode invertido, tendo a topologia da Figura 10.28, foi projetado para operar em altas freqüências. As correntes de polarizações são $2I = I_B = 400\ \mu A$ e a razão W/L para os transistores do estágio de entrada é de 300/10. Calcule f_t para uma capacitância de carga C_L de 2 pF (incluindo todas as parasitas do nó de saída). Para manter uma margem de fase aceitável, o pólo parasita criado na entrada dos transistores da configuração cascode Q_{1C} e Q_{2C} deve ter freqüência pelo menos três vezes maior do que f_t. Qual o maior valor de capacitância parasita C_P que pode ser tolerado? Suponha $\mu_p C_{ox} = 10\ \mu A/V^2$.

Seção 10.9: Conversores de Dados – Uma Introdução

10.17 Um sinal analógico na faixa de 0 a +10 V deve ser digitalizado com um erro de quantização menor do que 1% da escala total. Qual o número de bits necessário? Qual a resolução da conversão? Se a faixa for estendida até ± 10 V com a mesma exigência, qual o número necessário de bits? Para uma extensão na faixa de 0 a +15 V, quantos bits serão necessários para a mesma resolução? Qual a correspondente resolução e o erro de quantização?

Seção 10.10: Circuitos Conversores D/A

10.18 Os TBJs no circuito da Figura P10.18 têm suas áreas das junções emissor–base escaladas nas razões indicadas. Calcule I_1 até I_4 em termos de I.

P*10.19 O circuito na Figura 10.32 pode ser usado para multiplicar um sinal analógico por um digital por meio da inserção do sinal analógico no terminal de referência V_{ref}. Nesse caso, o conversor D/A é chamado de **multiplicador de CDA** ou MCDA. Dado um sinal senoidal de entrada de $0{,}1\text{sen}\omega t$ volts, use o circuito da Figura 10.32 junto com um amp op adicional para obter $v_O = 10D$ sen ωt, em que D é a palavra digital dada pela Equação 10.72 e $N = 4$. Quantas senóides com amplitudes discretas são obtidas na saída? Qual a menor? Qual a maior? A que entrada digital corresponde a saída de 10 V de pico a pico?

Seção 10.11: Circuitos Conversores A/D

10.20 Um CAD de inclinação dupla de 12 bits, do tipo ilustrado na Figura 10.36, utiliza um relógio (clock) de 1 MHz e tem $V_{ref} = 10$ V. Sua tensão de entrada analógica é na faixa de 0 a –10 V. O intervalo fixado para T_1 é o tempo levado pelo contador para acumular uma contagem de 2^N. Qual o tempo necessário para converter uma tensão de entrada igual ao valor da escala total? Se a tensão de pico alcançada na saída do integrador for 10, qual será a constante de tempo do integrador? Se durante o funcionamento R aumentar em 2% e C diminuir 1%, qual será o valor de V_{pico}? Haverá mudança na precisão da conversão?

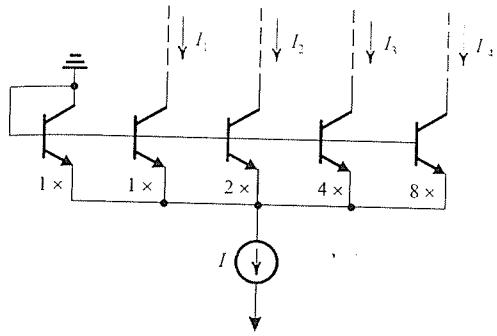


Figura P10.18

CAPÍTULO 11

MAKRON Books

Filtros e Amplificadores Sintonizados

Introdução
11.1 Transmissão de Filtros, Tipos e Especificações
11.2 A Função de Transferência do Filtro
11.3 Filtros Butterworth e Chebyshev
11.4 Funções dos Filtros de Primeira e de Segunda Ordens
11.5 O Ressonador LCR de Segunda Ordem
11.6 Filtros Ativos de Segunda Ordem Baseados na Substituição do Indutor
11.7 Filtros Ativos de Segunda Ordem Baseados na Topologia da Malha de Dois Integradores
11.8 Filtros Ativos Biquadráticos com Amplificadores Simples
11.9 Sensibilidade
11.10 Filtros com Capacitores Chaveados
11.11 Amplificadores Sintonizados
11.12 Exemplos de Simulação com o SPICE
Resumo
Bibliografia
Problemas

INTRODUÇÃO

Neste capítulo estudaremos o projeto de um importante bloco de circuito de sistemas de comunicação e instrumentação, o filtro eletrônico. O projeto de filtros é uma das poucas áreas da engenharia que possui uma teoria completa para seu desenvolvimento, começando com a especificação e terminando com a execução do circuito. Um estudo detalhado sobre o projeto de filtros requer um livro inteiro, e há livros para esse fim. No espaço limitado aqui disponível, iremos nos concentrar nos tópicos que fornecem uma introdução ao assunto, assim como um conjunto útil de circuitos de filtros e métodos de projeto.

A tecnologia mais antiga para a execução de filtros faz uso de indutores e capacitores e os circuitos resultantes são chamados de **filtros passivos LC**. Esses filtros funcionam bem em altas freqüências; porém, em aplicações de baixas freqüências (*cc* até 100 kHz), os indutores necessários são volumosos e suas características não são ideais. Além disso, esses indutores não podem

ser produzidos na forma monolítica (em CIs) e são incompatíveis com quaisquer técnicas modernas de montagem de sistemas eletrônicos. Portanto, o interesse em obter filtros que não necessitam de indutores é considerável. Dos vários tipos possíveis de **filtros sem indutores**, estudaremos os **filtros ativos RC** e os **filtros com capacitores chaveados**.

Os filtros ativos RC utilizam amp ops junto com resistores e capacitores e são fabricados usando a tecnologia discreta, a tecnologia híbrida de filmes espessos ou a tecnologia híbrida de filmes finos. Contudo, para produção em alta escala, essas tecnologias não são tão econômicas quanto as obtidas pela fabricação monolítica. Até o presente momento, a proposta mais viável para a produção de filtros monolíticos totalmente integrados é a técnica de capacitores chaveados.

O último tópico estudado neste capítulo trata do amplificador sintonizado, comumente empregado no projeto de receptores de rádio e TV. Embora os amplificadores sintonizados sejam em efeito filtros passa-faixa, eles serão estudados separadamente porque seu projeto é baseado em técnicas diferentes.

11.1 TRANSMISSÃO DE FILTROS, TIPOS E ESPECIFICAÇÕES

Os filtros que estudaremos são circuitos lineares que podem ser representados pela malha geral de dois acessos mostrada na Figura 11.1. A **função de transferência** do filtro $T(s)$ é a razão da tensão de saída $V_o(s)$ pela tensão de entrada $V_i(s)$,

$$T(s) \equiv \frac{V_o(s)}{V_i(s)} \tag{11.1}$$

A **transmissão** do filtro é encontrada pelo cálculo de $T(s)$, fazendo-se $s = j\omega$ (regime permanente senoidal), e pode ser expressa em termos de seu módulo e fase como

$$T(j\omega) = |T(j\omega)|e^{j\phi(\omega)} \tag{11.2}$$

O módulo da amplitude de transmissão é sempre expresso em decibéis em termos da **função ganho**

$$G(\omega) \equiv 20 \log |T(j\omega)|, \text{ dB} \tag{11.3}$$

ou, alternativamente, em termos da **função atenuação**

$$A(\omega) \equiv -20 \log |T(j\omega)|, \text{ dB} \tag{11.4}$$

Um filtro formata o espectro da freqüência do sinal de entrada, $|V_i(j\omega)|$, de acordo com o módulo da função de transferência, $|T(j\omega)|$, proporcionando, portanto, uma saída $V_o(j\omega)$ com um espectro

$$|V_o(j\omega)| = |T(j\omega)||V_i(j\omega)| \tag{11.5}$$

Além disso, as características da fase do sinal são modificadas à medida que ela passa através do filtro de acordo com a função fase do filtro $\phi(\omega)$.

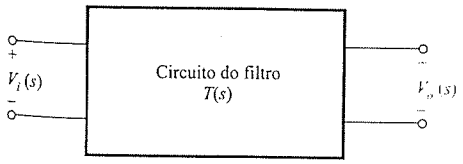


Figura 11.1 Os filtros estudados neste capítulo são circuitos lineares representados genericamente pela rede de dois acessos mostrada. A função de transferência do filtro é $T(s) \equiv V_o(s)/V_i(s)$.

Estamos agora interessados especificamente nos filtros que executam uma função de **seleção de freqüências**: **deixando passar** os sinais de freqüências cujo espectro está dentro de uma faixa especificada e **não deixando passar** sinais de freqüências do espectro que estejam fora dessa faixa. Cada filtro tem idealmente uma faixa de freqüências (ou faixas) na qual o módulo da amplitude é unitário (**faixa de passagem**) e a faixa de freqüências (ou faixas) na qual o módulo da transmissão é zero (**faixa de bloqueio**). A Figura 11.2 representa as características de transmissão ideal dos quatro principais tipos de filtro: **passa-baixas** (PB) na Figura 11.2(a), **passa-altas** (PA) na Figura 11.2(b), **passa-faixa** (PF), na Figura 11.2(c) e **rejeita-faixa** (RF) na Figura 11.2(d). Essas características idealizadas, em virtude de suas bordas verticais, são conhecidas como respostas tipo **barreira**.

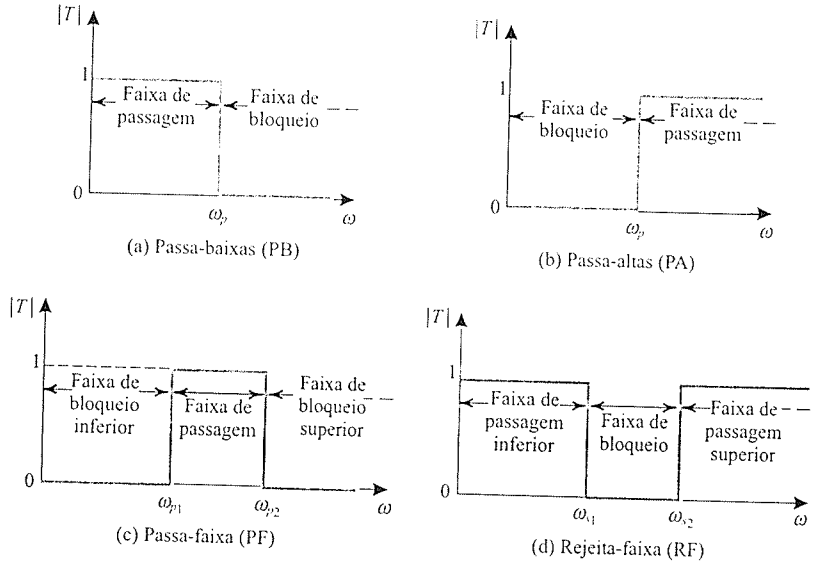


Figura 11.2 Características ideais de transmissão dos quatro tipos principais de filtros: (a) passa-baixas (PB), (b) passa-altas (PA), (c) passa-faixa (PF) e (d) rejeita-faixa (RF).

Especificação do Filtro

O processo de projeto de um filtro tem início com o usuário do filtro especificando as características de transmissão exigidas para o filtro. Essa especificação não pode ser da forma mostrada na Figura 11.2 porque os circuitos físicos não conseguem implementar essas características idealizadas. A Figura 11.3 mostra as especificações reais para as características de transmissão de um filtro passa-baixas. Na prática, veremos que um circuito físico não pode fornecer uma transmissão constante em todas as freqüências na faixa de passagem e, portanto, as especificações devem considerar um desvio de transmissão na faixa de passagem em relação à ideal zero dB, impondo

um limite, $A_{máx}$ (dB), para esse desvio. Dependendo da aplicação, a faixa de $A_{máx}$ varia tipicamente de 0,05 a 3 dB. Além disso, como um circuito físico não pode fornecer uma transmissão zero em todas as freqüências da faixa de bloqueio, as especificações na Figura 11.3 admitem também alguma transmissão na faixa de bloqueio. Contudo, as especificações requerem que os sinais na faixa de bloqueio sejam atenuados em pelo menos $A_{mín}$ (dB) em relação aos sinais da faixa de passagem. Dependendo da aplicação do filtro, $A_{mín}$ pode variar de 20 a 100 dB.

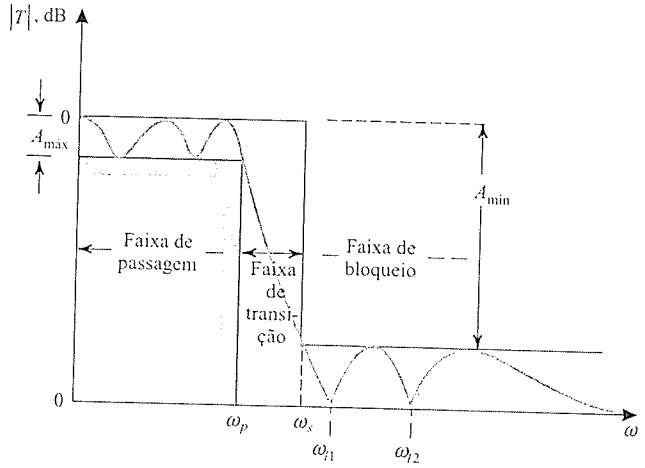


Figura 11.3 Especificação das características de transmissão do filtro passa-baixas. O módulo da resposta de um filtro que atende a essa especificação também é mostrado.

Como a transmissão de um circuito físico não pode mudar abruptamente na borda da faixa de passagem, as especificações da Figura 11.3 apresentam uma faixa de freqüências na qual a atenuação aumenta de cerca de 0 dB a $A_{mín}$. Essa **faixa de transição** se estende da borda da faixa de passagem ω_p até a borda da faixa de bloqueio ω_s. A razão de ω_s/ω_p é normalmente usada como medida da nitidez do filtro passa-baixas e é chamada de **fator de seletividade**. Finalmente, observe que, por conveniência, a transmissão na faixa de passagem é especificada como 0 dB. Contudo, o filtro final pode ter um determinado ganho na faixa de passagem, se desejado, sem alteração em suas características de seletividade.

Para resumir, a transmissão de um filtro passa-baixas é especificada por quatro parâmetros:

1. a borda da faixa de passagem, ω_p;
2. a variação máxima permitida na transmissão da faixa de passagem, $A_{máx}$;
3. a borda da faixa de bloqueio, ω_s; e
4. a atenuação mínima necessária para a faixa de bloqueio, $A_{mín}$.

Quanto mais rigorosa for a especificação de um filtro – isto é, $A_{máx}$ menor, $A_{mín}$ maior e/ou a razão de seletividade ω_s/ω_p mais próxima da unidade –, mais próxima será a resposta desse filtro da ideal. Porém, o circuito do filtro resultante deverá ser de ordem mais alta e, portanto, mais complexo e de maior custo.

Além da especificação do módulo da transmissão, há aplicações em que a resposta da fase do filtro também é de interesse. O problema do projeto do filtro, contudo, é complicado consideravelmente quando o módulo e a fase são especificados.

Uma vez decididas as especificações do filtro, o próximo passo do projeto é encontrar uma função de transferência cujo módulo satisfaça à especificação. Para satisfazer à especificação, a curva do módulo da resposta deve ficar entre as áreas sombreadas na Figura 11.3. A curva mostrada na Figura 11.3 é a de um filtro que satisfaz *exatamente* essas especificações. Observe que, para esse filtro particular, a resposta em módulo *oscila* por toda a faixa de passagem, tendo os picos das ondulações valores iguais. Como o pico da ondulação é igual a $A_{máx}$, é comum nos referirmos a $A_{máx}$ como a **ondulação da faixa de passagem** (*passband ripple*) e a ω_p como a **faixa de passagem da ondulação** (*ripple bandwidth*). A resposta desse filtro particular mostra ondulações também na faixa de bloqueio, novamente com os picos das ondulações iguais e de tal valor que a atenuação mínima obtida na faixa de bloqueio é igual ao valor especificado, $A_{mín}$. Portanto, essa resposta particular é chamada **equiondulação** (*equiripple*) para ambas as faixas, de passagem e de bloqueio.

O processo de obtenção de uma função de transferência que reúne as especificações dadas é conhecido como **aproximação do filtro**. A aproximação do filtro é geralmente feita usando um programa de computador (Snelgrove, 1982; Ouslis e Sedra, 1995) ou tabelas para projetos de filtros (Zverev, 1967). Nos casos mais simples, a aproximação do filtro pode ser feita usando expressões completamente analíticas, como será visto na Seção 11.3.

Finalmente, a Figura 11.4 mostra as especificações da transmissão para um filtro passa-faixa e a resposta de um filtro que reúne essas especificações. Para esse exemplo, escolhemos uma função de aproximação que não ondula na faixa de passagem; ao contrário, a transmissão diminui monotonicamente para ambos os lados da freqüência central, alcançando o desvio máximo permitido nas duas bordas da faixa de passagem.

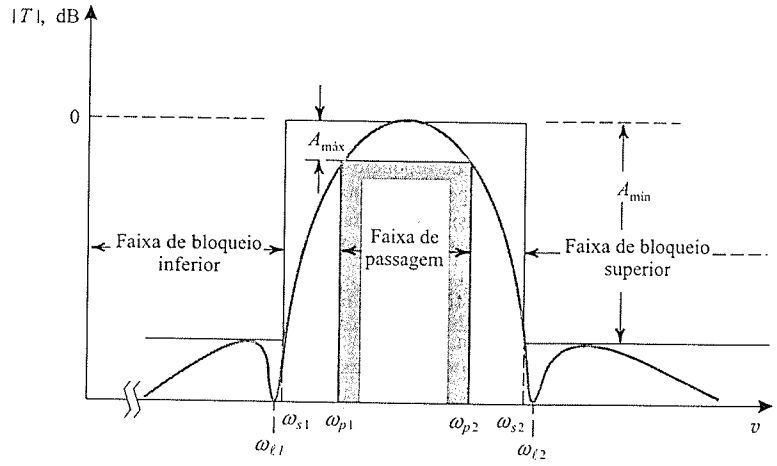


Figura 11.4 Especificação de transmissão de um filtro passa-faixa. A resposta em módulo de um filtro que atende a essas especificações também é mostrada. Observe que esse filtro possui uma transmissão com decaimento monotônico na faixa de passagem para ambos os lados em torno da freqüência central.

Exercícios

11.1 Calcule os valores aproximados da atenuação correspondente às transmissões de filtros de: 1; 0.99; 0,9; 0,8; 0,7; 0,5; 0,1; 0.

Resposta 0; 0,1; 1; 2; 3; 6; 20; ∞ (dB)

11.2 Se o módulo de transmissão da faixa de passagem deve permanecer constante dentro de ± 5% e se a transmissão na faixa de bloqueio não deve ser maior do que 1% da transmissão da faixa de passagem, calcule $A_{máx}$ e $A_{mín}$.

Resposta 0,9 dB; 40 dB

11.2 A FUNÇÃO DE TRANSFERÊNCIA DO FILTRO

A função de transferência do filtro $T(s)$ pode ser escrita como uma razão de dois polinômios como

$$T(s) = \frac{a_M s^M + a_{M-1} s^{M-1} + \cdots + a_0}{s^N + b_{N-1} s^{N-1} + \cdots + b_0} \tag{11.6}$$

O grau do denominador, N, é a **ordem do filtro**. Para o circuito do filtro ser estável, o grau do numerador deve ser menor ou igual ao do denominador; $M \leq N$. Os coeficientes do numerador e do denominador, a_0, a_1, ..., a_M e b_0, b_1, ..., b_{N-1}, são números reais. Os polinômios no numerador e no denominador podem ser fatorados e $T(s)$ pode ser expresso na forma

$$T(s) = \frac{a_M (s - z_1)(s - z_2) \cdots (s - z_M)}{(s - p_1)(s - p_2) \cdots (s - p_N)} \tag{11.7}$$

As raízes no numerador, z_1, z_2, ..., z_M, são os **zeros da função de transferência**, ou **zeros de transmissão**; e as raízes do denominador, p_1, p_2, ..., p_N, são os **pólos da função de transferência** ou os **modos naturais.**[1] Cada zero ou pólo de transmissão pode ser um número real ou complexo. Os zeros e os pólos complexos, entretanto, devem ocorrer aos pares conjugados. Portanto, se acontecer de $-1 + j2$ ser um zero, então $-1 - j2$ também será um zero.

Como na faixa de bloqueio do filtro é necessário que a transmissão seja zero ou muito pequena, os zeros de transmissão do filtro são usualmente posicionados sobre o eixo $j\omega$ nas freqüências da faixa de bloqueio. Esse é o caso para o filtro cuja função de transmissão está esboçada na Figura 11.3. Esse filtro particular pode ser visto como tendo uma atenuação infinita (transmissão zero) em duas freqüências da faixa de bloqueio: ω_{l1} e ω_{l2}. O filtro então deve ter zeros de transmissão em $s = +j\omega_{l1}$ e $s = +j\omega_{l2}$. Porém, como os zeros complexos ocorrem aos pares conjugados, deve haver também zeros de transmissão em $s = -j\omega_{l1}$ e $s = -j\omega_{l2}$. Logo, o numerador desse filtro deve ter fatores $(s + j\omega_{l1})(s - j\omega_{l1})(s + j\omega_{l2})(s - j\omega_{l2})$, que podem ser escritos como $(s^2 + \omega^2_{l1})\,(s^2 + \omega^2_{l2})$. Para $s = j\omega$ (regime permanente senoidal), o numerador torna-se $(-\omega^2 + \omega^2_{l1})\,(-\omega^2 + \omega^2_{l2})$, que é realmente zero em $\omega = \omega_{l1}$ e $\omega = \omega_{l2}$.

1. No decorrer deste capítulo, usamos os nomes *pólos* e *modos naturais* indistintamente.

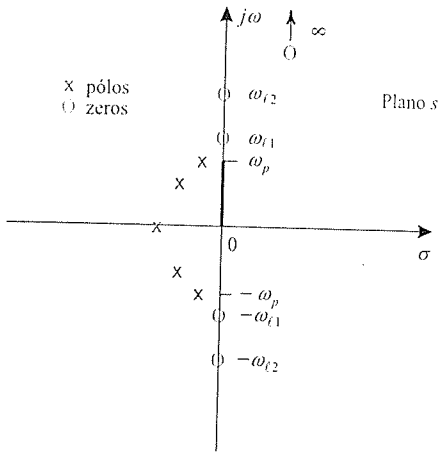


Figura 11.5 Padrão de pólos e zeros para o filtro passa-baixas cuja transmissão está representada na Figura 11.3. Esse é um filtro de quinta ordem ($N = 5$).

Continuando o exemplo da Figura 11.3, observamos que a transmissão diminui em direção a $-\infty$ à medida que ω se aproxima de ∞. Portanto, o filtro deve ter um ou mais zeros de transmissão em $s = \infty$. Em geral, o número de zeros de transmissão em $s = \infty$ é a diferença entre o grau do polinômio do numerador, M, e o grau do polinômio do denominador, N, da função de transferência da Equação 11.6. Isso porque, como s se aproxima de ∞, $T(s)$ se aproxima de a_M/s^{N-M} e então é dito ter $N - M$ zeros em $s = \infty$.

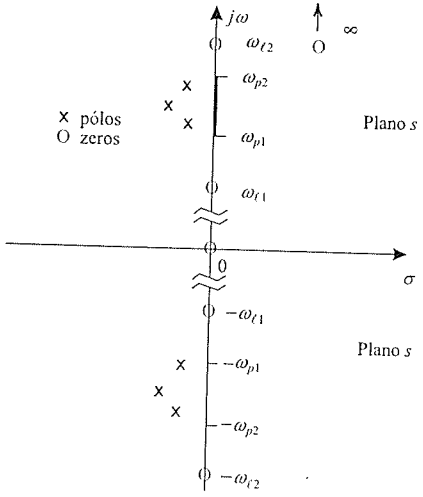


Figura 11.6 Padrão de pólos e zeros para o filtro passa-faixa cuja transmissão está representada na Figura 11.4. Esse é um filtro de sexta ordem ($N = 6$).

Para um circuito de filtro ser estável, todos os seus pólos devem estar à direita do plano s e, portanto, $p_1, p_2, \ldots, p_N$ devem todos ter partes reais negativas. A Figura 11.5 mostra as posições típicas dos zeros e dos pólos para um filtro passa-baixas cuja função de transmissão está representada na Figura 11.3. Estamos assumindo que esse filtro seja de quinta ordem ($N = 5$). Ele tem dois pares de pólos conjugados complexos e um pólo no eixo real, com um total de cinco pólos. Todos os pólos estão na vizinhança da faixa de passagem, o que dá ao filtro uma alta transmissão nas freqüências da faixa de passagem. Os cinco zeros de transmissão estão em $s = \pm j\omega_{t1}$, $s = \pm j\omega_{t2}$ e $s = \infty$. Portanto, a função de transferência para esse filtro é da forma

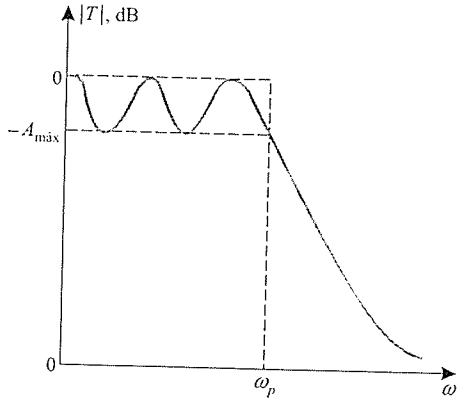
$$T(s) = \frac{a_4(s^2 + \omega_{t1}^2)(s^2 + \omega_{t2}^2)}{s^5 + b_4 s^4 + b_3 s^3 + b_2 s^2 + b_1 s + b_0} \tag{11.8}$$

Como outro exemplo, considere o filtro passa-faixa cuja resposta em módulo está mostrada na Figura 11.4. Esse filtro tem zeros de transmissão em $s = \pm j\omega_{t1}$ e $s = \pm j\omega_{t2}$. Ele tem um ou mais zeros em $s = 0$ e um ou mais zeros em $s = \infty$ (porque a atenuação diminui em direção ao $-\infty$ à medida que ω se aproxima de 0 e do ∞). Supondo que haja apenas um zero em cada $s = 0$ e $s = \infty$, o filtro deve ser de sexta ordem e sua função de transferência toma a forma

$$T(s) = \frac{a_5 s(s^2 + \omega_{t1}^2)(s^2 + \omega_{t2}^2)}{s^6 + b_5 s^5 + \cdots + b_0} \tag{11.9}$$

Um diagrama típico de pólos e zeros para tal filtro está mostrado na Figura 11.6.

Como terceiro e último exemplo, considere o filtro passa-baixas cuja função transmissão está representada na Figura 11.7(a).



(a)

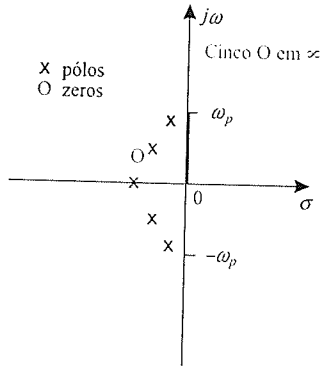


Figura 11.7 (a) Características de transmissão de um filtro passa-baixas de quinta ordem, tendo todos os seus zeros de transmissão no infinito. (b) Padrão de pólos e zeros para o filtro do item (a).

Observamos que, nesse caso, não há valores finitos de ω em que a atenuação é infinita (transmissão zero). Portanto, é possível que todos os zeros de transmissão desse filtro estejam em $s = \infty$. Se esse for o caso, a função de transferência do filtro tem a forma

$$T(s) = \frac{a_M}{s^N + b_{N-1}s^{N-1} + \cdots + b_0} \tag{11.10}$$

Esse filtro é conhecido como **filtro somente de pólos**. As posições típicas dos pólos e zeros para um filtro passa-baixas de quinta ordem desse tipo estão mostradas na Figura 11.7(b).

Quase todos os filtros estudados neste capítulo têm todos os seus zeros de transmissão sobre o eixo $j\omega$, na(s) faixa(s) de bloqueio do filtro, incluindo $\omega = 0$ e $\omega = \infty$.[2] Além disso, para obter uma alta seletividade, todos os modos naturais serão conjugados complexos (exceto para o caso de filtros de ordem ímpar nos quais um modo natural deve estar sobre o eixo real). Finalmente, observamos que, quanto mais seletiva a resposta do filtro, maior deve ser a ordem e mais próximos do eixo $j\omega$ os modos naturais devem estar.

Exercícios

11.3 Um filtro de segunda ordem tem seus pólos em $s = -(1/2) \pm j(\sqrt{3}/2)$. A transmissão é zero em $\omega = 2$ rad/s e é unitária em *cc* ($\omega = 0$). Calcule a função de transferência.

Resposta $T(s) = \frac{1}{4}\frac{s^2+4}{s^2+s+1}$

11.4 Um filtro de quarta ordem tem zero de transmissão em $\omega = 0$, $\omega = 2$ rad/s e $\omega = \infty$. Os modos naturais são $-0{,}1 \pm j0{,}8$ e $-0{,}1 \pm j1{,}2$. Calcule $T(s)$.

Resposta $T(s) = \frac{a_3\, s(s^2+4)}{(s^2+0{,}2s+0{,}65)(s^2+0{,}2s+1{,}45)}$

11.5 Calcule a função de transferência $T(s)$ de um filtro passa-baixas de terceira ordem somente de pólos que estão em uma distância radial de 1 rad/s da origem e cujos pólos complexos estão em ângulos de 30° com o eixo $j\omega$. O ganho *cc* é unitário. Mostre que $|T(j\omega)| = 1/\sqrt{1+\omega^6}$. Calcule ω_{3dB} e a atenuação em $\omega = 3$ rad/s.

Resposta $T(s) = 1/(s+1)(s^2+s+1)$; 1 rad/s; 28,6 dB

11.3 FILTROS BUTTERWORTH E CHEBYSHEV

Nesta seção apresentaremos duas funções que são freqüentemente usadas na aproximação das características de transmissão do filtro passa-baixas. Essas funções têm como vantagem o fato de expressões completamente analíticas estarem disponíveis com seus parâmetros. Portanto, podem ser usadas no projeto de filtros sem a necessidade de computadores ou tabelas. Sua utilidade, porém, é limitada a aplicações relativamente simples.

2. Obviamente, um filtro passa-baixas *não* deve ter transmissão zero em $\omega = 0$ e, de modo similar, um filtro passa-altas não deve ter transmissão zero em $\omega = \infty$.

Apesar de discutirmos nesta seção apenas o projeto de filtros passa-baixas, as funções de aproximação apresentadas podem ser aplicadas para o projeto de outros tipos através do uso das transformações de freqüência (veja Sedra e Brackett, 1978).

O Filtro Butterworth

A Figura 11.8 mostra um esboço da resposta em módulo de um filtro Butterworth.[3] Esse filtro exibe uma diminuição monotônica na transmissão com todos os zeros de transmissão em $\omega = \infty$, tornando-o um filtro somente de pólos. A função de módulo para um filtro Butterworth de n-ésima ordem, com a borda da faixa de passagem, ω_p, é dada por

$$|T(j\omega)| = \frac{1}{\sqrt{1+\epsilon^2\left(\frac{\omega}{\omega_p}\right)^{2N}}} \tag{11.11}$$

Em $\omega = \omega_p$,

$$|T(j\omega_p)| = \frac{1}{\sqrt{1+\epsilon^2}} \tag{11.12}$$

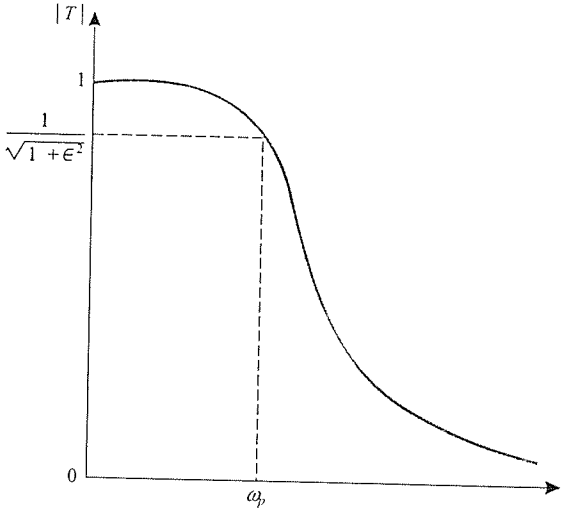


Figura 11.8 A resposta em módulo de um filtro Butterworth.

3. A aproximação do filtro tem esse nome devido ao Sr. Butterworth, engenheiro britânico que, em 1930, foi um dos primeiros a usar tais filtros.

Portanto, o parâmetro ϵ determina a variação máxima da transmissão na faixa de passagem, $A_{máx}$, de acordo com

$$A_{máx} = 20\log\sqrt{1+\epsilon^2} \tag{11.13}$$

E, de modo inverso, dado $A_{máx}$, o valor de ϵ pode ser determinado por

$$\epsilon = \sqrt{10^{A_{máx}/10} - 1} \tag{11.14}$$

Observe que, na resposta do filtro Butterworth, o desvio (do valor ideal unitário) máximo da transmissão na faixa de passagem ocorre apenas na borda dessa faixa de passagem. Pode ser mostrado que as primeiras $2N - 1$ derivadas de $|T|$ em relação a ω são zeros em $\omega = 0$ (veja Van Valkenburg, 1980). Essa propriedade torna a resposta de Butterworth muito plana e igual ao valor máximo na região próxima de $\omega = 0$, e dá origem ao nome de resposta **maximamente plana**. O grau de planicidade da faixa de passagem aumenta à medida que a ordem N aumenta, conforme pode ser visto na Figura 11.9. Essa figura indica também que, como deveria ser esperado, à medida que a ordem N aumenta, a resposta do filtro se aproxima da resposta abrupta do tipo ideal.

Na borda da faixa de passagem, $\omega = \omega_s$, a atenuação do filtro Butterworth é dada por

$$\begin{aligned} A(\omega_s) &= -20\log\left[1\Big/\sqrt{1+\epsilon^2(\omega_s/\omega_p)^{2N}}\right] \\ &= 10\log\left[1+\epsilon^2(\omega_s/\omega_p)^{2N}\right] \end{aligned} \tag{11.15}$$

Essa equação pode ser usada para determinar a ordem do filtro requisitada, que é o menor valor inteiro de N que produz $A(\omega_s) \geq A_{mín}$.

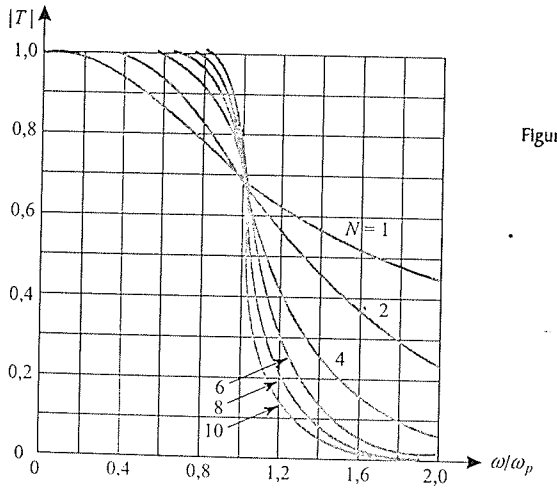


Figura 11.9 Resposta em módulo para filtros Butterworth de várias ordens com $\epsilon = 1$. Observe que, à medida que a ordem aumenta, a resposta se aproxima da transmissão ideal do tipo abrupta.

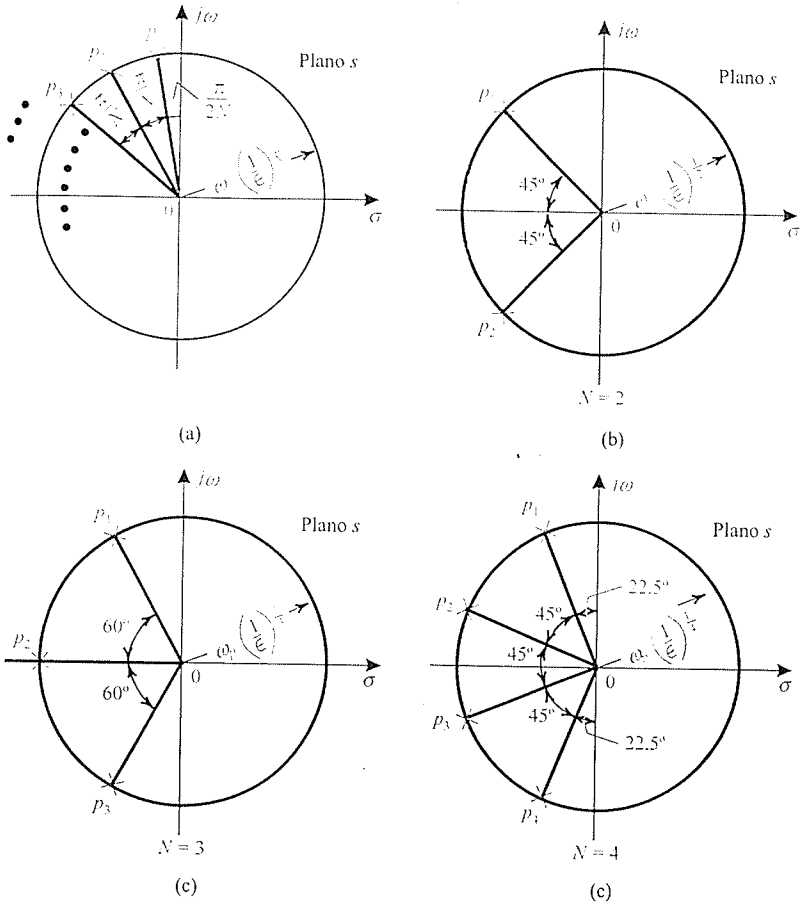


Figura 11.10 Construção gráfica para determinação dos pólos de um filtro Butterworth de ordem N. Todos os pólos localizam-se na metade esquerda do plano s sobre um círculo de raio $\omega_0 = \omega_p(1/\epsilon)^{1/N}$, em que ϵ é o parâmetro de desvio da faixa de passagem $\left(\epsilon = \sqrt{10^{A_{máx}/10} - 1}\right)$: **(a)** caso geral, **(b)** $N = 2$, (c) $N = 3$, **(d)** $N = 4$.

Os modos naturais de um filtro Butterworth de ordem N podem ser agora determinados pela construção gráfica mostrada na Figura 11.10(a). Observe que os modos naturais recaem sobre o círculo de raio $\omega_p(1/\epsilon)^{1/N}$ e são espaçados por ângulos iguais de π/N, com o primeiro modo em um ângulo $\pi/2N$ em relação ao eixo de $+j\omega$. Como todos os modos naturais têm distâncias radiais iguais, a partir da origem todos têm as mesmas freqüências $\omega_0 = \omega_p\,(1/\epsilon)^{1/N}$. As Figuras 11.10(b), (c) e (d) mostram os modos naturais dos filtros Butterworth de ordem $N = 2$, 3 e 4, respectivamente. Uma vez encontrados os N modos naturais $p_1, p_2, \ldots, p_N$, a função de transferência pode ser escrita como

$$T(s) = \frac{K\omega_0^N}{(s-p_1)(s-p_2)\cdots(s-p_N)} \tag{11.16}$$

em que K é uma constante igual ao ganho cc do filtro.

Resumindo, para calcular a função de transferência de Butterworth que possui as especificações de transmissão na forma da Figura 11.3, executamos os seguintes procedimentos:

1. Determine ϵ pela Equação 11.14.
2. Use a Equação 11.15 para determinar a ordem do filtro como o menor valor inteiro de N que resulta em $A(\omega_s) \geq A_{\text{mín}}$.
3. Use a Figura 11.10(a) para determinar os N modos naturais.
4. Use a Equação 11.16 para determinar $T(s)$.

EXEMPLO 11.1

Calcule a função de transferência do filtro Butterworth que atende às seguintes especificações para um filtro passa-baixas: $f_P = 10$ kHz, $A_{\text{máx}} = 1$ dB, $f_s = 15$ kHz, $A_{\text{mín}} = 25$ dB, ganho $cc = 1$.

SOLUÇÃO

Substituindo $A_{\text{máx}} = 1$ dB na Equação 11.14, obtemos $\varepsilon = 0{,}5088$. A Equação 11.15 é então usada para determinar a ordem do filtro por tentativas de vários valores de N. Encontramos que $N = 8$ produz $A(\omega_s) = 22{,}3$ dB e $N = 9$ fornece 25,8 dB. Escolhemos, portanto, $N = 9$.

A Figura 11.11 mostra a construção gráfica para a determinação dos pólos. Todos os pólos têm a mesma freqüência $\omega_0 = \omega_p(1/\epsilon)^{1/N} = 2\pi \times 10 \times 10^3\ (1/0{,}5088)^{1/9} = 6{,}773 \times 10^4$ rad/s. O primeiro pólo p_1 é dado por

$$p_1 = \omega_0(-\cos 80° + j\,\text{sen}\,80°) = \omega_0(-0{,}1736 + j0{,}9848)$$

Combinando p_1 com seu conjugado complexo p_9, obtemos o fator $(s^2 + s\,0{,}3472\,\omega_0 + \omega_0^2)$ no denominador da função de transferência. O mesmo pode ser feito com os outros pólos complexos e a função de transferência completa pode ser obtida usando a Equação 11.16,

$$T(s) = \frac{\omega_0^9}{(s+\omega_0)(s^2 + s1{,}8794\,\omega_0 + \omega_0^2)(s^2 + s1{,}5321\,\omega_0 + \omega_0^2)} \times \frac{1}{(s^2 + s\omega_0 + \omega_0^2)(s^2 + s\,0{,}3472\,\omega_0 + \omega_0^2)} \tag{11.17}$$

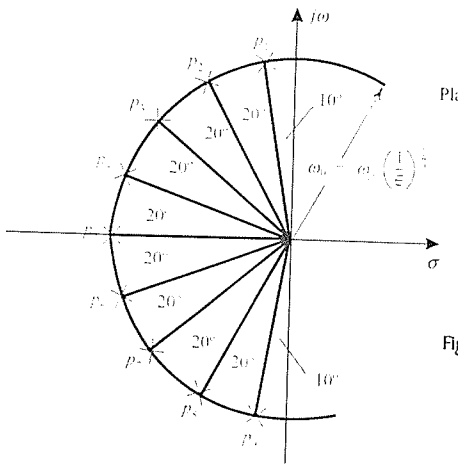


Figura 11.11 Pólos do filtro Butterworth de nona ordem do Exemplo 11.1.

O Filtro Chebyshev

A Figura 11.12 mostra funções de transmissão representativas para os filtros Chebyshev[4] de ordens par e ímpar. O filtro Chebyshev exibe uma resposta de equiondulação (equiripple) na faixa de passagem e uma diminuição monotônica da transmissão na faixa de bloqueio. Enquanto o filtro de ordem ímpar possuir $|T(0)| = 1$, o filtro de ordem par exibirá seu desvio máximo de módulo em $\omega = 0$. Em ambos os casos, o número total de valores máximos e mínimos da faixa de passagem é igual à ordem N do filtro. Todos os zeros de transmissão dos filtros Chebyshev são em $\omega = \infty$, fazendo com que ele se torne um filtro somente de pólos.

O módulo da amplitude da função de transferência de um filtro Chebyshev de n-ésima ordem com uma borda da faixa de passagem ω_p é dado por

$$|T(j\omega)| = \frac{1}{\sqrt{1+\epsilon^2\cos^2\left[N\cos^{-1}(\omega/\omega_p)\right]}} \quad \text{para } \omega \leq \omega_p \tag{11.18}$$

e

$$|T(j\omega)| = \frac{1}{\sqrt{1+\epsilon^2\cosh^2\left[N\cosh^{-1}(\omega/\omega_p)\right]}} \quad \text{para } \omega \geq \omega_p \tag{11.19}$$

Na borda da faixa de passagem, $\omega = \omega_p$, a função módulo é dada por

$$|T(j\omega_p)| = \frac{1}{\sqrt{1+\epsilon^2}}$$

4. Esse nome foi dado depois que o matemático russo P. L. Chebyshev, em 1899, usou essas funções no estudo da construção de máquinas a vapor.

Exercícios

P11.6 Determine a ordem N de um filtro Butterworth cuja $A_{máx} = 1$ dB, $\omega_s/\omega_p = 1,5$ e $A_{mín} = 30$ dB. Qual o valor real da atenuação mínima possível para a faixa de bloqueio? Se $A_{mín}$ deve ser exatamente 30 dB, $A_{máx}$ deve se reduzir para que valor?

Resposta $N = 11$; $A_{mín} = 32,87$ dB; 0,54 dB

11.7 Calcule os modos naturais e a função de transferência de um filtro Butterworth com $\omega_p = 1$ rad/s, $A_{máx} = 3$ dB ($\epsilon = 1$) e $N = 3$.

Resposta $-0,5 \pm j\sqrt{3}/2$ e -1; $T(s) = 1/(s + 1)(s^2 + s + 1)$

11.8 Observe que a Equação 11.18 pode ser usada para calcular as freqüências na faixa de passagem em que $|T|$ está em seus picos e em seus vales. (Os picos são atingidos quando o termo $\cos^2[\ ]$ for igual a zero e os vales correspondem ao termo $\cos^2[\ ]$ igual à unidade.) Calcule essas freqüências para um filtro de quinta ordem.

Resposta Os picos em $\omega = 0$, 0,59 ω_p e 0,95 ω_p; os vales em $\omega = 0,31$ ω_p e 0.81 ω_p

P11.9 Calcule a atenuação que ocorre em $\omega = 2\omega_p$ pelo filtro Chebyshev de sétima ordem com uma ondulação de 0,5 dB na faixa de passagem. Se a ondulação na faixa de passagem for aumentada em 1 dB, qual será o aumento da atenuação na faixa de bloqueio?

Resposta 64,9 dB; 3,3 dB

P11.10 Necessita-se projetar um filtro passa-baixas tendo $f_p = 1$ kHz, $A_{máx} = 1$ dB, $f_s = 1,5$ kHz, $A_{mín} = 50$ dB. (a) Calcule a ordem necessária do filtro Chebyshev. Qual o excesso obtido na atenuação na faixa de bloqueio? (b) Repita para um filtro Butterworth.

Resposta (a) $N = 8$ e 5 dB; (b) $N = 16$ e 0,5 dB

11.4 FUNÇÕES DOS FILTROS DE PRIMEIRA E DE SEGUNDA ORDENS

Nesta seção estudaremos as funções de transferência mais simples dos filtros, aquelas de primeira e de segunda ordens. Essas funções são úteis no projeto de filtros simples. Os filtros de primeira e de segunda ordens podem ser ligados em cascata para obter filtros de ordens mais altas. O projeto em cascata é, realmente, um dos métodos mais populares para o projeto de filtros ativos (os que utilizam circuitos RC e amp ops). Pelo fato de os pólos do filtro acontecerem aos pares conjugados complexos, uma função de transferência de alta ordem $T(s)$ é fatorada em produtos das funções de segunda ordem. Se $T(s)$ for ímpar, deve haver também uma função de primeira ordem na fatoração. Cada uma das funções de segunda ordem (e a função de primeira ordem no caso de $T(s)$ ser ímpar) é então obtida usando-se um circuito RC com um amp op, que será estudado neste capítulo, e os blocos resultantes são ligados em cascata. Se a saída de cada bloco for tomada como a saída terminal de um amp op, na qual o nível da impedância é baixo (idealmente, zero), ligar em cascata não muda as funções de transferências dos blocos individuais. Logo, a função de transferência total da cascata é simplesmente o produto das funções de transferências dos blocos individuais, que é a original $T(s)$.

Os Filtros de Primeira Ordem

A função de transferência de primeira ordem geral é dada por

$$T(s) = \frac{a_1 s + a_0}{s + \omega_0} \tag{11.26}$$

Essa **função de transferência bilinear** caracteriza um filtro de primeira ordem com um modo natural em $s = -\omega_0$, um zero de transmissão em $s = -a_0/a_1$ e um ganho para altas freqüências próximo de a_1. Os coeficientes do numerador, a_0 e a_1, determinam o tipo do filtro (por exemplo, passa-baixas, passa-altas etc.).

Alguns casos especiais juntamente com realizações passivas (RC) e ativas (RC mais amp op) estão mostrados na Figura 11.13. Observe que os filtros ativos são consideravelmente mais versáteis do que seus correspondentes passivos; em muitos casos, o ganho pode ser projetado para um valor desejado e alguns parâmetros da função de transferência podem ser ajustados sem que outros sejam afetados.

A impedância de saída do circuito ativo é também muito baixa, possibilitando a ligação em cascata. O amp op, contudo, limita a operação em altas freqüências dos circuitos ativos.

Um outro tipo especial e importante de filtro de primeira ordem é o **filtro passa-todas**, mostrado na Figura 11.14. Nessa figura, o zero de transmissão e o modo natural são posicionados simetricamente em relação ao eixo $j\omega$. (Dizemos que eles apresentam uma simetria de imagem especular em relação ao eixo $j\omega$.) Observe que, embora a transmissão do filtro passa-todas seja (idealmente) constante em todas as freqüências, sua fase mostra uma seletividade em freqüência. Os filtros passa-todas são usados como deslocadores de fase em sistemas que necessitam condicionar a fase (por exemplo, no projeto de circuitos chamados *equalizadores de atraso*, que fazem com que o tempo de atraso total de um sistema de transmissão seja constante, independentemente da freqüência).

Exercícios

P11.11 Usando $R_1 = 10$ kΩ, projete o circuito RC–amp op da Figura 11.13(b) para obter um filtro passa-altas com uma freqüência de corte de 10^4 rad/s e um ganho em alta freqüência de 10.

Resposta $R_2 = 100$ kΩ e $C = 0,01$ μF

P11.12 Projete o circuito RC–amp op da Figura 11.14 para obter um filtro passa-todas com um deslocamento de fase de 90° em 10^3 rad/s. Escolha valores apropriados para os componentes.

Resposta Uma escolha possível: $R = R_1 = R_2 = 10$ kΩ, $C = 0,1$ μF

As Funções de Filtro de Segunda Ordem

A função de transferência geral do filtro de segunda ordem ou **biquadrático** é usualmente expressa na forma-padrão

$$T(s) = \frac{a_2 s^2 + a_1 s + a_0}{s^2 + (\omega_0/Q)s + \omega_0^2} \tag{11.27}$$

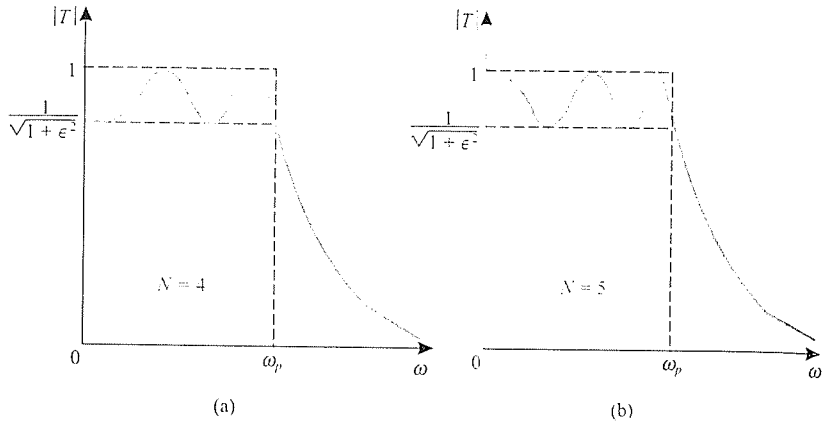


Figura 11.12 Representação das características de transmissão de filtros representativos de Chebyshev de ordem par e ímpar.

Portanto, o parâmetro ε determina a ondulação da faixa de passagem de acordo com

$$A_{máx} = 10\log(1+\varepsilon^2) \tag{11.20}$$

De modo inverso, dado o valor de $A_{máx}$, o valor de ε é determinado por

$$\varepsilon = \sqrt{10^{A_{máx}/10} - 1} \tag{11.21}$$

A atenuação obtida pelo filtro Chebyshev na borda da faixa de bloqueio ($\omega = \omega_s$) é calculada usando-se a Equação 11.19, como

$$A(\omega_s) = 10\log\left[1+\varepsilon^2\cosh^2(N\cosh^{-1}(\omega_s/\omega_p))\right] \tag{11.22}$$

Com o auxílio de uma calculadora, essa equação pode ser usada para determinar a ordem N necessária para se obter $A_{mín}$ pelo cálculo do menor valor inteiro de N que produz $A(\omega_s) \geq A_{mín}$. Como no caso do filtro Butterworth, aumentar a ordem N do filtro Chebyshev faz com que a função de módulo se aproxime do passa-baixas ideal.

Os pólos do filtro Chebyshev são dados por

$$p_k = -\omega_p \operatorname{sen}\left(\frac{2k-1}{N}\frac{\pi}{2}\right)\operatorname{senh}\left(\frac{1}{N}\operatorname{senh}^{-1}\frac{1}{\varepsilon}\right) + j\omega_p \cos\left(\frac{2k-1}{N}\frac{\pi}{2}\right)\cosh\left(\frac{1}{N}\operatorname{senh}^{-1}\frac{1}{\varepsilon}\right) \quad k = 1, 2, \ldots, N \tag{11.23}$$

Finalmente, a função de transferência do filtro Chebyshev pode ser escrita como

$$T(s) = \frac{K\omega_p^N}{\varepsilon 2^{N-1}(s-p_1)(s-p_2)\cdots(s-p_N)} \tag{11.24}$$

em que K é o ganho cc que o filtro precisa ter.

Resumindo, dadas as especificações de transmissão de um passa-baixas do tipo mostrado na Figura 11.3, a função de transferência de um filtro Chebyshev que atende a essas especificações pode ser calculada como segue:

1. Determine ϵ pela Equação 11.21.
2. Use a Equação 11.22 para determinar a ordem necessária.
3. Determine os pólos usando a Equação 11.23.
4. Determine a função de transferência usando a Equação 11.24.

O filtro Chebyshev proporciona uma aproximação mais eficiente do que o filtro Butterworth. Logo, para a mesma ordem e para o mesmo $A_{máx}$, o filtro Chebyshev proporciona uma maior atenuação para a faixa de bloqueio do que o filtro Butterworth. Esse ponto será ilustrado pelo seguinte exemplo.

EXEMPLO 11.2

Calcule a função de transferência de Chebyshev que tem as mesmas especificações do filtro passa-baixas dado no Exemplo 11.1; ou seja, f_P = 10 kHz, $A_{máx}$ = 1 dB, f_s = 15 kHz, $A_{mín}$ = 25 dB e o ganho cc = 1.

SOLUÇÃO

Substituindo $A_{máx}$ = 1 dB na Equação 11.21, obtemos ε = 0,5088. Pela tentativa de vários valores para N na Equação 11.22, encontramos que N = 4 produz $A(\omega_s)$ = 21,6 dB e N = 5 produz 29,9 dB. Escolhemos, portanto, N = 5. Lembre-se de que necessitamos de um filtro Butterworth de nona ordem que tenha as mesmas especificações do Exemplo 11.1.

Os pólos são obtidos pela substituição na Equação 11.23 como

$$p_1, p_5 = \omega_p(-0{,}0895 \pm j0{,}9901)$$
$$p_2, p_4 = \omega_p(-0{,}2342 \pm j0{,}6119)$$
$$p_5 = \omega_p(-0{,}2895)$$

A função de transferência é obtida pela substituição desses valores na Equação 11.24 como

$$T(s) = \frac{\omega_p^5}{8{,}1408\,(s+0{,}2895\omega_p)(s^2+s0{,}4684\omega_p+0{,}4293\omega_p^2)} \times \frac{1}{s^2+s0{,}1789\omega_p+0{,}9883\omega_p^2} \tag{11.25}$$

em que $\omega_p = 2\pi \times 10^4$ rad/s.

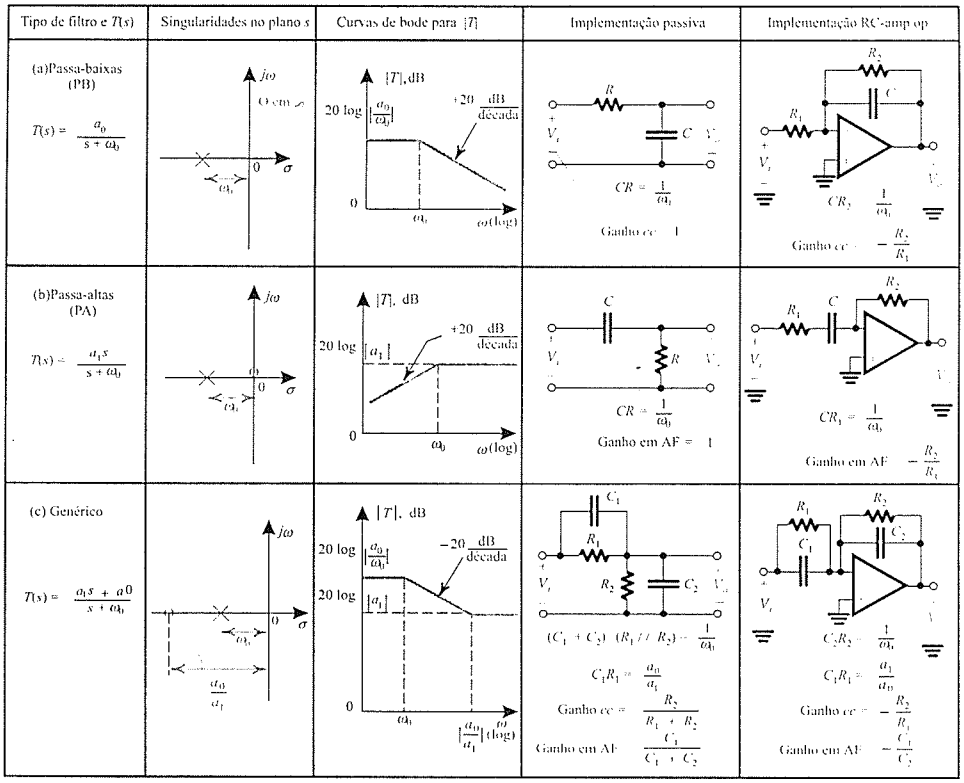


Figura 11.13 Filtros de primeira ordem.

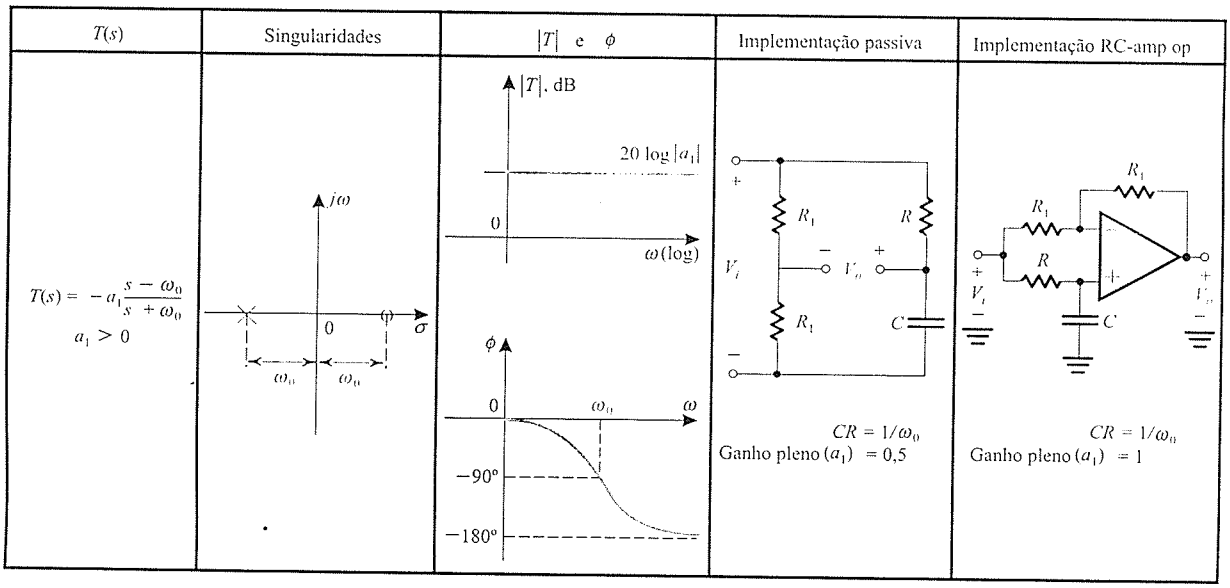


Figura 11.14 Filtro passa-todas de primeira ordem.

em que ω_0 e Q determinam os modos naturais (pólos) de acordo com

$$p_1, p_2 = -\frac{\omega_0}{2Q} \pm j\omega_0\sqrt{1-(1/4Q^2)} \tag{11.28}$$

Geralmente, interessamo-nos pelo caso dos modos naturais dos conjugados complexos obtidos para $Q > 0{,}5$. A Figura 11.15 mostra a posição do par de pólos conjugados complexos no plano s. Observe que a distância radial dos modos naturais (a partir da origem) é igual a ω_0, que é conhecida como **freqüência do pólo**. O parâmetro Q determina a distância dos pólos no eixo $j\omega$: quanto maior o valor de Q, mais próximos os pólos estão do eixo $j\omega$ e mais seletiva se torna a resposta do filtro. Um valor infinito de Q posiciona os pólos sobre o eixo $j\omega$ e pode produzir oscilações sustentadas no circuito prático. Um valor negativo de Q significa que os pólos estão à direita do plano s, o que certamente produz oscilações. O parâmetro Q é denominado **fator de qualidade do pólo** ou, simplesmente, **Q do pólo**.

Os zeros da transmissão do filtro de segunda ordem são determinados pelos coeficientes do numerador, a_0, a_1 e a_2. Isso significa que os coeficientes do numerador determinam o tipo da função do filtro de segunda ordem (por exemplo, PB, PA etc.). Os sete casos de especial interesse estão ilustrados na Figura 11.16. Para cada caso, são dados a função de transferência, as localizações das singularidades (pólos e zeros) no plano s da função de transferência simples e o módulo da resposta. A obtenção de circuitos para as várias funções de filtro de segunda ordem será dada nas seções subseqüentes.

Todos os sete filtros de segunda ordem especiais têm um par de modos naturais conjugados complexos caracterizados pela freqüência ω_0 e pelo fator Q.

No caso do passa-baixas (PB), mostrado na Figura 11.16(a), os dois zeros de transmissão estão em $s = \infty$. O módulo da resposta pode exibir um pico com os detalhes indicados. Pode ser mostrado que o pico ocorre apenas para $Q > 1/\sqrt{2}$. A resposta obtida para $Q = 1/\sqrt{2}$ é a resposta de Butterworth maximamente plana.

A função passa-altas (PA) mostrada na Figura 11.16(b) tem seus dois zeros de transmissão em $s = 0$ (*cc*). O módulo da resposta mostra um pico para $Q > 1/\sqrt{2}$, com os detalhes da resposta conforme indicado. Observe a dualidade entre as respostas do PB e do PA.

Considere a seguir a função de filtro passa-faixa mostrada na Figura 11.16(c). Nessa figura, um zero da transmissão é em $s = 0$ (*cc*) e o outro em $s = \infty$. O pico do módulo da resposta está em $\omega = \omega_0$. Portanto, a **freqüência central** do filtro passa-faixa é igual à freqüência do pólo ω_0. A seletividade do filtro passa-faixa de segunda ordem é medida normalmente por sua *faixa de passagem* a 3 dB.

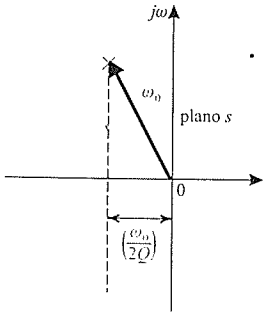


Figura 11.15 Definição dos parâmetros ω_0 e Q de um par de pólos conjugados complexos.

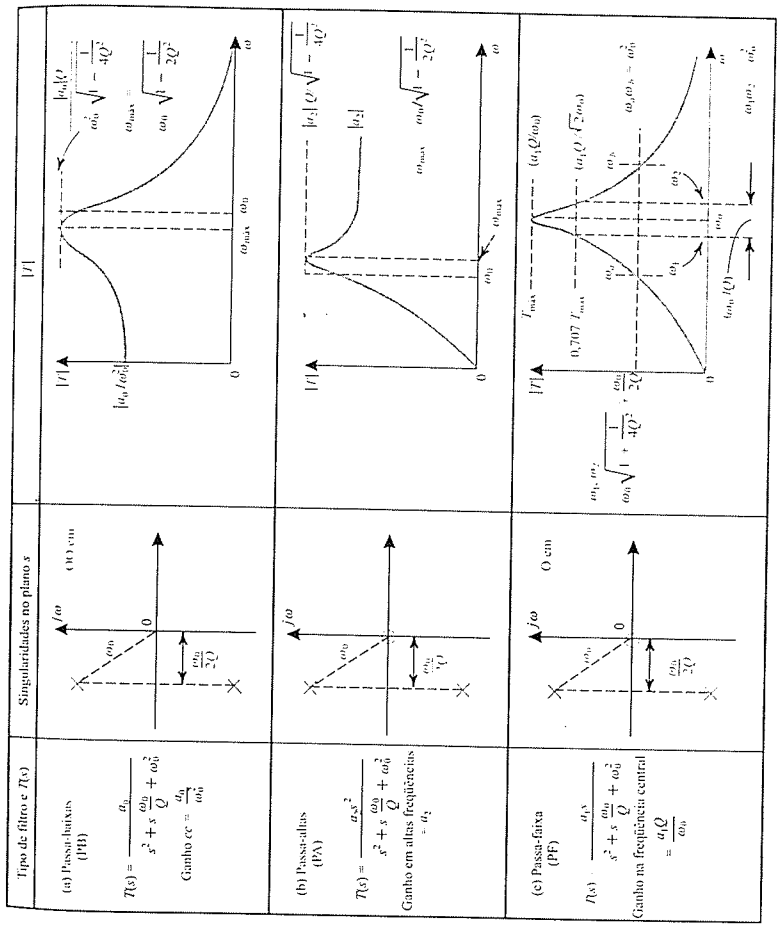


Figura 11.16 Funções de filtros de segunda ordem.

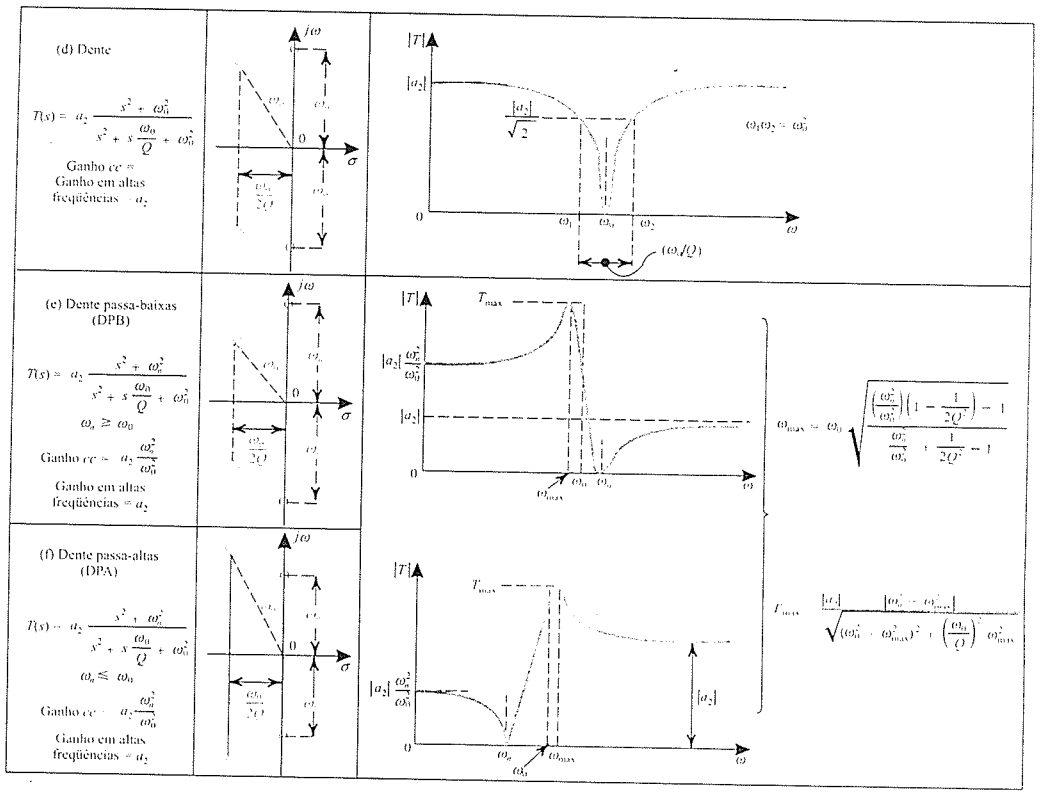


Figura 11.16 (*Continuação.*)

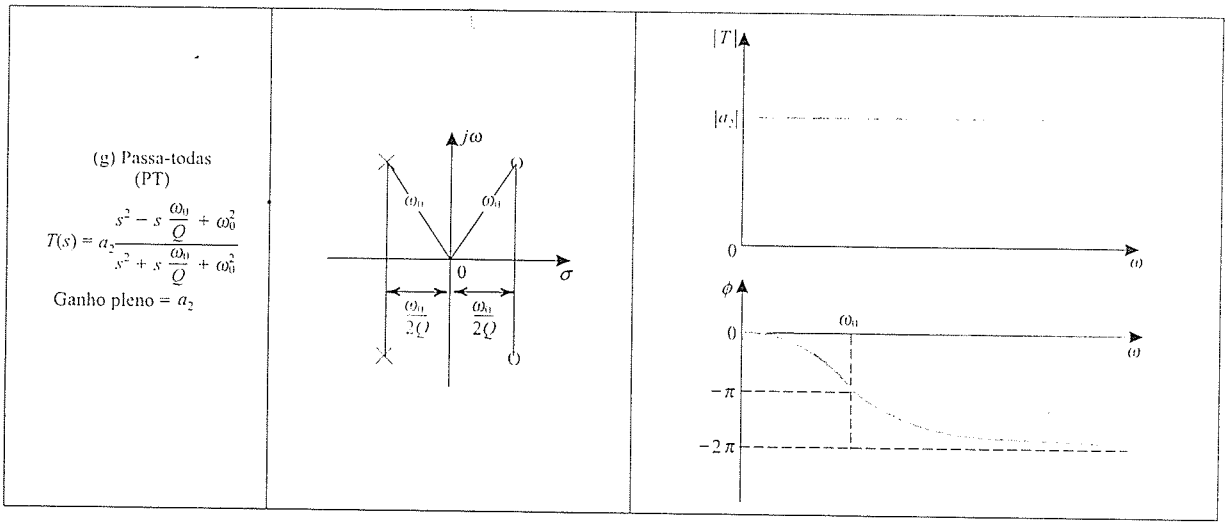


Figura 11.16 (*Continuação.*)

Ela é a diferença entre as duas freqüências ω_1 e ω_2 em que o módulo da resposta está 3 dB abaixo de seu valor máximo (em ω_0). Pode ser mostrado que

$$\omega_1, \omega_2 = \omega_0\sqrt{1+(1/4Q^2)} \pm \frac{\omega_0}{2Q} \tag{11.29}$$

Portanto,

$$BW \equiv \omega_2 - \omega_1 = \omega_0/Q \tag{11.30}$$

Observe que, à medida que Q aumenta, a faixa de passagem diminui e o filtro passa-faixa se torna mais seletivo.

Se os zeros de transmissão forem posicionados sobre o eixo $j\omega$, nas posições dos conjugados complexos $\pm j\omega_n$, então o módulo da resposta exibe o zero de transmissão em $\omega = \omega_n$. Portanto, ocorre um **dente** (*notch*) no módulo da resposta em $\omega = \omega_n$, e ω_n é conhecido como **freqüência de dente**. São possíveis três casos para o dente no filtro de segunda ordem: o dente regular, obtido quando $\omega_n = \omega_0$ (Figura 11.16(d)); o dente passa-baixas, quando $\omega_n > \omega_0$ (Figura 11.16(e)); e o dente passa-altas, obtido quando $\omega_n < \omega_0$ (Figura 11.16(f)). Aconselhamos ao leitor verificar os detalhes das respostas dadas nessas figuras (ainda que seja uma tarefa tediosa!). Observe que, em todos os casos do dente, a transmissão em *cc* e em $s = \infty$ é finita. Isso porque não há zeros de transmissão nem em $s = 0$ nem em $s = \infty$.

O último caso especial de interesse é o filtro passa-todas cujas características estão ilustradas na Figura 11.16(g). Nessa figura, os dois zeros de transmissão estão à direita do plano s, nas posições das imagens especulares dos pólos. (Esse é o caso para as funções passa-todas de qualquer ordem.) O módulo da resposta da função passa-todas é constante para todas as freqüências; o **ganho no plano** (*flat gain*), conforme é chamado, nesse é caso igual a $|a_2|$. A seletividade em freqüência de função passa-todas está em sua resposta de fase.

Exercícios

11.13 Para máxima planicidade do filtro passa-baixas de segunda ordem ($Q = 1/\sqrt{2}$), mostre que em $\omega = \omega_0$ o módulo da resposta está 3 dB abaixo do valor em *cc*.

11.14 Dê a função de transferência de um filtro passa-faixa de segunda ordem com uma freqüência central de 10^5 rad/s, um ganho na freqüência central de 10 e uma faixa de passagem a 3 dB de 10^3 rad/s.

Resposta $T(s) = 10^4 s/(s^2 + 10^3 s + 10^{10})$

11.15 (a) Para a função de dente de segunda ordem com $\omega_n = \omega_0$, mostre que, para a atenuação ser maior do que A dB sobre uma faixa de freqüências BW_a, o valor de Q é dado por

$$Q \le \frac{\omega_0}{BW_a\sqrt{10^{A/10}-1}}$$

(*Dica*: Primeiro, mostre que quaisquer duas freqüências, ω_1 e ω_2, nas quais $|T|$ é o mesmo estão relacionadas por $\omega_1\omega_2 = \omega_0^2$.) (b) Use o resultado em (a) para mostrar que a faixa de passagem a 3 dB é ω_0/Q, conforme indicado na Figura 11.16(d).

11.16 Considere um dente em um passa-baixas com $\omega_0 = 1$ rad/s, $Q = 10$, $\omega_n = 1{,}2$ rad/s e um ganho *cc* unitário. Calcule a freqüência e o valor do pico de transmissão. Calcule também a transmissão em altas freqüências.

Resposta 0,986 rad/s; 3,17; 0,69

11.5 O RESSONADOR LCR DE SEGUNDA ORDEM

Nesta seção estudaremos o ressonador LCR de segunda ordem, mostrado na Figura 11.17(a). Será demonstrado o uso deste ressonador para obter diversos circuitos que implementem funções de filtro de segunda ordem. Será mostrado também, na próxima seção, que a substituição do indutor L por uma indutância simulada, usando-se um circuito RC–amp op, resulta em um ressonador RC–amp op. Essa última seção forma a base de uma importante classe de filtros ativos RC que serão estudados na próxima seção.

Os Modos Naturais do Ressonador

Os modos naturais do circuito ressonador paralelo da Figura 11.17(a) podem ser determinados pela aplicação de uma *excitação que não muda a estrutura natural do circuito*. Dois modos possíveis de excitação do circuito estão mostrados nas Figuras 11.17(b) e (c). Na Figura 11.17(b), o ressonador é excitado com uma fonte de corrente I conectada em paralelo.

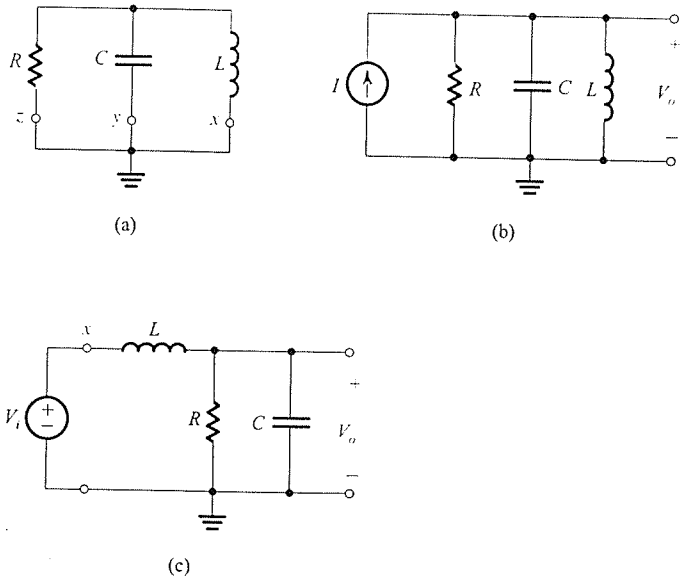


Figura 11.17 (a) O ressonador paralelo LCR de segunda ordem. (b) e (c) Dois modos de excitação do ressonador em (a) sem modificar sua estrutura natural. Os pólos do ressonador são pólos de V_o/I e V_i/V_i.

Como, no que diz respeito à resposta natural de um circuito, uma fonte de corrente ideal independente é equivalente a um circuito aberto, a excitação da Figura 11.17(b) não altera a estrutura natural do ressonador. Logo, o circuito na Figura 11.17(b) pode ser usado para determinar os modos naturais do ressonador simplesmente encontrando os pólos de uma dada função de resposta. Podemos, por exemplo, tomar a tensão V_o no ressonador como resposta e depois obter a função de resposta $V_o/I = Z$, em que Z é a impedância do circuito ressonador paralelo. Obviamente é mais conveniente, porém, trabalhar em termos da admitância Y; então

$$\frac{V_o}{I} = \frac{1}{Y} = \frac{1}{(1/sL) + sC + (1/R)}$$
$$= \frac{s/C}{s^2 + s(1/CR) + (1/LC)} \tag{11.31}$$

Colocando o denominador na forma padrão $s^2 + s(\omega_0/Q) + \omega_0^2$, temos

$$\omega_0^2 = 1/LC \tag{11.32}$$

e

$$\omega_0/Q = 1/CR \tag{11.33}$$

Portanto,

$$\omega_0 = 1/\sqrt{LC} \tag{11.34}$$

$$Q = \omega_0 CR \tag{11.35}$$

Essas expressões devem ser familiares ao leitor de estudos anteriores sobre circuitos ressonantes paralelos nos cursos introdutórios sobre teoria de circuitos.

Uma forma alternativa de excitação de um ressonador LCR paralelo, com a finalidade de determinação de seus modos naturais, pode ser vista na Figura 11.17(c). Nessa figura, o nó x do indutor L foi desconectado do terra e conectado a uma fonte de tensão ideal V_i. Agora, como no que diz respeito à resposta natural de um circuito, uma fonte de tensão ideal é equivalente a um curto-circuito, a excitação na Figura 11.17(c) não altera a estrutura natural do ressonador. Portanto, podemos usar o circuito da Figura 11.17(c) para determinar os modos naturais do ressonador. Eles são os pólos de uma dada função de resposta. Por exemplo, podemos escolher V_o como a variável de resposta e calcular a função de transferência V_o/V_i. O leitor pode facilmente verificar que isso nos levará à determinação dos modos naturais anteriores.

Em uma situação de projeto, serão dados ω_0 e Q e será pedido para determinar L, C e R. As Equações 11.34 e 11.35 possuem três incógnitas. O grau de liberdade existente pode ser usado para a escolha do nível de impedância do circuito que resulte em valores práticos dos componentes.

Determinando os Zeros de Transmissão

Uma vez escolhidos os valores dos componentes do ressonador LCR de modo a obter um dado par de modos naturais conjugados complexos, consideraremos agora o uso do ressonador para obter um tipo de filtro desejado (por exemplo, PB, PA etc.). Especificamente, desejamos saber onde injetar o sinal de tensão de entrada V_i, de modo que a função de transferência V_o/V_i seja a desejada. Para isso, observe que, no circuito ressonador da Figura 11.17(a), qualquer um dos nós x, y ou z pode ser desconectado do terra e conectado a V_i sem alterar os modos naturais do circuito. Quando isso é feito, o circuito toma a forma de um divisor de tensão, conforme mostrado na Figura 11.18(a). Portanto, a função de transferência obtida é

$$T(s) = \frac{V_o(s)}{V_i(s)} = \frac{Z_2(s)}{Z_1(s) + Z_2(s)} \tag{11.36}$$

Observamos que *os zeros de transmissão são os valores de s em que $Z_2(s)$ é zero, desde que $Z_1(s)$ não seja zero simultaneamente, e os valores de s em que $Z_1(s)$ seja infinito, desde que $Z_2(s)$ não seja infinito simultaneamente*. Essa afirmação faz sentido físico: a saída será zero quando $Z_2(s)$ se comportar como um curto-circuito ou quando $Z_1(s)$ se comportar como um circuito aberto. Se houver um valor de s em que Z_1 e Z_2 são zero, então V_o/V_i será finito e nenhum zero de transmissão será obtido. De modo similar, se houver um valor de s em que Z_1 e Z_2 são infinitos, então V_o/V_i será finito e não haverá nenhum zero de transmissão.

Obtendo a Função Passa-baixas

Usando o procedimento descrito anteriormente, vemos que, para implementar a função passa-baixas, o nó x é desconectado do terra e conectado a V_i, conforme mostrado na Figura 11.18(b). Os zeros de transmissão desse circuito estarão nos valores de s em que a impedância em série se torna infinita (sL se torna infinita em $s = \infty$) e a impedância paralela se torna zero ($1/[sC + (1/R)]$ se torna zero em $s = \infty$). Logo, esse circuito tem dois zeros de transmissão em $s = \infty$, conforme foi suposto para o PB. A função de transferência pode ser escrita por inspeção ou usando a regra do divisor de tensão. Seguindo o último procedimento, obtemos

$$T(s) \equiv \frac{V_o}{V_i} = \frac{Z_2}{Z_1 + Z_2} = \frac{Y_1}{Y_1 + Y_2} = \frac{1/sL}{(1/sL) + sC + (1/R)}$$
$$= \frac{1/LC}{s^2 + s(1/CR) + (1/LC)} \tag{11.37}$$

Obtendo a Função Passa-altas

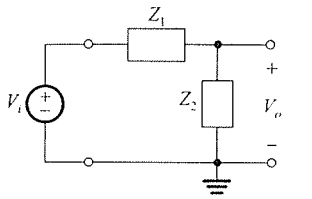
Para obter a função passa-altas de segunda ordem, o nó y é desconectado do terra e conectado a V_i, conforme mostrado na Figura 11.18(c). Nessa figura, o capacitor em série introduz um zero de transmissão em $s = 0$ (cc), e o indutor introduz outro zero de transmissão em $s = 0$ (cc). Portanto, por inspeção, a função de transferência pode ser escrita como

$$T(s) \equiv \frac{V_o}{V_i} = \frac{a_2 s^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \tag{11.38}$$

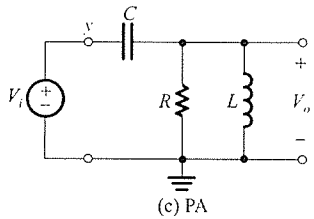
em que ω_0 e Q são os parâmetros do modo natural dados pelas Equações 11.34 e 11.35 e a_2 é a transmissão em altas freqüências. O valor de a_2 pode ser determinado observando que, à medida que s se aproxima de ∞, o capacitor se aproxima de um curto-circuito e V_o se aproxima de V_i, resultando em $a_2 = 1$.

Obtendo a Função Passa-faixa

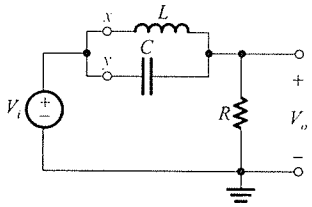
A função passa-faixa é obtida desconectando-se o nó z do terra e conectado-o em V_i, conforme a Figura 11.18(d). Nessa figura, a impedância em série é resistiva e, portanto, não introduz nenhum zero de transmissão.



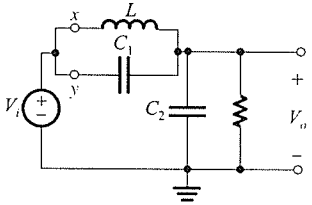
(a) Estrutura genérica



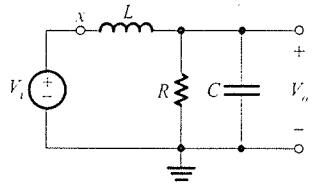
(c) PA



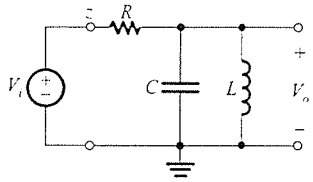
(e) Dente em ω_0



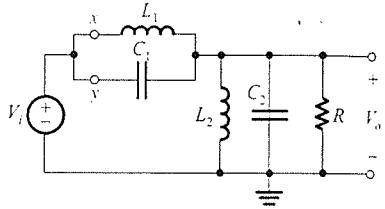
(g) DPB ($\omega_n > \omega_0$)



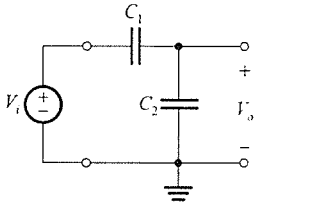
(b) PB



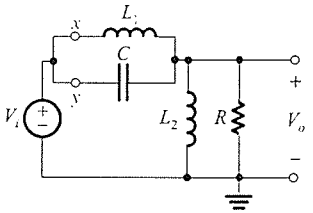
(d) PF



(f) Dente genérico



(h) DPB quando $s \to \infty$



(i) DPA ($\omega_n < \omega_0$)

Figura 11.18 Implementação de diversos filtros de segunda ordem usando os ressonadores LCR da Figura 11.17(b): **(a)** estrutura geral, **(b)** PB, **(c)** PA, **(d)** PF, **(e)** dente em ω_0, **(f)** dente genérico, (g) dente PB ($\omega_n \geq \omega_0$), **(h)** dente PB com $s \to \infty$, **(i)** dente PA ($\omega_n < \omega_0$).

Os zeros são obtidos da seguinte forma: um zero em $s = 0$ é obtido com o indutor em paralelo e um zero em $s = \infty$ é obtido com um capacitor em paralelo. Na freqüência central ω_0, o circuito sintonizado LC paralelo exibe uma impedância infinita e, portanto, não circula corrente no circuito. Isso implica que em $\omega = \omega_0$, $V_o = V_i$. Em outras palavras, o ganho na freqüência central do filtro passa-faixa é unitário. Sua função de transferência pode ser obtida como segue:

$$T(s) = \frac{Y_R}{Y_R + Y_L + Y_C} = \frac{1/R}{(1/R) + (1/sL) + sC}$$

$$= \frac{s(1/CR)}{s^2 + s(1/CR) + (1/LC)} \tag{11.39}$$

Obtendo as Funções de Dente

Para obter um par de zeros de transmissão sobre o eixo $j\omega$, usamos um circuito de ressonância paralelo no ramo em série, conforme a Figura 11.18(e). Observe que esse circuito é obtido desconectando-se os dois nós x e y do terra e conectando-os juntos em V_i. A impedância do circuito LC torna-se infinita em $\omega = \omega_0 = 1/\sqrt{LC}$, causando, portanto, um zero de transmissão nessa freqüência. A impedância entre os terminais de saída é resistiva e, portanto, não introduz zeros de transmissão. Isso significa que o circuito da Figura 11.18(e) implementará a função de transferência do dente

$$T(s) = a_2 \frac{s^2 + \omega_0^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \tag{11.40}$$

O valor do ganho em altas freqüências a_2 pode ser calculado a partir do circuito como sendo unitário.

Para obter um filtro tipo dente em que a freqüência do dente ω_n seja arbitrariamente posicionada em relação a ω_0, adotamos uma variante do esquema anterior, colocando uma impedância LCR entre os terminais de saída. Ainda usamos um circuito LC no ramo em série, como mostrado na Figura 11.18(f), em que L_1 e C_1 são escolhidos de modo que

$$L_1 C_1 = 1/\omega_n^2 \tag{11.41}$$

Portanto, o circuito tanque L_1C_1 introduzirá um par de zeros de transmissão em $\pm j\omega_n$, desde que o tanque L_2C_2 não seja ressonante em ω_n. Fora dessa restrição, os valores de L_2 e C_2 devem ser escolhidos a fim de garantir que os modos naturais não sejam alterados; portanto,

$$C_1 + C_2 = C \tag{11.42}$$

$$L_1 // L_2 = L \tag{11.43}$$

Em outras palavras, quando V_i for substituído por um curto-circuito, o circuito deve se reduzir ao ressonador LCR original. Outra forma de pensar sobre o circuito da Figura 11.18(f) é que ele é obtido a partir do ressonador LCR original, deixando parte de L e de C desligada do terra e conectando-as a V_i.

Deve ser observado que, no circuito da Figura 11.18(f), L_2 *não* introduz um zero em $s = 0$, porque o circuito L_1C_1 também tem um zero. Na verdade, em $s = 0$, o circuito se reduz a um divisor de tensão indutivo com a transmissão *cc* de $L_2/(L_1 + L_2)$. Comentário similar pode ser feito sobre C_2 e o fato de que ele *não* introduz um zero em $s = \infty$.

A obtenção dos filtros DPB e DPA corresponde a casos especiais do circuito dente genérico da Figura 11.18(f). Especificamente, para o DPB,

$$\omega_n > \omega_0$$

portanto,

$$L_1C_1 < (L_1//L_2)(C_1 + C_2)$$

Essa condição pode ser satisfeita eliminando-se L_2 (por exemplo, $L_2 = \infty$ e $L_1 = L$), resultando no circuito DPB na Figura 11.18(g). A função de transferência pode ser escrita por inspeção como

$$T(s) \equiv \frac{V_o}{V_i} = a_2 \frac{s^2 + \omega_n^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \tag{11.44}$$

em que $\omega_n^2 = 1/LC_1$, $\omega_0^2 = 1/L(C_1 + C_2)$, $\omega_0/Q = 1/CR$ e a_2 é o ganho em altas freqüências. Pelo circuito vemos que com $s \to \infty$, o circuito se reduz ao da Figura 11.18(h), para o qual

$$\frac{V_o}{V_i} = \frac{C_1}{C_1 + C_2}$$

Portanto,

$$a_2 = \frac{C_1}{C_1 + C_2} \tag{11.45}$$

Para obter um DPA, começamos com o circuito da Figura 11.18(f) e usamos o fato de que $\omega_n < \omega_0$ para obter

$$L_1C_1 > (L_1//L_2)(C_1 + C_2)$$

que pode ser satisfeita escolhendo $C_2 = 0$ (por exemplo, $C_1 = C$). Portanto, obtemos o circuito reduzido mostrado na Figura 11.18(i). Observe que, quando $s \to \infty$, V_o se aproxima de V_i e então o ganho em altas freqüências é unitário. Logo, a função de transferência pode ser expressa como

$$T(s) \equiv \frac{V_o}{V_i} = \frac{s^2 + (1/L_1C)}{s^2 + s(1/CR) + \left[1/(L_1//L_2)C\right]} \tag{11.46}$$

Obtendo a Função Passa-todas

A função de transmissão passa-todas

$$T(s) = \frac{s^2 - s(\omega_0/Q) + \omega_0^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \tag{11.47}$$

pode ser escrita como

$$T(s) = 1 - \frac{s\,2(\omega_0/Q)}{s^2 + s(\omega_0/Q) + \omega_0^2} \tag{11.48}$$

O segundo termo do lado direito é uma função passa-faixa com um ganho na freqüência central de 2. Já vimos um circuito passa-faixa (Figura 11.18(d)), mas com um ganho unitário na freqüência central. Procuraremos, portanto, obter um passa-todas com um ganho no plano de 0,5, isto é,

$$T(s) = 0{,}5 - \frac{s(\omega_0/Q)}{s^2 + s(\omega_0/Q) + \omega_0^2}$$

Essa função pode ser obtida usando-se um divisor de tensão (atenuador) com uma razão de transmissão de 0,5 e um circuito passa-faixa do tipo da Figura 11.18(d). Para obter a subtração, a saída do circuito passa-todas é tomada entre o terminal de saída do atenuador e o terminal de saída do filtro passa-faixa, conforme mostrado na Figura 11.19. Infelizmente, esse circuito tem a desvantagem de não possuir um terminal de terra comum entre a entrada e a saída. A implementação da função passa-todas com um RC-amp op será apresentada na próxima seção.

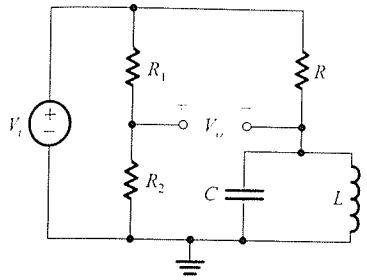


Figura 11.19 Implementação da função de transferência de um filtro passa-todas de segunda ordem usando um divisor de tensão e um ressonador LCR.

Exercícios

11.17 Use o circuito da Figura 11.18(b) para obter a função do passa-baixas de segunda ordem do tipo maximamente plano com uma freqüência a 3 dB de 100 kHz.

Resposta Escolhendo $R = 1$ kΩ, obtemos $C = 1125$ pF e $L = 2{,}25$ mH

11.18 Use o circuito da Figura 11.18(e) para projetar um filtro com dente a fim de eliminar um ruído incômodo da fonte de alimentação na freqüência de 60 Hz. O filtro deve ter uma faixa de passagem a 3 dB de 10 Hz, (isto é, a atenuação deve ser maior do que 3 dB para freqüências fora da faixa de passagem de 10 Hz, que está em torno da freqüência central de 60 Hz; veja o Exercício 11.15 e a Figura 11.16(d)). Use $R = 10$ kΩ.

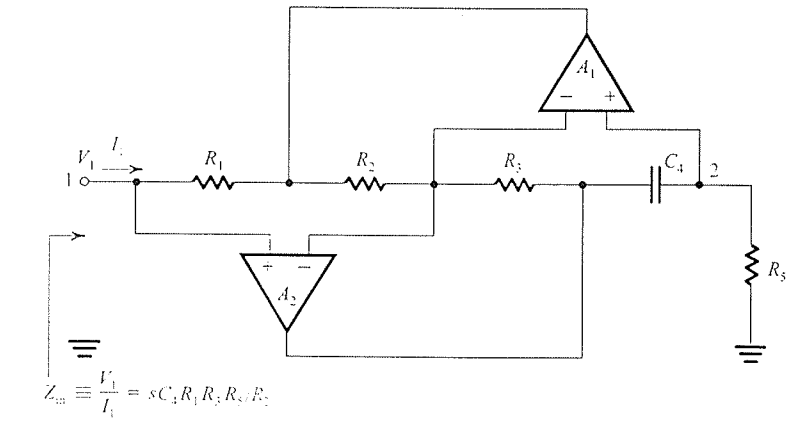
Resposta C = 1,6 μF e $L = 4{,}42$ H (Observe o elevado valor necessário para o indutor. Essa é a razão pela qual não usamos filtros passivos em aplicações de baixa freqüência.)

11.6 FILTROS ATIVOS DE SEGUNDA ORDEM BASEADOS NA SUBSTITUIÇÃO DO INDUTOR

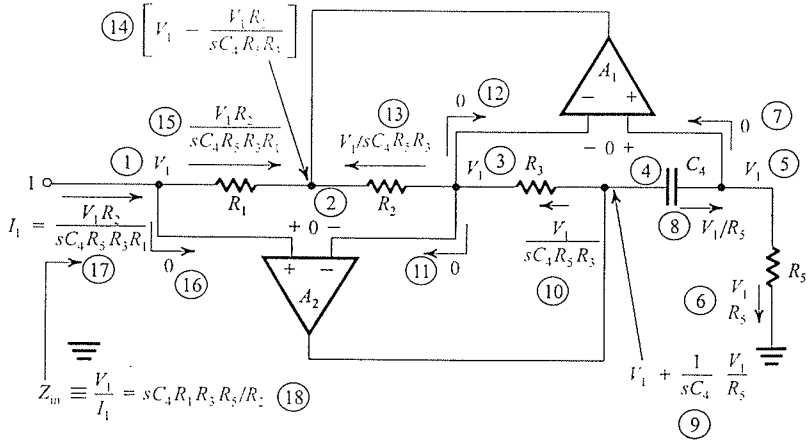
Nesta seção estudaremos uma família de circuitos RC–amp op que realiza várias funções de filtro de segunda ordem. Os circuitos são baseados no ressonador com RC–amp op, obtido pela substituição do indutor L no ressonador LCR por um circuito com RC–amp op que tem uma impedância de entrada indutiva.

O Circuito de Simulação de Indutância de Antoniou

Com o passar dos anos, muitos circuitos com RC–amp op têm sido sugeridos para simular um indutor. Um deles, o circuito inventado por A. Antoniou (veja Antoniou, 1969), tem provado ser o "melhor". Por "melhor", queremos dizer que a operação do circuito é mais tolerante às propriedades não-ideais dos amp ops, em particular seu ganho finito e sua faixa de passagem finita. A Figura 11.20(a) mostra o circuito de simulação da indutância de Antoniou.



(a)



(b)

Figura 11.20 (a) O circuito de simulação de indutância de Antoniou. (b) Análise do circuito assumindo amp ops ideais. A ordem da análise está indicada por círculos numerados.

Se o circuito for alimentado em sua entrada (nó 1) com uma fonte de tensão V_1 e a corrente de entrada for representada por I_1, então para os amp ops ideais a impedância de entrada pode ser determinada como

$$Z_{in} \equiv V_1/I_1 = sC_4R_1R_3R_5/R_2 \tag{11.49}$$

que é a impedância de uma indutância L dada por

$$L = C_4R_1R_3R_5/R_2 \tag{11.50}$$

A Figura 11.20(b) mostra a análise do circuito supondo que os amp ops são ideais e, portanto, que um curto-circuito virtual aparece entre os dois terminais de entrada de cada amp op e também que as correntes de entrada dos amp ops são zero. A análise inicia no nó 1, supostamente alimentado por uma fonte de tensão V_1, e continua passo a passo, com a ordem dos passos indicada por círculos numerados. O resultado da análise é a expressão mostrada para a corrente de entrada I_1, da qual podemos calcular Z_{in}.

O projeto desse circuito é geralmente baseado na escolha de $R_1 = R_2 = R_3 = R_5 = R$ e $C_4 = C$, o que nos leva a $L = CR^2$. São então escolhidos valores convenientes de C e R para produzir o valor desejado da indutância L. Mais detalhes sobre esse circuito e o efeito das características não-ideais dos amp ops e de seu funcionamento podem ser encontrados em Sedra e Brackett (1978).

O Ressonador com RC-Amp Op

A Figura 11.21(a) mostra o ressonador LCR que estudamos em detalhes na seção anterior. Substituindo o indutor L pela indutância simulada, obtida pelo circuito de Antoniou da Figura 11.20(a), resulta no ressonador com RC-amp op da Figura 11.21(b). (Ignore por um momento o amplificador adicional mostrado com linhas tracejadas.) O circuito da Figura 11.21(b) é um ressonador de segunda ordem, com uma freqüência de pólo

$$\omega_0 = 1/\sqrt{LC_6} = 1/\sqrt{C_4C_6R_1R_3R_5/R_2} \tag{11.51}$$

em que usamos a expressão para L dada na Equação 11.50 e um fator de pólo Q,

$$Q = \omega_0C_6R_6 = R_6\sqrt{\frac{C_6}{C_4}\frac{R_2}{R_1R_3R_5}} \tag{11.52}$$

Geralmente, escolhemos $C_4 = C_6 = C$ e $R_1 = R_2 = R_3 = R_5 = R$, que resulta em

$$\omega_0 = 1/CR \tag{11.53}$$

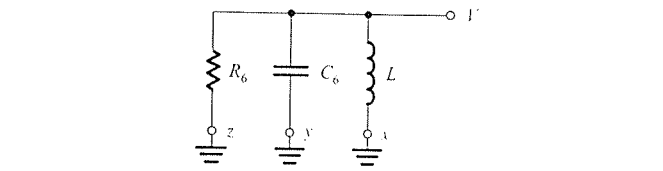
$$Q = R_6/R \tag{11.54}$$

Portanto, se escolhermos um valor prático conveniente para C, podemos usar a Equação 11.53 para determinar o valor de R a fim de obter um certo valor de ω_0 e, então, usar a Equação 11.54 para determinar o valor de R_6 a fim de obter um certo valor de Q.

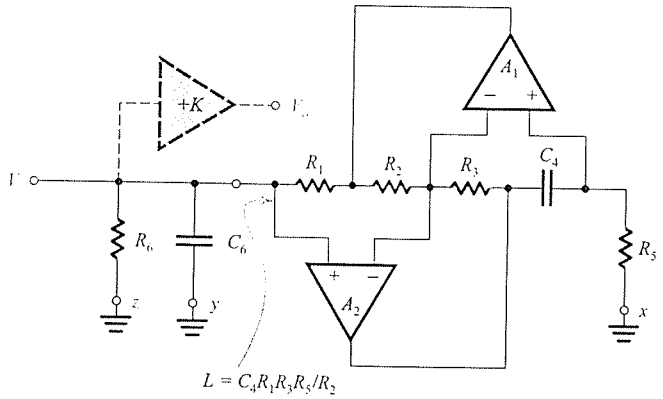
Obtendo os Vários Tipos de Filtros

O ressonador com RC-amp op da Figura 11.21(b) pode ser usado para gerar circuitos para as várias funções de filtro de segunda ordem, seguindo-se o procedimento descrito em detalhes na seção anterior em conexão com o ressonador LCR. Logo, para obter uma função passa-faixa, desconectamos o nó z do terra e o conectamos na fonte de sinal V_i. Uma função passa-altas é obtida

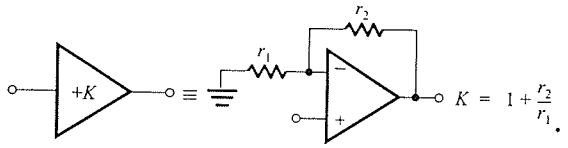
injetando-se V_i no nó y. Para obter uma função passa-baixas usando o ressonador LCR, o terminal x do indutor é desconectado do terra e conectado a V_i. O nó correspondente no ressonador ativo é o nó em que R_5 é conectado ao terra,[5] denominado nó x na Figura 11.21(b). Uma função de dente regular ($\omega_n = \omega_0$) é obtida pela alimentação de V_i aos nós x e y.



(a)



(b)



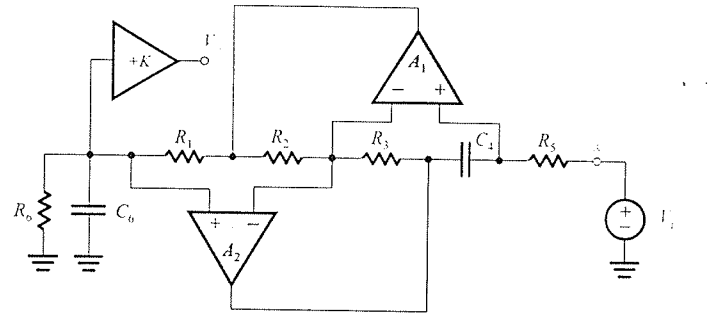
(c)

Figura 11.21 (a) Um ressonador LCR. (b) Um ressonador RC-amp op obtido substituindo-se o indutor L do circuito LCR por uma indutância simulada construída com o circuito de Antoniou da Figura 11.20(a). (c) Implementação de um amplificador de acoplamento K.

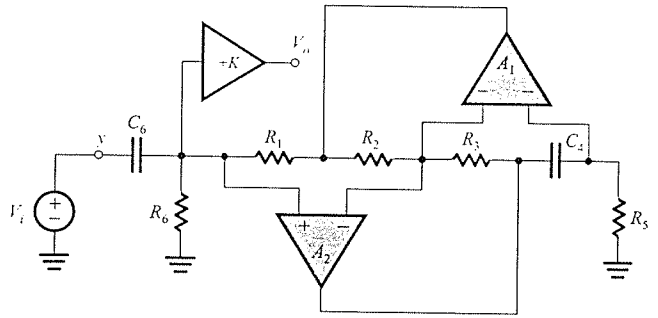
5. Esse ponto pode não estar óbvio! O leitor, contudo, pode mostrar que, quando V_i é alimentado nesse nó, a função V_o/V_i é realmente um passa-baixas.

Em todos os casos, a saída pode ser tomada como a tensão no circuito ressonante, V_o. Porém, esse não é o nó conveniente para ser usado como terminal de saída do filtro, visto que a conexão de uma carga pode mudar as características do filtro. O problema pode ser resolvido facilmente pela utilização de um amplificador isolador (*buffer*). Esse é o amplificador de ganho K, desenhado com linhas tracejadas na Figura 11.21(b). A Figura 11.21(c) mostra como esse amplificador pode ser implementado simplesmente usando um amp op conectado em uma configuração não-inversora. Observe que amplificador K não só isola a saída do filtro, mas também permite que o projetista ajuste o ganho do filtro a um valor desejado pela escolha apropriada do valor de K.

A Figura 11.22 mostra os vários circuitos de filtro de segunda ordem obtidos pelo ressonador da Figura 11.21(b). As funções de transferência e as equações do projeto para esses circuitos são dadas na Tabela 11.1. Observe que as funções de transferência podem ser escritas, por analogia, com as do ressonador LCR. Já comentamos sobre os circuitos PB, PA, PF e dente regular nas Figuras 11.22(a) a (d).

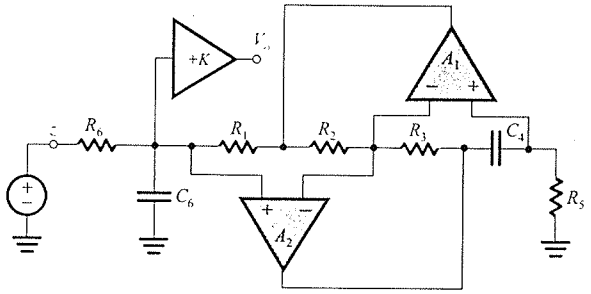


(a) PB

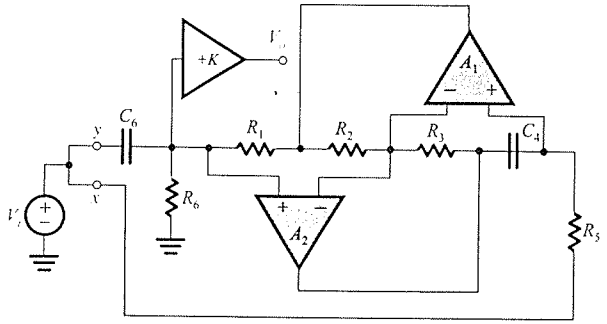


(b) PA

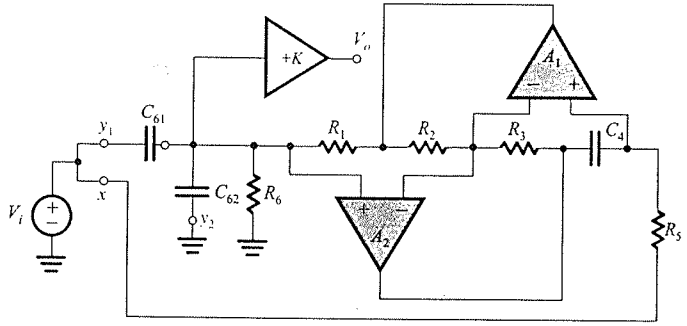
Figura 11.22 Implementação das várias funções de filtro de segunda ordem usando o ressonador RC-amp op da Figura 11.21(b). (a) PB; (b) PA; (c) PF; (d) dente em ω_0; (e) DPB, $\omega_z \geq \omega_0$; (f) DPA, $\omega_n \leq \omega_0$; (g) passa-todas. Os circuitos são baseados no circuito LCR da Figura 11.18. Equações de projeto são dadas na Tabela 11.1.



(c) PF

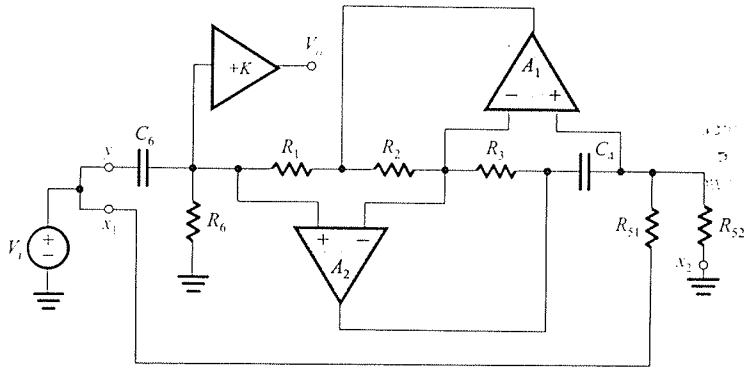


(d) Dente em ω_0

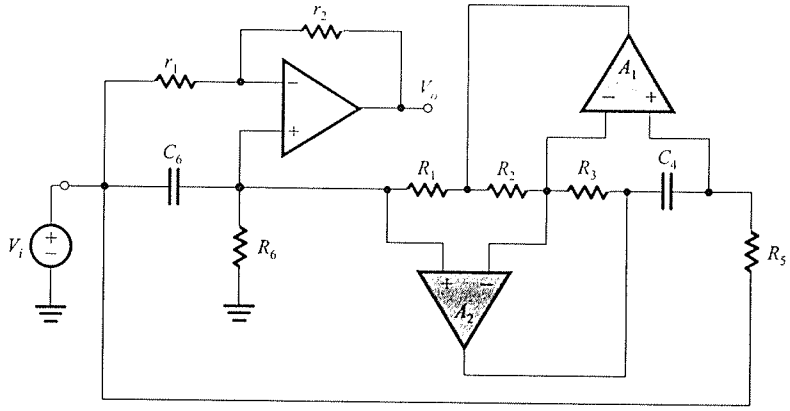


(e) DPB, $\omega_n \geq \omega_0$

Figura 11.22 (*Continuação.*)



(f) DPA, $\omega_n \leq \omega_0$



(g) Passa-todas

Figura 11.22 (*Continuação.*)

Os circuitos DPB e DPA nas Figuras 11.22(e) e (f) são obtidos por analogia direta de seus correspondentes LCR nas Figuras 11.18(g) e (i), respectivamente. O circuito passa-todas da Figura 11.22(g), porém, merece algumas explicações.

O Circuito Passa-todas

Uma função passa-todas com um ganho unitário no plano pode ser escrita como

$$\text{PT} = 1 - (\text{PF com o ganho na freqüência central igual a 2}) \qquad (11.55)$$

Tabela 11.1 Dados de projeto para os circuitos da Figura 11.22.

Circuito	Função de transferência e outros parâmetros	Equações para projeto
Ressonador Figura 11.21(b)	$\omega_0 = 1/\sqrt{C_4 C_6 R_1 R_3 R_5 / R_2}$ $Q = R_0\sqrt{\frac{C_5}{C_4}\frac{R_2}{R_1 R_3 R_5}}$	$C_4 = C_6 = C$ (valor prático) $R_1 = R_2 = R_3 = R_5 = 1/\omega_0 C$ $R_0 = Q/\omega_0 C$
Passa-baixas (PB) Figura 11.22(a)	$T(s) = \frac{KR_2/C_4 C_6 R_1 R_3 R_5}{s^2 + s\frac{1}{C_6 R_6} + \frac{R_2}{C_4 C_6 R_1 R_3 R_5}}$	K = ganho cc
Passa-altas (PA) Figura 11.22(b)	$T(s) = \frac{Ks^2}{s^2 + s\frac{1}{C_6 R_6} + \frac{R_2}{C_4 C_6 R_1 R_3 R_5}}$	K = ganho em altas freqüências
Passa-faixa (PF) Figura 11.22(c)	$T(s) = \frac{Ks/C_6 R_6}{s^2 + s\frac{1}{C_6 R_6} + \frac{R_2}{C_4 C_6 R_1 R_3 R_5}}$	K = ganho em freqüências centrais
Dente regular (D) Figura 11.22(d)	$T(s) = \frac{K\left[s^2 + (R_2/C_4 C_6 R_1 R_3 R_5)\right]}{s^2 + s\frac{1}{C_6 R_6} + \frac{R_2}{C_4 C_6 R_1 R_3 R_5}}$	K = ganho em baixas e altas freqüências
Dente passa-baixas (DPB) Figura 11.22(e)	$T(s) = K\frac{C_{61}}{C_{61}+C_{62}} \times \frac{s^2 + (R_2/C_4 C_{61} R_1 R_3 R_5)}{s^2 + s\frac{1}{(C_{61}+C_{62})R_6} + \frac{R_2}{C_4(C_{61}-C_{62})R_1 R_3 R_5}}$ $\omega_n = 1/\sqrt{C_4 C_{61} R_1 R_3 R_5 / R_2}$ $\omega_0 = 1/\sqrt{C_4(C_{61}+C_{62})R_1 R_3 R_5 / R_2}$ $Q = R_0\sqrt{\frac{C_{61}+C_{62}}{C_4}\frac{R_2}{R_1 R_3 R_5}}$	K = ganho cc $C_{61} + C_{62} = C_6 = C$ $C_{61} = C(\omega_1/\omega_n)^2$ $C_{62} = C - C_{61}$
Dente passa-altas (DPA) Figura 11.22(f)	$T(s) = K\frac{s^2 + (R_2/C_4 C_6 R_1 R_3 R_{51})}{s^2 + s\frac{1}{C_6 R_6} + \frac{R_2}{C_4 C_6 R_1 R_3}\left(\frac{1}{R_{51}}+\frac{1}{R_{52}}\right)}$ $\omega_n = 1/\sqrt{C_4 C_6 R_1 R_3 R_{51} / R_2}$ $\omega_0 = \sqrt{\frac{R_2}{C_4 C_6 R_1 R_3}\left(\frac{1}{R_{51}}+\frac{1}{R_{52}}\right)}$ $Q = R_0\sqrt{\frac{C_6}{C_4}\frac{R_2}{R_1 R_3}\left(\frac{1}{R_{51}}+\frac{1}{R_{52}}\right)}$	K = ganho em altas freqüências $\frac{1}{R_{51}} + \frac{1}{R_{52}} = \frac{1}{R_5} = \omega_0 C$ $R_{51} = R_5(\omega_1/\omega_0)^2$ $R_{52} = R_5/[1 - (\omega_1/\omega_n)^2]$
Passa-todas (PT) Figura 11.22(g)	$T(s) = \frac{s^2 - s\frac{1}{C_6 R_6}\frac{r_2}{r_1} + \frac{R_2}{C_4 C_6 R_1 R_3 R_5}}{s^2 + s\frac{1}{C_6 R_6} + \frac{R_2}{C_4 C_6 R_1 R_3 R_5}}$ $\omega_z = \omega_0 \quad Q_z = Q(r_1/r_2)$ Ganho pleno = 1	$R_1 = r_2 = r$ (arbitrário) Ajustar r_2 tal que $Q_z = Q$

(veja a Equação 11.48). Dois circuitos cujas funções de transferência estão relacionadas desse modo são ditos **complementares**.[6] Portanto, o circuito passa-todas com ganho unitário no plano é o complemento do circuito passa-faixa com o ganho na freqüência central de 2. Há um procedimento simples para a obtenção do complemento de um dado circuito linear: desconecte todos os nós do circuito que estão conectados ao terra e conecte-os em V_i, desconecte todos os nós que estão conectados em V_i e conecte-os ao terra. Isto é, trocar a entrada e o terra em um circuito linear gera um circuito cuja função de transferência é o complemento da função de transferência do circuito original.

Retornando ao procedimento, usamos primeiro o circuito da Figura 11.22(c) para obter um PF com um ganho de 2 pela simples escolha de $K = 2$ e implementamos o amplificador isolador com o circuito da Figura 11.21(c) com $r_1 = r_2$. Trocamos então a entrada com o terra e obtemos o circuito passa-todas da Figura 11.22(g).

Finalmente, além da facilidade de projeto, os circuitos da Figura 11.22 exibem um desempenho excelente. Eles podem ser usados sozinhos ou em cascata para implementar filtros de outras ordens.

Exercícios

P11.19 Use o circuito da Figura 11.22(c) para projetar um filtro passa-faixa de segunda ordem com uma freqüência central de 10 kHz, uma faixa de passagem a 3 dB de 500 Hz e um ganho na freqüência central de 10. Use $C = 1{,}2$ nF.

Resposta $R_1 = R_2 = R_3 = R_5 = 13{,}26$ kΩ; $R_6 = 265$ kΩ; $C_4 = C_6 = 1{,}2$ nF; $K = 10$, $r_1 = 10$ kΩ, $r_2 = 90$ kΩ

P11.20 Implemente o filtro Chebyshev do Exemplo 11.2, cuja função de transferência é dada pela Equação 11.25, pela conexão de dois circuitos em cascata do tipo mostrado na Figura 11.22(a) e um circuito RC-amp op de primeira ordem do tipo mostrado na Figura 11.13(a). Observe que você pode fazer o ganho cc unitário para todas as seções. Faça isso. Use tantos resistores de 10 kΩ quanto possível.

Resposta Para a seção de primeira ordem: $R_1 = R_2 = 10$ kΩ, $C = 5{,}5$ nF. Para a seção de segunda ordem com $\omega_0 = 4{,}117 \times 10^4$ rad/s e $Q = 1{,}4$: $R_1 = R_2 = R_3 = R_5 = 10$ kΩ, $R_6 = 14$ kΩ, $C_4 = C_6 = 2{,}43$ nF, $r_1 = \infty$, $r_2 = 0$. Para a seção de segunda ordem com $\omega_0 = 6{,}246 \times 10^4$ rad/s e $Q = 5{,}56$: $R_1 = R_2 = R_3 = R_5 = 10$ kΩ, $R_6 = 55{,}6$ kΩ, $C_4 = C_6 = 1.6$ nF, $r_1 = \infty$, $r_2 = 0$.

11.7 FILTROS ATIVOS DE SEGUNDA ORDEM BASEADOS NA TOPOLOGIA DA MALHA DE DOIS INTEGRADORES

Nesta seção estudaremos outra família de circuitos RC-amp op que realiza as funções de filtro de segunda ordem. Os circuitos são baseados no uso de dois integradores conectados em cascata com uma malha de realimentação total e são conhecidos como circuitos com malha de dois integradores.

6. Apresentaremos mais detalhes sobre os circuitos complementares em conjunto com a Figura 11.31 a seguir.

Determinação do Circuito Biquad com Malha de Dois Integradores

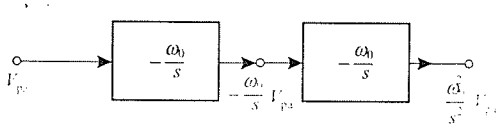
Para determinar o circuito biquadrático com malha de dois integradores, ou **biquad**, como é comumente conhecido, considere a função de transferência do passa-altas de segunda ordem:

$$\frac{V_{pa}}{V_i} = \frac{Ks^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \tag{11.56}$$

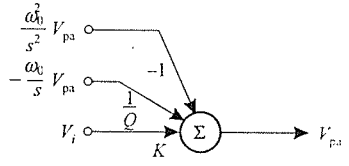
em que K é o ganho em altas freqüências. Rearranjando a Equação 11.56 e dividindo ambos os lados da equação resultante por s^2 (a fim de obter todos os termos que envolvem s na forma de $1/s$, que é a função de transferência de um integrador), obtemos

$$V_{pa} + \frac{1}{Q}\left(\frac{\omega_0}{s} V_{pa}\right) + \left(\frac{\omega_0^2}{s^2} V_{pa}\right) = K V_i \tag{11.57}$$

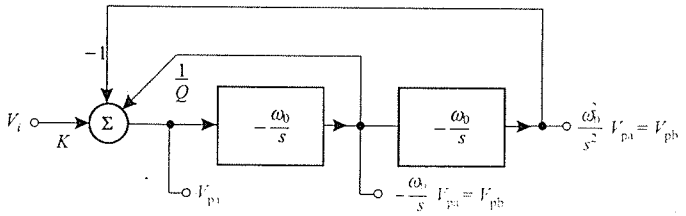
Nessa equação, observamos que o sinal $(\omega_0/s)V_{pa}$ pode ser obtido passando V_{pa} através de um integrador com uma constante de tempo igual a $1/\omega_0$. Além disso, passar o sinal resultante através de outro integrador idêntico resulta no terceiro sinal que envolve V_{pa} na Equação 11.57 – a saber, $(\omega_0^2/s^2)V_{pa}$. A Figura 11.23(a) mostra um diagrama de blocos para esse arranjo de dois integradores.



(a)



(b)



(c)

Figura 11.23 Determinação do diagrama de blocos que implementa a malha de realimentação de dois integradores no circuito biquad.

Observe que, como se previa utilizar o circuito integrador Miller com amp op inversor para implementar cada integrador, foram atribuídos sinais negativos aos blocos integradores na Figura 11.23(a).

O problema de como gerar o sinal de entrada que alimenta os dois integradores em cascata, V_{pa}, ainda permanece. Assim, rearranjamos a Equação 11.57, expressando V_{pa} em termos de suas versões com integração simples e dupla e de V_i como

$$V_{pa} = K V_i - \frac{1}{Q}\frac{\omega_0}{s} V_{pa} - \frac{\omega_0^2}{s^2} V_{pa} \tag{11.58}$$

que sugere que V_{pa} pode ser obtida usando-se o somador com pesos da Figura 11.23(b). Agora é fácil perceber que o diagrama de blocos completo pode ser obtido pela combinação dos blocos integradores da Figura 11.23(a) com o bloco somador da Figura 11.23(b), conforme mostrado na Figura 11.23(c).

Na Figura 11.23(c), V_{pa}, obtida da saída do somador, é a função de transferência do passa-altas $T_{pa} \equiv V_{pa}/V_i$ da Equação 11.56. O sinal na saída do primeiro integrador é $-(\omega_0/s)V_{pa}$, que é uma função passa-faixa,

$$\frac{(-\omega_0/s)V_{pa}}{V_i} = -\frac{K\omega_0 s}{s^2 + s(\omega_0/Q) + \omega_0^2} = T_{pf}(s) \tag{11.59}$$

Portanto, o sinal na saída do primeiro integrador é denominado V_{pf}. Observe que o ganho na freqüência central do filtro passa-faixa é igual a $-KQ$.

De modo similar, podemos mostrar que a função de transferência obtida na saída do segundo integrador é a função passa-baixas,

$$\frac{(\omega_0^2/s^2)V_{pa}}{V_i} = \frac{K\omega_0^2}{s^2 + s(\omega_0/Q) + \omega_0^2} = T_{pb}(s) \tag{11.60}$$

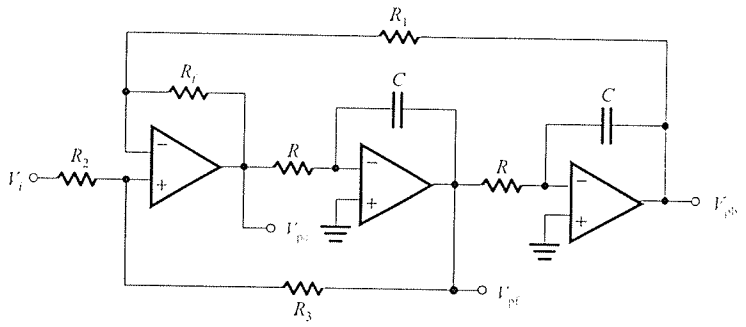
Portanto, a saída do segundo integrador é denominada V_{pb}. Observe que o ganho *cc* desse filtro passa-baixas é igual a K.

Concluímos que o biquad, empregando a malha de dois integradores mostrada na Figura 11.23(c), realiza as três funções básicas dos filtros de segunda ordem, PB, PF e PA, *simultaneamente*. Essa versatilidade fez o circuito muito popular, motivo pelo qual ele é chamado *filtro ativo universal*.

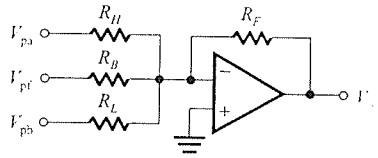
Implementação do Circuito

Para implementar o circuito biquad com malha de dois integradores com amp op, apresentado na Figura 11.23(c), substituímos cada integrador pelo circuito do integrador de Miller tendo $CR = 1/\omega_0$ e substituímos o bloco somador pelo circuito amp op de soma capaz de atribuir pesos positivos e negativos às suas entradas. O circuito resultante, conhecido como Kerwin–Huelsman–Newcomb ou **biquad KHN**, em referência a seus inventores, está mostrado na Figura 11.24(a). Dados os valores de ω_0, Q e K, o projeto do circuito é simples: escolhemos os valores práticos adequados para os componentes dos integradores, C e R, de modo que $CR = 1/\omega_0$. Para determinar os valores dos resistores associados ao somador, usamos primeiro a superposição para expressar a saída do somador em termos de suas entradas como

$$V_{pa} = \frac{R_3}{R_2 + R_3}\left(1 + \frac{R_f}{R_1}\right) V_i + \frac{R_2}{R_2 + R_3}\left(1 + \frac{R_f}{R_1}\right)\left(-\frac{\omega_0}{s} V_{pa}\right) - \frac{R_f}{R_1}\left(\frac{\omega_0^2}{s^2} V_{pa}\right) \tag{11.61}$$



(a)



(b)

Figura 11.24 (a) O circuito biquad KHN obtido como implementação direta do diagrama de blocos da Figura 11.23(c). As três funções básicas de filtragem, PA, PF e PB, são implementadas simultaneamente. **(b)** Para obter os circuitos dente e passa-todas, as três saídas são somadas com pesos apropriados usando o amplificador somador.

Equacionando os últimos termos do lado direito da Equações 11.61 e 11.58, obtemos

$$R_f/R_1 = 1 \tag{11.62}$$

o que implica que podemos escolher valores arbitrários, mas de forma prática e conveniente, valores iguais para R_1 e R_f. Depois, igualando as Equações 11.61 e 11.58, e fazendo $R_1 = R_f$, chega-se à razão R_3/R_2 necessária para obter um dado Q como

$$R_3/R_2 = 2Q - 1 \tag{11.63}$$

Portanto, um valor arbitrário, mas conveniente, pode ser escolhido para ambos, R_2 ou R_3, e o valor da outra resistência pode ser determinado usando a Equação 11.63. Finalmente, equacionando os coeficientes de V_i nas Equações 11.61 e 11.58 e substituindo $R_f = R_1$ e R_3/R_2 na Equação 11.63, chega-se a

$$K = 2 - (1/Q) \tag{11.64}$$

Portanto, o parâmetro de ganho K é fixado com esse valor.

O biquad KHN pode ser usado para obter as funções dente e passa-todas pela soma dos pesos das três saídas das versões, PB, PF e PA.

Esse amp op somador está mostrado na Figura 11.24(b); para esse somador podemos escrever

$$\begin{aligned} V_o &= -\left(\frac{R_F}{R_H}V_{pa} + \frac{R_F}{R_B}V_{pf} + \frac{R_F}{R_L}V_{pb}\right) \\ &= -V_i\left(\frac{R_F}{R_H}T_{pa} + \frac{R_F}{R_B}T_{pf} + \frac{R_F}{R_L}T_{pb}\right) \end{aligned} \tag{11.65}$$

Substituindo T_{pa}, T_{pf} e T_{pb} nas Equações 11.56, 11.59 e 11.60, respectivamente, obtemos a função de transferência total

$$\frac{V_o}{V_i} = -K\frac{(R_F/R_H)s^2 - s(R_F/R_B)\omega_0 + (R_F/R_L)\omega_0^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \tag{11.66}$$

da qual podemos ver que diferentes zeros de transmissão podem ser obtidos pela escolha apropriada dos valores dos resistores de soma, R_B, R_H e R_L. Por exemplo, um dente é obtido pela escolha de $R_B = \infty$ e

$$\frac{R_H}{R_L} = \left(\frac{\omega_n}{\omega_0}\right)^2 \tag{11.67}$$

Um Circuito Biquad Alternativo para a Malha de Dois Integradores

Um circuito biquad alternativo para a malha de dois integradores, em que os três amp ops são utilizados com a entrada no modo simples, pode ser obtido como descrito a seguir: em vez de usar a entrada do somador para somar os sinais com coeficientes positivo e negativo, podemos introduzir um inversor adicional, conforme mostrado na Figura 11.25(a). Agora, todos os coeficientes do somador têm o mesmo sinal e podemos dispensar o amplificador somador e executar a soma na entrada do terra virtual do primeiro integrador. O circuito resultante está mostrado na Figura 11.25(b), do qual observamos que a função passa-altas não está mais diponível. Esse é o preço pago pela utilização de um circuito que emprega todos os amp ops com a entrada no modo simples. O circuito da Figura 11.25(b) é conhecido como **biquad Tow–Thomas**, em referência a seus criadores.

Em vez de usar um quarto amp op para obter os zeros de transmissão finitos necessários às funções dente e passa-todas, como foi feito com o biquad KHN, pode ser usado um esquema econômico de *alimentação direta* (*feed-forward*) do circuito Tow–Thomas. Especificamente, o terra virtual disponível na entrada de cada um dos três amp ops no circuito de Tow–Thomas permite alimentar os três amp ops com o sinal de entrada, como na Figura 11.26. Se V_o for tomada na saída do integrador amortecido, uma análise direta produz a função de transferência do filtro

$$\frac{V_o}{V_i} = -\frac{s^2\left(\frac{C_1}{C}\right) + s\frac{1}{C}\left(\frac{1}{R_1} - \frac{r}{RR_3}\right) + \frac{1}{C^2RR_2}}{s^2 + s\frac{1}{QCR} + \frac{1}{C^2R^2}} \tag{11.68}$$

que pode ser usada para obter os dados do projeto fornecidos na Tabela 11.2.

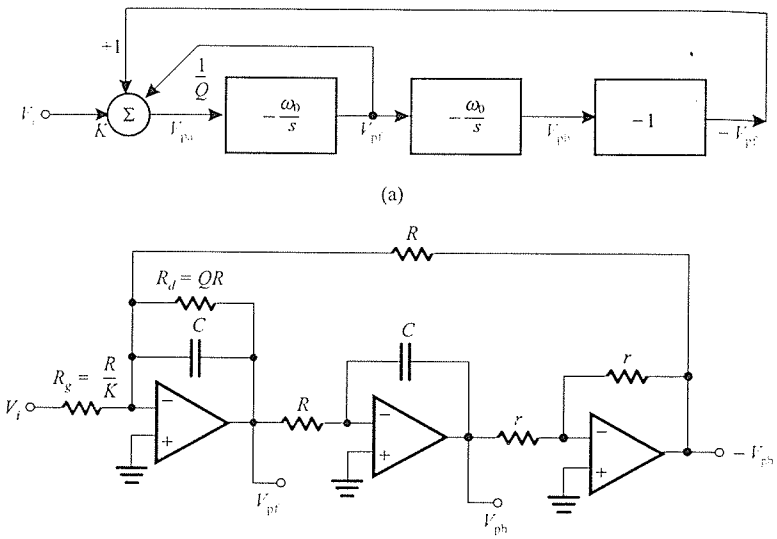


Figura 11.25 Determinação de uma malha de dois integradores para o circuito biquad, no qual os amp ops são usados com entrada simples. O circuito resultante em (b) é conhecido como biquad Tow–Thomas.

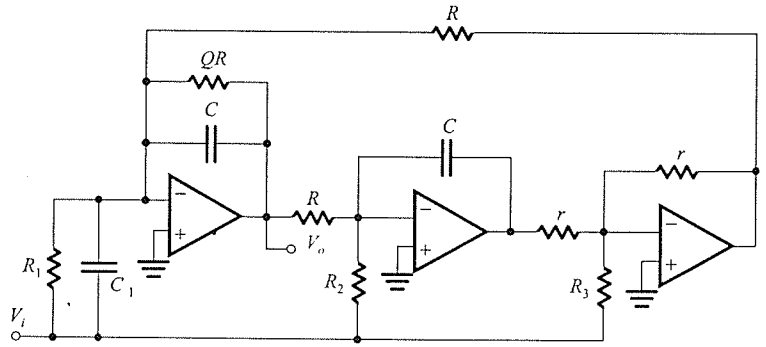


Figura 11.26 O circuito biquad Tow–Thomas com alimentação direta. A função de transferência da Equação 11.68 é obtida pela alimentação do sinal de entrada por meio de componentes apropriados para as entradas dos três amp ops. Esse circuito pode implementar todas as funções especiais de segunda ordem. As equações de projeto são dadas na Tabela 11.2.

Tabela 11.2 Dados de projeto para os circuitos da Figura 11.26.

Todos os casos	C = arbitrário, $R = 1/\omega_0 C$, r = arbitrário
PB	$C_1 = 0$, $R_1 = \infty$, $R_2 = R$/ganho cc, $R_3 = \infty$
PF positivo	$C_1 = 0$, $R_1 = \infty$, $R_2 = \infty$, $R_3 = Qr$/ganho na freqüência central
PF negativo	$C_1 = 0$, $R_1 = QR$/ganho na freqüência central, $R_2 = \infty$, $R_3 = \infty$
PA	$C_1 = C \times$ ganho em altas freqüências, $R_1 = \infty$, $R_2 = \infty$, $R_3 = \infty$
Dente (todos os tipos)	$C_1 = C \times$ ganho em altas freqüências, $R_1 = \infty$, $R_2 = R(\omega_0/\omega_n)^2$/(ganho em altas freqüências), $R_3 = \infty$
PT	$C_1 = C \times$ ganho no plano, $R_1 = \infty$, $R_2 = R$/ganho, $R_3 = Qr$/ganho

Observações Finais

Os circuitos biquad com malhas de dois integradores são extremamemte versáteis e fáceis de ser projetados. Porém, seu funcionamento é afetado adversamente pela faixa de passagem finita dos amp ops. Há técnicas especiais para a compensação de tais efeitos sobre o circuito resultante (veja a Seção 11.12, de simulação do SPICE, e Sedra e Brackett, 1978).

Exercícios

P11.21 Projete o circuito KHN para obter uma função passa-altas com $f_0 = 10$ kHz e $Q = 2$. Escolha $C = 1$ nF. Qual o valor obtido para o ganho em altas freqüências? Qual o ganho na freqüência central da função passa-faixa que está disponível simultaneamente na saída do primeiro integrador?

Resposta $R = 15{,}9$ kΩ; $R_1 = R_f = R_2 = 10$ kΩ (arbitrário), $R_3 = 30$ kΩ; 1,5; 3

P11.22 Use o circuito KHN junto com a saída de um amplificador somador para projetar um filtro dente passa-baixas na freqüência $f_0 = 5$ kHz, $f_n = 8$ kHz, $Q = 5$ e um ganho cc de 3. Escolha $C = 1$ nF e $R_L = 10$ kΩ.

Resposta $R = 31{,}83$ kΩ; $R_1 = R_f = R_2 = 10$ kΩ (arbitrário), $R_3 = 90$ kΩ; $R_H = 25{,}6$ kΩ; $R_F = 16{,}7$ kΩ; $R_B = \infty$

P11.23 Use o biquad Tow–Thomas (Figura 11.25(b)) para projetar um filtro passa-faixa de segunda ordem com $f_0 = 10$ kHz, $Q = 20$ e ganho unitário na freqüência central. Se $R = 10$ kΩ, dê os valores de C, R_d e R_g.

Resposta 1,59 nF; 200 kΩ; 200 kΩ

P11.24 Use os dados da Tabela 11.2 para projetar o circuito biquad da Figura 11.26 a fim de obter um filtro passa-todas com $\omega_0 = 10^4$ rad/s, $Q = 5$ e ganho no plano = 1. Use $C = 10$ nF e $r = 10$ kΩ.

Resposta $R = 10$ kΩ; resistor de determinação de $Q = 50$ kΩ; $C_1 = 10$ nF; $R_1 = \infty$; $R_2 = 10$ kΩ; $R_3 = 50$ kΩ

11.8 FILTROS ATIVOS BIQUADRÁTICOS COM AMPLIFICADORES SIMPLES

Os circuitos biquadráticos com RC-amp op estudados nas duas últimas seções apresentam bom desempenho, são versáteis e fáceis de ser projetados e ajustados (sintonizados) depois da montagem final. Infelizmente, porém, eles não são econômicos no uso dos amp ops, necessitando de três ou quatro amplificadores por seção de segunda ordem. Isso pode ser um problema, especialmente nas aplicações em que a corrente da fonte de alimentação deve ser conservada, como, por exemplo, em um instrumento operado por bateria. Nesta seção estudaremos uma classe de circuitos de filtros de segunda ordem que requer apenas um amp op por biquad. Essas implementações minimalistas, contudo, apresentam uma grande dependência com o ganho finito e a faixa de passagem limitada do amp op e podem ser também mais sensíveis às inevitáveis tolerâncias nos valores dos resistores e capacitores do que nas implementações biquads com múltiplos amp ops apresentadas nas seções anteriores. Os **biquads com amplificadores simples** (BASs) são, portanto, adequados quando se deseja obter filtros com especificações menos rigorosas – por exemplo, filtros cujos pólos possuem fatores Q abaixo de 10.

A síntese dos circuitos BASs é baseada no uso da realimentação para mover os pólos de um circuito RC do eixo real negativo, no qual eles ficam naturalmente, para as posições dos conjugados complexos necessários para fornecer a resposta seletiva desejada. A síntese dos BASs segue um processo de dois passos:

1. A síntese de uma malha de realimentação que realiza um par de pólos conjugados complexos caracterizados por uma freqüência ω_0 e um fator Q.
2. A injeção de um sinal na entrada, de modo que se tenham os zeros de transmissão desejados.

A Síntese de uma Malha de Realimentação

Considere o circuito mostrado na Figura 11.27(a), que consiste em uma rede RC n de dois acessos colocada no caminho da realimentação negativa do amp op. Podemos supor, exceto por ter um ganho finito A, que o amp op é ideal. Podemos representar por $t(s)$ a função de transferência de tensão em circuito aberto da rede RC n, na qual a definição de $t(s)$ está ilustrada na Figura 11.27(b). A função de transferência $t(s)$ pode ser escrita, em geral, como a razão de dois polinômios $N(s)$ e $D(s)$:

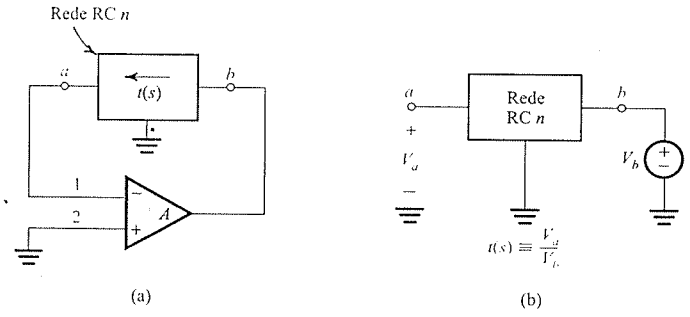


Figura 11.27 (a) Malha de realimentação obtida pela colocação de uma rede RC n de dois acessos no caminho da realimentação do amp op. (b) Definição da função de transferência de malha aberta $t(s)$ da rede RC.

$$t(s) = \frac{N(s)}{D(s)}$$

As raízes de $N(s)$ são os zeros de transmissão da rede RC e as raízes de $D(s)$ são seus pólos. Estudos sobre a teoria de redes mostram que, enquanto os pólos de uma rede RC estão restritos ao eixo real negativo, os zeros podem estar em qualquer parte do plano s.

O ganho $L(s)$ do circuito de realimentação na Figura 11.27(a) pode ser determinado usando-se o método da Seção 8.7. Ele é simplesmente o produto do ganho A do amp op pela função de transferência $t(s)$,

$$L(s) = At(s) = \frac{AN(s)}{D(s)} \tag{11.69}$$

Substituindo $L(s)$ na equação característica:

$$1 + L(s) = 0 \tag{11.70}$$

resulta nos pólos s_p do circuito em malha fechada, obtidos como soluções para a equação

$$t(s_P) = -\frac{1}{A} \tag{11.71}$$

No caso ideal, $A = \infty$ e os pólos são obtidos por

$$N(s_P) = 0 \tag{11.72}$$

Isto é, *os pólos são idênticos aos zeros da rede RC.*

Como nosso objetivo é obter um par de pólos conjugados complexos, devemos escolher uma rede RC que tenha zeros de transmissão conjugados complexos. As mais simples dessas redes são as redes T em ponte, mostradas na Figura 11.28, com suas funções de transferência $t(s)$ de b para a, com a como circuito aberto. Como exemplo, considere o circuito obtido pela colocação da rede T em ponte da Figura 11.28(a) no caminho da realimentação negativa de um amp op, conforme mostrado na Figura 11.29. O polinômio dos pólos do circuito do filtro ativo será igual ao polinômio do numerador da rede T em ponte; portanto,

$$s^2 + s\frac{\omega_0}{Q} + \omega_0^2 = s^2 + s\left(\frac{1}{C_1} + \frac{1}{C_2}\right)\frac{1}{R_3} + \frac{1}{C_1 C_2 R_3 R_4}$$

o que nos permite obter ω_0 e Q como

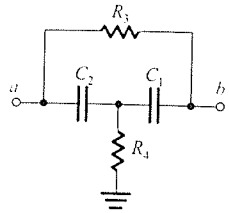
$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_3 R_4}} \tag{11.73}$$

$$Q = \left[\frac{\sqrt{C_1 C_2 R_3 R_4}}{R_3}\left(\frac{1}{C_1} + \frac{1}{C_2}\right)\right]^{-1} \tag{11.74}$$

Se estivermos projetando esse circuito, ω_0 e Q serão dados e as Equações 11.73 e 11.74 podem ser usadas para determinar C_1, C_2, R_3 e R_4. Isso significa que há dois graus de liberdade. Verificaremos exaustivamente um deles pela escolha de $C_1 = C_2 = C$. Também representaremos $R_3 = R$ e $R_4 = R/m$. Pela substituição nas Equações 11.73 e 11.74 e com algumas manipulações algébricas, obtemos

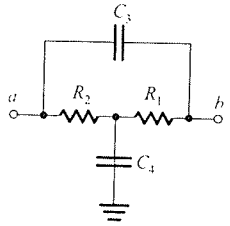
$$m = 4Q^2 \tag{11.75}$$

$$CR = \frac{2Q}{\omega_0} \tag{11.76}$$



$$t(s) = \frac{s^2 - s\left(\frac{1}{C_1} + \frac{1}{C_2}\right)\frac{1}{R_3} + \frac{1}{C_1C_2R_3R_4}}{s^2 + s\left(\frac{1}{C_1R_3} + \frac{1}{C_2R_3} + \frac{1}{C_1R_4}\right) + \frac{1}{C_1C_2R_3R_4}}$$

(a)



$$t(s) = \frac{s^2 - s\left(\frac{1}{R_1} + \frac{1}{R_2}\right)\frac{1}{C_3} + \frac{1}{C_3C_4R_1R_2}}{s^2 + s\left(\frac{1}{C_3R_1} + \frac{1}{C_4R_2} - \frac{1}{C_3R_2}\right) + \frac{1}{C_3C_4R_1R_2}}$$

(b)

Figura 11.28 Duas redes RC (chamadas de redes T em ponte) que têm zeros de transmissão complexos. As funções de transferência dadas são de b para a com a em circuito aberto.

Portanto, se for dado o valor de Q, a Equação 11.75 pode ser usada para determinar a razão das resistências R_3 e R_4. Então, os valores dados para w_0 e Q podem ser substituídos na Equação 11.76 para determinar a constante de tempo CR. Ainda resta um grau de liberdade – o valor de C ou de R pode ser arbitrariamente escolhido. Em um projeto real, esse valor, que dá o *valor da impedância* do circuito, deve ser escolhido de modo que os valores dos componentes resultantes sejam práticos.

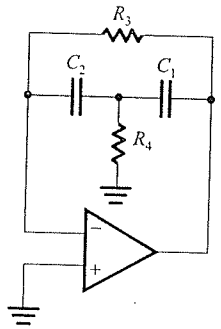


Figura 11.29 Uma malha de realimentação de um filtro ativo usando a rede T em ponte da Figura 11.28(a).

Exercícios

P11.25 Projete o circuito da Figura 11.29 para obter um par de pólos com $\omega_0 = 10^4$ rad/s e $Q = 1$. Escolha $C_1 = C_2 = 1$ nF.

Resposta $R_3 = 200$ kΩ; $R_4 = 50$ kΩ

11.26 Para o circuito projetado no Exercício 11.25, encontre as posições dos pólos da rede RC na malha de realimentação.

Resposta $-0{,}382 \times 10^4$ e $-2{,}618 \times 10^4$ rad/s

Injetando o Sinal na Entrada

Tendo sintetizado uma malha de realimentação que fornece o par de pólos desejado, consideraremos agora a conexão de uma fonte de sinal na entrada do circuito. Queremos fazer isso, é claro, sem alterar os pólos.

Para encontrar os pólos de um circuito, uma fonte de tensão ideal é equivalente a um curto-circuito.

Isso implica que qualquer nó de um circuito que está conectado ao terra pode estar conectado à fonte de tensão de entrada sem causar alteração nos pólos.

Portanto, o método de injeção de um sinal de entrada na malha de realimentação consiste simplesmente em desconectar um componente (ou vários componentes) que está(ão) conectado(s) ao terra e conectá-lo(s) à fonte do sinal de entrada. Dependendo do(s) componente(s) através do(s) qual(is) o sinal de entrada é injetado, são obtidos diferentes zeros de transmissões. Esse, é claro, é o mesmo método que usamos na Seção 11.5 com um ressonador LCR e na Seção 11.6 com os biquads baseados no ressonador LCR.

Como exemplo, considere a malha de realimentação da Figura 11.29. Nessa figura, temos dois nós aterrados (um terminal de R_4 e o terminal de entrada positiva do amp op), que podem servir para injetarmos o sinal de entrada. A Figura 11.30 mostra o circuito com o sinal de entrada injetado através de parte da resistência R_4. Observe que as duas resistências R_4/α e $R_4/(1-\alpha)$ têm um equivalente paralelo de R_4.

A análise do circuito para determinar sua função de transferência de tensão $T(s) \equiv V_o(s)/V_i(s)$ está ilustrada na Figura 11.30(b). Observe que assumimos um amp op ideal e que indicamos a ordem da análise em círculos numerados. O passo final, número 9, consiste na determinação da equação nodal em X e substituição de V_x pelo valor determinado no passo 5. O resultado é a função de transferência

$$\frac{V_o}{V_i} = \frac{-s(\alpha/C_1R_4)}{s^2 + s\left(\frac{1}{C_1} + \frac{1}{C_2}\right)\frac{1}{R_3} + \frac{1}{C_1C_2R_3R_4}}$$

Reconhecemos essa função como a passa-faixa cujo ganho na freqüência central pode ser controlado pelo valor α. Conforme esperado, o polinômio do denominador é idêntico ao polinômio do numerador de $t(s)$ dado na Figura 11.28(a).

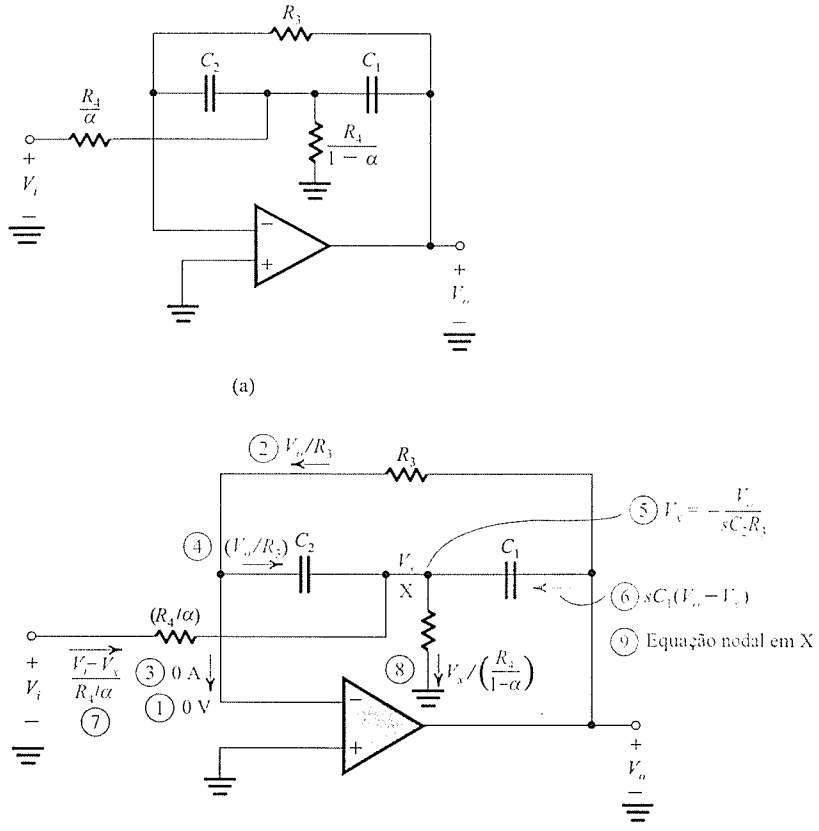


Figura 11.30 (a) A malha de realimentação da Figura 11.29 com o sinal de entrada injetado através de parte da resistência R_4. Esse circuito implementa uma função passa-faixa. (b) Análise do circuito em (a) para determinar sua função de transferência de tensão $T(s)$.

Exercício

11.27 Use os valores dos componentes obtidos no Exercício 11.25 para projetar o circuito passa-faixa da Figura 11.30(a). Determine os valores de (R_4/α) e $R_4/(1-\alpha)$ para obter um ganho unitário na freqüência central.

Resposta 100 kΩ; 100 kΩ

Geração de Malhas de Realimentação Equivalentes

A **transformação complementar** das malhas de realimentação é baseada em uma propriedade das redes lineares ilustrada na Figura 11.31, válida para as redes n de dois acessos (com três terminais). Na figura (a), o terminal c é aterrado e um sinal V_b é aplicado ao terminal b. A função de transferência de b para a com c aterrado é representada por t. Portanto, na parte (b), o terminal b é aterrado e o sinal de entrada é aplicado ao terminal c. A função de transferência de c para a, com b aterrado, pode ser mostrada como a complementar de t – isto é, $1 - t$. (Lembre-se de que usamos essa propriedade na obtenção de um circuito que implementa a função de um passa-todas na Seção 11.6.)

A aplicação da transformação complementar gera uma malha de realimentação equivalente. Seu procedimento consta de duas etapas:

1. Os nós da malha de realimentação e quaisquer entradas do amp op que são conectadas ao terra devem ser desconectados do terra e conectados na saída do amp op. De modo inverso, aqueles nós que estavam conectados na saída do amp op devem ser conectados ao terra. Isto é, simplesmente trocamos o terminal de saída do amp op pelo terra.
2. Os dois terminais de entrada do amp op devem ser trocados.

A malha de realimentação gerada por essa transformação tem a mesma equação característica e, portanto, os mesmos pólos da malha original.

Para ilustrar, mostramos na Figura 11.32(a) a malha de realimentação formada pela conexão de uma rede RC de dois acessos no caminho da malha de realimentação negativa de um amp op. A aplicação da transformação complementar dessa malha resulta na malha de realimentação da Figura 11.32(b). Observe que nesta última malha o amp op é usado na configuração seguidora com ganho unitário. Devemos mostrar agora que as duas malhas da Figura 11.32 são equivalentes.

Se o amp op tiver um ganho de malha aberta A, o seguidor no circuito da Figura 11.32(b) terá um ganho de $A/(A + 1)$.

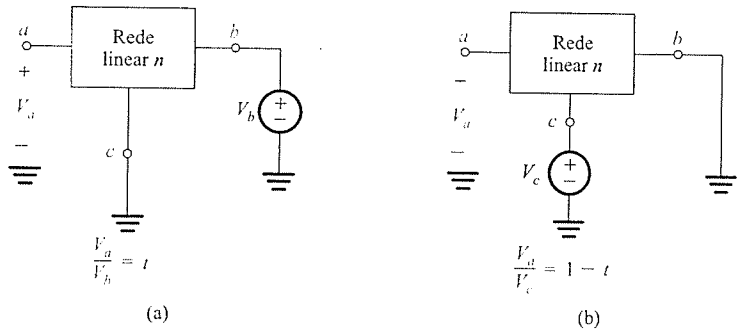
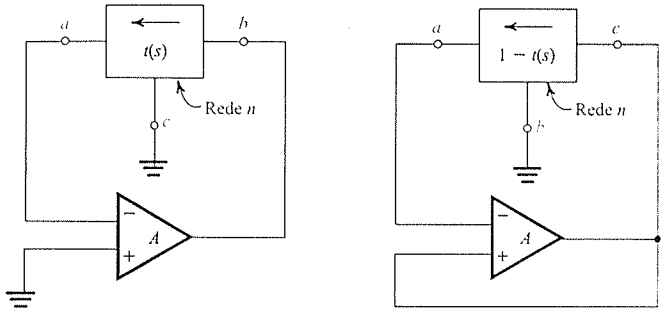


Figura 11.31 A troca da entrada e do terra resulta em uma função de transferência complementar.



(a) (b)

Figura 11.32 Aplicação da transformação complementar à malha de realimentação em **(a)** resulta na malha equivalente (mesmos pólos) em **(b)**.

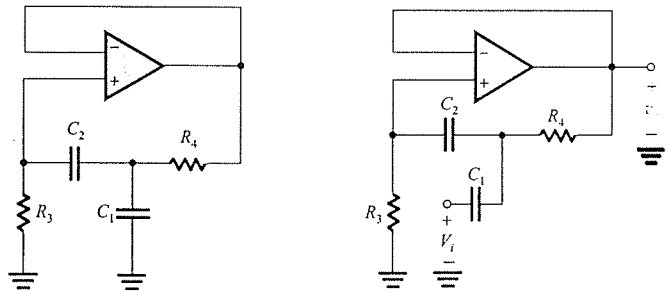
Isso, juntamente com o fato de que a função de transferência da rede n de c para a é $1 - t$ (veja a Figura 11.31), nos permite escrever, para o circuito na Figura 11.32(b), a equação característica

$$1 - \frac{A}{A+1}(1-t) = 0$$

Essa equação pode ser manipulada para formar

$$1 + At = 0$$

que é a equação característica da malha na Figura 11.32(a). Como exemplo, considere a aplicação da transformação complementar para a malha de realimentação da Figura 11.29, que resulta na malha de realimentação da Figura 11.33(a).

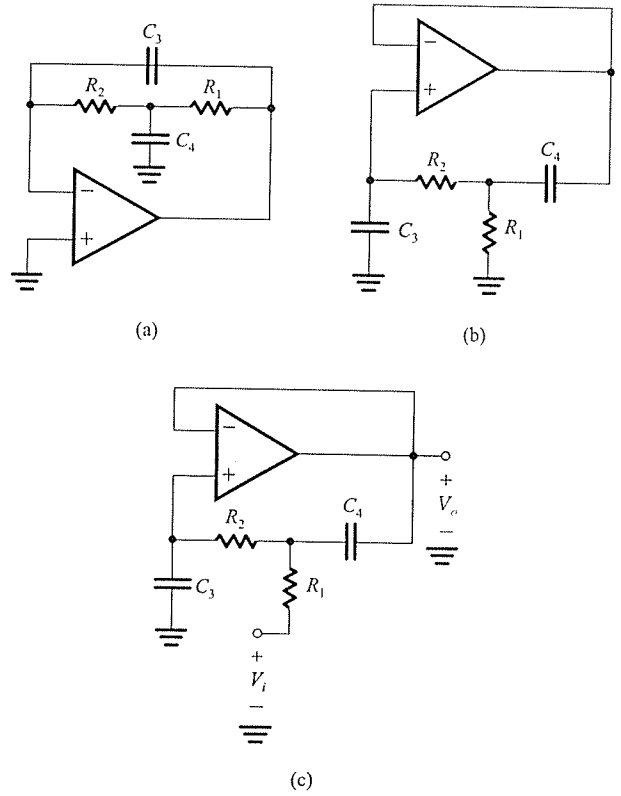


(a) (b)

Figura 11.33 **(a)** Malha de realimentação obtida pela aplicação da transformação complementar da malha da Figura 11.29. **(b)** Injetando o sinal de entrada através de C_1 implementa-se a função passa-altas. Esse é um dos circuitos da família Sallen-Key.

A injeção do sinal de entrada através de C_1 resulta no circuito da Figura 11.33(b), que pode ser mostrado (por análise direta) que implementa a função passa-altas de segunda ordem. Esse é um dos circuitos BASs conhecidos como circuitos Sallen-Key, nome de seus criadores. O projeto do circuito na Figura 11.33(b) é baseado nas Equações 11.73 a 11.76; a saber, $R_3 = R$, $R_4 = R/4Q^2$, $C_1 = C_2 = C$, $CR = 2Q/\omega_0$ e o valor de C é arbitrariamente escolhido para ser convenientemente prático.

Como outro exemplo, a Figura 11.34(a) mostra a malha de realimentação gerada pela colocação da rede RC de dois acessos da Figura 11.28(b) no caminho da realimentação negativa de um amp op. Para um amp op ideal, essa malha de realimentação cria um par de modos naturais conjugados complexos tendo as mesmas posições dos zeros de $t(s)$ da rede RC.



(a) (b) (c)

Figura 11.34 **(a)** Malha de realimentação obtida pela colocação da rede T em ponte da Figura 11.28(b) no caminho de realimentação negativa do amp op. **(b)** Malha de realimentação equivalente gerada pela aplicação da transformação complementar à malha em (a). **(c)** Um filtro passa-baixas obtido injetando-se V_i através de R_1 na malha em (b).

Portanto, usando a expressão para $t(s)$ dada na Figura 11.28(b), podemos escrever para os pólos do filtro ativo

$$\omega_0 = 1/\sqrt{C_3 C_4 R_1 R_2} \tag{11.77}$$

$$Q = \left[\frac{\sqrt{C_3 C_4 R_1 R_2}}{C_4}\left(\frac{1}{R_1}+\frac{1}{R_2}\right)\right]^{-1} \tag{11.78}$$

Normalmente, o projeto desse circuito é baseado na escolha de $R_1 = R_2 = R$, $C_4 = C$ e $C_3 = C/m$. Quando substituídos nas Equações 11.77 e 11.78, elas produzem

$$m = 4Q^2 \tag{11.79}$$

$$CR = 2Q/\omega_0 \tag{11.80}$$

com o outro grau de liberdade (o valor de C ou de R) deixado a cargo do projetista.

Injetar o sinal de entrada no terminal de C_4 que está conectado ao terra pode resultar na obtenção de um passa-baixas.

Se, contudo, aplicarmos a transformação complementar à malha de realimentação na Figura 11.34(a), obteremos a malha equivalente na Figura 11.34(b). A equivalência de malhas significa que o circuito da Figura 11.34(b) tem os mesmos pólos e, portanto, os mesmos ω_0 e Q e as mesmas equações de projeto (Equações 11.77 a 11.80). A nova malha na Figura 11.34(b) pode ser usada para obter a função passa-baixas pela injeção do sinal de entrada, conforme mostrado na Figura 11.34(c).

Exercícios

11.28 Analise o circuito da Figura 11.34(c) para determinar sua função de transferência $V_o(s)/V_i(s)$ e depois mostre que ω_0 e Q são realmente aqueles das Equações 11.77 e 11.78. Mostre também que o ganho *cc* é unitário.

P11.29 Projete o circuito da Figura 11.34(c) para implementar um filtro passa-baixas com $f_0 = 4$ kHz e $Q = 1/\sqrt{2}$. Use resistores de 10 kΩ.

Resposta $R_1 = R_2 = 10$ kΩ; $C_3 = 2{,}81$ nF; $C_4 = 5{,}63$ nF

11.9 SENSIBILIDADE

Devido às tolerâncias nos valores dos componentes e por causa do ganho finito do amp op, a resposta real de um filtro montado será diferente da resposta ideal. Como um meio para prever tal desvio, os projetistas de filtros empregam o conceito da **sensibilidade**. Especificamente, para filtros de segunda ordem, interessamo-nos normalmente em saber quão *sensíveis* são seus pólos em relação às variações (tanto das tolerâncias iniciais quanto das futuras mudanças) nos valores dos componentes RC e no ganho do amplificador. Essas sensibilidades podem ser quantificadas usando-se a **função clássica da sensibilidade** S_x^y, definida por

$$S_x^y \equiv \operatorname*{Lim}_{\Delta x \to 0} \frac{\Delta y/y}{\Delta x/x} \tag{11.81}$$

Portanto,

$$S_x^y = \frac{\partial y}{\partial x}\frac{x}{y} \tag{11.82}$$

Nessa equação, x representa o valor de uma componente (um resistor, um capacitor ou o ganho de um amplificador) e y representa um parâmetro de circuito (digamos, ω_0 ou Q). Para pequenas variações

$$S_x^y \simeq \frac{\Delta y/y}{\Delta x/x} \tag{11.83}$$

Podemos usar, portanto, o valor de S_x^y para determinar a variação por unidade em y devida a uma dada variação por unidade em x. Por exemplo, se a sensibilidade de Q relativa a uma resistência particular R_1 for 5, então um aumento de 1% em R_1 resulta em um aumento de 5% no valor de Q.

EXEMPLO 11.3

Para a malha de realimentação da Figura 11.29, calcule as sensibilidades de ω_0 e Q relativas a todos os componentes passivos e ao ganho do amp op. Calcule essas sensibilidades para o projeto considerado nas seções anteriores cujos valores são $C_1 = C_2$.

SOLUÇÃO

Para encontrar essas sensibilidades em relação aos componentes passivos, chamadas **sensibilidades passivas**, fazemos a suposição de que o ganho do amp op é infinito. Nesse caso, ω_0 e Q são dados pelas Equações 11.73 e 11.74. Logo, para ω_0 temos

$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_3 R_4}}$$

que pode ser usada com a definição da sensibilidade da Equação 11.82 para obter

$$S_{C_1}^{\omega_0} = S_{C_2}^{\omega_0} = S_{R_3}^{\omega_0} = S_{R_4}^{\omega_0} = -\frac{1}{2}$$

Para Q temos

$$Q = \left[\sqrt{C_1 C_2 R_3 R_4}\left(\frac{1}{C_1}+\frac{1}{C_2}\right)\frac{1}{R_3}\right]^{-1}$$

em que aplicamos a definição da sensibilidade para obter

$$S_{C_1}^{Q} = \frac{1}{2}\left(\sqrt{\frac{C_2}{C_1}}-\sqrt{\frac{C_1}{C_2}}\right)\left(\sqrt{\frac{C_2}{C_1}}+\sqrt{\frac{C_1}{C_2}}\right)^{-1}$$

Para o projeto com $C_1 = C_2$, vemos que $S_{C_1}^{Q} = 0$. De modo similar, podemos mostrar que

$$S_{C_2}^{Q} = 0. \qquad S_{R_3}^{Q} = \frac{1}{2}, \qquad S_{R_4}^{Q} = -\frac{1}{2}$$

É importante observar que a expressão da sensibilidade deve ser derivada em sua forma literal, isto é, *antes* da substituição dos valores correspondentes para um projeto particular.

A seguir consideraremos as sensibilidades relativas ao ganho do amplificador. Se fizermos a suposição de que o amp op tem um ganho finito A, a equação característica fica sendo

$$1 + At(s) = 0 \tag{11.84}$$

em que $t(s)$ é dada na Figura 11.28(a). Para simplificar o problema, podemos substituir os componentes passivos por seus valores de projeto. Isso não causa erro nas sensibilidades calculadas, visto que agora estamos calculando a sensibilidade em relação ao ganho do amplificador. Usando os valores do projeto obtidos anteriormente – a saber, $C_1 = C_2 = C$, $R_3 = R$, $R_4 = R/4Q^2$ e $CR = 2Q/\omega_0$ – obtemos

$$t(s) = \frac{s^2 + s(\omega_0/Q) + \omega_0^2}{s^2 + s(\omega_0/Q)(2Q^2 + 1) + \omega_0^2} \tag{11.85}$$

em que ω_0 e Q representam os valores nominais ou valores de projeto da freqüência do pólo e do fator Q. Os valores reais são obtidos pela substituição de $t(s)$ na Equação 11.84:

$$s^2 + s\frac{\omega_0}{Q}(2Q^2 + 1) + \omega_0^2 + A\left(s^2 + s\frac{\omega_0}{Q} + \omega_0^2\right) = 0$$

Supondo o ganho A como real e dividindo os dois lados por $A + 1$, obtemos

$$s^2 + s\frac{\omega_0}{Q}\left(1 + \frac{2Q^2}{A+1}\right) + \omega_0^2 = 0 \tag{11.86}$$

A partir dessa equação, vemos que o pólo da freqüência real, ω_{0a}, e o pólo Q, Q_a, são

$$\omega_{0a} = \omega_0 \tag{11.87}$$

$$Q_a = \frac{Q}{1 + 2Q^2/(A+1)} \tag{11.88}$$

Portanto,

$$S_A^{\omega_{0a}} = 0$$

$$S_A^{Q_a} = \frac{A}{A+1}\,\frac{2Q^2/(A+1)}{1 + 2Q^2/(A+1)}$$

Para $A >> 2Q^2$ e $A >> 1$, obtemos

$$S_A^{Q_a} \simeq \frac{2Q^2}{A}$$

É comum retirar o subscrito a dessa expressão e escrever

$$S_A^{Q} \simeq \frac{2Q^2}{A} \tag{11.89}$$

Observe que se Q for alto ($Q \geq 5$), sua sensibilidade, relativa ao ganho do amplificador, pode ser muito alta.[7]

7. Devido ao ganho A do amp op em malha aberta ter uma larga tolerância, é importante manter $S_A^{\omega_0}$ e S_A^{Q} bastante pequenos.

Observação Final

Os resultados do Exemplo 11.3 indicam uma séria desvantagem do biquad com amplificador simples – a sensibilidade de Q relativa ao ganho do amplificador é muito alta. Embora haja uma técnica para a redução de S_A^Q nos BASs (veja Sedra *et al.*, 1980), ela é feita às custas de um aumento nas sensibilidades passivas. Entretanto, os BASs resultantes são usados extensivamente em muitas aplicações. Contudo, para os filtros com fatores Q maiores do que cerca de 10, optamos usualmente por um dos biquads multiamplificadores estudados na Seções 11.6 e 11.7. Para esses circuitos, S_A^Q é proporcional a Q, em vez de Q^2, como no caso do BAS (Equação 11.89).

Exercício

11.30 Em um filtro particular utilizando a malha de realimentação da Figura 11.29, com $C_1 = C_2$, calcule a variação em porcentagem prevista em ω_0 e Q com as seguintes condições: (a) R_3 é 2% maior. (b) R_4 é 2% maior. (c) Ambas, R_3 e R_4, são 2% maiores. (d) Ambos os capacitores são 2% maiores e ambos os resistores são 2% menores.

Resposta (a) –1%, +1%; (b) –1%, –1%; (c) –2%, 0%; (d) 0%, 0%

11.10 FILTROS COM CAPACITORES CHAVEADOS

Os circuitos de filtros ativos RC apresentados anteriormente têm duas propriedades que tornam difícil sua produção monolítica na forma de CI, se não praticamente impossível: a necessidade de capacitores de altos valores e de constantes de tempo RC precisas. Portanto, continua-se a busca por um método de projeto de filtros que se preste mais naturalmente à implementação em CI. Nesta seção, introduziremos um desses métodos. Até o momento da escrita deste livro, ele parece ser o melhor candidato para essa tarefa.

O Princípio Básico

A técnica de filtros com capacitores chaveados está baseada na hipótese de que um capacitor chaveado entre dois nós de um circuito operando a uma taxa suficientemente alta é equivalente à conexão de um resistor entre esses dois nós. Para ser específico, considere o integrador RC ativo da Figura 11.35(a). Ele é o familiar integrador de Miller, que usamos na malha de dois integradores dos circuitos biquads na Seção 11.7. Na Figura 11.35(b), substituímos o resistor de entrada R_1 por um capacitor aterrado C_1 junto com dois transistores MOS funcionando como chaves. Em alguns circuitos, são usadas configurações mais elaboradas, mas tais detalhes estão além de nossa necessidade.

As duas chaves MOS na Figura 11.35(b) são acionadas por um relógio de duas fases *não-superpostas*. A Figura 11.35(c) mostra as formas de ondas do relógio. Vamos supor nesta exposição introdutória que a freqüência do relógio f_c ($f_c = 1/T_c$) seja muito maior do que a freqüência do sinal que está sendo filtrado. Portanto, durante a fase ϕ_1 do relógio, quando C_1 é conectado à fonte de sinal de entrada v_i, as variações do sinal de entrada são desprezivelmente pequenas. Isso significa que durante ϕ_1 o capacitor C_1 carrega até o valor da tensão v_i,

$$q_{C1} = C_1 v_i$$

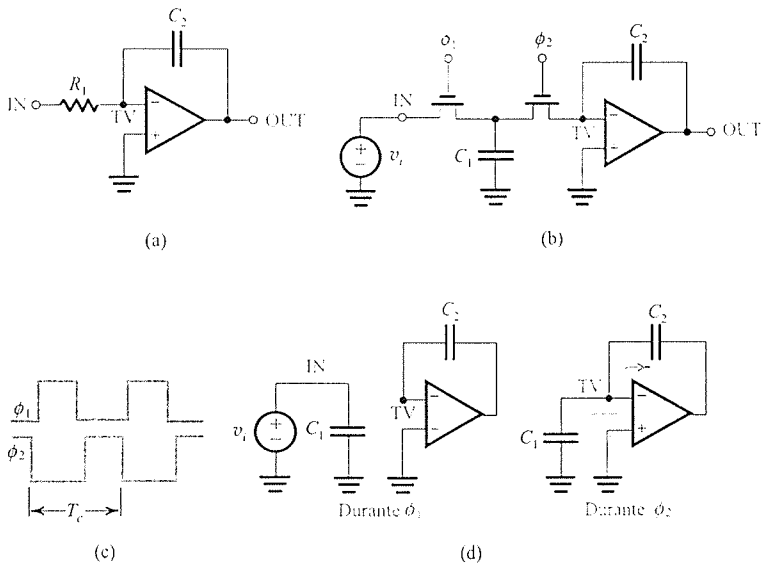


Figura 11.35 Princípio básico da técnica de filtro com capacitores chaveados: (a) Integrador RC ativo. (b) Integrador com capacitores chaveados. (c) Relógio de duas fases (não superpostas). (d) Durante ϕ_1, C_1 carrega até o valor de corrente de v_i e, então, durante ϕ_2, descarrega sobre C_2.

Depois, durante a fase ϕ_2, o capacitor C_1 é conectado ao terra virtual da entrada do amp op, conforme indicado na Figura 11.35(d). O capacitor C_1 é então forçado a descarregar e sua carga anterior q_{C1} é transferida para C_2, no sentido indicado na Figura 11.35(d).

Pela descrição anterior, vemos que durante cada período do relógio T_c uma quantidade de carga $q_{C1} = C_1 v_i$ é extraída da fonte de entrada e fornecida ao capacitor do integrador C_2. Portanto, a corrente média que circula entre o nó de entrada (IN) e o nó do terra virtual (TV) é

$$i_{\text{méd}} = \frac{C_1 v_i}{T_c}$$

Se T_c for suficientemente curto, podemos pensar nesse processo como quase contínuo e definir uma resistência equivalente R_{eq}, que está efetivamente presente entre os nós IN e TV:

$$R_{\text{eq}} \equiv v_i / i_{\text{méd}}$$

Portanto,

$$R_{\text{eq}} = T_c / C_1 \tag{11.90}$$

Usando R_{eq}, obtemos uma constante de tempo equivalente para o integrador:

$$\text{Constante de tempo} = C_2 R_{\text{eq}} = T_c \frac{C_2}{C_1} \tag{11.91}$$

Portanto, a constante de tempo que determina a resposta em freqüência do filtro é determinada pelo período do relógio T_c e pela razão dos capacitores C_2/C_1. Esses dois parâmetros podem ser bem controlados no processo de fabricação de um CI. Especificamente, observe a dependência com a razão dos capacitores em vez dos valores absolutos dos capacitores. A precisão das razões dos capacitores na tecnologia MOS pode ser controlada até em uma faixa de 0,1%.

Outro ponto importante é que, para uma freqüência de relógio razoável (como 100 kHz) e uma razão de capacitores não muito alta (digamos de 10), podemos obter constantes de tempo razoavelmente altas (como 10^{-4} s), convenientes para aplicações de áudio. Como os capacitores ocupam tipicamente áreas relativamente grandes da pastilha do CI, é importante observar que as precisões das razões citadas anteriormente são obtidas com capacitores de valores tão baixos quanto 0,2 pF.

Circuitos Práticos

O circuito com capacitores chaveados (BCC) na Figura 11.35(b) implementa um integrador inversor (observe o sentido do fluxo de carga através de C_2 na Figura 11.35(d)). Conforme vimos na Seção 11.7, um filtro ativo com malha de dois integradores é composto de um integrador inversor e um não-inversor.[8] Para implementar um filtro do tipo biquad com capacitores chaveados, necessitamos, portanto, de um par de integradores com capacitores chaveados complementares. A Figura 11.36(a) mostra um circuito integrador não-inversor ou positivo. Aconselhamos ao leitor seguir a operação desse circuito durante as duas fases do relógio e, depois, mostrar que ele opera de modo idêntico ao circuito básico da Figura 11.35(b), exceto por uma inversão de sinal.

Além de implementar a função de um integrador não-inversor, o circuito na Figura 11.36(a) não é suscetível às capacitâncias parasitas; logo, não exploraremos mais esse ponto. O leitor interessado deve ler Schaumann *et al.* (1990). Invertendo as fases do relógio em duas das chaves, obtemos o circuito na Figura 11.36(b). Esse circuito implementa a função do integrador inversor, como o circuito da Figura 11.35(b), porém não é suscetível às capacitâncias parasitas (contrariamente ao circuito original da Figura 11.35(b)). O par de integradores complementares da Figura 11.36 tornou-se o bloco-padrão no projeto de filtros com capacitores chaveados.

Consideraremos agora a realização de um circuito biquad completo. A Figura 11.37(a) mostra o circuito RC ativo com uma malha de dois integradores já estudado anteriormente. Considerando a cascata do segundo integrador com o inversor como sendo um integrador positivo e depois substituindo simplesmente cada resistor por seu capacitor chaveado equivalente, obtemos o circuito da Figura 11.37(b). Ignore, por enquanto, o amortecimento em torno do primeiro integrador (isto é, o capacitor chaveado C_5) e observe que a malha de realimentação consiste realmente em um integrador inversor e em um não-inversor. Depois, observe a fase do capacitor chaveado usado para o amortecimento. Invertendo as fases nesse ponto, converteríamos a realimentação para positiva e moveríamos os pólos para o semiplano direito de s. Por outro lado, a fase do capacitor chaveado de entrada (C_6) não é tão importante; a inversão de fase resultaria apenas em uma inversão do sinal da função implementada.

Tendo identificado as correspondências entre o biquad RC ativo e o biquad com capacitores chaveados, podemos agora derivar as equações do projeto. A análise do circuito na Figura 11.37(a) produz

8. Na malha de dois integradores da Figura 11.25(b), o integrador não-inversor é obtido pela cascata de um integrador Miller e um inversor.

$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_3 R_4}} \tag{11.92}$$

Substituindo R_2 e R_4 por seus valores equivalentes no biquad com capacitores chaveados, isto é,

$$R_3 = T_c/C_3 \quad \text{e} \quad R_4 = T_c/C_4$$

nos dá ω_0 do biquad com capacitores chaveados como

$$\omega_0 = \frac{1}{T_c}\sqrt{\frac{C_3}{C_2}\frac{C_4}{C_1}} \tag{11.93}$$

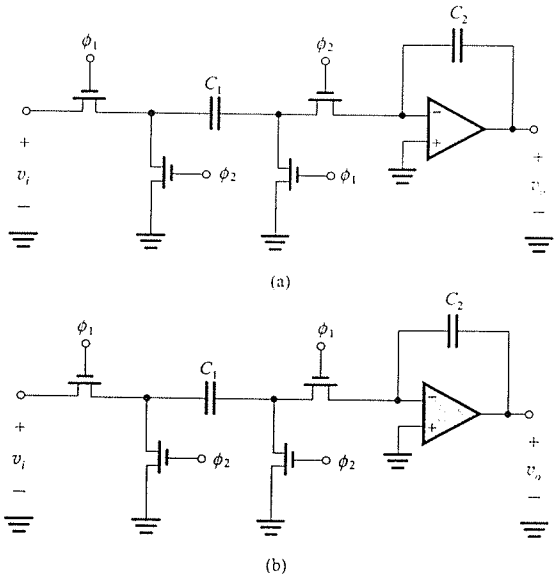


Figura 11.36 Um par de integradores complementares baseados em capacitores chaveados que são insensíveis a efeitos parasitários. (a) Integrador não-inversor com capacitores chaveados. (b) Integrador inversor com capacitores chaveados.[3]

É comum fazer as constantes de tempo dos dois integradores iguais; isto é,

$$\frac{T_c}{C_3}C_2 = \frac{T_c}{C_4}C_1 \tag{11.94}$$

Se, além disso, fizermos os capacitores dos dois integradores C_1 e C_2 iguais,

$$C_1 = C_2 = C \tag{11.95}$$

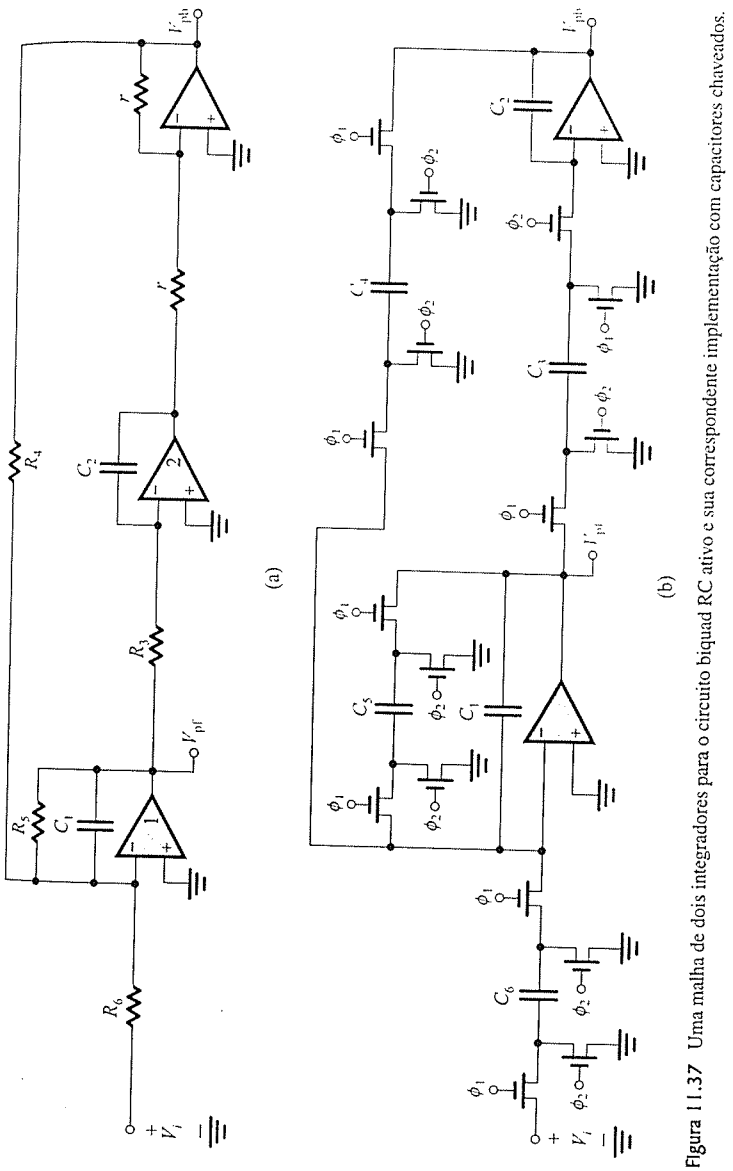


Figura 11.37 Uma malha de dois integradores para o circuito biquad RC ativo e sua correspondente implementação com capacitores chaveados.

então,

$$C_3 = C_4 = KC \tag{11.96}$$

em que, pela Equação 11.93,

$$K = \omega_0 T_c \tag{11.97}$$

Para o caso das constantes de tempo iguais, o fator Q do circuito na Figura 11.37(a) é dado por R_5/R_4. Portanto, na Figura 11.37(b), o fator Q do circuito com capacitores chaveados correspondente é dado por

$$Q = \frac{T_c/C_5}{T_c/C_4} \tag{11.98}$$

Portanto, C_5 pode ser escolhido por

$$C_5 = \frac{C_4}{Q} = \frac{KC}{Q} = \omega_0 T_c \frac{C}{Q} \tag{11.99}$$

Finalmente, o ganho na freqüência central da função passa-faixa é dado por

$$\text{Ganho na freqüência central} = \frac{C_6}{C_5} = Q\frac{C_6}{\omega_0 T_c C} \tag{11.100}$$

Exercício

P11.31 Use $C_1 = C_2 = 20$ pF e projete o circuito da Figura 11.37(b) para implementar a função do passa-faixa com $f_0 = 10$ kHz, $Q = 20$ e ganho unitário na freqüência central. Use como freqüência de relógio $f_c = 200$ kHz. Calcule os valores de C_3, C_4, C_5 e C_6.

Resposta 6,283 pF; 6,283 pF; 0,314 pF; 0,314 pF

Observação Final

Nossa intenção é fornecer apenas uma introdução aos filtros com capacitores chaveados. Fizemos várias suposições para simplificar, a mais importante foi a equivalência de um resistor e um capacitor chaveado (Equação 11.90). Essa equivalência é correta apenas se $f_c = \infty$ e aproximadamente correta se $f_c >> f$. Os filtros com capacitores chaveados são, na realidade, redes com sinais amostrados cuja análise e projeto podem ser efetuados com exatidão usando as técnicas que empregam as *transformadas z*. O leitor interessado deve consultar a bibliografia no final deste capítulo.

11.11 AMPLIFICADORES SINTONIZADOS

Nesta seção estudaremos um tipo especial de rede seletiva em freqüência, o amplificador sintonizado LC. A Figura 11.38 mostra a forma geral da resposta em freqüência de um amplificador sintonizado. As técnicas discutidas aplicam-se ao amplificador com freqüências centrais na faixa de algumas poucas centenas de kHz a algumas poucas centenas de MHz. Os amplificadores sintonizados encontram aplicações nas radiofreqüências (RF) e nas freqüências intermediárias (FI) das seções dos receptores de comunicações e em uma variedade de outros sistemas.

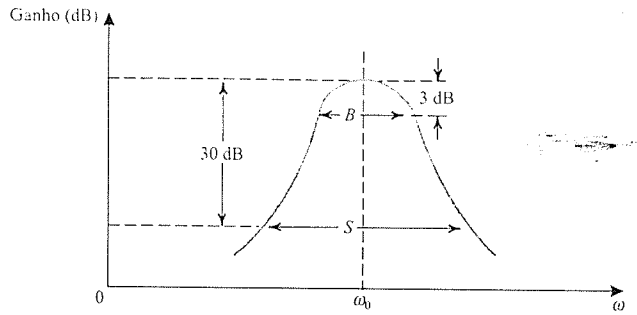


Figura 11.38 Resposta em freqüência de um amplificador sintonizado.

Deve ser observado que a resposta do amplificador sintonizado da Figura 11.38 é similar à do filtro passa-faixa discutido nas seções anteriores.

Conforme indicado na Figura 11.38, a resposta é caracterizada pela freqüência central ω_0, pela faixa de passagem a 3 dB, B, e pela *seletividade da borda* (*skirt selectivity*), usualmente medida como a razão entre a faixa de passagem a 30 dB e a faixa de passagem a 3 dB. Em várias aplicações, a faixa de passagem a 3 dB é menor do que 5% de ω_0. Essa propriedade de **faixa estreita** torna possível certas aproximações que podem simplificar o processo de projeto, como será explicado mais adiante.

Os amplificadores sintonizados estudados nesta seção são amplificadores de tensão para pequenos sinais em que os transistores operam no modo classe A. Amplificadores sintonizados de potência baseados em classe C e outros modos de operação empregando chaveamento não serão estudados neste livro.

O Princípio Básico

O princípio básico que fundamenta o projeto dos amplificadores sintonizados é o uso de um circuito paralelo LCR como carga ou na entrada de um amplificador TBJ ou FET. Ele está ilustrado na Figura 11.39, com um amplificador MOSFET tendo como carga um circuito sintonizado. Para simplificar, os detalhes da polarização não estão incluídos. Como esse circuito usa um circuito sintonizado simples, ele é conhecido como um **amplificador sintonizado simples**. O circuito equivalente do amplificador está mostrado na Figura 11.39(b). Nessa figura, R representa o equivalente paralelo de R_L e da resistência de saída r_o do FET e C é o equivalente paralelo de C_L e da capacitância de saída do FET (normalmente muito pequena). A partir do circuito equivalente, podemos escrever

$$V_o = \frac{-g_m V_i}{Y_L} = \frac{-g_m V_i}{sC + 1/R + 1/sL}$$

Portanto, o ganho de tensão pode ser expresso como

$$\frac{V_o}{V_i} = -\frac{g_m}{C}\frac{s}{s^2 + s(1/CR) + 1/LC} \tag{11.101}$$

que é uma função passa-faixa de segunda ordem. Portanto, o amplificador sintonizado tem uma freqüência central de

$$\omega_0 = 1/\sqrt{LC} \tag{11.102}$$

uma faixa de passagem a 3 dB de

$$B = \frac{1}{CR} \tag{11.103}$$

um fator Q de

$$Q \equiv \omega_0/B = \omega_0 CR \tag{11.104}$$

e um ganho na freqüência central de

$$\frac{V_o(j\omega_0)}{V_i(j\omega_0)} = -g_m R \tag{11.105}$$

Observe que a expressão para o ganho na freqüência central poderia ter sido escrita por inspeção; na ressonância, as reatâncias de L e C se cancelam e a impedância do circuito LCR paralelo se reduz a R.

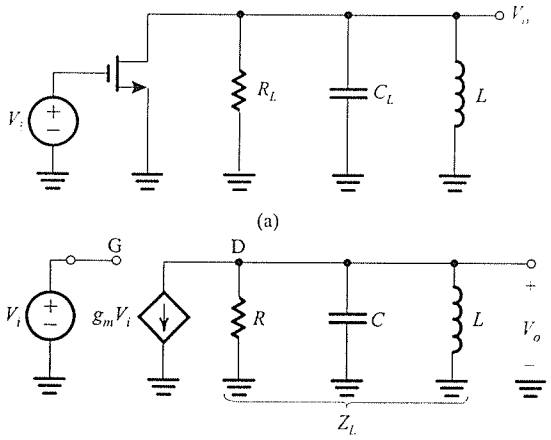


Figura 11.39 O princípio básico do amplificador sintonizado é ilustrado usando um MOSFET com um circuito sintonizado como carga. Os detalhes de polarização não são mostrados.

EXEMPLO 11.4

Necessita-se projetar um amplificador sintonizado do tipo mostrado na Figura 11.39, tendo f_0 = 1 MHz, faixa de passagem a 3 dB = 10 kHz e um ganho na freqüência central = −10 V/V. O FET disponível tem no ponto de polarização g_m = 5 mA/V e r_o = 10 kΩ. A capacitância de saída é desprezivelmente pequena. Determine os valores de R_L, C_L e L.

SOLUÇÃO

O ganho na freqüência central = $-10 = -5R$. Portanto, R = 2 kΩ. Como $R = R_L // r_o$, então R_L = 2.5 kΩ.

$$B = 2\pi \times 10^4 = \frac{1}{CR}$$

Portanto,

$$C = \frac{1}{2\pi \times 10^4 \times 2 \times 10^3} = 7958 \text{ pF}$$

Como $\omega_0 = 2 \times 10^6 = 1/\sqrt{LC}$, obtemos

$$L = \frac{1}{4\pi^2 \times 10^{12} \times 7958 \times 10^{-12}} = 3{,}18 \text{ μH}$$

Perdas no Indutor

A perda de potência no indutor é geralmente representada por uma resistência em série r_s, conforme mostrado na Figura 11.40(a). Contudo, em vez de especificar o valor de r_s, na prática é comum especificar o fator Q do indutor na freqüência de interesse

$$Q_0 \equiv \frac{\omega_0 L}{r_s} \tag{11.106}$$

Tipicamente, Q_0 está na faixa de 50 a 200.

A análise de um amplificador sintonizado fica muito simplificada se representarmos a perda do indutor por uma resistência em paralelo R_p, conforme mostrado na Figura 11.40(b). A relação entre R_p e Q_0 pode ser encontrada escrevendo-se, para a admitância do circuito na Figura 11.40(a),

$$Y(j\omega_0) = \frac{1}{r_s + j\omega_0 L}$$

$$= \frac{1}{j\omega_0 L} \frac{1}{1 - j(1/Q_0)} = \frac{1}{j\omega_0 L} \frac{1 + j(1/Q_0)}{1 + (1/Q_0^2)}$$

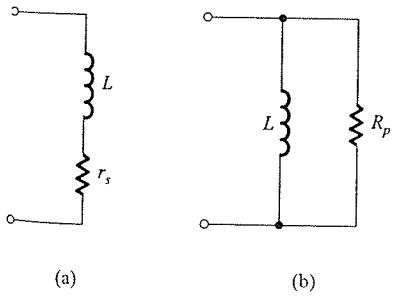


Figura 11.40 Circuitos equivalentes do indutor.

Para $Q_0 >> 1$,

$$Y(j\omega_0) = \frac{1}{j\omega_0 L}\left(1 + j\frac{1}{Q_0}\right) \tag{11.107}$$

Equacionando para a admitância do circuito na Figura 11.40(b), obtemos

$$Q_0 = \frac{R_p}{\omega_0 L} \tag{11.108}$$

ou, equivalentemente,

$$R_p = \omega_0 L Q_0 \tag{11.109}$$

Finalmente, deve ser observado que o fator Q da bobina coloca um limite superior sobre o valor de Q atingido pelo circuito sintonizado.

Exercício

11.32 Se o indutor no Exemplo 11.4 tiver $Q_0 = 150$, calcule R_p e depois calcule o valor com o qual R_L deve ser mudado, de modo a manter imutável Q total e, conseqüentemente, a faixa de passagem.

Resposta 3 kΩ; 15 kΩ

O Uso de Transformadores

Encontramos muitos casos em que o valor necessário para o indutor não é prático, no sentido de que as bobinas com a indutância necessária não são encontradas com valores altos de Q_0. Uma solução simples é o uso de um transformador para efetuar uma mudança de impedância. Alternativamente, podemos usar uma bobina com várias tomadas, conhecida como um **autotransformador**, conforme mostrado na Figura 11.41. Assegurando que as duas partes do indutor estejam fortemente acopladas, o que pode ser conseguido pelo enrolamento em um núcleo de ferrite, a relação de transformação mostrada se mantém. O resultado é que o circuito sintonizado visto entre os terminais 1 e 1′ é equivalente ao da Figura 11.39(b). Por exemplo, se uma relação de espiras de $n = 3$ for usada no amplificador do Exemplo 11.4, então será necessária uma bobina com uma indutância $L' = 9 \times 3{,}18 = 28{,}6$ μH e uma capacitância $C' = 7{,}958/9 = 884$ pF. Esses dois valores são mais práticos do que os originais.

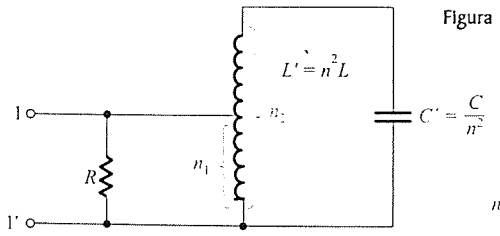


Figura 11.41 Um indutor com tomada central é usado como transformador de impedâncias para permitir uma maior indutância, L', e uma menor capacitância C'.

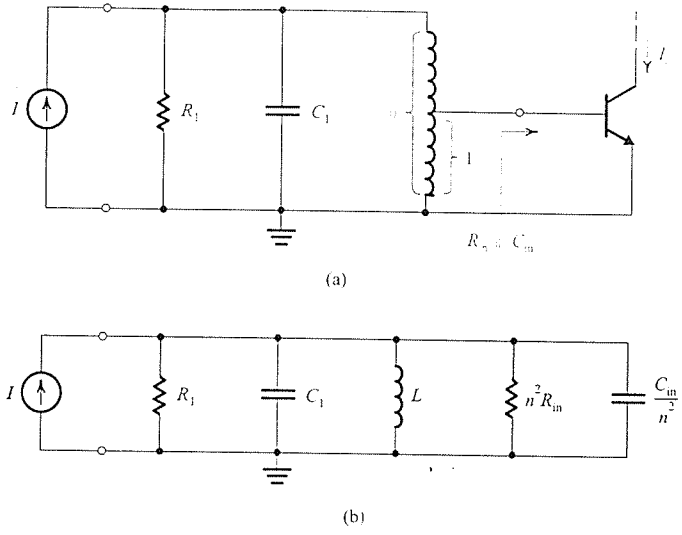


Figura 11.42 (a) A saída de um amplificador sintonizado é acoplada à entrada de outro amplificador por meio da tomada central da bobina e (b) seu circuito equivalente. Observe que o uso de uma bobina com tomada central aumenta a impedância efetiva de entrada do segundo estágio amplificador.

Em aplicações que envolvem o acoplamento da saída de um amplificador sintonizado com a entrada de outro amplificador, a bobina com várias tomadas pode ser usada para aumentar a resistência de entrada efetiva do último estágio do amplificador. Dessa forma, podemos evitar a redução do Q total. Esse ponto está ilustrado na Figura 11.42 e nos exercícios a seguir.

Exercícios

P11.33 Considere o circuito na Figura 11.42(a), primeiro sem a bobina com várias tomadas. Suponha $L = 5$ μH e R_1 fixado em 1 kΩ. Desejamos projetar um amplificador sintonizado com $f_0 = 455$ kHz e uma faixa de passagem a 3 dB de 10 kHz (que é o amplificador de FI de um rádio AM). Se o TBJ tiver $R_{in} = 1$ kΩ e $C_{in} = 200$ pF, calcule a faixa de passagem real obtida e o valor necessário de C_1.

Resposta 13 kHz; 24,27 nF

P11.34 Como a faixa de passagem implementada no Exercício 11.33 é maior do que a desejada, encontre um projeto alternativo utilizando uma bobina com várias tomadas, como na Figura 11.42(a). Calcule o valor de n que permite as especificações que acabamos de encontrar. Calcule também o valor necessário para C_1 e o ganho de corrente I_c/I na ressonância. Suponha que no ponto de polarização o TBJ tenha $g_m = 40$ mA/V.

Resposta 1,36; 24,36 nF; 19,1 A/A

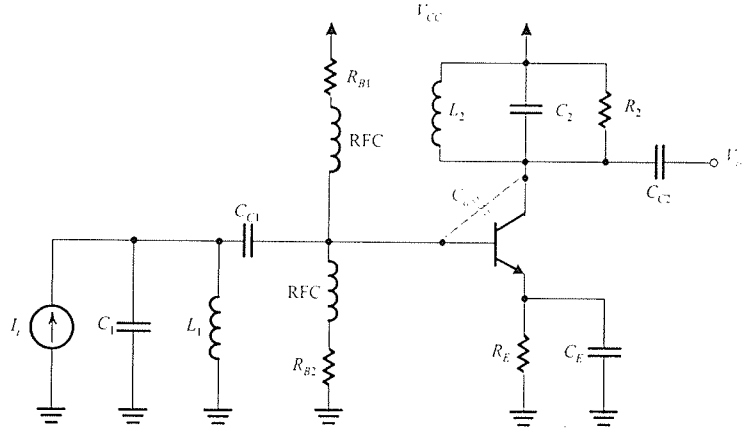


Figura 11.43 Um amplificador TBJ com circuitos de sintonia na entrada e na saída.

Amplificadores com Circuitos de Sintonia Múltipla

A seletividade obtida com o circuito sintonizado simples da Figura 11.39 não é suficiente em muitas aplicações – por exemplo, no amplificador de FI de um receptor de rádio ou de TV. Uma maior seletividade é obtida pelo uso de um estágio adicional. A Figura 11.43 mostra um TBJ com circuitos sintonizados na entrada e na saída.[9] Nesse circuito, estão mostrados os detalhes da polarização, e podemos observar que é muito parecida com o arranjo clássico empregado no projeto de circuito discreto. Contudo, a fim de evitar o efeito de carga dos resistores de polarização R_{B1} e R_{B2} sobre o circuito sintonizado de entrada, é conectado um **choke (ou bobina) de radiofreqüência** (CRF) em série com cada resistor. Esses chokes de reatâncias apresentam uma alta impedância na freqüência de interesse. Seu uso na polarização dos amplificadores de RF sintonizados é uma prática comum.

A análise e o projeto dos amplificadores de dupla sintonia, como o da Figura 11.43, são complicados por causa do efeito Miller[10] devido à capacitância C_μ. Como a carga não é simplesmente resistiva, como no caso dos amplificadores estudados no Capítulo 7, a impedância de Miller na entrada será complexa. Essa impedância refletida causa uma dessintonia do circuito de entrada, assim como um "deslocamento" (*skewing*) na resposta do circuito de entrada. É desnecessário dizer: o acoplamento introduzido por C_μ torna a sintonia ou alinhamento muito difícil. Pior ainda, o capacitor C_μ pode provocar oscilações [veja Gray e Searle (1969) e o Problema 11.20].

Há métodos para **neutralizar** o efeito de C_μ, usando circuitos adicionais arranjados de modo a realimentar uma corrente igual e oposta à que circula em C_μ. Uma proposta alternativa e preferida é usar as configurações que não apresentam o problema do efeito Miller. Estas serão discutidas a seguir. Antes de encerrar esta seção, porém, devemos observar que circuitos do tipo mostrado na Figura 11.43 são geralmente projetados utilizando os parâmetros *y* do modelo do TBJ (veja o Apêndice B). Isso é feito aqui pelo fato de C_μ ter um papel importante; o modelo de parâmetros *y* torna a análise mais simples (quando comparada à análise do modelo π-híbrido). Além disso, os parâmetros *y* podem ser medidos facilmente em uma freqüência particular de interesse, ω_0. Para amplificadores de faixas estreitas, geralmente é feita a suposição de que os parâmetros *y* permanecem aproximadamente constantes na faixa de passagem.

9. Observe que, pelo fato de o circuito de entrada ser um circuito ressonante paralelo, é utilizada uma fonte de corrente de sinal de entrada (em vez de uma fonte de tensão).

10. Usamos aqui "efeito Miller" para nos referirmos ao efeito da capacitância de realimentação C_μ na reflexão da impedância de entrada, que é uma função da impedância da carga do amplificador.

O Cascode e o CC-BC em Cascata

A partir de nosso estudo da resposta em freqüência do amplificador, no Capítulo 7, sabemos que duas configurações não sofrem o efeito Miller: a configuração *cascode* e a configuração coletor comum em cascata com a base comum. A Figura 11.44 mostra amplificadores sintonizados baseados nessas duas configurações. O CC-BC em cascata é geralmente o preferido na implementação de CIs porque sua estrutura diferencial torna-o adequado para as técnicas de polarização de CIs. (Observe que os detalhes da polarização do circuito *cascode* não estão mostrados na Figura 11.44. A polarização pode ser feita usando arranjos similares aos discutidos nos capítulos anteriores.)

Sintonia Síncrona

No projeto de um amplificador sintonizado com múltiplos circuitos de sintonia, surge a questão sobre a que freqüência cada circuito deve ser sintonizado. O objetivo, claro, é obter uma resposta total do passa-faixa exibindo uma alta planicidade na faixa de passagem e um valor adequado de seletividade de borda. Para estudar essa questão, vamos supor que a resposta total seja o produto das respostas individuais; em outras palavras, não há uma interação entre os estágios. Isso pode ser conseguido usando circuitos como aqueles da Figura 11.44.

Considere primeiro o caso de N circuitos ressonantes idênticos, conhecido como caso de **sintonia síncrona**. A Figura 11.45 mostra a resposta de um estágio individual e de um em cascata. Observe a "redução" da faixa de passagem da resposta total. A faixa de passagem a 3 dB, B, do amplificador total é relacionada à dos circuitos sintonizados individuais, ω_0/Q (veja o Problema 11.22), por

$$B = \frac{\omega_0}{Q}\sqrt{2^{1/N} - 1} \tag{11.110}$$

O fator $\sqrt{2^{1/N} - 1}$ é conhecido como fator de redução da faixa de passagem. Dados B e N, podemos usar a Equação 11.110 para determinar a faixa de passagem necessária para os estágios individuais.

Exercício

P11.35 Considere o projeto de um amplificador de FI de um receptor de rádio FM. Usando dois estágios em sintonia síncrona, com f_0 = 10,7 MHz, calcule a faixa de passagem a 3 dB de cada estágio, de modo que a faixa de passagem total seja de 200 kHz. Usando indutores de 3 μH, calcule C e R para cada estágio.

Resposta 310,8 kHz; 73,7 pF; 6,95 kΩ

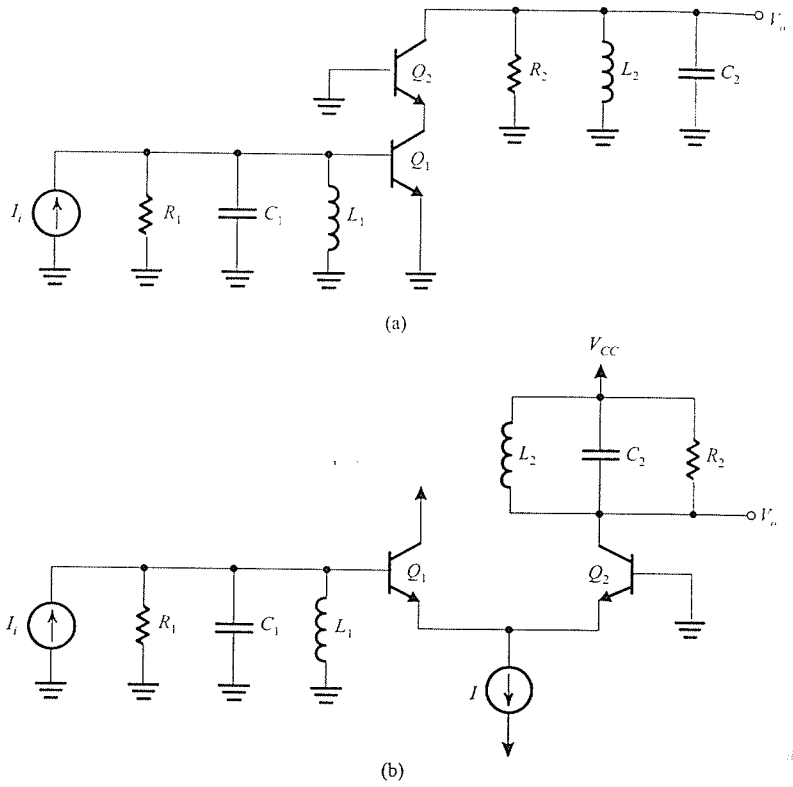


Figura 11.44 Duas configurações de amplificadores sintonizados que não sofrem o efeito Miller: (a) cascode; (b) coletor comum em cascata com base comum. (Observe que os detalhes de polarização do circuito cascode não são mostrados.)

Sintonia Escalonada

Uma resposta total muito melhor é obtida escalonando a sintonia dos estágios individuais, conforme mostrado na Figura 11.46. Os amplificadores com sintonia escalonada (*stagger-tuned*) são projetados geralmente de modo que sua resposta total apresente *planicidade máxima* (*maximum flatness*) em torno da freqüência central f_0. Essa resposta pode ser obtida pela transformação da resposta de um filtro passa-baixas com planicidade máxima (Butterworth) no eixo da freqüência em ω_0. Mostramos aqui como isso pode ser feito.

A função de transferência de um filtro passa-faixa de segunda ordem pode ser expressa em termos de seus pólos como:

$$T(s) = \frac{a_1 s}{\left(s + \frac{\omega_0}{2Q} - j\omega_0\sqrt{1-\frac{1}{4Q^2}}\right)\left(s + \frac{\omega_0}{2Q} + j\omega_0\sqrt{1-\frac{1}{4Q^2}}\right)} \qquad (11.111)$$

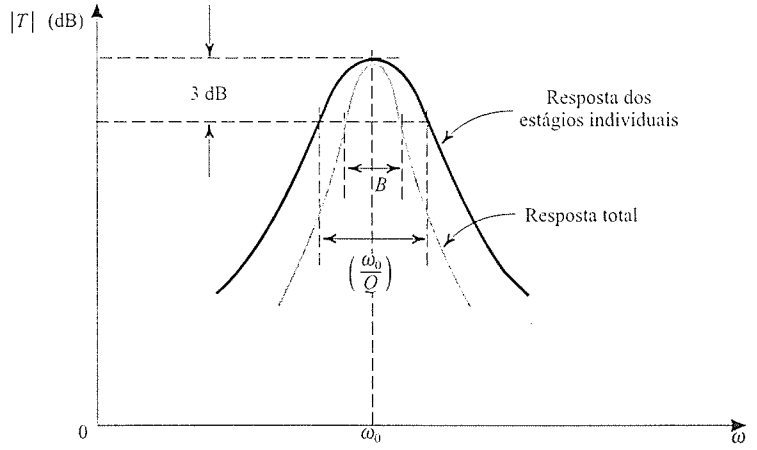


Figura 11.45 Resposta em freqüência de um amplificador com sintonia síncrona.

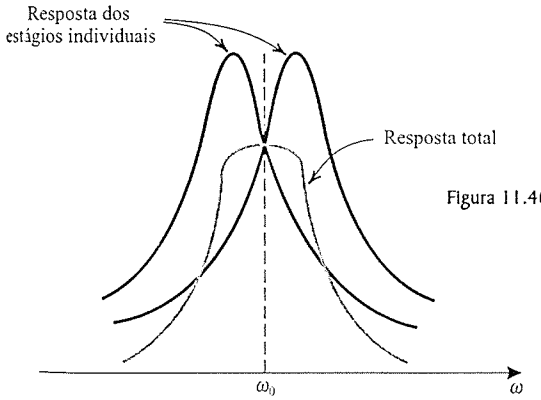


Figura 11.46 Sintonizar de forma escalonada os circuitos ressonantes individuais pode resultar em uma resposta geral com uma faixa de passagem mais plana do que a obtida com sintonia síncrona.

Para um filtro de faixa estreita, $Q >> 1$, e para valores de s nas proximidades de $+j\omega_0$ (veja a Figura 11.47(b)), o segundo fator no denominador é aproximadamente $(2j\omega_0)$. Conseqüentemente, a Equação 11.111 pode ser aproximada por:

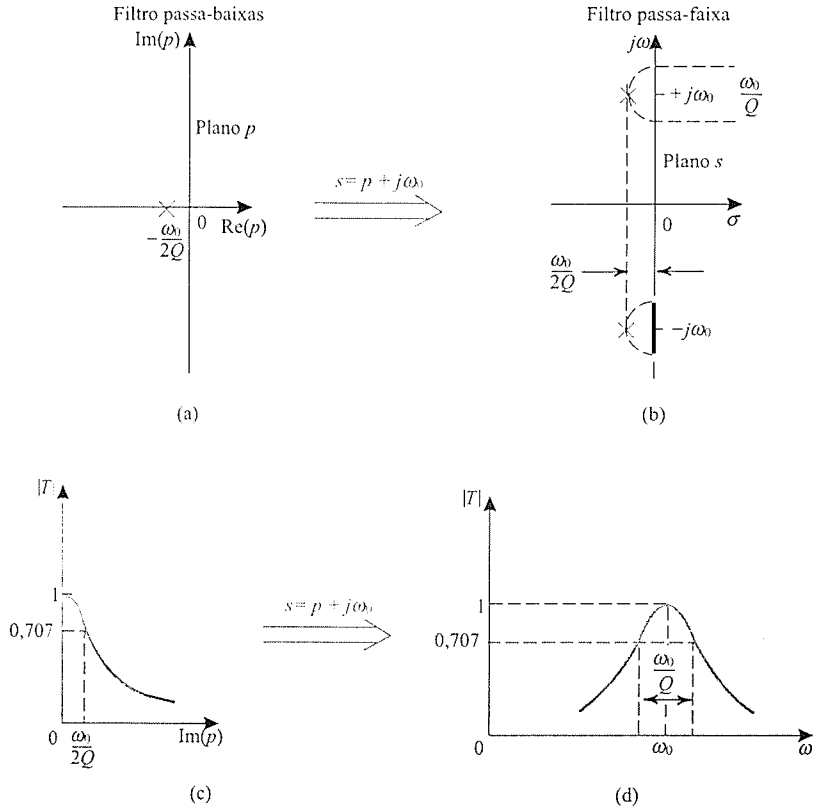


Figura 11.47 Obtenção de um filtro passa-faixa estreito de segunda ordem pela transformação de um filtro passa-baixas de primeira ordem. **(a)** Pólo do filtro de primeira ordem no plano p. **(b)** Aplicando-se a transformação $s = p + j\omega_0$ e adicionando-se pólos conjugados complexos chega-se aos pólos do filtro passa-faixa de segunda ordem. **(c)** Módulo da resposta do filtro passa-baixa de primeira ordem. **(d)** Módulo da resposta do filtro passa-faixa de segunda ordem.

$$T(s) \simeq \frac{a_1/2}{s + \omega_0/2Q - j\omega_0} = \frac{a_1/2}{(s - j\omega_0) + \omega_0/2Q} \tag{11.112}$$

Ela é conhecida como **aproximação de faixa estreita**.[11] Observe que o módulo da resposta, para $s = j\omega$, tem um valor de pico de $a_1 Q/\omega_0$ em $\omega = \omega_0$, como esperado.

Considere agora uma rede passa-baixas de primeira ordem com um pólo simples em $p = -\omega_0/2Q$ (usamos p para representar a variável freqüência complexa para o filtro passa-baixas). Sua função de transferência é

$$T(p) = \frac{K}{p + \omega_0/2Q} \tag{11.113}$$

em que K é uma constante. Comparando as Equações 11.112 e 11.113, observamos que elas são idênticas para $p = s - j\omega_0$ ou, equivalentemente,

$$s = p + j\omega_0 \tag{11.114}$$

Esse resultado significa que a resposta do filtro passa-faixa de segunda ordem *na vizinhança de sua freqüência central*, $s = j\omega_0$, é idêntica à resposta do filtro passa-baixas de primeira ordem com um pólo em $(-\omega_0/2Q)$ *na vizinhança de* $p = 0$. Portanto, a resposta do passa-faixa pode ser obtida pelo deslocamento do pólo do protótipo passa-baixas e pela adição de pólos conjugados complexos, conforme ilustrado na Figura 11.47. Ela é chamada de **transformação do passa-baixas em passa-faixa** para filtros de *faixa estreita*.

A transformação $p = s - j\omega_0$ pode ser aplicada aos filtros passa-baixas de ordens superiores a um. Por exemplo, podemos transformar um filtro passa-baixas de segunda ordem com planicidade máxima ($Q = 1/\sqrt{2}$) para obter um filtro passa-faixa com planicidade máxima. Se a faixa de passagem a 3 dB do filtro passa-faixa é de B rad/s, então o filtro passa-baixas deve ter uma freqüência a 3 dB e, portanto, um pólo na freqüência de $(B/2)$ rad/s, conforme ilustrado na Figura 11.48. O filtro passa-faixa de quarta ordem resultante será de sintonia escalonada, com seus dois circuitos sintonizados (veja a Figura 11.48) tendo

$$\omega_{01} = \omega_0 + \frac{B}{2\sqrt{2}} \qquad B_1 = \frac{B}{\sqrt{2}} \qquad Q_1 \simeq \frac{\sqrt{2}\omega_0}{B} \tag{11.115}$$

$$\omega_{02} = \omega_0 - \frac{B}{2\sqrt{2}} \qquad B_2 = \frac{B}{\sqrt{2}} \qquad Q_2 \simeq \frac{\sqrt{2}\omega_0}{B} \tag{11.116}$$

Observe que, para a resposta total ter um ganho unitário na freqüência central normalizada, as respostas individuais, mostradas na Figura 11.48(d), devem ter ganhos nas freqüências centrais iguais a $\sqrt{2}$. Na prática, porém, as respostas individuais não precisam ter ganhos iguais nas freqüências centrais, conforme ilustrado nos exercícios a seguir.

11. A resposta do passa-faixa é *geometricamente simétrica* em torno da freqüência central ω_0. Isto é, cada duas freqüências ω_1 e ω_2 que tenham a mesma resposta em amplitude estarão relacionadas por $\omega_1\omega_2 = \omega_0^2$. Para altos valores de Q, a simetria torna-se quase aritmética para freqüências próximas de ω_0. Isto é, duas freqüências com as mesmas respostas em módulo são espaçadas quase igualmente de ω_0. O mesmo é válido para os filtros passa-faixa de maior ordem, projetados usando a transformação apresentada nesta seção.

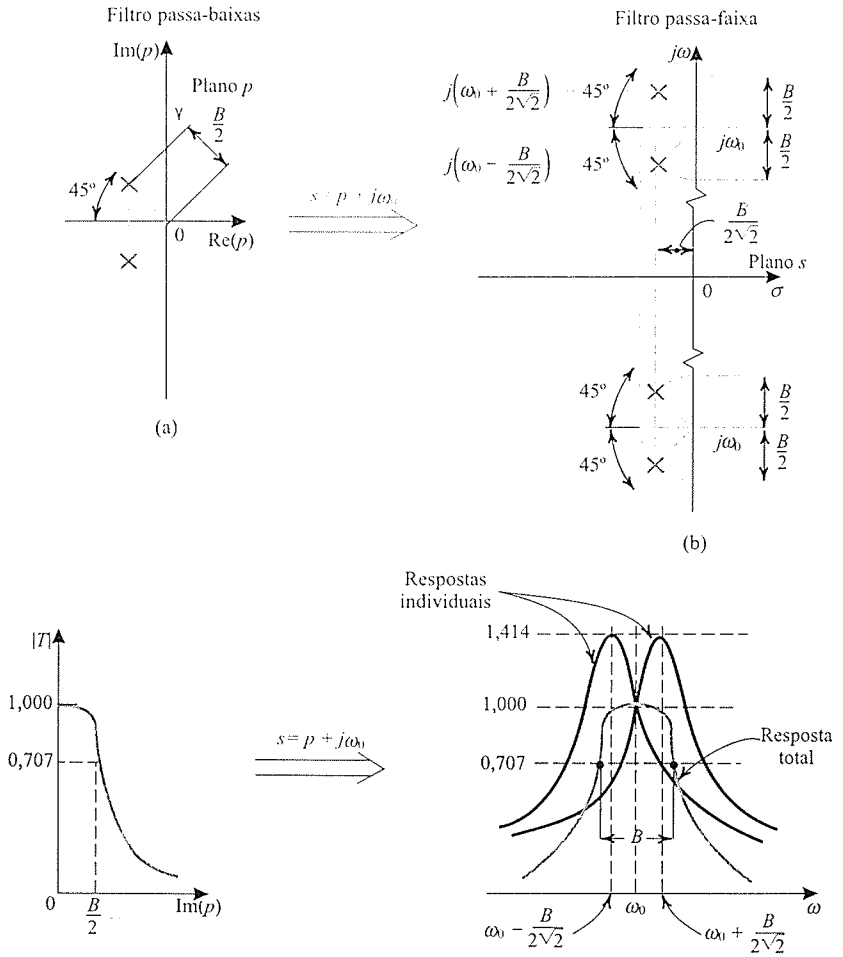


Figura 11.48 Obtendo os pólos e a resposta em freqüência de um amplificador passa-faixa de faixa estreita, de sintonia escalonada e de quarta ordem pela transformação da resposta maximamente plana do passa-baixas de segunda ordem.

Exercícios

P11.36 Necessita-se projetar o amplificador de FI com sintonia escalonada, especificado no Exercício 11.35. Calcule f_{01}, B_1, f_{02} e B_2. Calcule também os valores de C e R para cada um dos estágios. (Lembre-se de que os indutores usados são de 3 μH.)

Resposta 10,77 MHz; 141,4 kHz; 10,63 MHz; 141,4 kHz; 72,8 pF; 15,5 kΩ; 74,7 pF; 15,1 kΩ

11.37 Usando o fato de que o ganho de tensão na ressonância é proporcional ao valor de R, calcule a razão do ganho em 10,7 MHz do amplificador com sintonia escalonada projetado no Exercício 11.36 e do amplificador com sintonia síncrona projetado no Exercício 11.35. (*Sugestão*: Para o amplificador com sintonia escalonada, observe que o ganho em ω_0 é igual ao produto dos ganhos dos estágios individuais em suas freqüências a 3 dB.)

Resposta 2,42

11.12 EXEMPLOS DE SIMULAÇÃO COM O SPICE

A simulação de circuitos é empregada no projeto de filtros para pelo menos três propósitos: (1) verificar a validade do projeto assumindo componentes ideais; (2) investigar os efeitos das características não-ideais de amp ops na resposta dos filtros; (3) determinar o percentual de circuitos fabricados com componentes práticos, cujos valores têm tolerância estatística determinada, que atendem às especificações de projeto (esse percentual é conhecido como rendimento ou ***yield***). Nesta seção, apresentaremos dois exemplos que ilustram o uso do SPICE para os dois primeiros propósitos. O terceiro tópico mencionado, embora muito importante, é um tópico bastante especializado e por isso considerado além do escopo deste livro (veja, por exemplo, Daryanani, 1976).

EXEMPLO 11.5: VERIFICAÇÃO DO PROJETO DE UM FILTRO CHEBYSHEV DE QUINTA ORDEM

Nosso primeiro exemplo mostra como o SPICE pode ser utilizado para verificar o projeto de um filtro Chebyshev de quinta ordem. Especificamente, simulamos a operação do circuito cujos valores dos componentes foram obtidos no Exercício 11.20. O circuito completo é mostrado na Figura 11.49(a). Ele consiste em uma cascata de dois ressonadores LCR de segunda ordem, simulados usando o circuito de Antoniou, e em um circuito RC–amp op de primeira ordem. Usando o SPICE, gostaríamos de comparar o módulo da resposta do filtro com aquele calculado diretamente a partir de sua função de transferência. Notamos aqui que o SPICE também pode ser usado para efetuar a última tarefa (veja Roberts e Sedra, 1997).

Uma vez que o propósito da simulação seja simplesmente o de verificar o projeto, assumimos componentes ideais. Para os amp ops utilizamos um modelo quase ideal, isto é, uma fonte de tensão controlada por tensão (FTCT) com um ganho de 10^6 V/V, como mostrado na Figura 11.49(b). O arquivo de entrada do SPICE para o circuito do filtro Chebyshev está listado no Apêndice D.

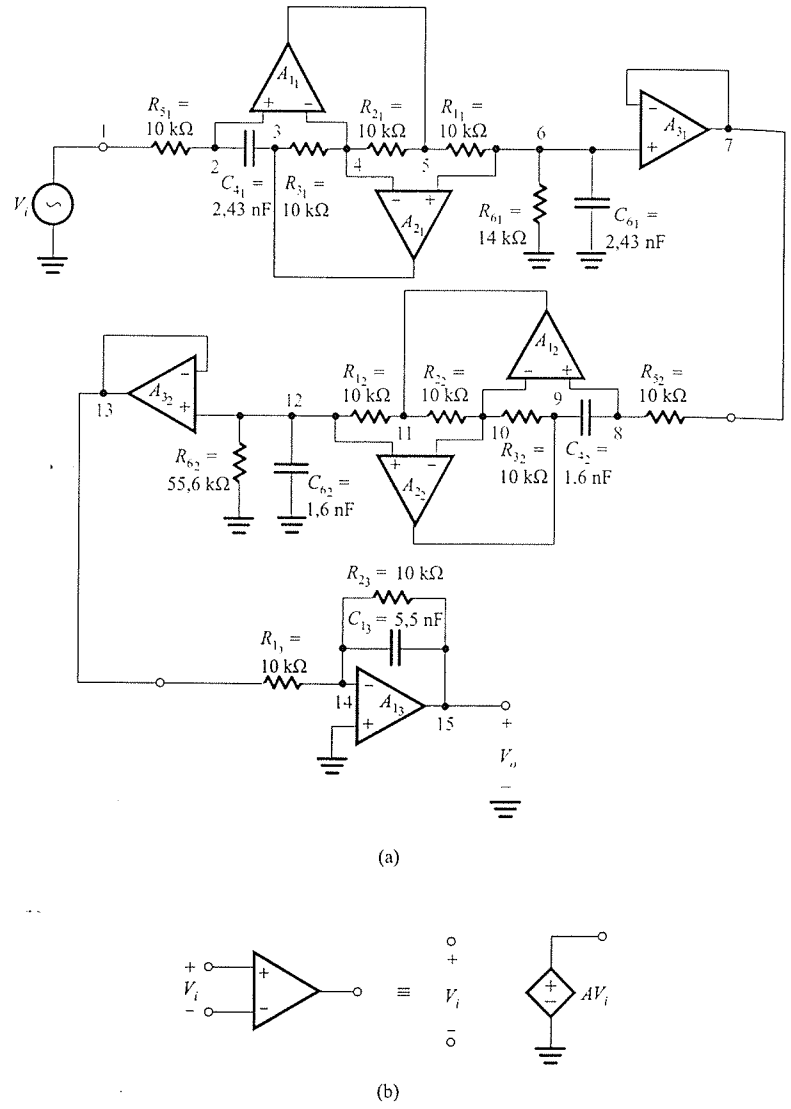


Figura 11.49 Exemplo 11.5: (a) Circuito do filtro Chebyshev de quinta ordem implementado usando uma cascata de dois ressonadores LCR "simulados" de segunda ordem e um circuito RC-amp op de primeira ordem. (b) Representação FTCT de um amp op ideal ($A = 10^6$).

Pelo fato de o mesmo tipo de amp op "quase ideal" ser repetido muitas vezes neste circuito, escolhemos representá-lo por um subcircuito denominado *amp op ideal*. Uma análise *ca* (AC) é solicitada ao longo de uma faixa linear de freqüências de 1 Hz a 20 KHz usando 100 pontos de amostragem. A entrada do filtro é excitada por um sinal *ca* de 1 V.

O SPICE obtém a resposta em módulo apresentada na Figura 11.50. A resposta é apresentada tanto em uma vista expandida em torno de 0 dB quanto em uma vista completa. Esses resultados são praticamente idênticos àqueles determinados diretamente a partir da função de transferência ideal, atestando a adequação do projeto.

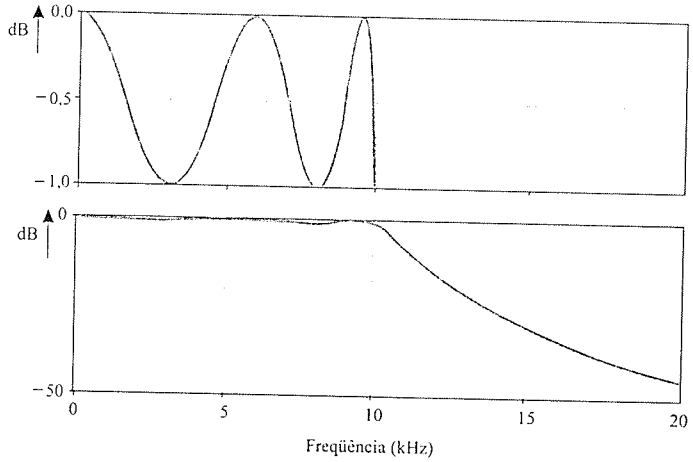


Figura 11.50 Módulo da resposta do circuito do filtro passa-baixas de quinta ordem mostrado na Figura 11.49. O gráfico superior apresenta uma visão expandida da região da faixa de passagem e o gráfico inferior apresenta uma visão de ambas as regiões, faixa de passagem e de bloqueio. (Roberts e Sedra, 1997.)

EXEMPLO 11.6: INVESTIGANDO O EFEITO DA FAIXA DE PASSAGEM FINITA DO AMP OP NA OPERAÇÃO DE UM FILTRO COM MALHA DE DOIS INTEGRADORES

Neste exemplo, investigaremos o efeito da faixa de passagem finita de amp ops práticos sobre a resposta de um filtro passa-faixa com malha de dois integradores utilizando o circuito biquad Tow–Thomas da Figura 11.25(b). O circuito é projetado para fornecer uma resposta na faixa de passagem com $f_0 = 10$ kHz, $Q = 20$ e um ganho unitário na freqüência central. Assumimos que os amp ops são do tipo 741.

A questão é como modelar o amp op para a simulação no SPICE. Embora a representação mais precisa venha a ser a da descrição do amp op completo em nível de seus transistores, isso demandaria um imenso tempo de computação em circuitos complexos. Um método mais razoável, utilizado aqui e na prática, é usar um **macromodelo** do amp op 741. Especificamente, modelamos o comportamento externo do amp op por uma rede linear de

constante de tempo simples, como mostrado na Figura 11.51. Nenhuma não-linearidade é incluída no modelo, na medida em que a análise aqui executada é uma análise *ca* que ignora não-linearidades. (Se os efeitos das não-linearidades devem ser investigados, então deve-se conduzir uma análise de transiente.) Os seguintes valores são usados para os parâmetros do modelo da Figura 11.51:

$$R_{id} = 2\ \text{M}\Omega \qquad R_{icm} = 500\ \text{M}\Omega \qquad R_o = 75\ \Omega$$

$$G_m = 0{,}19\ \text{mA/V} \qquad R_1 = 1{,}323 \times 10^9\ \Omega \qquad C_1 = 30\ \text{pF}$$

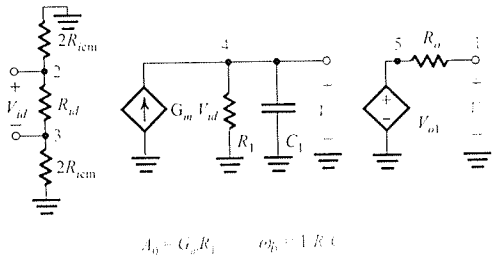


Figura 11.51 Representação do circuito equivalente de um pólo de um amp op operando dentro de sua região linear.

$A_0 = G_m R_1 \qquad \omega_b = 1/R_1 C_1$

Esses valores resultam nas resistências de entrada e saída especificadas do amp op tipo 741. Além disso, eles provêm um ganho *cc*, $A_0 = 2{,}52 \times 10^5$ V/V, e uma freqüência a 3 dB, f_b, de 4 Hz, novamente igual ao valor especificado para o 741. Observe que a seleção de valores individuais para G_m, R_1 e C_1 é desnecessária, pois $G_m R_1 = A_0$ e $C_1 R_1 = 1/2\pi f_b$.

O circuito de Tow–Thomas a ser simulado é mostrado na Figura 11.52 e o correspondente arquivo de entrada do SPICE é listado no Apêndice D. A listagem inclui o macromodelo do amp op descrito pelo subcircuito *amp op não-ideal*.

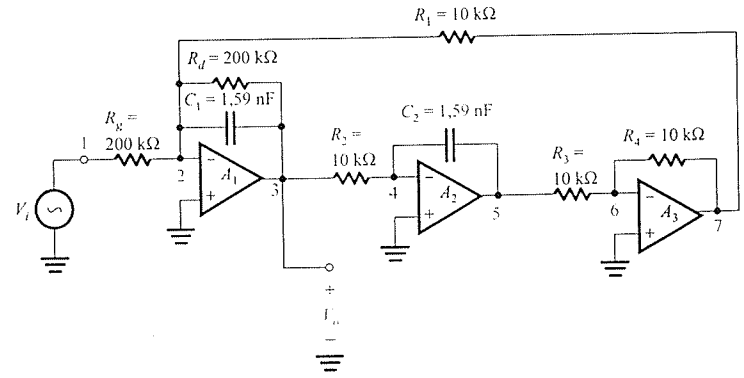


Figura 11.52 Exemplo 11.6: filtro passa-faixa de segunda ordem implementado com um circuito biquad Tow–Thomas tendo $f_0 = 10$ kHz, $Q = 20$ e ganho unitário na freqüência central. Os amp ops são assumidos como sendo do tipo 741.

Um sinal *ca* de 1 V é aplicado à entrada do filtro, de modo que a tensão de saída do filtro represente a função de transferência do filtro. A resposta em freqüência do filtro é computada entre 8 KHz e 12 KHz usando 100 pontos linearmente espaçados. Outra simulação SPICE é concatenada à primeira (veja o Apêndice D), de modo a computar a resposta em freqüência "ideal". Na última simulação, o circuito amp op é substituído pelo modelo quase ideal usado no Exemplo 11.5.

Os resultados da simulação são apresentados na Figura 11.53, na qual se observa um desvio significativo entre a resposta do filtro usando o amp op 741 e aquele usando o modelo quase ideal. Especificamente, a resposta com amp ops práticos apresenta um desvio na freqüência central de aproximadamente 100 Hz e uma redução da faixa de passagem a 3 dB de 500 Hz para aproximadamente 110 Hz. Então, na realidade, o fator Q do filtro tem um aumento no valor ideal de 20 para aproximadamente 90. Esse fenômeno, conhecido como *fortalecimento de Q*, é previsível a partir de uma análise de um biquad com malha de dois integradores considerando-se a faixa de passagem finita do amp op (veja Sedra e Brackett, 1978). Tal análise demonstra que o fortalecimento de Q decorre do excesso de atraso de fase introduzido pela faixa finita do amp op. A teoria também mostra que o efeito do fortalecimento de Q pode ser compensado avançando-se a fase na malha de realimentação. Isso pode ser feito pela conexão de um pequeno capacitor C_c ao resistor R_2. Para investigar o potencial de tal técnica de compensação, repetimos a simulação com o SPICE para vários valores de capacitância. Os resultados são apresentados na Figura 11.54(a). Observamos que, à medida que a capacitância de compensação aumenta, tanto o Q do filtro quanto o pico da ressonância movem-se em direção aos valores desejados. É evidente, no entanto, que uma capacitância de compensação de 80 pF leva a resposta a desviar além da ideal. Assim, a compensação ótima é obtida com um valor de capacitância entre 60 e 80 pF.

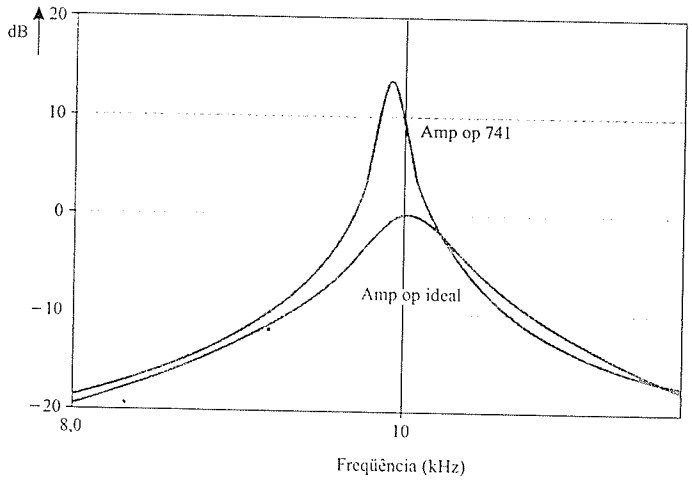
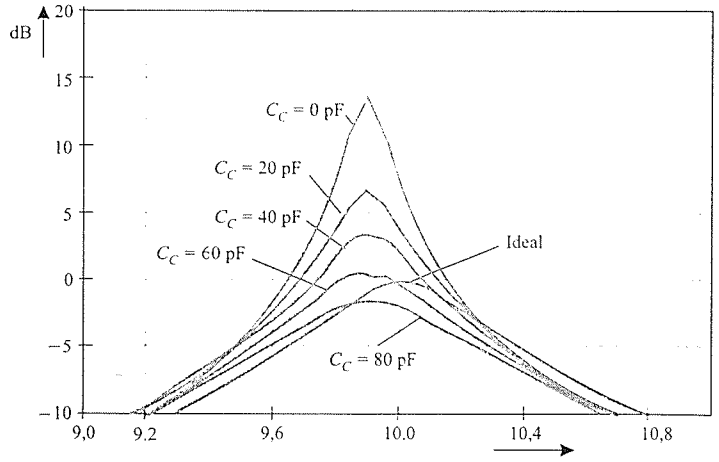
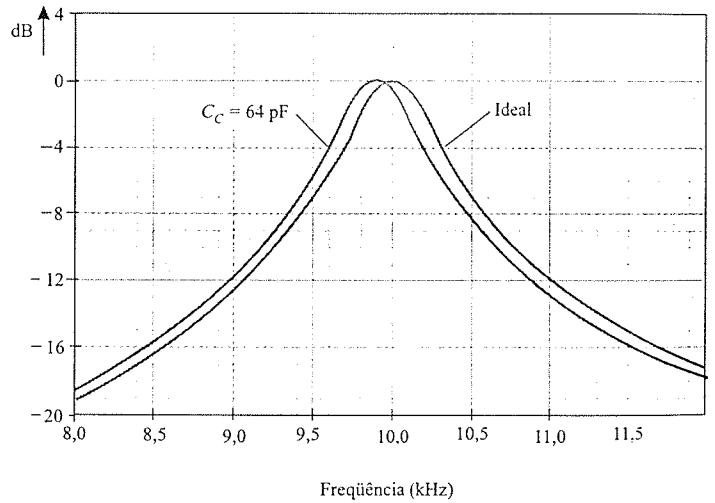


Figura 11.53 Comparação entre o módulo da resposta do circuito biquad Tow–Thomas mostrado na Figura 11.52, construído com o amp op 741, e o módulo da resposta ideal. Esses resultados ilustram o efeito do ganho *cc* finito e da faixa de passagem do amp op 741 na resposta em freqüência do circuito biquaid Tow-Thomas. (Extraído de Roberts e Sedra, 1997.)



(a)



(b)

Figura 11.54 (a) Módulo da resposta do circuito biquad Tow–Thomas com diferentes valores para as capacitâncias de compensação. Para comparação, a resposta ideal também é mostrada. (b) Módulo da resposta do circuito biquad Tow–Thomas usando um capacitor de compensação de 64 pF comparado à resposta ideal (Roberts e Sedra, 1997).

Análises adicionais usando o SPICE permitem-nos determinar que ótimo é obtido com uma capacitância de 64 pF. A resposta correspondente é mostrada, juntamente com a resposta ideal, na Figura 11.54(b). Observamos que, embora o Q do filtro tenha sido restaurado a seu valor ideal, resta um desvio na freqüência central. Não iremos mais nos aprofundar nesse assunto aqui: nosso objetivo não é apresentar um estudo detalhado do projeto de biquads com malha de dois integradores, mas apenas ilustrar a aplicação do SPICE na investigação do desempenho não-ideal de circuitos de filtros ativos.

RESUMO

- Um filtro é uma rede linear de dois acessos com uma função de transferência $T(s) = V_o(s)/V_i(s)$. Para regime permanente senoidal, o filtro de transmissão é expresso como $T(j\omega) = |T(j\omega)|e^{j\phi}$. O módulo da transmissão pode ser expresso em decibéis, usando tanto a função ganho $G(\omega) \equiv 20 \log|T|$ quanto a função atenuação $A(\omega) \equiv -20 \log|T|$.
- As características da transmissão de um filtro são especificadas em termos das bordas da(s) faixa(s) de passagem e bloqueio; a variação máxima permitida na transmissão da faixa de passagem, $A_{máx}$ (dB); e a atenuação mínima necessária na faixa de bloqueio, $A_{mín}$ (dB). Em algumas aplicações, as características da fase também são especificadas.
- A função de transferência do filtro pode ser expressa como a razão de dois polinômios em s; o grau do polinômio do denominador, N, é a ordem do filtro. As N raízes do polinômio do denominador são os pólos (modos naturais).
- Para obter uma resposta altamente seletiva, os pólos são complexos e ocorrem em pares conjugados (exceto para um pólo real quando N for ímpar). Os zeros são colocados sobre o eixo $j\omega$ na faixa de bloqueio incluindo $\omega = 0$ e $\omega = \infty$.
- A aproximação filtro Butterworth fornece uma resposta de um passa-baixas que possui máxima planicidade em $\omega = 0$. A transmissão diminui monotonicamente à medida que ω aumenta, atingindo 0 (atenuação infinita) em $\omega = \infty$, em que se situam todos os N zeros. A Equação 11.11 fornece $|T|$, em que ε é dado pela Equação 11.14 e a ordem N é determinada usando a Equação 11.15. Os pólos são encontrados usando-se a construção gráfica da Figura 11.10 e a função de transferência é dada pela Equação 11.16.
- A aproximação filtro Chebyshev fornece uma resposta passa-baixas que é uma equiondulação na faixa de passagem com a transmissão diminuindo monotonicamente na faixa de bloqueio. Todos os zeros de transmissão estão em $s = \infty$. A Equação 11.18 fornece $|T|$ na faixa de passagem e a Equação 11.19 fornece $|T|$ na faixa de bloqueio, em que ε é dado pela Equação 11.21. A ordem N pode ser determinada usando-se a Equação 11.22. Os pólos são dados pela Equação 11.23 e a função de transferência, pela Equação 11.24.
- As Figuras 11.13 e 11.14 fornecem um resumo das funções dos filtros de primeira ordem e como obtê-los.
- A Figura 11.16 fornece as características das sete funções especiais de filtros de segunda ordem.
- O ressonador LCR de segunda ordem da Figura 11.17(a) realiza um par de pólos conjugados complexos com $\omega_0 = 1/\sqrt{LC}$ e $Q = \omega_0 CR$. Esse ressonador pode ser usado para implementar as várias funções especiais dos filtros de segunda ordem, conforme mostrado na Figura 11.18.
- Pela substituição do indutor de um ressonador LCR por uma indutância simulada obtida usando-se o circuito de Antoniou da Figura 11.20(a), obtemos o ressonador RC–amp op da Figura 11.21(b). Esse ressonador pode ser usado para obter as várias funções de filtros de segunda ordem, conforme mostrado na Figura 11.22. As equações do projeto desses circuitos são dadas na Tabela 11.1.
- Biquads baseados na topologia de dois integradores em malha são as realizações de filtros de segunda ordem mais versáteis e populares. Há duas variedades: o circuito KHN da Figura 11.24(a), que realiza as funções PB, PF e PA, simultaneamente, e pode ser combinado com a saída do amplificador somador da Figura 11.28(b) para implementar as funções dente e passa-todas; e o circuito Tow-

Thomas da Figura 11.25 (b), que realiza, simultaneamente, as funções PF e PB. A alimentação direta pode ser aplicada no circuito Tow–Thomas para obter o circuito da Figura 11.26, que pode ser projetado para obter quaisquer uma das funções de segunda ordem [veja a Tabela 11.2].

- Biquads com amplificadores simples são obtidos pela colocação de uma malha T em ponte no caminho da realimentação negativa de um amp op. Se o amp op for ideal, os pólos criados estarão nas mesmas posições dos zeros da rede RC. A transformação complementar pode ser aplicada à malha de realimentação para obter outra malha de realimentação tendo pólos idênticos. Diferentes zeros de transmissão são criados pela alimentação do sinal de entrada nos pontos do circuito que estão conectados ao terra. Os BASs são econômicos no uso de amp ops, mas são sensíveis às suas características não-ideais, sendo, portanto, limitados às aplicações com baixos valores de Q ($Q \leq 10$).
- A função clássica da sensibilidade

$$S_x^y = \frac{\partial y/y}{\partial x/x}$$

é uma ferramenta muito útil no estudo da tolerância do circuito do filtro quanto às inevitáveis imprecisões nos valores das componentes e nas características não-ideais dos amp ops.

- Os filtros com capacitores chaveados são baseados no princípio de que um capacitor C, que periodicamente alterna, com uma alta taxa f_c, entre dois pontos de um circuito, é equivalente a uma resistência $R = 1/Cf_c$ conectando esses dois pontos do circuito. Os filtros com capacitores chaveados podem ser fabricados na forma monolítica (CI) usando a tecnologia CMOS.
- Os amplificadores sintonizados usam circuitos LC sintonizados na entrada ou como carga de amplificadores transistorizados. Eles são usados no projeto do sintonizador e na seção de FI dos receptores de comunicação. As configurações cascode e CC-BC são freqüentemente usadas no projeto dos amplificadores sintonizados. Circuitos sintonizados individuais são empregados em sintonia escalonada para obter uma resposta mais plana na faixa de passagem (quando comparada à obtida pelos circuitos sintonizados com sintonia síncrona).

BIBLIOGRAFIA

P. E. Allen e E. Sanchez-Sinencio, *Switched-Capacitor Circuits*, New York, Van Nostrand Reinhold, 1984.

R. W. Brodersen, P. R. Gray & D. A. Hodges, "MOS switched-capacitor filters". *Proceedings of the IEEE*, vol. 67, pp. 61-74, janeiro de 1979.

K. K. Clarke e D. T. Hess, *Communication Circuits: Analysis and Design*, Cap. 6, Reading, Mass.: Addison Wesley, 1971.

G. Daryanani, *Principles of Active Network Synthesis and Design*, New York, Wiley, 1976.

M. S. Ghausi, *Electronic Devices and Circuits: Discrete and Integrated*, New York, Holt, Rinehart and Winston, 1985.

P. E. Gray e C. L. Searle, *Electronic Principles*, Cap. 17, New York, Wiley, 1969.

R. Gregorian e G. C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, New York, Wiley-Interscience, 1986.

C. Ouslis e A. Sedra, "Designing custom filters", *IEEE Circuits and Devices*, maio de 1995, pp. 29-37.

K. Martin, "Improved circuits for the realization of switched-capacitor filters", *IEEE Transactions on Circuits and Systems*, vol. CAS-27, nº 4, pp. 237-244. abril de 1980.

S. K. Mitra e C. F. Kurth (eds.), *Miniaturized and Integrated Filters*, New York, Wiley-Interscience, 1989.

G. W. Roberts e A. S. Sedra, SPICE, New York, Oxford University Press, 1997.

R. Schaumann, M. S. Ghausi e K. R. Laker, *Design of Analog Filters*, Englewood Cliffs, NJ, Prentice-Hall, 1990.

R. Schaumann, M. Soderstrand e K. Laker (eds.), *Modern Active Filter Design*, New York, IEEE Press, 1981.

A. S. Sedra, "Switched-capacitor filter synthesis", in *MOS VLSI Circuits for Telecommunications*, Y. Tsividis e P. Antognetti (eds.), Englewood Cliffs, NJ, Prentice-Hall, 1985.

A. S. Sedra e P. O. Brackett, *Filter Theory and Design: Active and Passive*, Portland, Ore., Matrix. 1978.

A. S. Sedra, M. Ghorab e K. Martin, "Optimum configurations for single-amplifier biquadratic filters", *IEEE Transactions on Circuits and Systems*, vol. CAS-27, nº 12, pp. 1155-1163, 1980.

W. M. Snelgrove, *FILTOR 2: A Computer-Aided Filter Design Package*. Dept. of Electrical Engineering, University of Toronto, 1981.

M. E. Van Valkenburg, *Analog Filter Design*, New York, Holt, Rinehart e Winston, 1981.

A. I. Zverev, *Handbook of Filter Synthesis*, New York, Wiley, 1967.

PROBLEMAS

Seção 11.1: Transmissão de Filtros, Tipos e Especificações

11.1 A função de transferência de um filtro passa-baixas de primeira ordem (como o realizado por um circuito RC) pode ser expressa como $T(s) = \omega_0/(s + \omega_0)$, em que ω_0 é a freqüência a 3 dB do filtro. Forneça na forma de tabela os valores de $|T|$, ϕ, G e A em $\omega =$ 0; $0{,}5\omega_0$, ω_0, $2\omega_0$, $5\omega_0$, $10\omega_0$ e $100\omega_0$.

11.2 Um filtro passa-baixas é especificado para ter $A_{máx} = 1$ dB e $A_{mín} = 10$ dB. Sabe-se que suas especificações podem ser obtidas por um circuito RC com uma constante de tempo simples de 1 s e uma transmissão *cc* unitária. Quais devem ser os valores de ω_p e ω_s desse filtro? Qual o fator de seletividade?

Seção 11.2: A Função de Transferência do Filtro

11.3 Um filtro passa-baixas de terceira ordem tem os zeros de transmissão em $\omega = 2$ rad/s e $\omega = \infty$. Seus modos naturais estão em $s = -1$ e $s = -0{,}5 \pm j0{,}8$. O ganho *cc* é unitário. Calcule $T(s)$.

Seção 11.3: Filtros Butterworth e de Chebyshev

11.4 Calcule o valor da atenuação obtida na freqüência de 1,6 vezes a freqüência a 3 dB do filtro Butterworth de sétima ordem.

P11.5 Projete um filtro Butterworth atendendo às seguintes especificações de passa-baixas: $f_p = 10$ kHz, $A_{máx} = 2$ dB, $f_s = 15$ kHz e $A_{mín} = 15$ dB. Calcule N, os modos naturais e $T(s)$. Qual a atenuação fornecida a 20 kHz?

Seção 11.4: Funções dos Filtros de Primeira e de Segunda Ordens

P*11.6 Use a informação dada na Figura 11.13 para projetar uma malha de formação de espectro com RC-amp op de primeira ordem com um zero de transmissão na freqüência de 1 kHz, um pólo na freqüência de 100 kHz e um ganho unitário *cc*. A resistência de entrada em baixa freqüência é de 1 kΩ. Qual o ganho resultante em altas freqüências? Faça o esboço do módulo da função de transferência *versus* freqüência.

P11.7 Derive $T(s)$ para o circuito com RC-amp op da Figura 11.14. Desejamos usar esse circuito como deslocador de fase variável com ajuste por R. Se a freqüência do sinal de entrada for de 10^4 rad/s e se $C = 10$ nF, calcule os valores de R necessários para obter os deslocamentos de fase de –30°, –60°, –90°, –120° e –150°.

P*11.8 Use o resultado do Exercício 11.15 para calcular a função de transferência de um filtro com dente que deve eliminar uma interferência incômoda na freqüência de

60 Hz. Como a freqüência da interferência não é estável, o filtro deve ser projetado para fornecer uma atenuação ≥ 20 dB sobre uma faixa de 6 Hz centrada em torno de 60 Hz. A transmissão *cc* do filtro deve ser unitária.

Seção 11.5: O Ressonador LCR de Segunda Ordem

P11.9 Projete o ressonador LCR da Figura 11.17(a) para obter os modos naturais com $\omega_0 = 10^4$ rad/s e $Q = 2$. Use $R = 10$ kΩ.

11.10 Considere o circuito dente mostrado na Figura 11.18(i). Para que razão de L_1 e L_2 ocorrerá o dente em 0,9 ω_0? Nesse caso, qual o módulo da transmissão nas freqüências $<< \omega_0$? E nas freqüências $>> \omega_0$?

Seção 11.6: Filtros Ativos de Segunda Ordem Baseados na Substituição do Indutor

P11.11 Projete o circuito passa-todas da Figura 11.22(g) de modo que o deslocamento de fase seja de 180° em $f = 1$ kHz e $Q = 1$. Use capacitores de 1 nF.

P**11.12 Necessita-se projetar um filtro passa-baixas de terceira ordem cujo |T| tem equiondulação na faixa de passagem e de bloqueio (no modo da Figura 11.3, exceto que a resposta mostrada é para $N = 5$). A faixa de passagem do filtro se estende de $\omega = 0$ até $\omega = 1$ rad/s e sua transmissão varia entre 1 e 0,9. A borda da faixa de bloqueio é em $\omega = 1{,}2$ rad/s. Foi obtida a seguinte função de transferência usando a tabela de projeto de filtros:

$$T(s) = \frac{0{,}4508(s^2 + 1{,}6996)}{(s + 0{,}7294)(s^2 + s0{,}2786 + 1{,}0504)}$$

O filtro a ser implementado deve ter $\omega_p = 10^4$ rad/s.

(a) Obtenha a função de transferência do filtro atual substituindo s por $s/10^4$.

(b) Implemente esse filtro como uma conexão em cascata de um circuito PB com RC-amp op de primeira ordem do tipo mostrado na Figura 11.13(a) e um circuito DPB de segunda ordem do tipo mostrado na Figura 11.22(e). Cada seção deve ter um ganho *cc* unitário. Escolha os valores apropriados dos componentes. (*Observação*: Um filtro com equiondulação na resposta nas faixas de passagem e de bloqueio é conhecido como um **filtro elíptico**.)

Seção 11.7: Filtros Ativos de Segunda Ordem Baseados na Topologia da Malha de Dois Integradores

P11.13 Projete o circuito de KHN da Figura 11.24(a) para implementar um filtro passa-faixa com uma freqüência central de 1 kHz e uma faixa de passagem a 3 dB de 50 Hz. Use capacitores de 10 nF. Forneça o circuito completo e especifique os valores de todos os componentes. Qual o valor obtido para o ganho na freqüência central?

P11.14 Na realização do passa-todas usando o circuito da Figura 11.26, que (ou quais) componente(s) necessitará(ão) ser ajustável(eis) para controlar apenas: (a) ω_z? (b) Q_z?

Seção 11.8: Filtros Ativos Biquadráticos com Amplificadores Simples

P11.15 Projete o circuito da Figura 11.29 para obter um par de pólos com $\omega_0 = 10^4$ rad/s e $Q = 1/\sqrt{2}$. Use $C_1 = C_2 = 1$ nF.

**11.16 Considere a rede T em ponte da Figura 11.28(b) com $R_1 = R_2 = R$, $C_4 = C$ e $C_3 = C/16$. Admita que a rede seja colocada no caminho da realimentação negativa de um amp op com ganho infinito e que C_4 seja desconectado do terra e conectado à fonte de sinal de entrada V_i. Analise o circuito resultante para determinar sua função de transferência $V_o(s)/V_i(s)$, em que $V_o(s)$ é a tensão de saída no amp op. Mostre que o filtro implementado é um passa-faixa e calcule sua ω_0, Q e seu ganho na freqüência central.

Seção 11.9: Sensibilidade

11.17 Avalie as sensibilidades de ω_0 e Q relativas a R, L e C no circuito passa-faixa da Figura 11.18(d).

Seção 11.10: Filtros com Capacitores Chaveados

11.18 Para uma tensão *cc* de 1 V aplicada na entrada do circuito da Figura 11.35(b), em que C_1 é de 1 pF, que carga é transferida para cada ciclo do relógio de duas fases? Para um relógio de 100 kHz, qual a corrente média drenada da fonte de entrada? Para uma capacitância de realimentação de 10 pF, que variação você espera na saída para cada ciclo do relógio? Para um amplificador que satura em ±10 V e um capacitor de realimentação inicialmente descarregado, quantos ciclos do relógio seriam necessários para saturar o amplificador? Qual a inclinação média dos degraus de tensão, produzidos na saída?

Seção 11.11: Amplificadores Sintonizados

*11.19 Uma fonte de sinal de tensão com uma resistência $R_s = 10$ kΩ é conectada à entrada de um amplificador com TBJ em emissor comum. Entre a base e o emissor é conectado um circuito sintonizado com $L = 1$ μH e $C = 200$ pF. O transistor está polarizado com 1 mA e tem $\beta = 200$, $C_\pi = 10$ pF e $C_\mu = 1$ pF. A carga do transistor é uma resistência de 5 kΩ. Calcule ω_0, Q, a faixa de passagem a 3 dB e o ganho na freqüência central desse amplificador de sintonia única.

*11.20 Considere um amplificador com transistor em emissor comum tendo uma indutância L como carga. Ignorando r_o e r_x, mostre que para $\omega C_\pi \ll 1/\omega L$, a admitância de entrada é dada por

$$Y_{in} \simeq \left(\frac{1}{r_\pi} - \omega^2 C_\mu L g_m\right) + j\omega\left(C_\pi + C_\mu\right)$$

(*Observação*: A parte real da admitância de entrada pode ser negativa. Isso pode levar a oscilações.)

*11.21 (a) Substituindo $s = j\omega$ na função de transferência $T(s)$ de um filtro passa-faixa de segunda ordem (veja a Figura 11.16(c)), calcule $|T(j\omega)|$. Para ω na vizinhança de ω_0 [isto é, $\omega = \omega_0 + \delta\omega = \omega_0(1 + \delta\omega/\omega_0)$, em que $\delta\omega/\omega_0 << 1$, de modo que $\omega^2 = \omega_0^2(1 + 2\delta\omega/\omega_0)$], mostre que, para $Q >> 1$,

$$|T(j\omega)| \simeq \frac{|T(j\omega_0)|}{\sqrt{1 + 4Q^2(\delta\omega/\omega_0)^2}}$$

(b) Use o resultado obtido em (a) para mostrar que a faixa de passagem a 3 dB B, de N seções sintonizadas sincronamente conectadas em cascata, é

$$B = (\omega_0/Q)\sqrt{2^{1/N} - 1}$$

**11.22 (a) Usando o fato de que, para $Q \gg 1$, a resposta do passa-faixa de segunda ordem na vizinhança de ω_0 é a mesma resposta do passa-baixas de primeira ordem com freqüência a 3 dB de $(\omega_0/2Q)$, mostre que a resposta do passa-faixa em $\omega = \omega_0 + \delta\omega$, $\delta\omega \ll \omega_0$, é dada por

$$|T(j\omega)| \simeq \frac{|T(j\omega_0)|}{\sqrt{1 + 4Q^2(\delta\omega/\omega_0)^2}}$$

(b) Use a relação deduzida em (a) junto com a Equação 11.110 para mostrar que um aplificador passa-faixa com uma faixa de passagem B (3dB), projetado usando N estágios sintonizados em sincronia, tem uma função de transferência total dada por

$$|T(j\omega)|_{global} = \frac{|T(j\omega_0)|_{global}}{[1 + 4(2^{1/N} - 1)(\delta\omega/B)^2]^{N/2}}$$

(c) Use a relação deduzida em (b) para calcular a atenuação (em decibéis) obtida em uma faixa de passagem de $2B$ para $N = 1$ até 5. Calcule também a razão entre a faixa de passagem a 30 dB e a faixa de passagem a 3 dB para $N = 1$ até 5.

**11.23 Considere um amplificador passa-faixa com sintonia escalonada de sexta ordem com freqüência central ω_0 e faixa de passagem a 3 dB B. Os pólos devem ser obtidos pelo deslocamento daqueles do filtro passa-baixas de terceira ordem maximamente plana, dados na Figura 11.10(c). Para os três circuitos ressonantes, calcule ω_0, a faixa de passagem a 3 dB e Q.

CAPÍTULO 12

MAKRON Books

Geradores de Sinais e Circuitos Formadores de Onda

Introdução

12.1 Princípios Básicos dos Osciladores Senoidais

12.2 Circuitos Osciladores RC com Amp op

12.3 Osciladores LC e com Cristal

12.4 Multivibradores Biestáveis

12.5 Geração de Ondas Quadradas e Triangulares Usando Multivibradores Astáveis

12.6 Geração de um Pulso Padrão – O Multivibrador Monoestável

12.7 Circuitos Integrados Temporizadores

12.8 Circuitos Não-lineares Formadores de Onda

12.9 Circuitos Retificadores de Precisão

12.10 Exemplos de Simulação com o SPICE

Resumo

Bibliografia

Problemas

INTRODUÇÃO

No projeto de sistemas eletrônicos, há um aumento crescente na necessidade de sinais com formas de onda padronizadas, por exemplo, senoidal, quadrada, triangular, pulso e assim por diante. Dentre os sistemas que exigem sinais padronizados, podemos citar: os computadores e os sistemas de controle, nos quais os pulsos do relógio são necessários para, entre outras coisas, temporização; os sistemas de comunicação, nos quais os sinais, com uma variedade de formas de ondas, são usados como portadores de informações; e os sistemas de teste e de medição, nos quais os sinais, novamente com uma variedade de formas de ondas, são empregados para teste e caracterização dos dispositivos e circuitos eletrônicos. Neste capítulo estudaremos os circuitos geradores de sinais e os circuitos formadores de onda.

Há dois métodos bastante diferentes para a geração de senóides, talvez os mais comumente usados das formas de ondas padronizadas. O primeiro método, estudado nas Seções 12.1 e 12.3,

emprega uma *malha de realimentação positiva*, consistindo em um amplificador e uma *malha seletiva em freqüência*, função de LC ou RC. A amplitude da onda senoidal gerada é limitada ou determinada usando-se um mecanismo não-linear, implementado por um circuito separado ou usando as não-linearidades dos próprios dispositivos de amplificação. Apesar disso, esses circuitos, que geram ondas senoidais utilizando o fenômeno da ressonância, são conhecidos como *osciladores lineares*. O nome distingue claramente esses circuitos daqueles que geram senóides por meio do segundo método. Nesses circuitos, uma onda senoidal é obtida modelando-se apropriadamente uma onda triangular. Estudaremos os circuitos formadores de ondas na Seção 12.9, seguindo o estudo dos geradores de onda triangular.

Os circuitos que geram ondas com forma quadrada, triangular, pulso etc., chamados osciladores não-lineares ou geradores de função, empregam blocos de circuitos conhecidos como *multivibradores*. Há três tipos de multivibradores: o *biestável* (Seção 12.4), o *astável* (Seção 12.5) e o *monoestável* (Seção 12.7). Os circuitos multivibradores apresentados neste capítulo empregam amp ops e são utilizados em aplicações analógicas de precisão. Os circuitos multivibradores usando portas lógicas digitais serão discutidos no próximo capítulo.

Um esquema geral versátil para as formas de ondas quadrada e triangular é obtido pela conexão de um multivibrador biestável e de um integrador com amp op com uma malha de realimentação (Seção 12.7). Resultados similares podem ser obtidos usando-se uma pastilha CI versátil e disponível comercialmente no mercado: o temporizador 555 (Seção 12.8). Este capítulo inclui também o estudo de circuitos de precisão que implementam as funções do retificador introduzidas no Capítulo 3. Os circuitos estudados na Seção 12.9, contudo, são usados em circuitos que demandam de precisão, como nos sistemas de instrumentação, incluindo a geração da forma de onda. O capítulo é concluído com exemplos ilustrando o uso do SPICE na simulação de circuitos osciladores.

12.1 PRINCÍPIOS BÁSICOS DOS OSCILADORES SENOIDAIS

Nesta seção estudaremos os princípios básicos nos quais se baseia o projeto de osciladores lineares de onda senoidal. Apesar do nome *oscilador linear*, alguma forma de não-linearidade é empregada para fornecer o controle da amplitude da senóide de saída. Na verdade, todos os osciladores são essencialmente circuitos não-lineares. Isso complica a tarefa de análise e o projeto dos osciladores; não podemos mais aplicar diretamente os métodos de transformadas (no plano s). Entretanto, foram desenvolvidas técnicas com as quais o projeto de osciladores senoidais pode ser criado em dois passos. O primeiro passo emprega análise linear e os métodos de análise de circuitos com realimentação no domínio da freqüência podem ser prontamente usados. Subseqüentemente, é utilizado um mecanismo não-linear para o controle da amplitude.

A Malha de Realimentação do Oscilador

A estrutura básica de um oscilador senoidal consiste em um amplificador e uma malha seletiva a freqüências conectada em um elo de realimentação positiva, como a apresentada em forma de diagrama de blocos na Figura 12.1. Embora em um circuito oscilador real o sinal de entrada não esteja presente, incluímos aqui um sinal de entrada para auxiliar na explicação do princípio de funcionamento. É importante observar que, diferentemente da malha com realimentação negativa da Figura 8.1, aqui o sinal de realimentação x_f é somado a um sinal *positivo*. Portanto, o ganho com realimentação é dado por

$$A_f(s) = \frac{A(s)}{1 - A(s)\beta(s)} \tag{12.1}$$

em que observamos o sinal negativo no denominador.

De acordo com a definição do ganho de malha dada no Capítulo 8, o ganho de malha do circuito na Figura 12.1 é $-A(s)\beta(s)$. Porém, para nossos propósitos atuais, é mais conveniente retirar o sinal menos e definir o ganho da malha $L(s)$ como

$$L(s) \equiv A(s)\beta(s) \tag{12.2}$$

A equação característica fica sendo então

$$1 - L(s) = 0 \tag{12.3}$$

Observe que essa nova definição do ganho da malha[1] corresponde diretamente ao ganho real visto em torno da malha de realimentação da Figura 12.1.

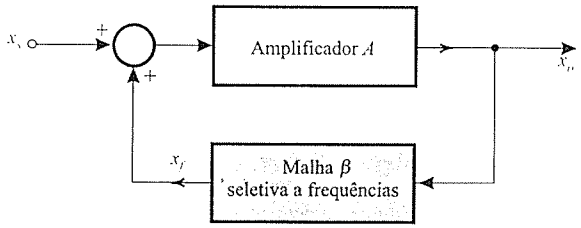


Figura 12.1 A estrutura básica de um oscilador senoidal. Um elo de realimentação positiva é formado por um amplificador e uma malha seletiva a freqüências. Em um circuito oscilador real, não há sinais de entrada; aqui, um sinal de entrada x_s é empregado para auxiliar na explicação do princípio de operação.

O Critério de Oscilação

Se, em uma freqüência específica f_0, o ganho da malha $A\beta$ for igual à unidade, isso significa, pela Equação 12.1, que A_f será infinito. Isto é, nessa freqüência, o circuito terá uma saída finita com uma entrada de sinal zero. Tal circuito é, por definição, um oscilador. Portanto, a condição para a malha de realimentação da Figura 12.1 produzir uma oscilação senoidal de freqüência ω_0 é que

$$L(j\omega_0) \equiv A(j\omega_0)\beta(j\omega_0) = 1 \tag{12.4}$$

Ou seja, *em ω_0 a fase do ganho de malha deve ser zero e a amplitude do ganho de malha deve ser unitário*. Isso é conhecido como **critério de Barkhausen**. Observe que, para o circuito oscilar em uma certa freqüência, o critério de oscilação deve ser satisfeito apenas nessa freqüência (isto é, ω_0); caso contrário, a forma de onda resultante não será uma senóide pura.

Intuitivamente, o critério de Barkhausen pode ser analisado considerando-se novamente a malha de realimentação da Figura 12.1. Para essa malha *produzir* e *sustentar* uma saída x_o sem que seja aplicada uma entrada ($x_s = 0$), o sinal de realimentação x_f,

$$x_f = \beta x_o$$

1. Para ambas as malhas de realimentação negativa (Figura 8.1) e positiva (Figura 12.1), o ganho de malha $L = A\beta$. No entanto, o sinal negativo ao qual o sinal realimentado é somado à realimentação negativa resulta em uma equação característica $1 + L = 0$. No caso da realimentação positiva, o sinal realimentado é somado ao sinal positivo, resultando em uma equação característica $1 - L = 0$.

deve ser suficientemente alto, de modo que, quando multiplicado por A, produza x_o,

$$Ax_f = x_o$$

isto é,

$$A\beta x_o = x_o$$

que resulta em

$$A\beta = 1$$

Deve ser observado que a *freqüência de oscilação* ω_0 é determinada exclusivamente pelas características de fase da malha de realimentação; a malha oscila na freqüência cuja fase é zero. Isso significa que a estabilidade da freqüência de oscilação será determinada pelo modo pelo qual a fase $\phi(\omega)$ da malha de realimentação varia com a freqüência. Uma função com inclinação íngreme $\phi(\omega)$ resultará em uma freqüência mais estável. Isso fica claro se imaginarmos uma variação na fase $\Delta\phi$ devida a uma variação nos componentes do circuito. Se $d\phi/d\omega$ for alta, a variação resultante em ω_0 será pequena, conforme ilustrado na Figura 12.2

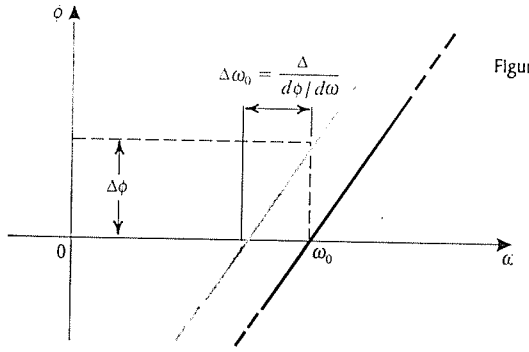


Figura 12.2 Dependência da estabilidade da freqüência do oscilador com a inclinação da resposta em fase. Uma resposta em fase íngreme (isto é, um valor de $d\phi/d\omega$ elevado) resulta em um valor baixo para $\Delta\omega_0$ em conseqüência de uma variação de fase $\Delta\phi$ (resultante de uma mudança em um compontente do circuito).

Um método alternativo para estudar os circuitos osciladores consiste no exame dos pólos do circuito, que são as raízes da *equação característica* (Equação 12.3). Para o circuito produzir e *manter oscilações* na freqüência ω_0, a equação característica deve ter raízes em $s = \pm j\omega_0$. Portanto, $1 - A(s)\beta(s)$ deve ser da forma $s^2 + \omega_0^2$.

Exercício

12.1 Considere um oscilador senoidal formado por um amplificador com um ganho de 2 e um filtro passa-faixas de segunda ordem. Calcule a freqüência do pólo e o ganho na freqüência central do filtro para produzir e manter oscilações em 1 kHz.

Resposta 1 kHz; 0,5

Controle Não-linear da Amplitude

A condição de oscilação, critério de Barkhausen discutido anteriormente, garante e mantém as oscilações em um sentido matemático. Contudo, sabemos bem que os parâmetros de qualquer sistema físico não podem ser mantidos constantes por um tempo prolongado. Em outras palavras, suponha que seja feito tudo para tornar $A\beta = 1$ em $\omega = \omega_0$; então, a temperatura varia e $A\beta$ fica ligeiramente menor do que a unidade. Obviamente, as oscilações cessarão nesse caso. Se, por outro lado, $A\beta$ exceder a unidade, as oscilações aumentarão em amplitude. Precisamos, portanto, de um mecanismo para forçar $A\beta$ a permanecer igual à unidade no valor de amplitude desejado na saída. Essa tarefa fica a cargo de um circuito não-linear que controla o ganho.

Basicamente, a função do mecanismo de controle de ganho está descrita a seguir: primeiro, para garantir que as oscilações iniciem, projetamos o circuito de tal modo que $A\beta$ seja ligeiramente maior do que a unidade. Isso corresponde a projetar o circuito de modo que os pólos estejam no semiplano direito do plano s. Portanto, quando a fonte de alimentação for ligada, as oscilações crescerão em amplitude. Quando a amplitude atingir o nível desejado, a malha não-linear entrará em funcionamento e fará com que o ganho da malha seja precisamente reduzido até a unidade. Em outras palavras, os pólos serão "puxados" para o eixo $j\omega$. Isso fará com que o circuito mantenha as oscilações na amplitude desejada. Se, por alguma razão, o ganho da malha for reduzido abaixo da unidade, a amplitude da onda senoidal diminuirá. Isso será detectado pela malha não-linear, que fará o ganho da malha aumentar exatamente até a unidade.

Como veremos, há dois métodos básicos para a implementação do mecanismo não-linear para a estabilização da amplitude. O primeiro método faz uso de um circuito limitador (veja o Capítulo 3). As oscilações aumentam de amplitude até que o nível dado pelo limitador seja atingido. Com o limitador entrando em operação, a amplitude permanece constante. Obviamente, o limitador deve ser "suave" a fim de minimizar a distorção não-linear. Essa distorção, contudo, é reduzida pela ação do filtro da malha seletiva a freqüências na malha de realimentação. Em um dos circuitos osciladores a serem estudados na Seção 12.2, as senóides são bruscamente limitadas e as ondas quadradas resultantes são aplicadas em um filtro passa-faixas presente na malha de realimentação. A "pureza" das ondas senoidais de saída será uma função da seletividade desse filtro. Isto é, quanto maior o Q do filtro, menor o conteúdo harmônico da senóide de saída.

O outro mecanismo para o controle da amplitude utiliza um elemento cuja resistência pode ser controlada pela amplitude da senóide de saída. Colocando-se esse elemento no elo de realimentação, de maneira que essa resistência determine o ganho de malha, o circuito pode ser projetado de modo que o ganho de malha atinja a unidade na amplitude de saída desejada. Diodos ou JFETs operando na região de triodo são geralmente empregados para a implementação do elemento de resistência controlada.

Um Circuito Limitador para o Controle da Amplitude Muito Popular

Concluímos esta seção apresentando um circuito limitador freqüentemente empregado no controle da amplitude de osciladores com amp op e em uma variedade de outras aplicações. O circuito é mais preciso e mais versátil do que aquele apresentado no Capítulo 3.

O circuito limitador está mostrado na Figura 12.3(a) e sua característica de transferência está representada na Figura 12.3(b). Para observar como essa característica de transferência é obtida, considere primeiro o caso em que o sinal de entrada v_I é pequeno (próximo de zero) e a tensão de saída v_O também é pequena, de modo que v_A é positiva e v_B, negativa. Podemos mostrar facilmente que ambos os diodos, D_1 e D_2, estarão cortados. Portanto, toda a corrente de entrada v_I/R_1 circula pela resistência de realimentação R_f e a tensão de saída é dada por

$$v_O = -(R_f/R_1)v_I \tag{12.5}$$

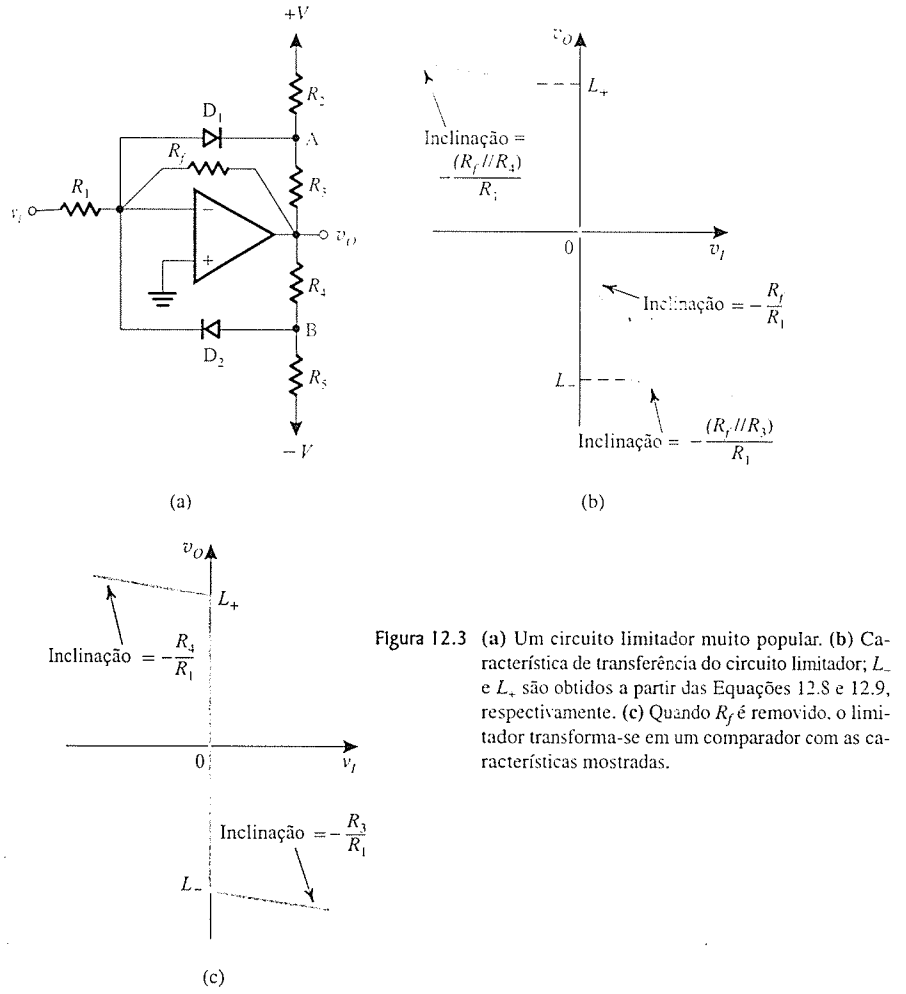


Figura 12.3 (a) Um circuito limitador muito popular. (b) Característica de transferência do circuito limitador; L_- e L_+ são obtidos a partir das Equações 12.8 e 12.9, respectivamente. (c) Quando R_f é removido, o limitador transforma-se em um comparador com as características mostradas.

Essa é a parte linear da característica de transferência do limitador na Figura 12.3(b). Agora, podemos usar a superposição para calcular as tensões nos nós A e B em termos de $\pm V$ e v_O, como

$$v_A = V\frac{R_3}{R_2+R_3} + v_O\frac{R_2}{R_2+R_3} \tag{12.6}$$

$$v_B = -V\frac{R_4}{R_4+R_5} + v_O\frac{R_5}{R_4+R_5} \tag{12.7}$$

Quando v_I é positiva, v_O é negativa (Equação 12.5), e vemos pela Equação 12.7 que v_B se tornará mais negativa, mantendo, portanto, D_2 em corte. A Equação 12.6 mostra, porém, que v_A fica menos positiva. Assim, se continuarmos a aumentar v_I, atingiremos um valor negativo de v_O, em que v_A será de –0,7 V ou mais e o diodo D_1 conduzirá. Se usarmos o modelo de queda de tensão constante para D_1 e representarmos a queda de tensão V_D, o valor de v_O em que D_1 conduz pode ser determinado pela Equação 12.6. Esse é o limite do nível negativo, que representamos como L_-:

$$L_- = -V\frac{R_3}{R_2} - V_D\left(1+\frac{R_3}{R_2}\right) \tag{12.8}$$

O valor correspondente de v_I pode ser encontrado dividindo-se L_- pelo ganho do limitador $-R_f/R_1$. Se v_I aumentar além desse valor, mais corrente será injetada em D_1 e v_A permanecerá em $-V_D$, aproximadamente. Portanto, a corrente em R_2 permanece constante e a corrente adicional do diodo circula por R_3. Portanto, na prática, R_3 aparece em paralelo com R_f e o ganho incremental (ignorando a resistência do diodo) é $-(R_f//R_3)/R_1$. Para tornar a inclinação da característica de transferência pequena na região limítrofe, deve ser escolhido um valor baixo para R_3.

A característica de transferência para v_I negativa pode ser encontrada de modo idêntico ao descrito anteriormente. Podemos observar facilmente que, para v_I negativa, o diodo D_2 funciona de modo idêntico ao diodo D_1 com v_I positiva. O nível positivo de limite L_+ pode ser encontrado como

$$L_+ = V\frac{R_4}{R_5} + V_D\left(1+\frac{R_4}{R_5}\right) \tag{12.9}$$

e a inclinação da característica de transferência na região de limite positivo é $-(R_f//R_4)/R_1$. Vemos, portanto, que o circuito da Figura 12.3(a) funciona como um limitador suave, com os níveis de L_+ e L_- ajustáveis independentemente pela escolha apropriada dos valores dos resistores.

Finalmente, observamos que aumentar R_f resulta em um ganho maior na região linear enquanto mantemos L_+ e L_- sem alteração. No limite, retirar R_f totalmente resulta na característica de transferência da Figura 12.3(c), que é a característica de transferência do comparador. Ou seja, o circuito compara v_I com o valor 0 V, a referência do comparador; $v_I > 0$ resulta em $v_O \simeq L_-$ e $v_I < 0$ produz $v_O \simeq L_+$.

Exercício

12.2 Para o circuito da Figura 12.3(a) com $V = 15$ V, $R_1 = 30$ kΩ, $R_f = 60$ kΩ, $R_2 = R_5 = 9$ kΩ e $R_3 = R_4 = 3$ kΩ, calcule os níveis de limite e o valor de v_I a que os níveis de limite chegarão. Determine também o ganho do limitador e a inclinação da característica de transferência nas regiões dos limites positivo e negativo. Suponha $V_D = 0{,}7$ V.

Resposta ± 5,93 V; ± 2,97 V; –2; –0,095

12.2 CIRCUITOS OSCILADORES RC COM AMP OP

Nesta seção estudaremos alguns circuitos osciladores práticos utilizando malhas RC e amp ops.

O Oscilador com Ponte de Wien

Um dos circuitos osciladores mais simples é baseado na ponte de Wien. A Figura 12.4 mostra um oscilador com ponte Wien sem a malha de controle não-linear. O circuito consiste em um amp op conectado à configuração não-inversora, com um ganho em malha fechada de $1 + R_2/R_1$. No caminho da realimentação desse amplificador com ganho positivo é conectada uma malha RC.

O ganho de malha pode ser obtido facilmente pela multiplicação da função de transferência $V_a(s)/V_o(s)$ da malha de realimentação pelo ganho do amplificador,

$$L(s) = \left[1+\frac{R_2}{R_1}\right]\frac{Z_p}{Z_p+Z_s}$$

Portanto,

$$L(s) = \frac{1+R_2/R_1}{3+sCR+1/sCR} \tag{12.10}$$

Substituindo $s = j\omega$ resulta em

$$L(j\omega) = \frac{1+R_2/R_1}{3+j(\omega CR-1/\omega CR)} \tag{12.11}$$

O ganho de malha será um número real (isto é, a fase será zero) em uma freqüência dada por

$$\omega_0 CR = \frac{1}{\omega_0 CR}$$

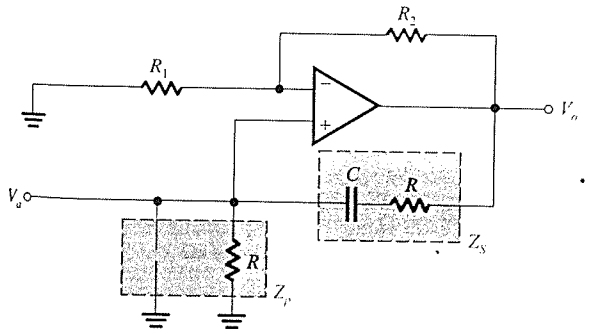


Figura 12.4 Oscilador com ponte de Wien sem estabilização de amplitude.

Isto é,

$$\omega_0 = 1/CR \tag{12.12}$$

Para obter e manter as oscilações nessa freqüência, devemos fazer a amplitude do ganho da malha unitário. Isso pode ser obtido escolhendo

$$R_2/R_1 = 2 \tag{12.13}$$

Para garantir que as oscilações terão início, escolhemos R_2/R_1 ligeiramente maior do que 2. O leitor pode facilmente verificar que, se $R_2/R_1 = 2 + \delta$, em que δ é um número pequeno, as raízes da equação característica $1 - L(s) = 0$ estarão à direita do semiplano s.

A amplitude da oscilação pode ser determinada e estabilizada pelo uso de uma malha de controle não-linear. Duas implementações diferentes da função de controle da amplitude estão mostradas nas Figuras 12.5 e 12.6. O circuito na Figura 12.5 emprega um limitador com realimentação simétrica do tipo estudado na Seção 12.1. Ele é formado pelos diodos D_1 e D_2 junto com os resistores R_3, R_4, R_5 e R_6. O limitador opera do seguinte modo: no pico positivo da tensão de saída v_O, a tensão no nó b excederá a tensão v_1 (que é cerca de 1/3 v_O) e o diodo D_2 entrará em condução. Isso grampeará o pico positivo no valor determinado por R_5, R_6 e a tensão negativa da fonte de alimentação. O valor da tensão de pico positivo de saída pode ser calculado fazendo-se $v_b = v_1 + V_{D2}$ e escrevendo-se uma equação para o nó b enquanto desprezamos a corrente em D_2.

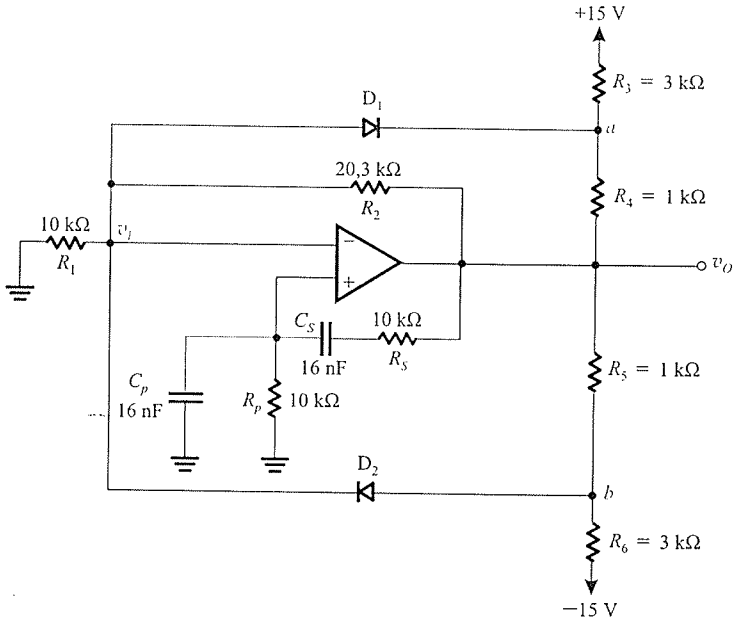


Figura 12.5 Oscilador com ponte de Wien usando um limitador para controle da amplitude.

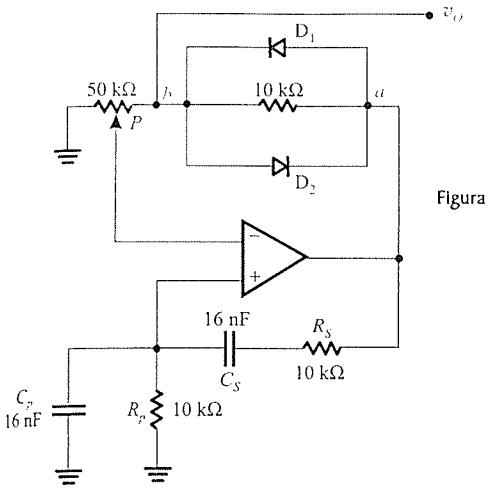


Figura 12.6 Oscilador com ponte de Wien usando um método alternativo para estabilização da amplitude.

De modo similar, o pico negativo da tensão senoidal de saída será grampeado no valor que faz o diodo D_1 entrar em condução. O valor de pico negativo pode ser determinado fazendo-se $v_a = v_1 - V_{D1}$ e escrevendo uma equação para o nó a enquanto desprezamos a corrente em D_1. Finalmente, observe que, a fim de obter uma forma de onda simétrica na saída, R_3 é escolhida igual a R_6 e R_4, igual a R_5.

Exercício

12.3 Para o circuito da Figura 12.5: (a) Desprezando o circuito limitador, calcule a posição dos pólos em malha fechada; (b) calcule a freqüência de oscilação; (c) com o limitador no lugar, calcule a amplitude da senóide de saída (suponha que a queda no diodo seja de 0,7 V).

Resposta $(10^5/16)(0{,}015 \pm j)$; 1 kHz; 21,36 V (pico-a-pico)

O circuito da Figura 12.6 emprega uma implementação de baixo custo do mecanismo de variação do parâmetro de controle da amplitude. O potenciômetro P é ajustado até que as oscilações iniciem. Com o crescimento das oscilações, o diodo inicia sua condução, fazendo com que a resistência efetiva entre a e b diminua. O equilíbrio será alcançado com a amplitude da saída que faz o ganho de malha ser exatamente unitário. A amplitude da saída pode ser variada pelo ajuste do potenciômetro P.

Conforme indicado na Figura 12.6, a saída é tomada no ponto b em vez de no terminal de saída do amp op, porque a distorção do sinal em b é menor do que em a. Para perceber esse fato, observe que a tensão em b é proporcional à tensão nos terminais de entrada do amp op e que esta última é uma versão filtrada (pela malha RC) da tensão no nó a. O nó b, contudo, é um ponto de alta impedância e será necessário um isolador se for necessário conectar uma carga.

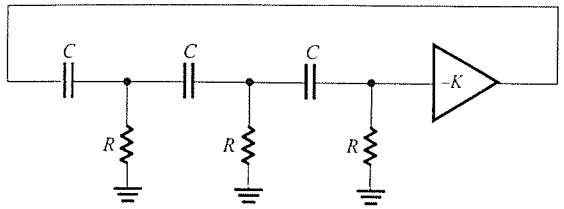


Figura 12.7 Oscilador por deslocamento de fase.

Exercício

12.4 Para o circuito da Figura 12.6, calcule o seguinte: (a) O ponto de ajuste do potenciômetro P em que as oscilações têm início. (b) A freqüência da oscilação.

Resposta (a) 20 kΩ para o terra; (b) 1 kHz

O Oscilador por Deslocamento de Fase

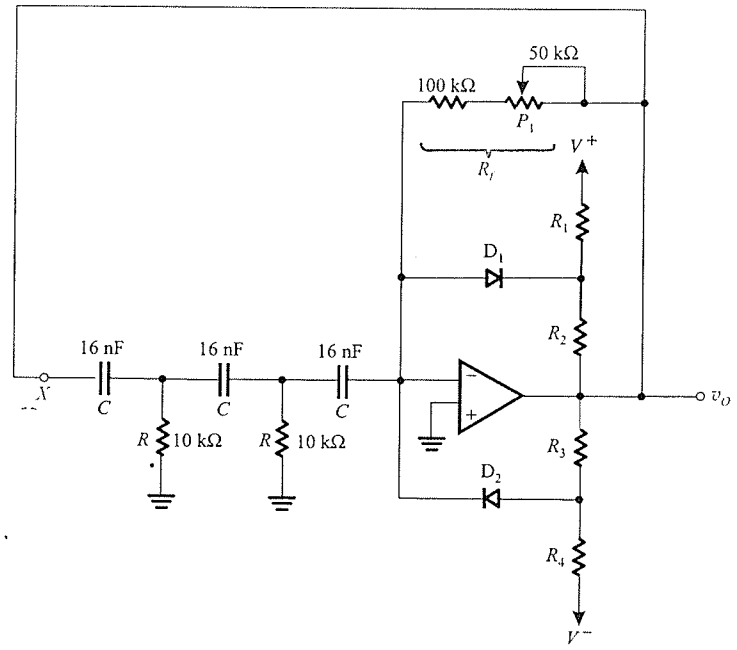


Figura 12.8 Circuito prático para um oscilador por deslocamento de fase com um limitador para estabilização de amplitude.

A estrutura básica do oscilador por deslocamento de fase está mostrada na Figura 12.7. Ela consiste em um amplificador com ganho negativo ($-K$) com três seções de malhas RC em degrau (terceira ordem) na realimentação. O circuito oscilará na freqüência em que o deslocamento de fase da malha RC for de 180°. Somente nessa freqüência o deslocamento total será 0 ou 360° em torno da malha. Devemos observar aqui que se usa uma malha RC de três seções porque três é o número mínimo de seções (isto é, a menor ordem) capaz de produzir um deslocamento de fase de 180° em uma freqüência finita.

Para que as oscilações sejam mantidas, o valor de K deve ser igual ao inverso da amplitude da função de transferência da malha RC na freqüência de oscilação. Porém, a fim de garantir o início das oscilações, o valor de K deve ser feito ligeiramente maior do que o valor capaz de satisfazer a condição de ganho unitário da malha. As oscilações, então, crescerão em amplitude até que sejam limitadas por algum mecanismo de controle.

A Figura 12.8 mostra um oscilador por deslocamento de fase prático com um limitador realimentado, consistindo nos diodos D_1 e D_2 e nos resistores R_1, R_2, R_3 e R_4 para uma estabilização da amplitude.

Para iniciar as oscilações, R_f deve ser feito ligeiramente maior do que o valor mínimo necessário. Se R_f for muito maior que esse valor mínimo, o circuito se estabiliza mais rapidamente e fornece uma senóide com uma amplitude mais estável; no entanto, o preço pago é um aumento na distorção da saída.

Exercícios

12.5 Considere o circuito da Figura 12.8 *sem* o limitador. Abra a malha de realimentação em X e calcule o ganho da malha $A\beta \equiv Vo(j\omega)/V_x(j\omega)$. Para isso, é mais fácil iniciar a análise pela saída, de trás para frente, calculando as várias correntes e tensões e V_x em termos de V_o.

Resposta $\dfrac{\omega^2 C^2 R R_f}{4 + j(3\omega CR - 1/\omega CR)}$

12.6 Use a expressão deduzida no Exercício 12.5 para calcular a freqüência de oscilação f_0 e o valor de R_f mínimo necessário para o início das oscilações no circuito da Figura 12.8.

Resposta 574.3 Hz; 120 kΩ

O Oscilador em Quadratura

O oscilador em quadratura é baseado na malha com dois integradores estudada na Seção 11.7. Como no filtro ativo, a malha será amortecida se os pólos forem posicionados à esquerda do plano s. Nesse caso, não será usado o amortecimento, visto que desejamos posicionar os pólos no eixo $j\omega$ a fim de proporcionar e manter as oscilações. Na verdade, para garantir o início das oscilações, os pólos são inicialmente posicionados à direita do semiplano e depois são "puxados" pelo controle não-linear de ganho.

A Figura 12.9 mostra um oscilador em quadratura prático. O amplificador 1 é conectado como um integrador Miller com um limitador na realimentação para o controle de amplitude. O amplificador 2 está conectado como um integrador não-inversor (portanto, substituindo a conexão em cascata do integrador Miller e do inversor na malha com dois integradores da Figura

11.25(b)). Para entender a operação desse integrador não-inversor, considere o circuito equivalente mostrado na Figura 12.9(b). Nessa figura, substituímos a tensão de entrada v_{O1} do integrador e a resistência série $2R$ pelo equivalente Norton composto de uma fonte de corrente $v_{O1}/2R$ e uma resistência em paralelo $2R$. Agora, já que $v_{O2} = 2v$, em que v é a tensão na entrada do amp op 2, a corrente através de R_f será $(2v - v)/R_f = v/R_f$ na direção da saída para a entrada. Assim, R_f faz surgir uma resistência negativa de entrada, $-R_f$, como indicado no circuito equivalente da Figura 12.9(b). Normalmente, R_f é constituído do mesmo valor que $2R$ e, assim, $-R_f$ cancela $2R$, e na entrada temos apenas uma fonte de corrente $v_{O1}/2R$ alimentando um capacitor C. O resultado é que

$$v = \frac{1}{C}\int_0^t \frac{v_{O1}}{2R}\,dt \quad \text{e} \quad v_{O2} = 2v = \frac{1}{CR}\int_0^t v_{O1}\,dt$$

Isto é, para $R_f = 2R$, o circuito opera como um integrador não-inversor perfeito. Se, no entanto, R_f for menor que $2R$, uma resistência negativa aparecerá em paralelo com C.

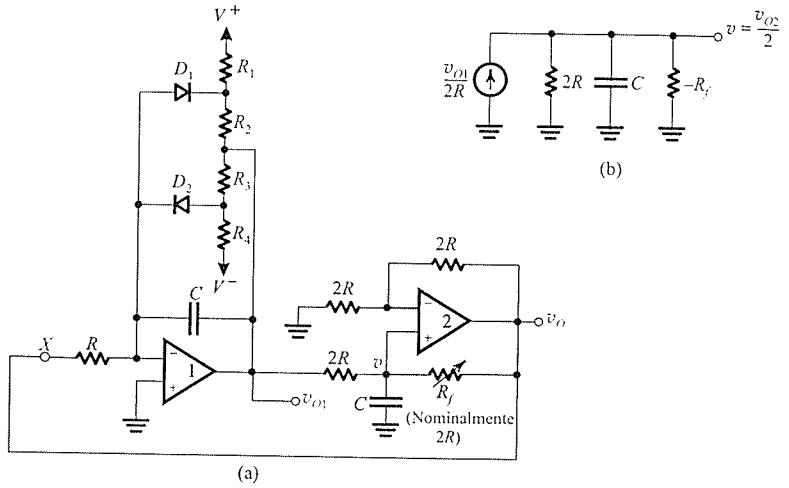


Figura 12.9 (a) Um circuito de oscilador em quadratura. (b) Circuito equivalente na entrada do amp op 2.

Retornando ao circuito do oscilador da Figura 12.9(a), observamos que a resistência R_f no caminho da realimentação positiva do amp op 2 é variável, com um valor nominal de $2R$. Diminuindo o valor de R_f, os pólos são movidos para a direita do semiplano (Problema 12.7), garantindo o início das oscilações. Uma realimentação positiva muito forte, embora resulte em uma melhor estabilidade da amplitude, resulta também em uma maior distorção na saída (porque o limitador deve ter uma operação "brusca"). Considerando esse fato, observe que a saída v_{O2} será "mais pura" do que v_{O1} por causa da ação do filtro, proporcionada pelo segundo integrador sobre a saída de pico limitado do primeiro integrador.

Se desprezarmos o limitador e abrirmos o elo em X, o ganho da malha pode ser obtido como

$$L(s) \equiv \frac{V_{o2}}{V_x} = -\frac{1}{s^2C^2R^2} \tag{12.14}$$

Portanto, a malha oscilará na freqüência ω_0, dada por

$$\omega_0 = \frac{1}{CR} \tag{12.15}$$

Finalmente, deve ser observado que o nome *oscilador em quadratura* é usado porque o circuito fornece duas senóides com uma diferença de fase de 90°. Isso deve estar claro, visto que v_{O2} é a integral de v_{O1}. Há várias aplicações que necessitam das duas senóides em quadratura.

O Oscilador com Filtro Ativo Sintonizado

O último circuito oscilador que discutiremos é simples tanto no princípio de funcionamento quanto no projeto. Entretanto, o método é geral e versátil e pode resultar em uma senóide de saída de alta qualidade (isto é, com baixa distorção). O princípio básico está ilustrado na Figura 12.10. O circuito consiste em um filtro passa-faixas com um alto valor de Q conectado em uma malha de realimentação positiva com um limitador abrupto. Para entender como esse circuito funciona, suponha que as oscilações já tenham sido iniciadas. A saída do filtro passa-faixas será uma senóide cuja freqüência é igual à freqüência central do filtro f_0. O sinal senoidal v_1 alimenta o limitador, que produz em sua saída uma onda quadrada cujos níveis são determinados pelos níveis limitadores e cuja freqüência é f_0. A onda quadrada, por sua vez, alimenta o filtro passa-faixas, que filtra as harmônicas e fornece uma senóide de saída v_1 na freqüência fundamental f_0. Obviamente, a pureza da senóide de saída será uma função direta da seletividade (ou fator Q) do filtro passa-faixas.

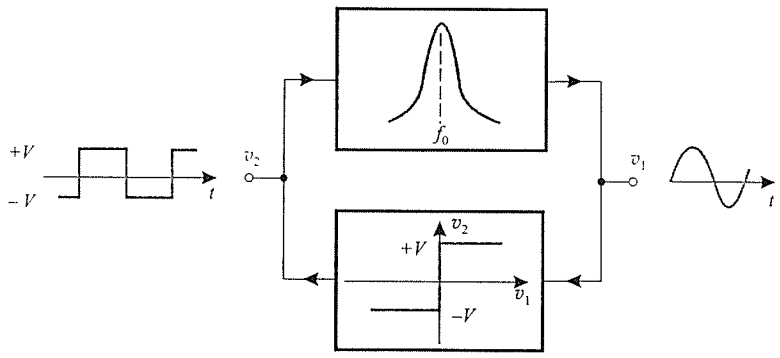


Figura 12.10 Diagrama de blocos de um oscilador com filtro ativo sintonizado.

A simplicidade desse método que permite projetar osciladores deve estar clara. Podemos ter um controle independente da freqüência ou da amplitude, assim como da distorção da senóide na saída. Qualquer circuito de filtro com ganho positivo pode ser usado para implementar o fil-

tro passa-faixas. A estabilidade da freqüência do oscilador será determinada diretamente pela estabilidade da freqüência do circuito de filtro passa-faixas. Além disso, diferentes tipos de circuitos (veja o Capítulo 3) com diferentes graus de sofisticação podem ser usados para implementar o bloco limitador.

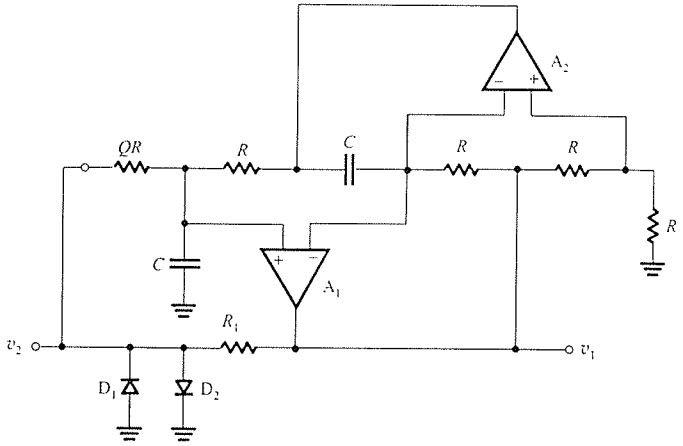


Figura 12.11 Implementação prática de um oscilador com filtro ativo sintonizado.

A Figura 12.11 mostra uma possível implementação do oscilador com filtro ativo sintonizado. O circuito usa uma variação do circuito passa-faixas baseado no circuito de simulação de indutância de Antoniou (veja a Figura 11.22(c)). Nessa figura, o resistor R_2 e o capacitor C_4 estão em posições trocadas. Isso faz com que a saída do amp op inferior seja diretamente proporcional à tensão no circuito ressonante (na realidade, duas vezes maior) e podemos, portanto, dispensar o amplificador isolador K. O limitador usado é muito simples e consiste em uma resistência R_1 e dois diodos.

Exercício

12.7 Use $C = 16$ nF e calcule o valor de R de modo que o circuito da Figura 12.11 produza uma senóide de 1 kHz. Se a queda no diodo for de 0.7 V, calcule a amplitude pico-a-pico da senóide de saída. (*Sugestão*: Uma onda quadrada com amplitude pico a pico de V volts tem uma componente fundamental de $4\ V/\pi$ volts de amplitude pico-a-pico.)

Resposta 10 kΩ; 3,6 V

Uma Última Observação

Os circuitos osciladores com amp op RC estudados são úteis para uma operação na faixa de 10 Hz até 100 kHz (ou, no máximo, até 1 MHz). Enquanto o limite inferior da freqüência é ditado pelo valor das componentes passivas necessárias, o limite superior é governado pela resposta em freqüência e pelas limitações do *slew rate* dos amp ops. Para freqüências ainda maiores, são normalmente empregados circuitos que usam transistores e circuitos LC sintonizados ou cristais.[2] Tais circuitos serão discutidos na Seção 12.3.

12.3 OSCILADORES LC E COM CRISTAL

Os osciladores que utilizam transistores (FETs ou TBJs) e circuitos LC sintonizados ou cristais como elementos de realimentação são usados na faixa de freqüências de 100 kHz até centenas de MHz. Eles exibem valores do fator Q maiores do que os do tipo RC. Porém, os osciladores LC dificilmente são sintonizados em uma faixa mais larga e os osciladores a cristal operam em uma única freqüência.

Os Osciladores LC Sintonizados

A Figura 12.12 mostra duas configurações geralmente usadas para os osciladores LC sintonizados. São o (a) **oscilador de Colpitts** e o (b) **oscilador Hartley**. Ambos utilizam um circuito LC paralelo entre o coletor e a base (ou entre o dreno e a porta, se for usado um FET) com uma fração da tensão do circuito sintonizado usada para alimentar o emissor (ou a fonte no caso do FET). Essa realimentação é obtida por um divisor capacitivo no oscilador Colpitts e por um divisor indutivo no circuito Hartley. Observe que os detalhes da polarização não foram mostrados para concentrarmos nossa atenção na estrutura do oscilador. Nos dois circuitos, o resistor R modela as perdas no indutor, a resistência de carga do oscilador e a resistência de saída do transistor.

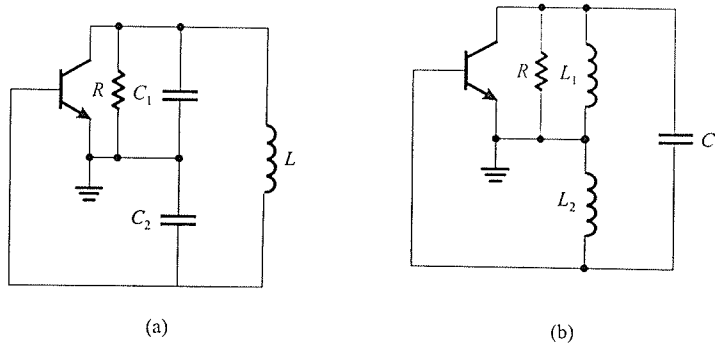


Figura 12.12 Duas configurações de osciladores LC sintonizados comumente empregadas: (a) Colpitts; (b) Hartley.

Se a freqüência de operação for suficientemente baixa, a ponto de podermos desprezar as capacitâncias do transistor, a freqüência de oscilação será determinada pela freqüência ressonante do circuito sintonizado paralelo (conhecido como *circuito tanque*, porque se comporta como um reservatório de energia armazenada).

[2] Naturalmente, os transistores podem ser usados no lugar dos amp ops nos circuitos que acabamos de estudar. Para freqüências ainda maiores, porém, melhores resultados são obtidos com os circuitos LC sintonizados ou cristais.

Logo, para o oscilador Colpitts temos

$$\omega_0 = 1\Big/\sqrt{L\left(\frac{C_1C_2}{C_1+C_2}\right)} \tag{12.16}$$

e para o oscilador Hartley temos

$$\omega_0 = 1/\sqrt{(L_1+L_2)C} \tag{12.17}$$

A razão L_1/L_2 ou C_1/C_2 determina o fator de realimentação e, portanto, pode ser ajustada em conjunto com o ganho do transistor para garantir o início das oscilações. Para deteminar a condição de oscilação do oscilador Colpitts, substituímos o transistor por seu circuito equivalente, conforme mostrado na Figura 12.13. Para simplificar a análise, podemos desprezar as capacitâncias do transistor C_μ (C_{gd} para o FET). A capacitância C_π (C_{gs} para o FET), embora não esteja mostrada, pode ser considerada como parte de C_2. A resistência de entrada r_π (infinita para o FET) também pode ser desprezada, supondo que na freqüência de oscilação $r_\pi >> (1/\omega C_2)$. Finalmente, conforme mencionado anteriomente, a resistência R inclui r_o do transistor.

Para calcular o ganho de malha, abrimos a malha na base do transistor, aplicamos uma tensão V_π e calculamos a tensão de retorno que aparece nos terminais de entrada do transistor. Depois, igualamos o ganho de malha à unidade. Um processo alternativo é analisar o circuito e eliminar todas as correntes e tensões variáveis e depois obter uma equação que governa a operação do circuito. As oscilações terão início se essa equação for satisfeita. Portanto, a equação resultante nos dará as condições de oscilação.

A equação nodal no coletor do transistor (nó C) no circuito da Figura 12.13 produz

$$sC_2V_\pi + g_mV_\pi + \left(\frac{1}{R}+sC_1\right)(1+s^2LC_2)V_\pi = 0$$

Como $V_\pi \neq 0$ (as oscilações devem ter sido iniciadas), ela pode ser eliminada e a equação pode ser rearranjada para a forma

$$s^3LC_1C_2 + s^2(LC_2/R) + s(C_1+C_2) + \left(g_m+\frac{1}{R}\right) = 0 \tag{12.18}$$

Substituindo $s = j\omega$, temos

$$\left(g_m + \frac{1}{R} - \frac{\omega^2LC_2}{R}\right) + j\left[\omega(C_1+C_2) - \omega^3LC_1C_2\right] = 0 \tag{12.19}$$

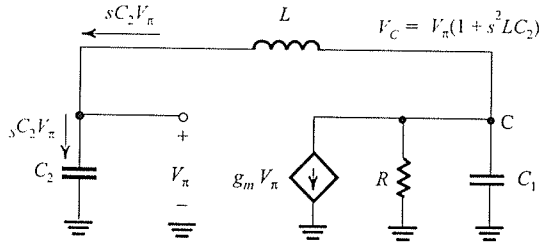


Figura 12.13 Circuito equivalente do oscilador Colpitts da Figura 12.12(a). Para simplificar a análise, C_μ e r_π são desprezadas. Podemos considerar C_π como fazendo parte de C_2 e podemos incluir r_o em R.

Para que as oscilações tenham início, as partes real e imaginária devem ser zero. Igualando a parte imaginária a zero, obtemos a freqüência de oscilação como

$$\omega_0 = 1\Big/\sqrt{L\left(\frac{C_1C_2}{C_1+C_2}\right)} \tag{12.20}$$

que é a freqüência de ressonância do circuito tanque, como previsto.[3] Igualando a parte real a zero junto com a Equação 12.20, obtemos

$$C_2/C_1 = g_mR \tag{12.21}$$

que tem uma interpretação física simples: para manter as oscilações, a amplitude do ganho da base para o coletor (g_mR) deve ser igual ao inverso da razão de tensão fornecida pelo divisor capacitivo, que pela Figura 12.12(a) é igual a $v_{be}/v_{ce} = C_1/C_2$. Obviamente, para que as oscilações tenham início, o ganho de malha deve ser maior do que a unidade, uma condição que pode ser declarada da seguinte forma

$$g_mR > C_2/C_1 \tag{12.22}$$

Com as oscilações aumentando em amplitude, as características não-lineares do transistor reduzem o ganho da malha para a unidade, mantendo, portanto, as oscilações.

Uma análise similar à anterior pode ser realizada para o circuito Hartley (veja o Exercício 12.8). Em altas freqüências, devemos usar um modelo mais preciso para o transistor. Alternativamente, os parâmetros y do transistor podem ser medidos na freqüência em questão ω_0 e a análise pode ser transportada usando o modelo de parâmetros y (veja o Apêndice B). Esta última abordagem é geralmente mais simples e mais precisa, especialmente nas freqüências acima de cerca de 30% da freqüência de trabalho do transistor f_T.

Como exemplo de um oscilador LC prático, mostramos na Figura 12.14 o circuito de um oscilador Colpitts completo, com os detalhes da polarização. Nessa figura, o *choke* (bloqueador) de radiofreqüência (*RFC*) fornece uma alta reatância em ω_0, mas uma baixa resistência para *cc*.

Finalmente, algumas palavras sobre o mecanismo que determina a amplitude das oscilações nos osciladores LC sintonizados, discutidos anteriormente. Diferentemente dos osciladores com amp op, que incorporam um circuito especial para o controle da amplitude, os osciladores LC sintonizados utilizam as características não-lineares i_C–v_{BE} do TBJ (e as características de i_D–v_{GS} do FET) para o controle da amplitude. Portanto, esses osciladores LC sintonizados são conhecidos como *osciladores autolimitados*. Especificamente, à medida que as oscilações aumentam em amplitude, o ganho efetivo do transistor é reduzido abaixo de seu valor para pequenos sinais. Eventualmente, é atingida uma amplitude em que o ganho efetivo é reduzido até o ponto em que o critério de Barkhausen é exatamente satisfeito. A amplitude, então, permanece constante nesse valor.

As características não-lineares do TBJ (ou do JFET) implicam que a forma de onda da corrente de coletor (ou dreno) também será distorcida de modo não-linear. Entretanto, o sinal da tensão de saída ainda será senoidal de alta pureza por causa da ação do filtro do circuito LC sintonizado. A análise detalhada do controle de amplitude, que faz uso de técnicas de circuitos não-lineares, está além do objetivo deste livro. O leitor interessado pode consultar Clarke e Hess (1971).

3. Se r_π for levada em consideração, pode-se mostrar que a freqüência de oscilação será ligeiramente diferente do valor dado pela Equação 12.20.

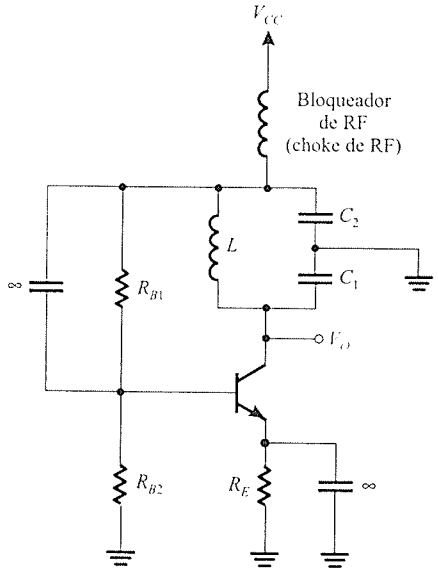


Figura 12.14 Circuito completo para o oscilador Colpitts.

Exercícios

12.8 Mostre que, para o oscilador Hartley da Figura 12.12(b), a freqüência de oscilação é dada pela Equação 12.17 e que, para que as oscilações tenham início, $g_m R > (L_1/L_2)$.

P12.9 Usando um TBJ polarizado com $I_C = 1$ mA, projete um oscilador Colpitts para operar em $\omega_0 = 10^6$ rad/s. Use $C_1 = 0{,}01$ μF e suponha que a bobina disponível tenha um Q de 100 (ela pode ser representada por uma resistência em paralelo com C_1 dada por $Q/\omega_0 C_1$). Suponha também que haja uma resistência de carga no coletor de 2 kΩ e que, para o TBJ, $r_o = 100$ kΩ. Calcule C_2 e L.

Resposta 0,66 μF; 100 μH (um valor um pouco menor de C_2 deve ser usado para permitir que as oscilações cresçam em amplitude)

Osciladores com Cristal

Um cristal piezoelétrico, como o quartzo, exibe características de ressonância eletromecânica que são muito estáveis (com o tempo e a temperatura) e altamente seletivas (fator Q muito alto). O símbolo de circuito para cristais está mostrado na Figura 12.15(a) e o modelo de circuito equivalente é dado na Figura 12.15(b). As propriedades de ressonância são caracterizadas por uma indutância L de alto valor (tão alta quanto centenas de henrys), uma capacitância de valor muito baixo em série C_s (tão baixa quanto 0,0005 pF), uma resistência em série r representando um fator Q de $\omega_0 L/r$ que pode ser de até algumas centenas de milhares e uma capacitância em paralelo C_p (de alguns picofarads). O capacitor C_p representa a capacitância eletrostática entre as placas do cristal. Observe que $C_p >> C_s$.

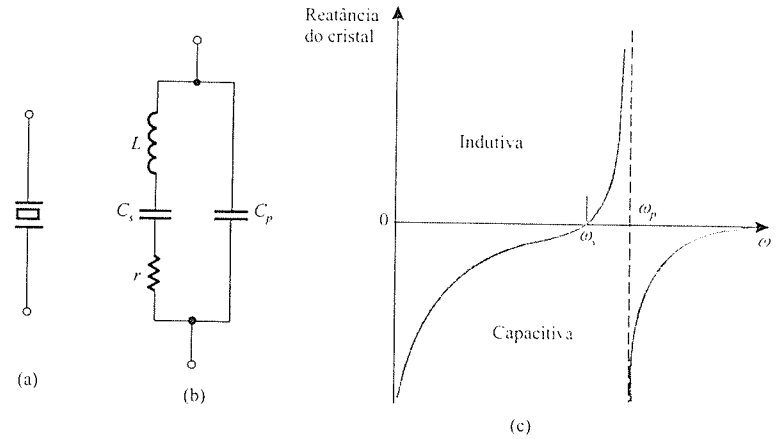


Figura 12.15 Um cristal piezoelétrico: (a) símbolo de circuito; (b) circuito equivalente; (c) reatância do cristal em função da freqüência [note que, desprezando a pequena resistência r, $Z_{cristal} = jX(\omega)$].

Como o fator Q é muito alto, podemos desprezar a resistência r e expressar a impedância do cristal como

$$Z(s) = 1\Big/\left[sC_p + \frac{1}{sL + 1/sC_s}\right]$$

que pode ser manipulada para a forma

$$Z(s) = \frac{1}{sC_p}\,\frac{s^2 + (1/LC_s)}{s^2 + \left[(C_p + C_s)/LC_sC_p\right]} \tag{12.23}$$

Pela Equação 12.23 e pela Figura 12.15(b), vemos que o cristal tem duas freqüências de ressonância: uma ressonância em série em ω_s,

$$\omega_s = 1/\sqrt{LC_s} \tag{12.24}$$

e uma ressonância em paralelo em ω_p,

$$\omega_p = 1\Big/\sqrt{L\left(\frac{C_sC_p}{C_s + C_p}\right)} \tag{12.25}$$

Portanto, para $s = j\omega$, podemos escrever

$$Z(j\omega) = -j\,\frac{1}{\omega C_p}\left(\frac{\omega^2 - \omega_s^2}{\omega^2 - \omega_p^2}\right) \tag{12.26}$$

Pelas Equações 12.24 e 12.25, observamos que $\omega_p > \omega_s$. Contudo, visto que $C_p >> C_s$, as duas freqüências de ressonância serão muito próximas. Expressando $Z(j\omega) = jX(\omega)$, a reatância do cristal $X(\omega)$ terá a forma mostrada na Figura 12.15(c). Observamos que a reatância do cristal é indutiva para uma faixa de freqüências muito estreita, entre ω_s e ω_p. Para um dado cristal, essa faixa de freqüências é bem definida. Portanto, podemos usar o cristal para substituir o indutor no oscilador Colpitts (Figura 12.12a). O circuito resultante oscilará na freqüência de ressonância da indutância L do cristal com a capacitância série equivalente C_s e

$$\left(C_p + \frac{C_1 C_2}{C_1 + C_2}\right) \tag{12.27}$$

Como C_s é muito menor do que as três capacitâncias, ela será dominante e

$$\omega_0 \simeq 1/\sqrt{LC_s} = \omega_s$$

Além do oscilador Colpitts básico, há uma variedade de configurações para os osciladores a cristal. A Figura 12.16 mostra uma configuração popular (o oscilador Pierce) utilizando um inversor CMOS (veja a Seção 5.8) como amplificador. O resistor R_f determina o ponto de operação *cc* na região de alto ganho do inversor CMOS. O resistor R_1 junto com o capacitor C_1 resulta em um filtro passa-baixas que impede o circuito de oscilar em uma harmônica maior do que a freqüência do cristal. Observe que esse circuito também é baseado na configuração Colpitts.

As características de ressonância extremamente estáveis e os altos fatores Q do cristal de quartzo resultam em um oscilador de alta precisão e freqüência estável. Cristais estão disponíveis com freqüências de ressonância na faixa de poucos kHz até algumas centenas de MHz. São possíveis coeficientes de temperatura de ω_0 de uma ou duas partes por milhão (ppm) por °C. Infelizmente, contudo, os osciladores a cristal, sendo sistemas ressonantes mecânicos, são circuitos de freqüências fixas.

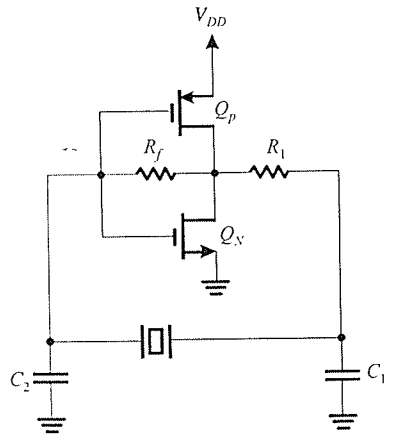


Figura 12.16 Um oscilador Colpitts (ou Pierce) com cristal empregando um inversor CMOS como amplificador.

Exercício

12.10 Um cristal de quartzo de 2 MHz tem como especificações $L = 0{,}52$ H, $C_s = 0.012$ pF, $C_p = 4$ pF e $r = 120\ \Omega$. Calcule f_s, f_p e Q.

Resposta 2.015 MHz; 2,018 MHz; 55.000

12.4 MULTIVIBRADORES BIESTÁVEIS

Nesta seção começaremos o estudo de outro tipo de circuito gerador de formas de onda — os osciladores não-lineares ou geradores de função. Eles fazem uso de uma classe especial de circuitos conhecidos como **multivibradores**. Conforme mencionado anteriormente, há três tipos de multivibradores: biestável, monoestável e astável. Esta seção se ocupará do primeiro tipo, o multivibrador biestável.

Como seu nome indica, o **multivibrador biestável** tem *dois estados estáveis*. O circuito pode permanecer em um dos estados indefinidamente, sendo que passa para o outro estado apenas quando for apropriadamente *disparado*.

A Malha de Realimentação

O biestável pode ser obtido pela conexão de um amplificador com uma malha de realimentação positiva, tendo um ganho de malha maior do que a unidade. Essa malha de realimentação está mostrada na Figura 12.17; ela consiste em um amp op e em um divisor de tensão resistivo no caminho da realimentação positiva. Para entender como são obtidos os dois estados, considere a operação com o terminal de entrada positivo do amp op próximo ao potencial do terra. Esse ponto de partida é aceitável, visto que o circuito não é externamente excitado. Suponha que um ruído elétrico, que está inevitavelmente presente em todo o circuito eletrônico, provoque um pequeno incremento positivo na tensão v_+. Esse sinal incremental será amplificado pelo alto ganho A em malha aberta do amp op, resultando em um sinal v_O muito maior, que aparecerá na saída do amp op. O divisor de tensão R_1, R_2 alimentará uma fração $\beta \equiv R_1/(R_1 + R_2)$ do sinal de saída de volta ao terminal de entrada positivo do amp op. Se $A\beta$ for maior do que a unidade, que é normalmente o caso, o sinal realimentado será maior do que o incremento inicial em v_+. Esse processo *regenerativo* continua até que eventualmente o amp op entre em saturação com sua tensão de saída no nível de saturação positiva, L_+.

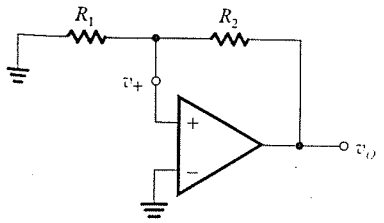


Figura 12.17 Uma realimentação positiva capaz de operação biestável.

Quando isso acontece, a tensão no terminal de entrada positivo, v_+, fica sendo $L_+R_1/(R_1 + R_2)$, que é positivo e, portanto, mantém o amp op na saturação positiva. Esse é um dos estados estáveis do circuito.

Na descrição anterior, foi suposto que, quando v_+ estivesse próxima de zero volt, poderia ocorrer um incremento positivo em v_+. Se fizermos a mesma suposição para a situação de um incremento negativo, o amp op deve entrar em saturação negativa com $v_O = L_-$ e $v_+ = L_-R_1/(R_1 + R_2)$. Esse é o outro estado estável do circuito.

Concluímos, portanto, que o circuito da Figura 12.17 tem dois estados estáveis, um com o amp op na saturação positiva e o outro com o amp op na saturação negativa. O circuito pode ficar em um desses estados indefinidamente. Podemos observar também que o circuito não consegue permanecer no estado em que $v_+ = 0$ e $v_O = 0$ por um tempo prolongado. Esse é um estado de *equilíbrio instável* (também conhecido como metaestável); qualquer distúrbio, como o causado por ruído, fará com que o circuito biestável estabilize em um dos estados estáveis. Esse fato é claramente distinto do caso da realimentação negativa, que faz aparecer um curto-circuito virtual entre os terminais de entrada do amp op e mantém esse curto-circuito virtual em face dos distúrbios. Uma analogia física para a operação do circuito biestável está representada na Figura 12.18.

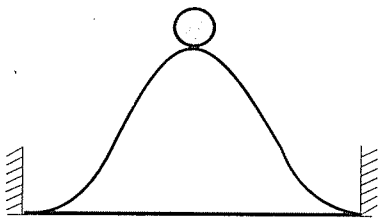


Figura 12.18 Uma analogia física para a operação do circuito biestável. A bola não consegue permanecer no topo do monte por um certo período de tempo (um estado de equilíbrio instável ou metaestabilidade); um distúrbio inexoravelmente presente causará a queda da bola para um dos lados do monte, onde ela poderá permanecer indefinidamente (os dois estados estáveis).

As Características de Transferência do Circuito Biestável

A questão óbvia é como faremos o circuito da Figura 12.17 mudar de estado. Para responder a essa pergunta, deduziremos as características de transferência do biestável. A Figura 12.17 indica que os dois nós que estão conectados ao terra podem servir de terminal de entrada. Estudaremos as duas possibilidades.

A Figura 12.19(a) mostra o circuito biestável com uma entrada v_I aplicada ao terminal da entrada inversora do amp op. Para deduzir a característica de transferência v_O–v_I, vamos supor que v_O esteja em um dos dois níveis possíveis, digamos L_+ e, portanto, $v_+ = \beta L_+$. Agora, como v_I aumenta a partir de 0 V, podemos ver a partir do circuito que nada acontece enquanto v_I não alcançar um valor igual a v_+ (isto é, βL_+). Quando v_I começa a exceder esse valor, uma diferença de potencial negativa se desenvolve entre os terminais de entrada do amp op. Essa tensão é aplicada pelo ganho em malha aberta do amp op e, portanto, v_O fica negativa. O divisor de tensão, por sua vez, faz com que v_+ fique negativa, aumentando portanto a diferença de potencial na entrada do amp op e mantendo o processo da ação regenerativa. Esse processo culmina com a saturação do amp op no nível negativo, isto é, com $v_O = L_-$ e, correspondentemente, $v_+ = \beta L_-$.

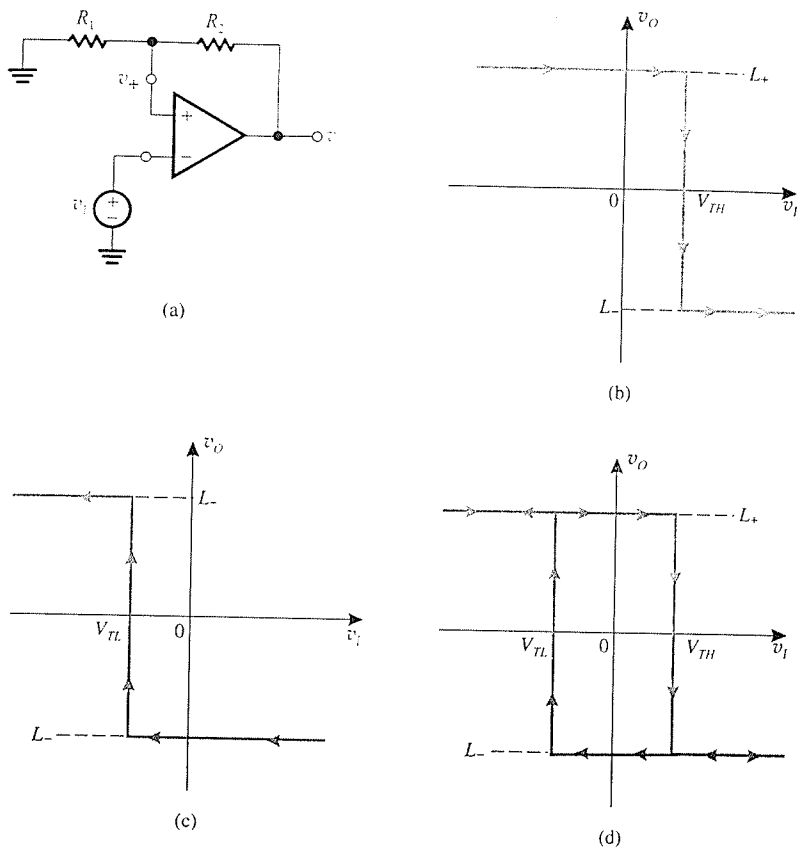


Figura 12.19 (a) O circuito biestável da Figura 12.17 com o terminal negativo de entrada do amp op desconectado do terra e conectado a um sinal de entrada v_I. (b) A característica de transferência do circuito em (a) para v_I crescente. (c) A característica de transferência para v_I decrescente. (d) As características de transferência completas.

É fácil observar que aumentar v_I ainda mais não surtirá efeito no estado adquirido pelo circuito biestável. A Figura 12.19(b) mostra a característica de transferência para v_I crescente. Observe que a característica é a de um comparador com tensão de limiar (*threshold*) representada por V_{TH}, em que $V_{TH} = \beta L_+$.

Considere a seguir o que ocorre quando v_I diminui. Como agora $v_+ = \beta L_-$, vemos que o circuito permanece no estado de saturação negativa até que v_I fique negativa no ponto em que se iguala a βL_-.

Quando v_I fica abaixo desse valor, uma diferença de potencial positiva aparece entre os terminais de entrada do amp op. Essa tensão é amplificada pelo ganho do amp op e dá, portanto, origem a uma tensão positiva na saída do amp op. A ação regenerativa da malha de realimentação positiva se desenvolve e faz com que o circuito atinja eventualmente o estado de saturação positiva, em que $v_O = L_+$ e $v_+ = \beta L_+$. A característica de transferência para v_I decrescente está mostrada na Figura 12.19(c). Nessa figura, a característica é a de um comparador, mas com tensão de limiar $V_{TL} = \beta L_-$.

As características de transferência completas, v_O–v_I, do circuito na Figura 12.19(a) podem ser obtidas pela combinação das características nas Figuras 12.19(b) e (c), conforme mostrado na Figura 12.19(d).

Como indicado, o circuito muda de estado para diferentes valores de v_I, dependendo de v_I crescente ou decrescente. Portanto, diz-se que o circuito exibe uma *histerese*; o valor da histerese é a diferença entre o valor de limiar alto, V_{TH}, e o valor de limiar baixo, V_{TL}. Observe também que o circuito biestável é, em efeito, um comparador com histerese. Como será mostrado rapidamente, a existência de uma histerese nas características do comparador pode ser muito benéfica em certas aplicações.

Finalmente, observe que, pelo fato de o circuito biestável da Figura 12.19 chavear do estado positivo ($v_O = L_+$) para o estado negativo ($v_O = L_-$) quando v_I crescente passa do limiar positivo V_{TH}, dizemos que o circuito é *inversor*. Um biestável com características de transferência *não-inversoras* será apresentado resumidamente.

Disparando o Circuito Biestável

Retornando ao problema de como fazer o circuito biestável mudar de estado, observamos pelas características de transferências da Figura 12.19(d) que, se o circuito estiver no estado L_+, pode ser chaveado para o estado L_- pela aplicação de uma entrada v_I com valor maior do que $V_{TH} \equiv \beta L_+$. Essa entrada causa uma diferença de potencial entre os terminais de entrada do amp op, que dispara o ciclo regenerativo que culmina no chaveamento para o estado estável L_-. É importante observar que a entrada v_I simplesmente inicia ou *dispara* a ação de regeneração. Portanto, após o disparo, podemos remover v_I sem alterar o processo de regeneração. Em outras palavras, v_I pode ser apenas um pulso de curta duração. O sinal de entrada v_I é referido como um **sinal de disparo** ou simplesmente um **disparo** (***trigger***).

As características da Figura 12.19(d) indicam também que o circuito biestável pode ser chaveado para o estado positivo ($v_O = L_+$) pela aplicação de um sinal de disparo negativo v_I de amplitude maior do que o limiar negativo V_{TL}.

O Circuito Biestável como um Elemento de Memória

Observe pela Figura 12.19(d) que, para as tensões de entrada na faixa $V_{TL} < v_I < V_{TH}$, a saída pode ser L_+ ou L_-, *dependendo do estado anterior do circuito*. Portanto, para essa faixa de entrada, a saída pode ser determinada pelo valor *prévio* do sinal de disparo (o sinal de disparo que fez o circuito assumir o estado corrente).

Portanto, o circuito exibe uma *memória*. Na verdade, o multivibrador biestável é o elemento básico de memória dos sistemas digitais, conforme será visto no Capítulo 13. Finalmente, observe que nas aplicações de circuitos analógicos, como as deste capítulo, o circuito biestável é também conhecido como **Schmitt trigger**.

Um Circuito Biestável com Características de Transferência Não-inversoras

A malha de realimentação básica do biestável da Figura 12.17 pode ser usada para deduzir um circuito com características de transferência não-inversoras pela aplicação do sinal de entrada v_I (o sinal de disparo) no terminal de R_1 que está conectado ao terra. O circuito resultante está mostrado na Figura 12.20(a). Para obter as características de transferência, empregamos primeiro a superposição no circuito linear formado por R_1 e R_2 e depois expressamos v_+ em termos de v_I e v_O como

$$v_- = v_I \frac{R_2}{R_1 + R_2} + v_O \frac{R_1}{R_1 + R_2} \tag{12.28}$$

Por essa equação, vemos que, se o circuito estiver no estado estável positivo com $v_O = L_+$, os valores positivos para v_I não terão efeito. Para disparar o circuito para o estado L_-, v_I deve ser feito negativo e de valor tal que faça v_+ diminuir até zero. Portanto, o limiar inferior V_{TL} pode ser calculado substituindo-se na Equação 12.28 $v_O = L_+$, $v_+ = 0$ e $v_I = V_{TL}$. O resultado é

$$V_{TL} = -L_-(R_1/R_2) \tag{12.29}$$

De modo similar, a Equação 12.28 indica que, quando o circuito está no estado estável negativo ($v_O = L_-$), os valores negativos de v_I farão com que v_+ fique mais negativa, sem efeito na operação. Para iniciar o processo da regeneração que faz o circuito chavear para o estado positivo, v_+ deve tornar-se ligeiramente mais positiva.

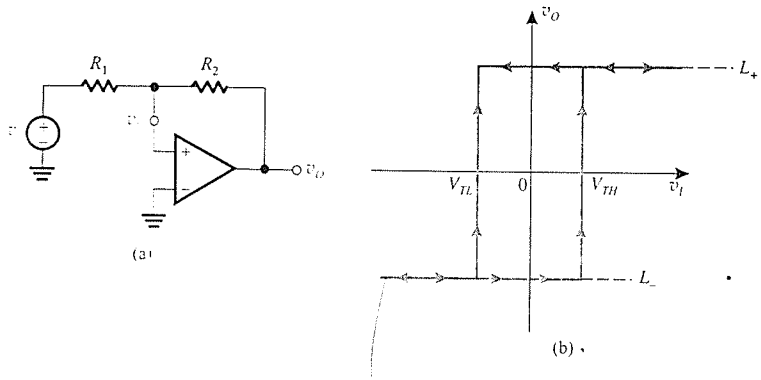


Figura 12.20 (a) Um circuito biestável concebido a partir da malha de realimentação positiva da Figura 12.17 aplicando-se v_I através de R_1. (b) A característica de transferência do circuito em (a) é não-inversora. (Compare-a à característica inversora na Figura 12.19(d).)

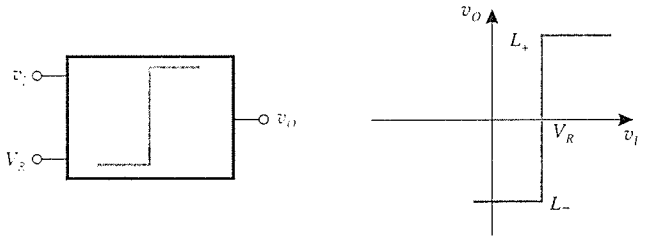
O valor de v_I que torna isso possível é a tensão de limiar superior V_{TH}, que pode ser calculada substituindo-se, na Equação 12.28, $v_O = L_-$ e $v_+ = 0$. O resultado é

$$V_{TH} = -L_-(R_1/R_2) \tag{12.30}$$

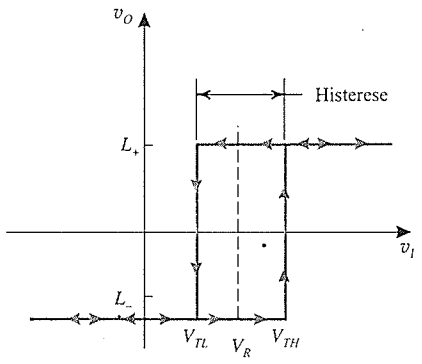
As características de transferências completas do circuito na Figura 12.20(a) estão mostradas na Figura 12.20(b). Observe que um sinal de disparo positivo v_I (de valor maior do que V_{TH}) faz o circuito ser chaveado para o estado positivo (v_O vai de L_- para L_+). Logo, a característica de transferência desse circuito é não-inversora.

A Aplicação do Circuito Biestável como um Comparador

Um comparador é um elemento de circuito analógico considerado como bloco fundamental por ser utilizado em uma variedade de aplicações, como na detecção do nível de um sinal de entrada em relação a um valor de limiar predeterminado ou no projeto de conversores analógicos-digitais (A/D) (veja a Seção 10.11).



(a)



(b)

Figura 12.21 (a) Representação em diagrama de blocos e a característica de transferência de um comparador tendo uma referência ou tensão de limiar, V_R. (b) Características do comparador com histerese.

Embora seja normal pensarmos no comparador como um circuito com um valor de limiar simples (veja a Figura 12.21(a)), em certos casos é muito útil adicionar uma histerese às características do comparador. Se isso for feito, o comparador exibirá dois valores de limiar, V_{TL} e V_{TH}, simetricamente posicionados em relação ao nível de referência desejado, conforme indicado na Figura 12.21(b). Geralmente, V_{TH} e V_{TL} são separados por um pequeno valor, digamos, 100 mV.

Para demonstrar a necessidade da histerese, consideraremos uma aplicação comum dos comparadores. Necessita-se projetar um circuito que detecte e conte os cruzamentos por zero de uma forma de onda qualquer. Essa função pode ser implementada usando um comparador cujo valor de limiar seja 0 V. O comparador fornece uma variação em degrau em sua saída sempre que há um cruzamento por zero. Cada borda do degrau pode ser usada para gerar um pulso e este pode alimentar um circuito contador.

Imagine agora o que ocorre se o sinal que está sendo processado tiver – o que é geralmente o caso – uma interferência superposta a ele mesmo, digamos, com uma freqüência muito maior do que a do sinal. Isso significa que o sinal deve cruzar o eixo em zero um certo número de vezes em torno de cada ponto de cruzamento por zero que estamos tentando detectar, conforme mostrado na Figura 12.22. Portanto, o comparador deve mudar de estado um certo número de vezes a cada cruzamento por zero e nossa contagem obviamente estaria errada. Se tivermos uma idéia da amplitude de pico a pico da interferência, o problema pode ser resolvido pela introdução de uma histerese de largura apropriada à característica do comparador.

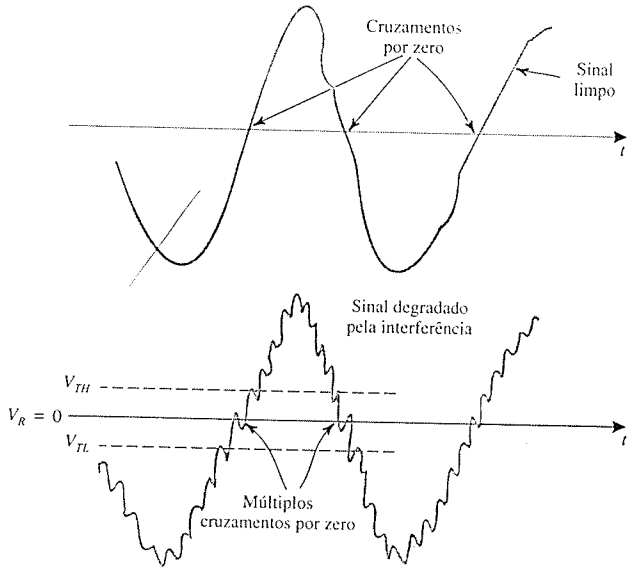
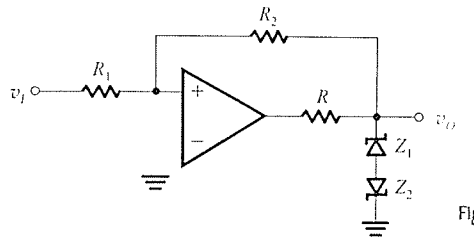
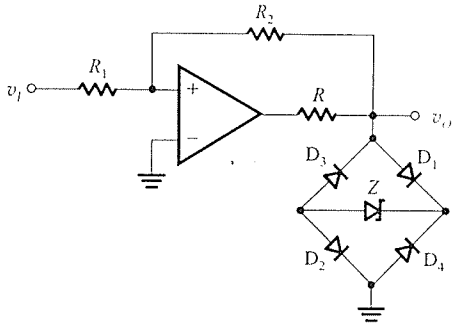


Figura 12.22 Exemplo de uso da histerese nas características do comparador como forma de rejeitar interferências.



(a)



(b)

Figura 12.23 Circuitos limitadores usados para obter níveis de tensão de saída mais precisos para o circuito biestável. Em ambos os circuitos, o valor de R deve ser escolhido de forma que a corrente seja necessária para a operação adequada dos diodos zener. (a) Para este circuito, $L_+ = V_{Z1} + V_D$ e $L_- = -(V_{Z2} + V_D)$, em que V_D representa a queda direta no diodo. (b) Para este circuito $L_+ = V_Z + V_{D1} + V_{D2}$ e $L_- = -(V_Z + V_{D3} + V_{D4})$.

Portanto, se a amplitude do sinal de entrada aumentar, o comparador com histerese permanecerá no estado baixo até que o nível da entrada ultrapasse o limiar superior V_{TH}. Subseqüentemente, o comparador permanecerá no estado alto, mesmo se o sinal cair abaixo de V_{TH}, devido à interferência. O comparador chaveará para o estado baixo apenas se o sinal de entrada diminuir abaixo do limiar inferior V_{TL}. A situação está ilustrada na Figura 12.22, na qual vemos que a histerese incluída na característica do comparador fornece um meio efetivo para a rejeição da interferência (fornecendo, portanto, outra forma de filtragem).

Aumentando a Precisão dos Níveis de Saída

Os níveis de saída do circuito biestável podem ser feitos mais precisos do que as tensões de saturação do amp op utilizando-se circuitos limitadores com amp ops em cascata (veja a Seção 3.8, que discute os circuitos limitadores). Esses dois arranjos estão mostrados na Figura 12.23.

Exercícios

12.11 O amp op no circuito biestável da Figura 12.19(a) tem as tensões de saturação de ± 13 V. Projete o circuito para obter tensões de limiar de ± 5 V. Para R_1 = 10 kΩ, calcule o valor necessário para R_2.

Resposta 16 kΩ

12.12 Se o amp op no circuito da Figura 12.20(a) tiver os níveis de saturação em ± 10 V, projete o circuito para obter tensões de limiar de ± 5 V. Dê os valores apropriados dos componentes.

Resposta Uma possível escolha seria: R_1 = 10 kΩ e R_2 = 20 kΩ

12.13 Considere um circuito biestável com a característica de transferência não-inversora e suponha $L_+ = -L_- = 10$ V e $V_{TH} = -V_{TL} = 5$ V. Se v_I for uma onda triangular com um valor médio de 0 V e um período de 1 ms, esboce a forma de onda v_O. Determine o intervalo de tempo entre o cruzamento por zero de v_I e v_O.

Resposta v_O é uma onda quadrada com valor médio 0 V, amplitude 10 V, período 1 ms e está 125 μs atrasada em relação a v_I.

12.14 Considere um amp op com níveis de saturação ± 12 V usado com realimentação, com o terminal da entrada inversora conectado a +3 V e o terminal da entrada não-inversora conectado a v_I. Caracterize sua operação como um comparador. Quais os valores de $L+$, L_- e V_R, conforme definido na Figura 12.21(a)?

Resposta +12 V; −12 V; +3 V

12.15 No circuito da Figura 12.20(a), suponha $L_+ = -L_- = 10$ V e R_1 = 1 kΩ. Calcule R_2 que produz uma histerese de 100 mV de largura.

Resposta 200 kΩ

12.5 GERAÇÃO DE ONDAS QUADRADAS E TRIANGULARES USANDO MULTIVIBRADORES ASTÁVEIS

Uma forma de onda pode ser gerada pelo arranjo de um multivibrador biestável chaveando de estado periodicamente. Isso pode ser obtido pela conexão do multivibrador biestável com um circuito RC em uma malha com realimentação, como na Figura 12.24(a). Observe que o multivibrador biestável tem uma característica de transferência inversora e pode, portanto, ser implementado usando o circuito da Figura 12.19(a). Isso resulta no circuito da Figura 12.24(b). Podemos mostrar rapidamente que esse circuito não tem estado estável e, portanto, é apropriadamente denominado **multivibrador astável**.

O Funcionamento do Multivibrador Astável

Para entender como funciona o multivibrador astável, observe a Figura 12.24(b) e suponha a saída do multivibrador biestável em um dos dois níveis possíveis, digamos L_+. O capacitor C carregará até esse nível através de R. Portanto, a tensão em C, que está aplicada no terminal de entrada negativo do amp op e, portanto, é a mesma que v_-, aumentará exponencialmente até L_+, com uma constante de tempo $\tau = CR$. Entretanto, a tensão no terminal de entrada positivo do amp op é $v_+ = \beta L_+$. Essa situação permanece até que a tensão no capacitor atinja o valor de limiar positivo V_{TH}, quando o multivibrador biestável chaveará para o outro estado estável, em que $v_O = L_-$ e $v_+ = \beta L_-$. O capacitor começará então sua descarga, e sua tensão, v_-, diminuirá exponencialmente até L_-. Esse novo estado prevalecerá até que v_- atinja o limiar negativo V_{TL}; nesse momento, o multivibrador biestável comuta para o estado de saída positivo, o capacitor começa a carregar e repete-se o mesmo ciclo.

A descrição anterior mostra que o circuito astável oscila e produz uma forma de onda quadrada da saída do amp op. Essa forma de onda, e as duas formas de onda nos terminais de entrada do amp op, estão apresentadas na Figura 12.24(c). O período T da onda quadrada pode ser determinado como segue: durante o intervalo de carregamento T_1, a tensão v_- sobre o capacitor é dada a qualquer instante t ($t = 0$ no início de T_1) por:

$$v_- = L_+ - (L_+ - \beta L_-)e^{-t/\tau}$$

em que $\tau = CR$. Substituindo $v_- = \beta L_+$ para $t = T_1$ obtém-se

$$T_1 = \tau \ln \frac{1-\beta(L_-/L_+)}{1-\beta} \qquad (12.31)$$

Da mesma forma, durante o intervalo de descarregamento T_2, a tensão v_- é dada a qualquer instante t ($t = 0$ no início de T_2) por

$$v_- = L_- - (L_- - \beta L_-)e^{-t/\tau}$$

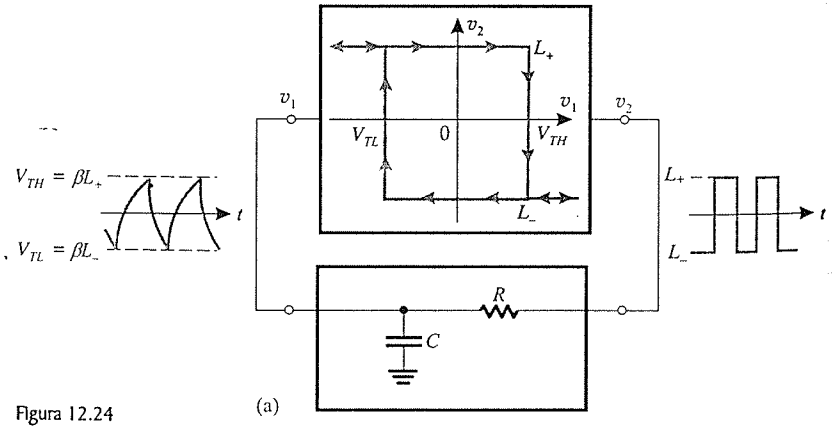
Substituindo $v_- = \beta L_-$ para $t = T_2$ obtém-se

$$T_2 = \tau \ln \frac{1-\beta(L_+/L_-)}{1-\beta} \qquad (12.32)$$

As Equações 12,31 e 12.32 podem ser combinadas para fornecer o período $T = T_1 + T_2$. Normalmente, $L_+ = -L_-$, resultando em ondas quadradas simétricas com período T dado por

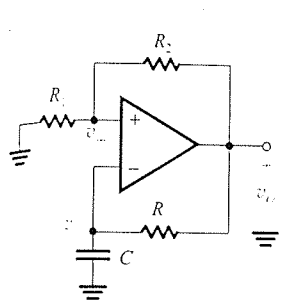
$$T = 2\tau \ln \frac{1+\beta}{1-\beta} \qquad (12.33)$$

Observe que o gerador de onda quadrada pode ser projetado para ter freqüência variável pela troca do capacitor C (geralmente em décadas) e pelo ajuste contínuo de R (para obter um controle contínuo da freqüência dentro de cada década de freqüência).

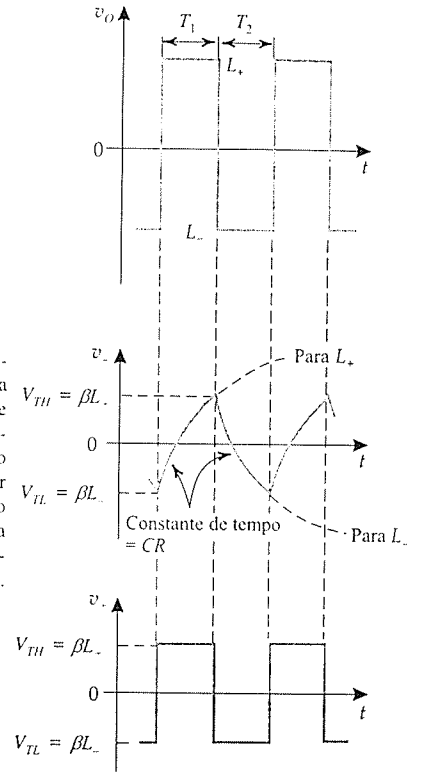


(a)

Figura 12.24



(b)



(c)

Figura 12.24 (a) Conectando-se um multivibrador biestável com características de transferência inversoras na malha de realimentação de um circuito RC. Isso resulta em um gerador de ondas quadradas. (b) Esquema do circuito obtido quando o multivibrador biestável é implementado com o circuito da Figura 12.19(a). (c) Formas de onda em vários nós do circuito em (b). Este circuito é chamado de multivibrador astável.

Além disso, a forma de onda em C pode ser feita quase triangular se usarmos um valor pequeno para o parâmetro β. Contudo, formas de onda triangulares com lineridade superior podem ser facilmente geradas usando o esquema discutido a seguir.

Antes de encerrar esta seção, observe que, embora o circuito astável não tenha estados estáveis, ele tem dois estados *quase-estáveis* e permanece em cada um deles por um intervalo de tempo determinado pela constante da malha RC e pelos níveis de limiar do multivibrador biestável.

Exercícios

12.16 Para o circuito da Figura 12.24(b), suponha que a tensão de saturação do amp op seja de ± 10 V, $R_1 = 100$ kΩ, $R_2 = R = 1$ MΩ e $C = 0{,}01$ μF. Calcule a freqüência de oscilação.

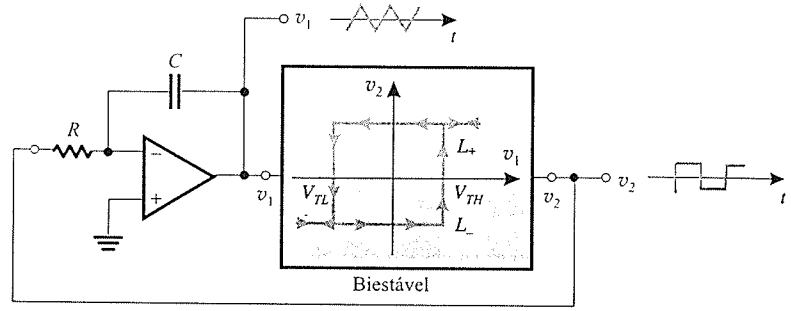
Resposta 274 Hz

12.17 Considere uma modificação no circuito da Figura 12.24(b) em que R_1 é substituída por um par de diodos conectados em antiparalelo. Para $L_+ = -L_- = 12$ V, $R_2 = R = 10$ kΩ, $C = 0{,}1$ μF e uma tensão no diodo constante representada por V_D, encontre uma expressão para a freqüência como função de V_D. Se $V_D = 0{,}7$ V a 25°C com um TC de −2mV/°C, calcule a freqüência a 0°C, a 25°C e a 100°C. Observe que a saída desse circuito pode ser enviada para um medidor de freqüência para que seja fornecida a leitura da temperatura.

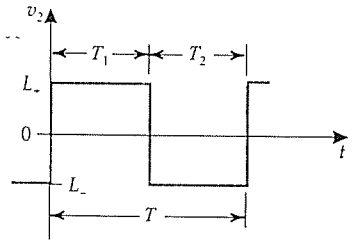
Resposta $f = 500/\ln[(12 + V_D)/(12 - V_D)]$ Hz; 3995 Hz, 4281 Hz, 4611 Hz, 5451 Hz

A Geração de Formas de Onda Triangulares

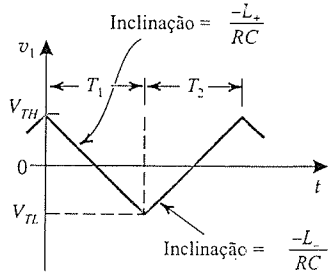
As formas de onda exponenciais geradas no circuito astável da Figura 12.24 podem ser mudadas para a forma triangular pela substituição do circuito RC passa-baixas por um integrador. (O integrador é, antes de tudo, um circuito passa-baixas com uma freqüência de corte em cc.) O integrador faz com que a carga e a descarga do capacitor ocorram de modo linear, fornecendo, portanto, uma forma de onda triangular. O circuito resultante está mostrado na Figura 12.25(a). Observe que, pelo fato de o integrador ser inversor, é preciso inverter as características do circuito biestável.



(a)



(b)



(c)

Figura 12.25 Esquema genérico para gerar formas de onda triangulares e quadradas.

Portanto, o circuito biestável, nesse caso, precisa ser do tipo não-inversor e pode ser implementado usando o circuito da Figura 12.20(a).

Mostraremos agora como a malha de realimentação da Figura 12.25(a) oscila e gera uma forma de onda triangular v_1 na saída do integrador e uma forma de onda quadrada v_2 na saída do circuito biestável: suponha que a saída do circuito biestável esteja em L_+. Uma corrente igual a L_+/R circulará pelo resistor R e pelo capacitor C, fazendo com que a saída do integrador diminua *linearmente* com uma inclinação $-L_+/CR$, conforme mostrado na Figura 12.25(c). Isso continuará até que a saída do integrador atinja o limiar inferior V_{TL} do circuito biestável, em cujo ponto o circuito biestável comuta de estado, sua saída se torna negativa e igual a L_-. Nesse instante, a corrente através de R e C inverterá seu sentido, e seu valor será igual a $|L_-|/R$. Isso significa que a saída do integrador começará a aumentar linearmente com uma inclinação positiva e igual a $|L_-|/CR$. Isso continuará até que a tensão de saída do integrador atinja o limiar positivo do circuito biestável, V_{TH}. Nesse ponto, o circuito biestável comuta, sua saída fica positiva (L_+), a corrente no integrador inverte seu sentido e a saída do integrador começa a diminuir linearmente, iniciando um novo ciclo.

Pelo exposto anteriormente, é relativamente fácil deduzir uma expressão para o período T das formas de onda quadrada e triangular. Durante o intervalo T_1, temos, pela Figura 12.25(c),

$$\frac{V_{TH} - V_{TL}}{T_1} = \frac{L_+}{CR}$$

da qual obtemos

$$T_1 = CR\frac{V_{TH} - V_{TL}}{L_+} \tag{12.34}$$

De modo similar, durante T_2, temos

$$\frac{V_{TH} - V_{TL}}{T_2} = \frac{-L_-}{CR}$$

da qual obtemos

$$T_2 = CR\frac{V_{TH} - V_{TL}}{-L_-} \tag{12.35}$$

Portanto, para obter ondas quadradas simétricas, devemos projetar o circuito biestável de modo que $L_+ = -L_-$.

Exercício

P12.18 Considere o circuito da Figura 12.25(a) com o circuito biestável implementado pelo circuito na Figura 12.20(a). Se tivermos tensões de saturação dos amp ops de ± 10 V, um capacitor $C =$ 0,01 μF e um resistor $R_1 = 10$ kΩ, calcule os valores de R e R_2 (observe que R_1 e R_2 estão associados ao circuito biestável da Figura 12.20(a)), de modo que a freqüência de oscilação seja de 1 kHz e a forma de onda triangular tenha uma amplitude de 10 V de pico a pico.

Resposta 50 kΩ; 20 kΩ

12.6 GERAÇÃO DE UM PULSO PADRÃO – O MULTIVIBRADOR MONOESTÁVEL

Em algumas aplicações são necessários pulsos com amplitude e largura conhecidas, gerados em resposta a um sinal de disparo. Se a largura do pulso for regular, sua borda posterior pode ser usada para fins de temporização – isto é, para iniciar uma tarefa particular em um tempo especificado. Esse pulso padronizado pode ser gerado pelo terceiro tipo de multivibrador, o **multivibrador monoestável**.

O multivibrador monoestável apresenta um estado estável no qual pode permanecer indefinidamente. Tem também um estado quase-estável no qual ele pode ser disparado e permanecer por um intervalo predeterminado igual ao da largura desejada para o pulso de saída. Uma vez expirado esse intervalo, o multivibrador monoestável retorna ao estado estável e nele permanece à espera de outro sinal de disparo. Essa ação do multivibrador monoestável dá origem a um nome alternativo, *disparo único* (*one shot*).

A Figura 12.26(a) mostra um circuito monoestável com amp op. Observamos que esse circuito é obtido a partir do circuito astável da Figura 12.24(b). Especificamente, é acrescentado um diodo grampeador D_1 em paralelo com o capacitor C_1 e um circuito de disparo composto pelo capacitor C_2, pelo resistor R_4 e pelo diodo D_2 que é conectado ao terminal da entrada não-inversora do amp op. O circuito funciona da seguinte maneira: no estado estável, que prevalece na ausência do sinal de disparo, a saída do amp op está em L_+ e o diodo D_1 está conduzindo através de R_3 e, portanto, grampeando a tensão v_B por uma queda de diodo acima do terra.

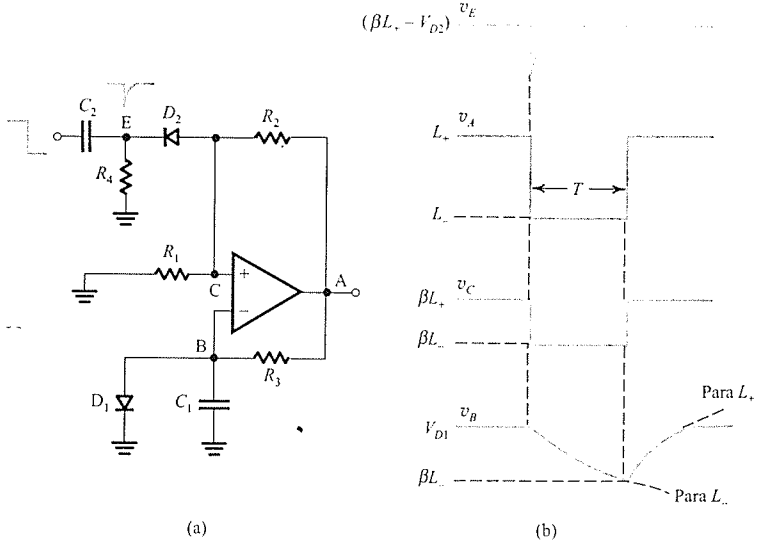


Figura 12.26 (a) Um circuito monoestável com amp op. (b) Formas de onda do circuito em (a).

Selecionamos R_4 muito maior do que R_1, de modo que o diodo D_2 conduzirá uma corrente muito pequena e a tensão v_C será determinada pelo divisor de tensão R_1 e R_2 com boa aproximação. Portanto, $v_C = \beta L_+$, em que $\beta = R_1/(R_1 + R_2)$. O estado estável é mantido porque βL_+ é maior do que V_{D1}.

Considere agora a aplicação de uma borda negativa de um degrau na entrada de disparo e remeta-se às formas de onda de entrada mostradas na Figura 12.26(b). Na transição, a borda de disparo negativa estará completa no catodo do diodo D_2 via capacitor C_2, portanto D_2 conduz intensamente e puxa o nó C para baixo. Se o sinal de disparo for de amplitude suficiente para fazer com que v_C fique menor do que v_B, o amp op verá uma diferença de potencial negativa na entrada e sua saída comutará para L_-. Isso, por sua vez, faz v_C ficar negativa com βL_-, que mantém o amp op em seu novo estado. Observe que agora D_2 entra em corte, isolando, portanto, o circuito de qualquer outro aumento no terminal de entrada de disparo.

A tensão negativa em A faz D_1 entrar em corte e C_1 iniciar sua descarga exponencialmente até L_- com uma constante C_1R_3. O multivibrador monoestável está agora em seu *estado quase-estável*, que prevalecerá até que v_B caia abaixo da tensão no nó C, que é βL_-. Nesse instante, a saída do amp op chaveia de volta para L_+ e a tensão no nó C volta para βL_+. Então o capacitor C_1 carrega-se em direção a L_+ até que o diodo D_1 entre em condução e o circuito volte para seu estado estável.

Pela Figura 12.26(b), observamos que é gerado um pulso na saída durante o estado quase-estável. A duração do pulso de saída, T, é determinada pela forma de onda exponencial de v_B,

$$v_B(t) = L_- - (L_- - V_{D1})e^{-t/C_1R_3}$$

pela substituição de $v_B(T) = \beta L_-$,

$$\beta L_- = L_- - (L_- - V_{D1})e^{-T/C_1R_3}$$

que produz

$$T = C_1R_3 \ln\left(\frac{V_{D1} - L_-}{\beta L_- - L_-}\right) \tag{12.36}$$

Para $V_{D1} \ll |L_-|$, essa equação pode ser aproximada por

$$T \simeq C_1R_3 \ln\left(\frac{1}{1-\beta}\right) \tag{12.37}$$

Finalmente, observe que o circuito monoestável não deve ser disparado novamente até que o capacitor C_1 tenha recarregado até V_{D1}; se isso ocorrer, o pulso resultante na saída será menor do que o normal. Esse tempo de recarga é conhecido como **período de recuperação**. Há técnicas de circuitos para diminuir o período de recuperação.

Exercício

12.19 Para o circuito monoestável da Figura 12.26(a), calcule o valor de R_3 que produz um pulso de saída de 100 μs para $C_1 = 0{,}1$ μF, $\beta = 0{,}1$; $V_D = 0{,}7$ V e $L_+ = -L_- = 12$ V.

Resposta 6171 Ω

12.7 CIRCUITOS INTEGRADOS TEMPORIZADORES

Há circuitos integrados encapsulados, disponíveis no mercado, que contêm a base dos circuitos necessários para a implementação dos multivibradores monoestáveis e astáveis com características bastante precisas. Nesta seção discutiremos o mais popular desses circuitos, o **temporizador 555**. Introduzido em 1972 pela Signetics Corporation como um circuito integrado bipolar, o 555 está disponível também na tecnologia CMOS e é fornecido por um grande número de fabricantes.

O Circuito do Temporizador 555

A Figura 12.27 mostra uma representação em diagrama de blocos do circuito temporizador 555 (para o diagrama do circuito real, veja Grebene (1984)). O circuito consiste em dois comparadores, um flip-flop SR e um transistor Q_1 que funciona como uma chave. É necessária uma fonte de alimentação (V_{CC}) para seu funcionamento, com um valor típico de 5 V. Um divisor de tensão resistivo, consistindo em três resistores de valores iguais denominados R_1, está conectado na fonte de alimentação V_{CC} e estabelece as tensões de referência (limiares) para os dois comparadores. Eles são $V_{TH} = 2/3V_{CC}$ para o comparador 1 e $V_{TL} = 1/3V_{CC}$ para o comparador 2.

Estudaremos os flip-flops SR no Capítulo 13. No momento, basta saber que um flip-flop SR (também chamado *latch*) é um circuito biestável com saídas complementares, representadas por Q e $\overline{Q}$. No estado denominado *set*, a saída em Q é "alta" (aproximadamente igual a V_{CC}) e em $\overline{Q}$ é "baixa" (aproximadamente 0 V). No outro estado estável, denominado *reset*, a saída em Q é baixa e em $\overline{Q}$ é alta. O flip-flop assume o estado *set* pela aplicação de um nível alto (V_{CC}) em seu terminal *set*, denominado S. Para o flip-flop assumir o estado *reset* aplicamos um nível alto no terminal de entrada *reset*, denominado R.

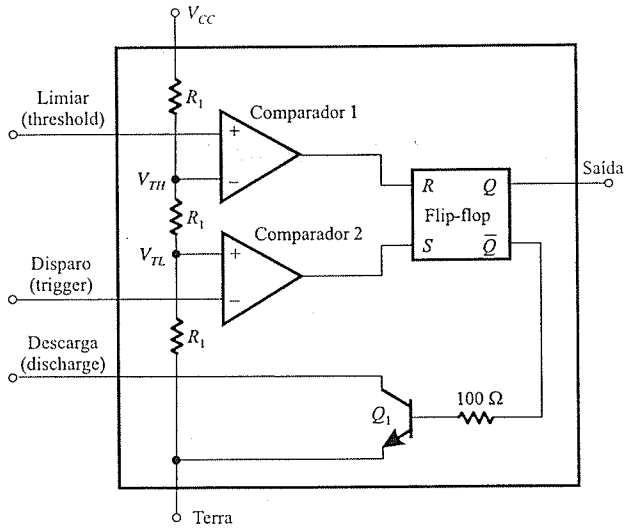


Figura 12.27 Diagrama de blocos representando o circuito interno de um circuito integrado temporizador do tipo 555.

Observe que os terminais de entrada *reset* e *set* do flip-flop no circuito 555 são conectados às saídas do comparador 1 e comparador 2, respectivamente.

O terminal de entrada positivo do comparador 1 é ligado ao terminal externo do 555 encapsulado, denominado Limiar (*Threshold*). De modo similar, o terminal de entrada negativa do comparador 2 é conectado ao terminal externo denominado Disparo (*Trigger*), e o coletor do transistor Q_1 está conectado ao terminal denominado Descarga (*Discharge*). Finalmente, a saída Q do flip-flop está conectada ao terminal de saída do temporizador, denominado Saída (Out).

Implementando um Multivibrador Monoestável Usando o CI 555

A Figura 12.28(a) mostra um multivibrador monoestável implementado usando o CI 555 junto com um resistor externo R e um capacitor externo C. No estado estável, o flip-flop estará no estado *reset* portanto sua saída $\overline{Q}$ será alta, fazendo o transistor Q_1 entrar em condução (saturação). Com o transistor Q_1 saturado, v_C estará próximo de 0 V, resultando em um nível baixo na saída do comparador 1. A tensão no terminal de entrada de disparo, v_{disparo}, é mantida alta (maior do que V_{TL}); portanto, a saída do comparador 2 será baixa. Finalmente, observe que, como o flip-flop se encontra no estado de *reset*, Q será baixo e, portanto, v_O estará próximo de 0 V.

Para disparar o multivibrador monoestável, é aplicado um pulso negativo ao terminal de entrada. Como v_{disparo} vai para o nível baixo V_{TL}, a saída do comparador 2 vai para o nível alto, levando o flip-flop a seu estado de *set*. A saída Q do flip-flop vai para o nível alto e, portanto, v_O vai para o nível alto e a saída $\overline{Q}$ vai para o nível baixo, fazendo o transistor Q_1 entrar no corte. O capacitor C inicia agora sua carga através de R e sua tensão v_C aumenta exponencialmente em direção a V_{CC}, conforme mostrado na Figura 12.28(b). O multivibrador monoestável está agora no estado instável. Esse estado prevalece até v_C atingir e começar a ultrapassar o limiar do comparador 1, V_{TH}, no instante em que a saída do comparador 1 vai para o nível alto, levando o flip-flop para o estado de *reset*. A saída $\overline{Q}$ do flip-flop vai agora para o nível alto e faz o transistor Q_1 conduzir. A condução de Q_1 descarrega rapidamente o capacitor C, fazendo com que v_C fique com 0 V. Além disso, quando o flip-flop está no estado de *reset*, sua saída Q vai para o nível baixo e v_O volta para 0 V. O multivibrador monoestável está agora em seu estado estável e pronto para receber um novo pulso de disparo.

Pela descrição anterior, vemos que o multivibrador monoestável produz pulsos na saída v_O, conforme indicado na Figura 12.28(b). A largura T do pulso é o intervalo de tempo em que o multivibrador monoestável permanece no estado instável; ele pode ser determinado tomando como referência as formas de onda mostradas na Figura 12.28(b). Representando o instante em que o pulso de disparo é aplicado como $t = 0$, a forma de onda exponencial de v_C pode ser expressa como

$$v_C = V_{CC}(1 - e^{-t/CR}) \tag{12.38}$$

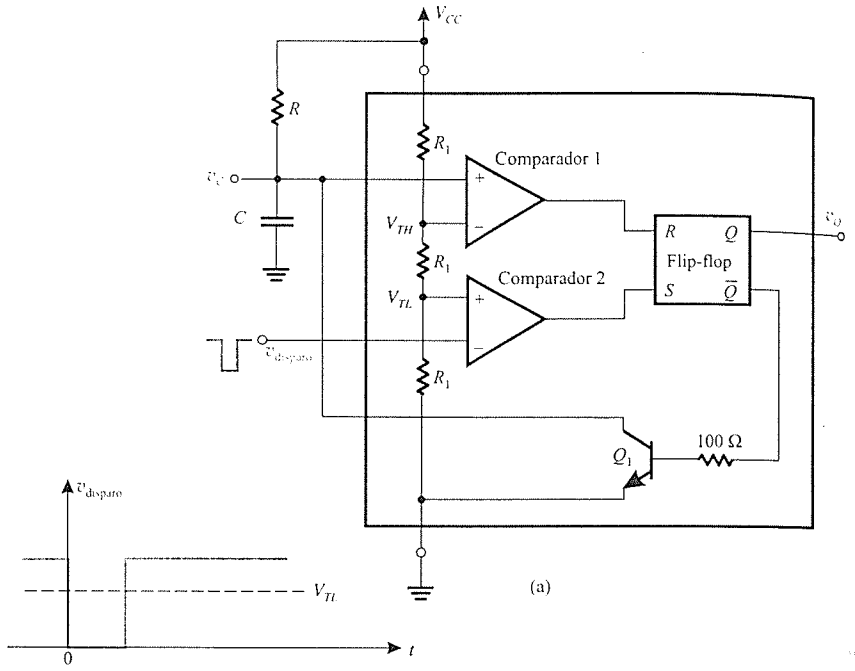
Substituindo $v_C = V_{TH} = 2/3V_{CC}$ em $t = T$, obtemos

$$T = CR \ln 3 = 1{,}1CR \tag{12.39}$$

Portanto, a largura do pulso é determinada pelos componentes externos C e R, que podem ser escolhidos com a precisão desejada.

Um Multivibrador Astável Usando o CI 555

A Figura 12.29(a) mostra o circuito de um multivibrador astável empregando um CI 555, dois resistores externos, R_A e R_B e um capacitor externo C.



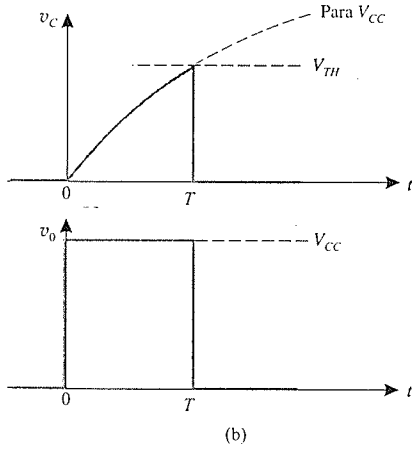
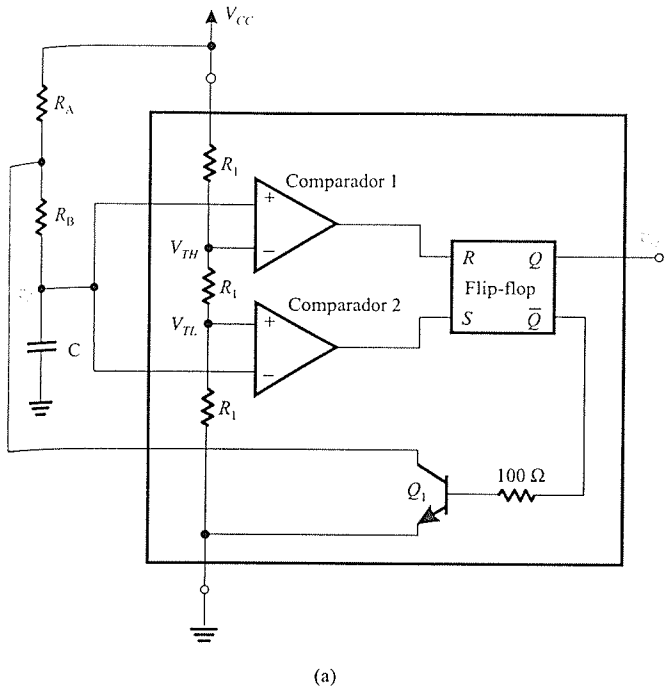


Figura 12.28 (a) O temporizador 555 conectado de forma a implementar um multivibrador monoestável. (b) Formas de onda do circuito em (a).



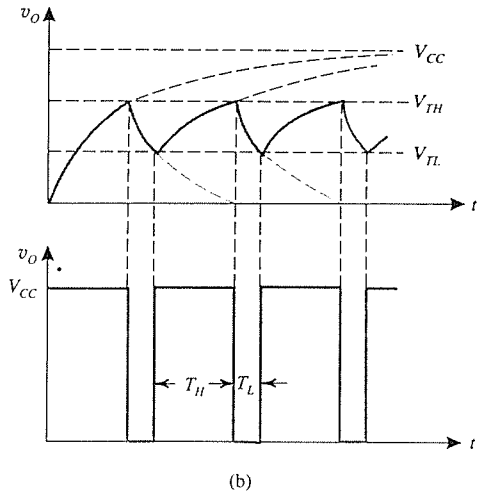


Figura 12.29 (a) O temporizador 555 conectado de forma a implementar um multivibrador astável. (b) Formas de onda do circuito em (a).

Para ver como o circuito funciona, remeta-se às formas de onda apresentadas na Figura 12.29(b). Suponha que C esteja inicialmente descarregado e que o flip-flop esteja no estado de *set*. Portanto, o nível de v_O é alto e Q_1 está em corte. O capacitor C carrega através da combinação em série de R_A e R_B e a tensão v_C aumenta exponencialmente em direção a V_{CC}. Quando v_C cruza o nível igual a V_{TL}, a saída do comparador 2 vai para o nível baixo. Isso, contudo, não afeta o funcionamento do circuito e o flip-flop permanece no estado de *set*. Na realidade, esse estado permanece até v_C atingir e começar a ultrapassar o limiar do comparador 1, V_{TH}. Nesse instante, a saída do comparador 1 vai para o nível alto e o flip-flop assume o estado de *reset*. Portanto, v_O vai para o nível baixo, Q vai para o nível alto e o transistor Q_1 conduz. A saturação do transistor Q_1 faz aparecer uma tensão de cerca de zero volt no ponto comum entre R_A e R_B. Portanto, C inicia sua descarga através de R_B e do coletor de Q_1. A tensão v_C diminui exponencialmente com uma constante de tempo C_{RB} em direção a 0 V. Quando v_C atingir o limiar do comparador 2, V_{TL}, a saída do comparador 2, vai para o nível alto e o flip-flop assume seu estado de *set*. A saída v_O vai para o nível alto e $\overline{Q}$ vai para o nível baixo, fazendo Q_1 conduzir. O capacitor C inicia sua carga através do equivalente em série de R_A e R_B, e sua tensão aumenta exponencialmente em direção a V_{CC}, com uma constante de tempo $C(R_A + R_B)$. Essa tensão continua a aumentar até v_C atingir V_{TH}, no instante em que a saída do comparador 1 vai para o nível alto, levando o flip-flop para o estado de *reset*; e o ciclo continua.

Pela descrição anterior, vemos que o circuito da Figura 12.29(a) oscila e produz uma forma de onda quadrada na saída. A freqüência de oscilação pode ser determinada como segue. A Figura 12.29(a) indica que a saída terá nível alto durante o intervalo T_H, em que v_C aumenta de V_{TL} para V_{TH}. O aumento exponencial em v_C pode ser escrito como

$$v_C = V_{CC} - (V_{CC} - V_{TL})e^{-t/C(R_A+R_B)} \tag{12.40}$$

em que $t = 0$ é o instante em que o intervalo T_H inicia. Substituindo $v_C = V_{TH} = 2/3V_{CC}$ em $t = T_H$ e $V_{TL} = 1/3V_{CC}$, temos

$$T_H = C(R_A + R_B)\ln 2 \simeq 0{,}69\,C(R_A + R_B) \tag{12.41}$$

Observamos pela Figura 12.29(b) que v_O terá nível alto durante o intervalo T_L, em que v_C cai de V_{TH} para V_{TL}. A queda exponencial de v_C pode ser escrita como

$$v_C = V_{TH}e^{-t/CR_B} \tag{12.42}$$

Aqui tomamos $t = 0$ como o início do intervalo T_L. Substituindo $v_C = V_{TL} = 1/3V_{CC}$ em $t = T_L$ e $V_{TH} = 2/3V_{CC}$,

$$T_L = CR_B \ln 2 \simeq 0{,}69\,CR_B \tag{12.43}$$

As Equações 12.41 e 12.43 podem ser combinadas para obter o período T da onda quadrada na saída como

$$T = T_H + T_L = 0{,}69\,C(R_A + 2R_B) \tag{12.44}$$

Além disso, o **fator de trabalho (*duty cycle*)** da onda quadrada na saída pode ser calculado pelas Equações 12.41 e 12.43:

$$\text{Fator de trabalho (duty cycle)} \equiv \frac{T_H}{T_H + T_L} = \frac{R_A + R_B}{R_A + 2R_B} \tag{12.45}$$

Observe que o fator de trabalho será sempre maior do que 0,5 (50%); esse fator será obtido se R_A for feita muito menor do que R_B.

Exercícios

12.20 Usando um capacitor C de 10 nF, calcule o valor de R capaz de produzir um pulso de saída de 100 µs no circuito monoestável da Figura 12.28(a).

Resposta 9,1 kΩ

P12.21 Para o circuito na Figura 12.29(a), use um capacitor de 1000 pF e calcule os valores de R_A e R_B que resultam em uma freqüência de oscilação de 100 kHz e um fator de trabalho de 75%.

Resposta 7,2 kΩ, 3,6 kΩ

12.8 CIRCUITOS NÃO-LINEARES FORMADORES DE ONDA

Os diodos e os transistores podem ser combinados com resistores para formar redes de duas portas tendo características de transferência arbitrárias. Essas redes de duas portas podem ser empregadas para a **formação de ondas** – isto é, mudar a forma de onda de um sinal de entrada de modo determinado para produzir uma onda na saída com forma desejada. Nesta seção, ilustraremos uma aplicação com um exemplo concreto: o **formador de onda senoidal**. Esse circuito tem a finalidade de mudar a forma de onda de um sinal de entrada triangular para uma onda senoidal. Embora simples, o circuito formador de senóide é um bloco prático muito usado nos geradores de função. Esse método de geração de senóides deve ser comparado com o usado nos osciladores lineares (Seções 12.1-12.3). Embora os osciladores lineares produzam ondas senoidais de alta-pureza, não são convenientes em freqüências muito baixas. Além disso, os osciladores lineares são, em geral, mais difíceis de sintonizar em uma faixa ampla de freqüências. A seguir, discutiremos duas técnicas diferentes para o projeto de circuitos formadores de onda.

O Método do Ponto de Quebra

O método do ponto de quebra de uma determinada característica de transferência não-linear (em nosso caso, a função seno mostrada na Figura 12.30) é implementado como uma curva de dois segmentos. São utilizados diodos como chaves que conduzem nos vários pontos de quebra da característica de transferência, chaveando adicionalmente resistores no circuito que fazem a inclinação da característica de transferência mudar.

Considere o circuito da Figura 12.31(a). Ele consiste em uma cadeia de resistores conectados em uma fonte de alimentação simétrica $+V$ e $-V$. O objetivo desse divisor de tensão é gerar tensões de referência que servirão para determinar os pontos de quebra na característica de transferência. Em nosso exemplo, essas tensões de referência são representadas por $+V_2$, $+V_1$, $-V_1$, $-V_2$. Observe que o circuito total é simétrico, acionado por uma onda simétrica triangular, e gera uma onda senoidal simétrica. O circuito aproxima cada um quarto do ciclo da onda senoidal por três segmentos retos; os pontos de quebra entre esses segmentos são determinados pelas tensões de referência V_1 e V_2.

O circuito funciona da seguinte maneira: vamos inserir uma onda triangular como a da Figura 12.31(b) e considerar o primeiro quarto do ciclo definido pelos dois pontos 0 e 1. Quando o sinal na entrada tiver uma amplitude menor do que V_1, nenhum dos diodos conduzirá. Portanto, a corrente em R_4 é zero e a tensão na saída em B será igual à tensão de entrada. Mas, aumen-

tando-se a tensão de entrada até V_1 ou acima, D_2 (suposto ideal) inicia sua condução. Supondo que o diodo D_2 ao conduzir se comporte como um curto-circuito, vemos que, para $v_I > V_1$,

$$v_O = V_1 + (v_I - V_1)\frac{R_5}{R_4 + R_5}$$

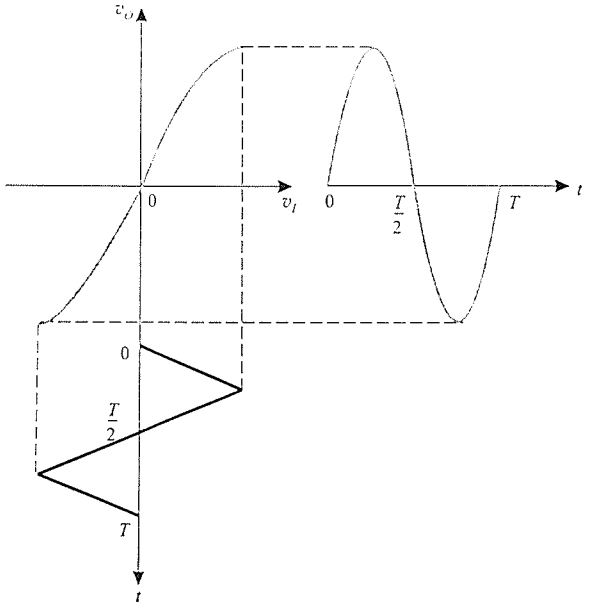


Figura 12.30 Uso de uma característica de transferência não-linear (senoidal) para transformar uma onda triangular em uma onda senoidal.

Isso significa que, como a entrada continua a aumentar acima de V_1, a saída também aumenta, mas com uma inclinação reduzida. Isso dá origem ao segundo segmento na forma de onda de saída, conforme mostrado na Figura 12.31(b). Observe que, na dedução da equação anterior, fizemos a suposição de que as resistências no divisor de tensão são de baixos valores, de modo a tornar constantes as tensões V_1 e V_2, independentemente da corrente vinda da entrada.

A seguir, considere o que ocorre quando a tensão em B atinge o segundo ponto de quebra determinado por V_2. Nesse ponto, D_1 conduz, limitando, portanto, v_O a V_2 (adicionado à queda de tensão de D_1, é claro, se ele não foi suposto ideal). Isso dá origem ao terceiro segmento, que é nivelado na forma de onda de saída. O resultado final é que a forma de onda de entrada é "dobrada" de maneira a tomar a forma aproximada do primeiro quarto de ciclo da onda senoidal. Portanto, além do pico da onda triangular de entrada, quando a tensão de entrada diminui, o processo se repete ao inverso: a saída vai se tornando progressivamente mais parecida com a entrada. Finalmente, quando a entrada se torna suficientemente negativa, o processo começa a se repetir em $-V_1$ e $-V_2$ para o semiciclo negativo.

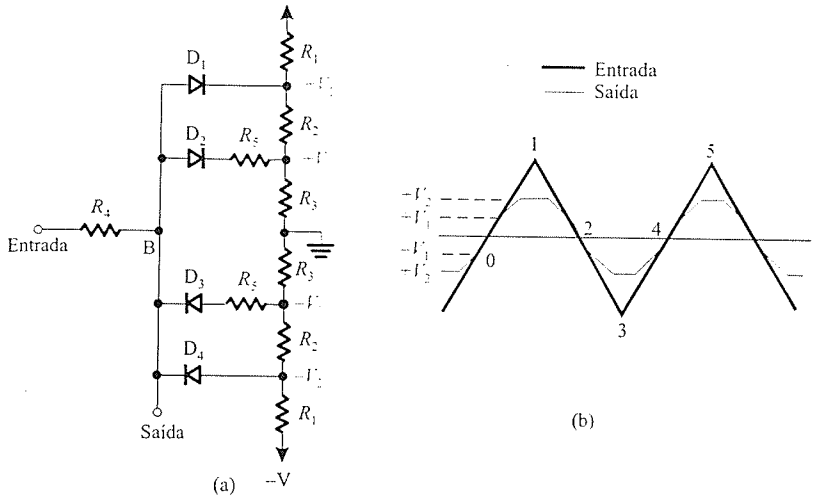


Figura 12.31 (a) Um formador de onda senoidal de três segmentos. (b) A forma de onda triangular de entrada e a forma de onda de saída aproximadamente senoidal.

Embora o circuito seja relativamente simples, seu funcionamento é surpreendentemente de boa qualidade. Uma medida de qualidade geralmente tomada é a pureza da senóide de saída pela especificação em porcentagem da **distorção harmônica total** – DHT (*total harmonic distortion*). Ela é a razão percentual da tensão rms de todas as componentes harmônicas acima da freqüência fundamental (que é a freqüência da onda triangular) pela tensão rms da fundamental. É interessante observar que uma razão para a boa qualidade do formador de onda com diodo é o efeito benéfico produzido pela característica não-ideal i–v dos diodos – isto é, a característica exponencial no joelho da junção do diodo quando ele começa a conduzir. A conseqüência é uma transmissão relativamente harmoniosa de um segmento linear para o próximo.

Implementações práticas do formador de senóide por pontos de quebra empregam de seis a oito segmentos (em vez de três como no exemplo anterior). Além disso, os transistores são geralmente usados para proporcionar maior versatilidade no projeto, com o propósito de aumentar a precisão e diminuir a DHT. (Veja Grebene (1984), páginas 592-595.)

O Método da Amplificação Não-linear

O outro método que discutiremos para a conversão de uma onda triangular em uma onda senoidal é baseado na alimentação de uma onda triangular na entrada de um amplificador com a característica de transferência não-linear que está próxima da função seno. Esse circuito consiste em um par diferencial com uma resistência conectada entre os dois emissores, conforme mostrado na Figura 12.32. Com a escolha apropriada dos valores da corrente de polarização I e da resistência R, o amplificador diferencial pode ser projetado para ter uma característica de transferência que

se aproxima daquela da Figura 12.30. Observe que, para um pequeno valor de v_I, a característica de transferência do circuito na Figura 12.32 é quase linear, quando a onda senoidal estiver próxima de sua passagem pelo zero. Para altos valores de v_I, as características não-lineares dos TBJs reduzem o ganho do amplificador e provocam a dobra da característica de transferência, aproximando a onda de uma senóide quando ela se aproxima de seu pico. (Mais detalhes sobre esse circuito podem ser encontrados em Grebene (1984), páginas 595-597.)

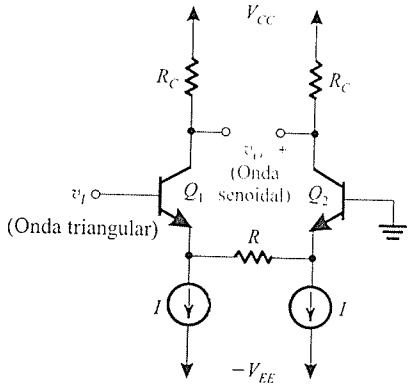


Figura 12.32 Um par diferencial com resistência de degeneração de emissor usado para implementar um conversor de onda triangular para onda senoidal. A operação do circuito pode ser descrita graficamente pela Figura 12.30.

Exercícios

12.22 O circuito na Figura E12.22 deve fornecer uma aproximação de três segmentos para a característica não-linear i–v, $i = 0{,}1v^2$, em que v é a tensão em volts e i, a corrente em miliampères. Calcule os valores de R_1, R_2 e R_3 de modo que a aproximação seja perfeita em $v = 2$ V, 4 V e 8 V. Calcule o erro no valor da corrente em $v = 3$ V, 5 V, 7 V e 10 V. Suponha que os diodos sejam ideais.

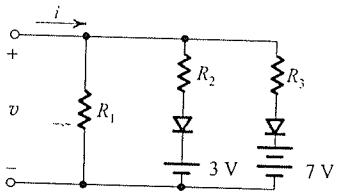


Figura E12.22

Resposta 5 kΩ, 1,25 kΩ, 1,25 kΩ; –0,3 mA, +0,1 mA, –0,3 mA, 0

12.23 Uma análise detalhada do circuito na Figura 12.32 mostra que seu melhor funcionamento ocorre quando os valores de I e R são selecionados de modo que $R_I = 2{,}5\ V_T$, em que V_T é a tensão térmica. Para esse projeto, a amplitude de pico da onda triangular de entrada deve ser de $6{,}6\ V_T$ e a onda senoidal correspondente em R tem um valor de pico de $2{,}42\ V_T$. Para $I = 0{,}25$ mA e $R_C = 10$ kΩ, calcule a amplitude de pico da saída senoidal v_O. Suponha $\alpha \simeq 1$.

Resposta 4,84 V

12.9 CIRCUITOS RETIFICADORES DE PRECISÃO

Os circuitos retificadores foram estudados no Capítulo 3, no qual o enfoque era para a aplicação no projeto de fontes de alimentação. Nessas aplicações, as tensões retificadas são geralmente muito maiores do que as quedas no diodo, de modo que o valor exato da queda no diodo não é importante para o funcionamento correto do retificador. Há outras aplicações, porém, que não fazem parte desse caso. Por exemplo, o sinal do retificador pode ser de amplitude muito pequena, digamos de 0,1 V, tornando impossível o uso do circuito retificador convencional. Além disso, nas aplicações de instrumentação é crescente a necessidade de circuitos retificadores com características de transferência de alta precisão.

Nesta seção estudaremos os circuitos que combinam diodos e amp ops para a implementação de uma variedade de circuitos retificadores com características de transferência muito precisas. Os retificadores de precisão, que podem ser considerados uma classe especial de circuitos formadores de onda, encontram aplicações no projeto de sistemas de instrumentação.

O Retificador de Meia Onda de Precisão – O "Superdiodo"

A Figura 12.33(a) mostra um circuito retificador de meia onda de precisão consistindo em um diodo ligado no caminho da realimentação negativa do amp op, com R sendo a resistência de carga do retificador. O circuito funciona da seguinte maneira: quando v_I é positiva, a tensão na saída v_A do amp op será positiva e o diodo entrará em condução, estabelecendo, portanto, um caminho fechado para a realimentação entre o terminal de saída do amp op e o terminal da entrada negativa. Esse caminho de realimentação negativa faz aparecer um curto-circuito virtual entre os dois terminais de entrada. Portanto, a tensão no terminal de entrada negativa, que é também a tensão no terminal de saída v_O, será igual (dentro de poucos milivolts) à do terminal de entrada positiva, que é a tensão de entrada v_I,

$$v_O = v_I \qquad v_I \geq 0$$

Observe que a tensão de limiar ($\simeq 0{,}5$ V) exibida no circuito retificador de meia onda simples não está mais presente. Para o circuito com amp op iniciar seu funcionamento, v_I precisa exceder apenas um valor desprezivelmente pequeno igual à queda da tensão do diodo dividida pelo ganho em malha aberta do amp op. Em outras palavras, a característica de transferência linear v_O–v_I passa próxima da origem. Isso torna o circuito apropriado para aplicações envolvendo sinais de valores muito pequenos.

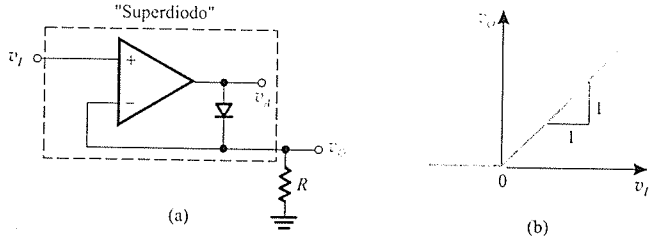


Figura 12.33 O retificador de meia onda de precisão com "superdiodo" e sua característica de transferência praticamente ideal. Note que, para $v_I > 0$, o diodo conduz e o amp op fornece a corrente de saída.

Considere agora o caso em que v_I é negativa. A tensão de saída do amp op v_A tende a seguir e fica negativa. Isso polarizará o diodo reversamente e não haverá corrente na resistência R,

fazendo com que v_O permaneça igual a 0 V. Portanto, para $v_I < 0$, $v_O = 0$. Como nesse caso o diodo está em corte, o amp op estará funcionando em malha aberta e sua saída estará no nível negativo de saturação.

A característica de transferência desse circuito será a da Figura 12.33(b), que é quase igual à característica ideal do retificador de meia onda. A característica não-ideal do diodo foi quase completamente eliminada pela ligação do diodo no caminho da realimentação negativa do amp op. Essa é outra aplicação da realimentação negativa. A combinação do diodo com o amp op, mostrada no retângulo da Figura 12.33(a), é corretamente denominada de "superdiodo".

Como usual, nem tudo é perfeito, e o circuito da Figura 12.33 tem algumas desvantagens: quando v_I é negativa e $v_O = 0$, a amplitude máxima de v_I aparece entre os dois terminais de entrada do amp op. Se essa amplitude for maior do que alguns volts, o amp op pode ser danificado, a não ser que seja equipado com o que chamamos de "proteção contra sobretensão" (uma característica interna a quase todos os amp ops em CI modernos). Outra desvantagem é que, quando v_I for negativa, o amp op estará saturado. Embora não seja prejudicial para o amp op, a saturação geralmente deve ser evitada, visto que a saturação do amp op e a volta para sua região linear de operação requer um certo tempo. Esse tempo de atraso, obviamente, retardará o funcionamento do circuito e limitará a freqüência do circuito retificador de meia onda com superdiodo.

Um Circuito Alternativo

Um circuito retificador de precisão alternativo que não apresenta as desvantagens mencionadas anteriormente pode ser visto na Figura 12.34. O circuito funciona do seguinte modo: para v_I positiva, o diodo D_2 conduz e fecha a malha de realimentação negativa em torno do amp op. Um terra virtual aparece, portanto, no terminal da entrada inversora e a saída do amp op fica grampeada em uma queda de diodo abaixo do terra. Essa tensão negativa manterá o diodo D_1 em corte e não haverá corrente na resistência de realimentação R_2. Isso implica que a tensão de saída do retificador será zero.

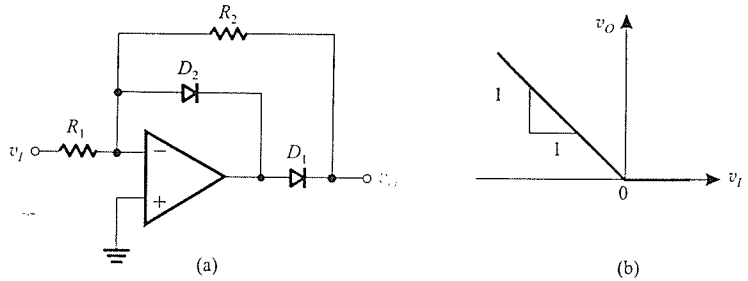


Figura 12.34 (a) Um versão melhorada do retificador de meia onda de precisão. Nesse caso, o diodo D_2 é incluído para manter o elo de realimentação fechado em torno do amp op durante os períodos em que o diodo retificador D_1 está desligado, evitando, assim, que o amp op sature. (b) A característica de transferência para $R_2 = R_1$.

Quando v_I é negativa, a tensão no terminal de entrada inversora tende a ser negativa, fazendo com que a tensão no terminal de saída do amp op seja positiva. Com isso, D_2 ficará reversamente polarizado e, conseqüentemente, entra no corte. O diodo D_1, porém, conduzirá através de R_2, estabelecendo, portanto, um caminho para a realimentação negativa em torno do amp op e forçando o aparecimento de um terra virtual no terminal de entrada inversora. A corrente através da resistência de realimentação R_2 será igual à corrente através da resistência de entrada R_1. Portanto, para $R_1 = R_2$, a tensão de saída v_O será

$$v_O = -v_I \qquad v_I \le 0$$

A característica de transferência do circuito está mostrada na Figura 12.34(b). Observe que, diferentemente do circuito anterior, aqui a inclinação da característica pode ser estabelecida com qualquer valor desejado, inclusive unitário, pela escolha dos valores de R_1 e R_2.

Conforme mencionado anteriormente, a principal vantagem desse circuito é que a malha de realimentação em torno do amp op permanece fechada o tempo todo. Como o amp op permanece em sua região de operação linear, evita-se a possibilidade de saturação e o retardo associado à operação na saturação. O diodo D_2 "pega" a tensão de saída se ela for negativa e a mantém grampeada com uma queda de tensão de um diodo abaixo do terra; conseqüentemente, D_2 é chamado de "diodo pegador" (*catching diode*).

Uma Aplicação: a Medição da Tensão *ca*

Como uma das várias possibilidades de aplicações dos circuitos retificadores de precisão discutidos nesta seção, considere o circuito básico de um voltímetro *ca* mostrado na Figura 12.35. O circuito consiste em um retificador de meia onda – formado por um amp op A_1, os diodos D_1 e D_2, os resistores R_1 e R_2 – e um filtro passa-baixas de primeira ordem – formado pelo amp op A_2, os resistores R_3 e R_4 e o capacitor C. Para uma entrada senoidal tendo uma amplitude de pico V_p, a saída v_1 do retificador consiste em uma onda senoidal retificada tendo uma amplitude de pico de $V_p R_2/R_1$. Pode ser mostrado, usando a análise por série de Fourier, que a forma de onda de v_1 tem um valor médio de $(V_p/\pi)(R_2/R_1)$ em adição às harmônicas da freqüência ω do sinal de entrada. Para reduzir as amplitudes de todas essas harmônicas a níveis desprezíveis, a freqüência de corte do filtro passa-baixas deve ser escolhida como sendo muito menor do que a menor freqüência esperada, $\omega_{\text{mín}}$, da onda senoidal de entrada. Isso nos leva a

$$\frac{1}{CR_4} \ll \omega_{\text{mín}}$$

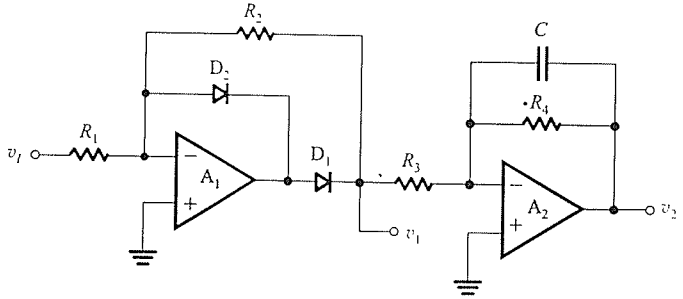


Figura 12.35 Um voltímetro *ca* simples consistindo em um retificador de meia onda de precisão seguido de um filtro passa-baixas de primeira ordem.

Logo, a tensão de saída v_2 será *cc* em grande parte, com um valor

$$V_2 = -\frac{V_p}{\pi}\frac{R_2}{R_1}\frac{R_4}{R_3}$$

em que R_4/R_3 é o ganho *cc* do filtro passa-baixas. Note que esse voltímetro mede essencialmente o valor médio das porções negativas do sinal de entrada mas pode ser calibrado para fornecer o valor eficaz (root mean square – rms) para entradas senoidais.

Exercícios

12.24 Considere o retificador operacional ou superdiodo da Figura 12.33(a), com $R = 1$ kΩ. Para $v_I = 10$ mV, 1 V e –1 V, quais as tensões resultantes na saída do retificador e na saída do amp op? Suponha que o amp op seja ideal e sua saída sature com ± 12 V. O diodo tem uma queda de 0,7 V com 1 mA e a queda de tensão muda de 0,1 V por década de variação na corrente.

Resposta 10 mV, 0,51 V; 1 V, 1,7 V; 0 V, –12 V

12.25 Se o diodo no circuito da Figura 12.33(a) for invertido, calcule a característica de transferência v_O como função de v_I.

Resposta $v_O = 0$ para $v_I \geq 0$; $v_O = v_I$ para $v_I \leq 0$

12.26 Considere o circuito da Figura 12.34(a) com $R_1 = 1$ kΩ e $R_2 = 10$ kΩ. Calcule v_O e a tensão na saída do amplificador para $v_I = +1$ V, –10 mV e –1 V. Suponha que o amp op seja ideal com tensões de saturação de ± 12 V. Os diodos têm 0,7 V de queda de tensão para 1 mA e a queda de tensão muda de 0,1 V por década de variação de corrente.

Resposta 0 V, –0,7 V; 0,1 V, 0,6 V; 10 V, 10,7 V

12.27 Se os diodos no circuito da Figura 12.34(a) forem invertidos, calcule a característica de transferência v_O como função de v_I.

Resposta $v_O = -(R_2/R_1)v_I$ para $v_I \geq 0$; $v_O = 0$ para $v_I \leq 0$

12.28 Determine a característica de transferência para o circuito da Figura E12.28.

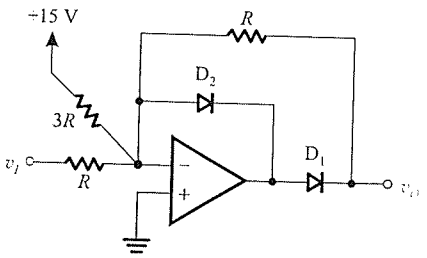


Figura E12.28

Resposta $v_O = 0$ para $v_I \geq -5$ V; $v_O = -v_I - 5$ para $v_I \leq -5$ V

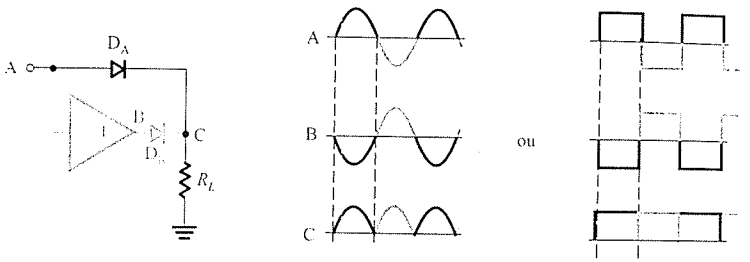


Figura 12.36 Princípio da retificação de onda completa de precisão.

O Retificador de Onda Completa de Precisão

Descobriremos agora como implementar um circuito retificador de onda completa de precisão. Pelo que estudamos no Capítulo 3, sabemos que a retificação de onda completa é obtida pela inversão das metades negativas da forma de onda do sinal de entrada e aplicação do sinal resultante em outro diodo retificador. As saídas dos dois retificadores são então ligadas juntas em uma carga comum. Esse arranjo está mostrado na Figura 12.36, que mostra também as formas de ondas nos vários pontos. Substituindo agora o diodo D_A por um superdiodo e substituindo o diodo D_B e o amplificador inversor pelo retificador de meia onda de precisão da Figura 12.34, mas sem o diodo pegador, obtemos o circuito retificador de onda completa de precisão da Figura 12.37(a).

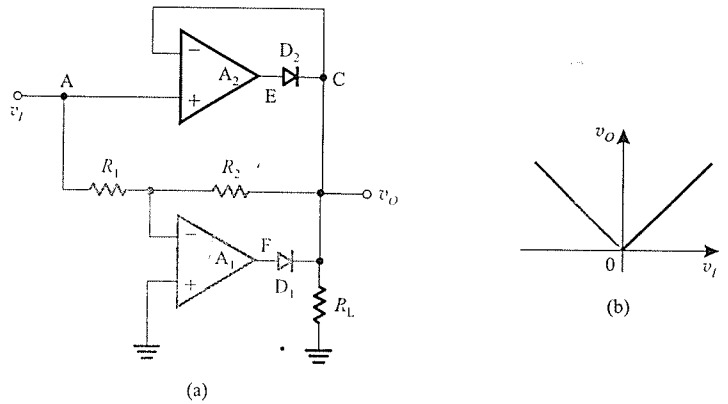


Figura 12.37 (a) Retificador de onda completa de precisão baseado no circuito conceitual da Figura 12.36. **(b)** Característica de transferência do circuito em (a).

Para observar como o circuito da Figura 12.37(a) funciona, considere primeiro o caso em que a entrada A é positiva. A saída de A_2 será positiva, fazendo D_2 conduzir através de R_L e, portanto, fechando a malha de realimentação em torno de A_2. Um curto-circuito virtual será estabelecido entre os dois terminais de entrada de A_2 e a tensão no terminal da entrada negativa, que é

a tensão de saída do circuito, será igual à da entrada. Portanto, não haverá corrente através de R_1 e R_2 e a tensão na entrada inversora de A_1 será igual à da entrada e, conseqüentemente, positiva. Portanto, o terminal de saída F de A_1 será negativo até que A_1 entre em saturação. Isso faz com que D_1 fique em corte.

A seguir, considere o caso em que A é negativa. A tendência de aparecer uma tensão negativa no terminal de entrada negativa de A_1 faz com que F aumente e D_1 conduza para alimentar a carga R_L e permitir que a malha de realimentação em torno de A_1 seja fechada. Portanto, um terra virtual aparece no terminal de entrada negativa de A_1 e as duas resistências, R_1 e R_2, forçam a tensão em C, que é a tensão de saída, a ser igual à tensão do terminal de entrada negativa em A e, portanto, positiva. A combinação da tensão positiva em C e da tensão negativa em A faz com que a saída de A_2 entre em saturação negativa, mantendo, portanto, D_2 em corte.

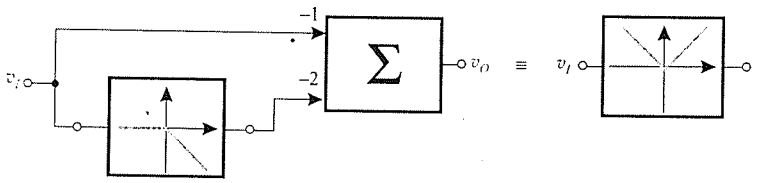
O resultado final é uma retificação em onda completa perfeita, conforme representado pela característica de transferência na Figura 12.37(b). Essa precisão, é claro, é resultado da ligação dos diodos nas malhas de realimentação dos amp ops, disfarçando, portanto, suas características não-ideais. Esse circuito é um dos vários possíveis retificadores de onda completa de precisão ou **circuitos de valor absoluto**. Outra implementação relacionada a essa função é examinada no Exercício 12.30.

Exercícios

12.29 No circuito retificador de onda completa da Figura 12.37(a), suponha $R_1 = R_2 = R_L = 10\ \text{k}\Omega$ e que os amp ops sejam ideais, exceto quanto à tensão de saída de saturação, que é de ± 12 V. Quando conduzindo uma corrente de 1 mA, cada diodo exibe uma queda de tensão de 0,7 V e sua tensão muda de 0,1 V por década de variação na corrente. Calcule v_O, v_E e v_F correspondentes a $v_I = +0{,}1$, +1, +10, −0,1, −1 e −10 V.

Resposta +0,1 V, +0,6 V, −12 V; +1 V, +1,6 V, −12 V; +10 V, +10,7 V, −12 V; +0,1 V, −12 V, +0.63 V; +1 V, −12 V, +1,63 V; +10 V, −12 V, +10,73 V

P12.30 O diagrama de blocos mostrado na Figura E12.30(a) fornece outra possibilidade de arranjo para a implementação do retificador em onda completa ou de valor absoluto apresentada simbolicamente na Figura E12.30(b). Conforme mostrado, o diagrama de blocos consiste em dois blocos: um retificador de meia onda, que pode ser implementado pelo circuito na Figura 12.34(a) após inverter os diodos, e um somador inversor ponderado. Certifique-se de que esse diagrama de blocos realiza de fato a operação de valor absoluto. Desenhe, então, um diagrama do circuito completo, fornecendo valores para todos os resistores.



(a) (b)

Figura E12.30

Um Retificador em Ponte de Precisão para Aplicação em Instrumentação

O circuito retificador em ponte estudado no Capítulo 3 pode ser combinado com um amp op para fornecer circuitos de precisão úteis. Um desses arranjos está mostrado na Figura 12.38. Esse circuito faz com que uma corrente $|v_A|/R$ circule através da bobina móvel M do medidor. Portanto, o medidor fornece uma leitura proporcional à média do valor absoluto da tensão de entrada v_A. Todas as características não-ideais do medidor e dos diodos são disfarçadas pela ligação do circuito em ponte na malha de realimentação negativa do amp op. Observe que, quando v_A é positiva, a corrente circula da saída do amp op através de D_1, M, D_3 e R. Quando v_A é negativa, a corrente circula por R, D_2, M, D_4 e pelo amp op. Portanto, a malha de realimentação permanece fechada para as duas polaridades de v_A. O curto-circuito virtual resultante nos terminais de entrada do amp op faz com que uma réplica de v_A apareça em R. O circuito da Figura 12.38 proporciona um voltímetro preciso com alta impedância de entrada para *ca* usando um medidor de bobina móvel de baixo custo.

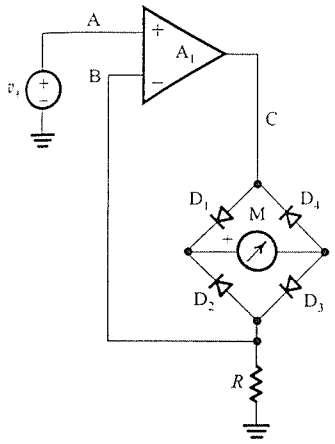


Figura 12.38 Uso da ponte de diodos no projeto de um voltímetro *ca*.

Exercício

P12.31 No circuito da Figura 12.38, calcule o valor de R que faz o medidor fornecer uma leitura de fundo de escala quando a tensão de entrada for uma onda senoidal de 5 V rms. Suponha que o medidor M seja de 1 mA, 50 Ω (isto é, sua resistência é de 50 Ω e ele fornece uma deflexão de fundo de escala quando circular por sua bobina uma corrente média de 1 mA). Quais as tensões máxima e mínima aproximadas na saída do amp op? Suponha que os diodos tenham quedas constantes de 0,7 V quando em condução.

Resposta 4,5 kΩ; +8,55 V; −8,55 V

Os Retificadores de Pico de Precisão

Se incluirmos o diodo do retificador de pico do Capítulo 3 na malha de realimentação negativa do amp op, conforme mostrado na Figura 12.39, chega-se a um retificador de pico de precisão. A

combinação do diodo com o amp op é também um superdiodo, como o da Figura 12.33(a). O funcionamento do circuito na Figura 12.39 é quase direto. Para v_I maior do que a tensão de saída, o amp op faz o diodo conduzir, fechando, portanto, o caminho da malha de realimentação e fazendo o amp op funcionar como um seguidor de tensão. A tensão de saída seguirá, portanto, a da entrada, com o amp op fornecendo a corrente de carga do capacitor. Esse processo continua até que a entrada atinja seu valor de pico. Além do pico positivo, o amp op verá uma tensão negativa entre seus terminais de entrada. Assim, sua saída assumirá o nível de saturação negativa e o diodo entrará em corte. A não ser por uma possível descarga através da resistência da carga, o capacitor reterá uma tensão igual à do pico positivo da entrada. A inclusão de uma resistência de carga é essencial se o circuito for projetado para detectar reduções na amplitude do pico positivo.

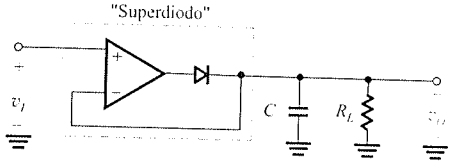


Figura 12.39 Um retificador de pico de precisão obtido pela inserção do diodo no elo de realimentação negativa do amp op.

Um Detector de Pico de Precisão com Isolador (*Buffer*)

Quando o detector de pico precisar amostrar o valor de pico por longos períodos, o capacitor deverá ser isolado (*buffer*), conforme mostrado no circuito da Figura 12.40.

Nessa figura, o amp op A_2, que deve ter uma alta impedância de entrada e uma baixa corrente de polarização de entrada, está conectado como um seguidor de tensão. O restante do circuito é muito parecido com o circuito retificador de meia onda da Figura 12.34. Enquanto o diodo D_1 é o diodo essencial para o funcionamento da retificação de pico, o diodo D_2 age como um diodo pegador, para prevenir a saturação negativa e o conseqüente retardo associado do amp op A_1. Durante o período de armazenamento (*holding state*), o seguidor A_2 alimenta D_2 com uma pequena corrente através de R. A saída do amp op A_1 será então grampeada com o valor de uma queda do diodo abaixo da tensão de entrada. Agora, se a entrada v_I aumentar acima do valor armazenado em C, que é igual à tensão de saída v_O, o amp op A_1 vê uma diferença de potencial positiva nos terminais de entrada que aciona sua saída em direção ao nível de saturação positiva e leva o diodo D_2 ao corte. O diodo D_1 é, então, levado à condução e o capacitor C carrega com um novo valor de pico da tensão de entrada e, a seguir, o circuito retorna para seu período de armazenamento. Finalmente, observe que esse circuito tem uma baixa impedância de saída.

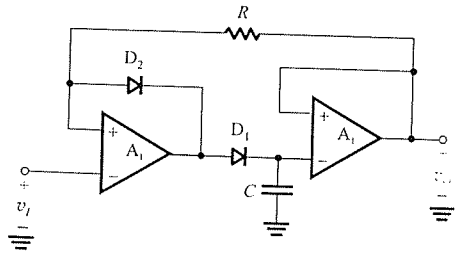


Figura 12.40 Um retificador de pico de precisão com isolador (*buffer*).

Um Circuito Grampeador de Precisão

Pela substituição do diodo no circuito grampeador estudado no Capítulo 3 por um "superdiodo", obtemos o grampeador de precisão da Figura 12.41. O funcionamento do circuito deve ser explicado por você.

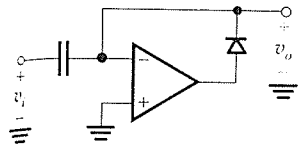


Figura 12.41 Um circuito grampeador de precisão.

12.10 EXEMPLOS DE SIMULAÇÃO COM O SPICE

Os circuitos estudados neste capítulo utilizam-se da operação não-linear dos dispositivos eletrônicos para implementar uma série de tarefas, como a estabilização da amplitude de um oscilador senoidal e a formação de uma onda senoidal a partir de uma onda triangular. Embora tenhamos utilizado métodos simples de análise e projeto que apresentam resultados satisfatórios, uma análise completa desses circuitos através de cálculos manuais é praticamente impossível. O projetista precisa, portanto, empregar simulações computacionais para melhor apreciar a operação desses circuitos, verificando seu comportamento quando se variam componentes e otimizando os resultados. Nesta seção, apresentaremos dois exemplos que ilustram o uso do SPICE na simulação de circuitos osciladores. Exemplos adicionais podem ser encontrados em Roberts e Sedra (1992 e 1997).

EXEMPLO 12.1: OSCILADOR COM PONTE DE WIEN

Para nosso primeiro exemplo, simulemos a operação do oscilador com ponte de Wien mostrado na Figura 12.42. Os valores de componentes são selecionados para que a oscilação ocorra em 1 kHz. Gostaríamos de analisar a operação desse circuito para diferentes posições do potenciômetro P, que é equivalente a selecionarmos diferentes valores de R_{1a} e R_{1b}, sendo $R_{1a} + R_{1b} = 50$ kΩ. Já que a oscilação tem início quando $(R_2 + R_{1b})/R_{1a} = 2$ (veja o Exercício 12.4), isto é, quando $R_{1a} = 20$ kΩ e $R_{1b} = 30$ kΩ, consideraremos três situações: (a) $R_{1a} = 15$ kΩ e $R_{1b} = 35$ kΩ; (b) $R_{1a} = 18$ kΩ e $R_{1b} = 32$ kΩ; e (c) $R_{1a} = 25$ kΩ e $R_{1b} = 25$ kΩ. Essas situações correspondem a ganhos de malha de 1,33, 1,1 e 0,8, respectivamente.

Como indicado no diagrama de circuito da Figura 12.42, utilizou-se um amp op do tipo 741 e diodos do tipo 1N4148. Para o 741, o macromodelo SPICE fornecido pelo fabricante do CI (Texas Instruments, 1990) foi usado na simulação. O modelo usado para os diodos 1N4148 é aquele constante da biblioteca-padrão do SPICE.

O arquivo de entrada para o SPICE correspondente ao circuito analisado está listado no Apêndice D. Examinando-se esse arquivo observamos que as tensões nos capacitores têm valor inicial zero. Isso mostra que a tensão *offset* do amp op é suficiente para causar oscilações que se iniciam sem a necessidade de nenhum circuito de partida especial.

A Figura 12.43 mostra os resultados da simulação. O gráfico superior mostra a forma de onda de saída para o ganho de malha de 1,33. Note que, embora as oscilações cresçam e se estabilizem rapidamente, a distorção é considerável.

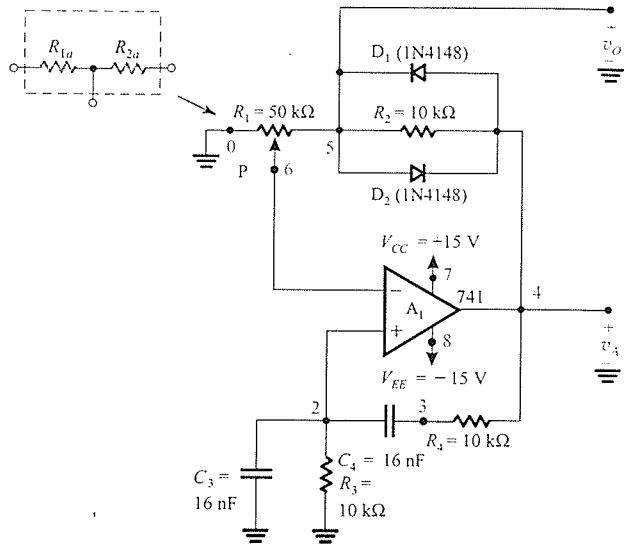


Figura 12.42 Exemplo 12.1: oscilador com ponte de Wien e um limitador usado para controle de amplitude.

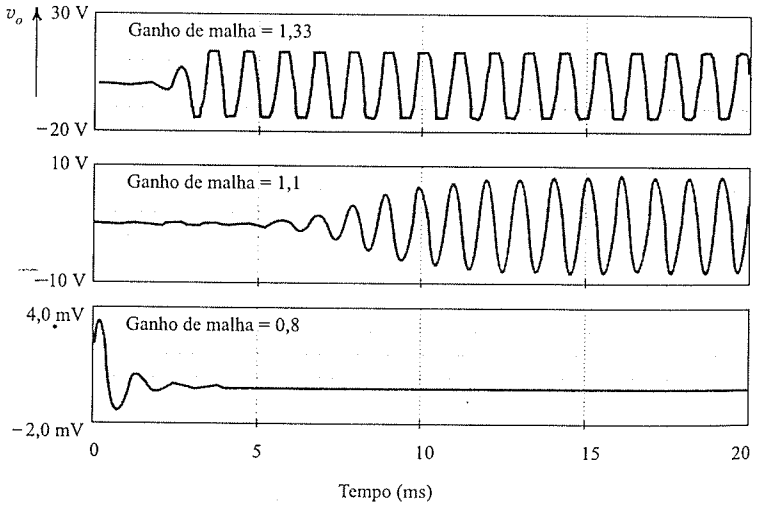


Figura 12.43 Comportamento transiente inicial do oscilador com ponte de Wien mostrado na Figura 12.42 para valores diversos de ganho de malha. (De Roberts e Sedra, 1997.)

A saída obtida para o ganho de 1,1, mostrada no gráfico do meio, tem muito menos distorção. No entanto, como esperado, com a diminuição do ganho de malha em direção à unidade, as oscilações levam mais tempo para atingir uma amplitude estável. Para esse caso, a freqüência é de 979,4 Hz, que está razoavelmente próxima do valor projetado de 1 kHz, e a amplitude é de 8,165 V. Finalmente, o gráfico inferior, obtido para um ganho de malha de 0,8, confirma que as oscilações não se sustentam quando o ganho de malha é menor do que a unidade.

O SPICE pode ser usado para analisar a pureza espectral da forma de onda senoidal de saída. Para isso, deve-se utilizar a análise de Fourier implementada no SPICE. Assim, determinou-se que no estado estacionário, para um ganho de malha de 1,1, a DHT na saída é de 5,2%. Na saída do amp op, a DHT é de 5,9%, sendo maior que na saída v_O do circuito, como esperado, porém não muito maior.

EXEMPLO 12.2: OSCILADOR COM FILTRO ATIVO SINTONIZADO

Neste exemplo, usaremos o SPICE para verificar nossa afirmação de que um oscilador com características superiores empregando amp op pode ser implementado usando o circuito de filtro ativo sintonizado da Figura 12.11. Analisaremos também o efeito do valor do fator Q do filtro na pureza espectral da forma de onda senoidal de saída.

O circuito simulado está mostrado na Figura 12.44. Para esse circuito, o fator Q é 5 quando $R_1 = 50$ kΩ e 20 quando $R_1 = 200$ kΩ. Como no caso do circuito com ponte de Wien do Exemplo 12.1, amp ops do tipo 741 e diodos do tipo 1N4148 foram utilizados. O arquivo de entrada do SPICE está listado no Apêndice D. É feita uma análise transiente com as tensões nos capacitores inicialmente em zero. A fim de realizar a análise de Fourier na saída, o intervalo de tempo de análise deve ser suficientemente longo para que o oscilador alcance o estado estacionário. O tempo necessário para atingir o estado estacionário, por sua vez, depende do valor do filtro Q; quanto maior o valor de Q, mais tempo leva para que a saída se estabilize. Para $Q = 5$, determinou-se, a partir de uma combinação de cálculos aproximados e simulações com o SPICE, que 50 ms é um valor razoável para o intervalo de tempo. A fim de apresentar graficamente os resultados suficientemente detalhados, utilizaram-se 10 pontos por período de simulação.

Os resultados da análise transiente estão mostrados na Figura 12.45. O gráfico superior mostra a forma de onda senoidal na saída do amp op A_1. O gráfico inferior mostra a forma de onda sobre o diodo limitador. A freqüência de oscilação obtida é muito próxima de 1 kHz. A amplitude da onda senoidal é obtida usando-se o aplicativo Probe do SPICE e tem o valor de 1,27 V (ou 2,54 Vpp). Note que esse valor é menor que os 3,6 V estimados no Exercício 12.7. Este último valor, no entando, baseava-se em uma queda de tensão de 0,7 V em cada um dos diodos do circuito limitador. A forma de onda da parte inferior da Figura 12.45 mostra que a queda de tensão em cada diodo é próxima de 0,5 V para uma amplitude de 1 Vpp na forma de onda quadrada (ou aproximadamente quadrada). Devemos esperar, portanto, que a amplitude pico a pico da senóide de saída seja menor que 3,6 V pela mesma diferença, como realmente é o caso (3,6/1,4 = 2,57).

A análise de Fourier da senóide de saída indica que a distorção harmônica total DHT é de 2,53%. Repetindo a simulação para $Q = 20$ (em que $R_1 = 200$ kΩ), determinamos que a DHT é reduzida para 0,93%. Assim, nossa consideração de que o fator Q do filtro pode ser usado efetivamente para controlar a DHT na forma de onda de saída é comprovada pela simulação.

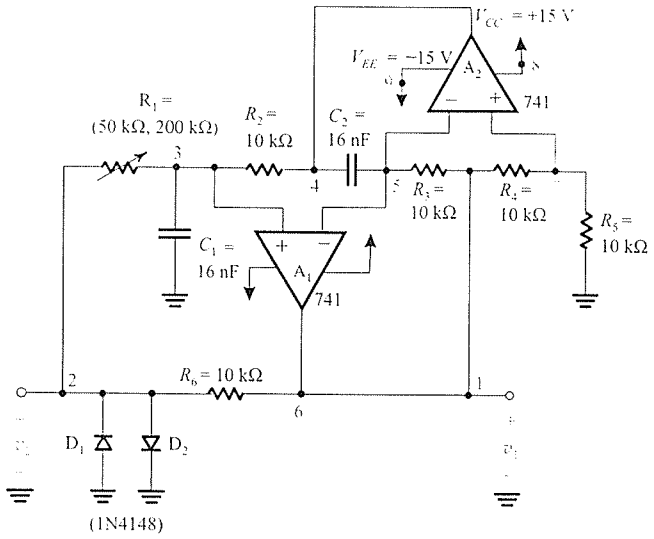


Figura 12.44 Exemplo 12.2: oscilador com filtro ativo sintonizado, tendo o Q do filtro ajustado por R_1.

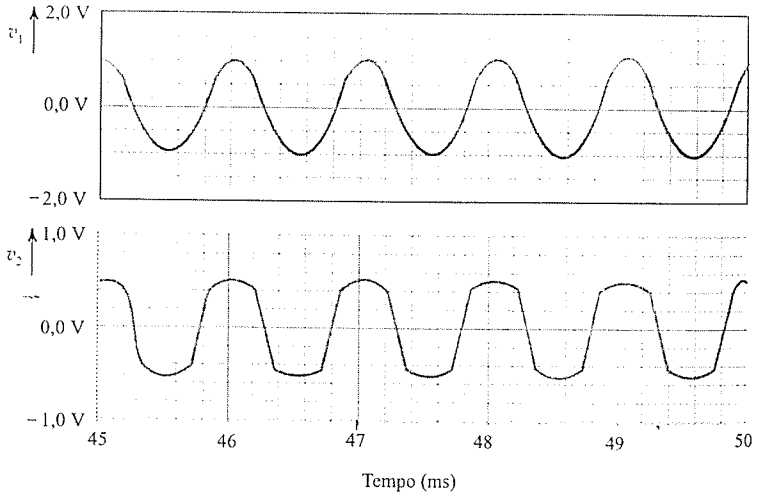


Figura 12.45 Formas de onda de saída para o oscilador com filtro ativo sintonizado, mostrado na Figura 12.44, para $Q = 5$. (De Roberts e Sedra, 1997.)

RESUMO

- Existem dois tipos distintos de geradores de sinais: os osciladores lineares, que utilizam alguma forma de ressonância; e os osciladores não-lineares ou geradores de função, que empregam um sistema de chaveamento implementado por um circuito multivibrador.
- Um oscilador linear pode ser implementado ligando-se uma malha seletiva a freqüências no elo de realimentação de um amplificador (um amp op ou um transistor). O circuito oscilará na freqüência em que o deslocamento de fase total em torno da malha for zero, desde que nessa freqüência a amplitude do ganho da malha seja igual ou maior do que a unidade.
- Se em um oscilador a amplitude do ganho da malha for maior do que a unidade, a amplitude aumentará até que o mecanismo de controle da amplitude não-linear seja ativado.
- O oscilador em ponte de Wien, o oscilador por deslocamento de fase, o oscilador de quadratura e o oscilador com filtro ativo sintonizado são configurações populares para freqüências de até cerca de 1 MHz. Esses circuitos empregam malhas RC junto com amp ops ou transistores. Para freqüências maiores, são utilizados os osciladores sintonizados com malhas LC ou osciladores sintonizados com cristal. O circuito Colpitts é uma configuração popular.
- O oscilador com cristal fornece a maior precisão e estabilidade de freqüência possíveis.
- Há três tipos de multivibradores: o biestável, o monoestável e o astável. A implementação dos multivibradores com amp ops são úteis nas aplicações de circuitos analógicos que necessitam de alta precisão. As implementações usando portas lógicas digitais serão estudadas no Capítulo 13.
- O multivibrador biestável tem dois estados estáveis e pode permanecer em qualquer um deles indefinidamente. Ele muda de estado quando é disparado. Um comparador com histerese é biestável.
- Um multivibrador monoestável tem um estado estável e pode permanecer nele indefinidamente. Quando disparado, ele muda para o estado instável, em que permanece por um tempo predeterminado, gerando, portanto, um pulso de largura conhecido na saída. É conhecido também como multivibrador com disparo único (*one-shot*).
- Um multivibrador astável não tem nenhum estado estável. Ele oscila entre os dois estados instáveis, permanecendo em cada um por tempo predeterminado. Ele gera, portanto, uma forma de onda periódica na saída.
- Uma malha de realimentação consistindo em um integrador e um multivibrador biestável pode ser usada para gerar formas de ondas triangulares e quadradas.
- O temporizador 555, um CI disponível comercialmente, pode ser usado com resistores externos e um capacitor para implementar multivibradores astáveis e monoestáveis de alta qualidade.
- Uma onda senoidal pode ser gerada alimentando-se com uma onda triangular um circuito formador de onda senoidal. Um formador de onda senoidal pode ser implementado usando tanto transistores quanto diodos e resistores ou usando um amplificador com uma característica de transferência não-linear que se aproxime da função seno.
- Os diodos podem ser combinados com os amp ops para a implementação de circuitos retificadores de precisão em que a malha de realimentação negativa serve para disfarçar as características não-ideais do diodo.

BIBLIOGRAFIA

G. B. Clayton, *Experimenting with Operational Amplifiers*, London, Macmillan, 1975.

G. B. Clayton, *Operational Amplifiers*, 2ª ed., London, Newnes-Butterworths, 1979.

S. Franco, *Design with Operational Amplifiers and Analog Integrated Circuits*, New York, McGraw-Hill, 1988.

M. S. Ghausi, *Electronic Devices and Circuits: Discrete and Integrated*, New York, Holt, Rinehart e Winston, 1985.
J. G. Graeme, G. E. Tobey e L. P. Huelsman, *Operational Amplifiers: Design and Applications*. New York, McGraw-Hill, 1971.
P. E. Gray e C. L. Searle, *Electronic Principles*, Cap. 17, New York, Wiley, 1969.
A. B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*, New York, Wiley, 1984.
W. Jung, *IC Op Amp Cookbook*, Indianapolis, Ind., Howard Sams, 1974.
Nonlinear Circuits Handbook, Norwood, Mass., Analog Devices, Inc., 1976.
J. K. Roberge, *Operational Amplifiers: Theory and Practice*, New York, Wiley, 1975.
G. W. Roberts e A. S. Sedra, *SPICE*, New York, Oxford University Press, 1992 e 1997.
J. I. Smith, *Modern Operational Circuit Design*, New York, Wiley-Interscience, 1971.
L. Strauss, *Wave Generation and Shaping*, 2ª ed., New York, McGraw-Hill, 1970.
Texas Instruments, *Linear Circuits: Operational Amplifier Macromodels Data Manual*, Dallas, TX. Texas Instruments Corporation, 1990.
J. V. Wait, L. P. Huelsman e G. A. Korn, *Introduction to Operational Amplifier Theory and Applications*, New York, McGraw-Hill, 1975.

PROBLEMAS

Seção 12.1: Princípios Básicos dos Osciladores Senoidais

*12.1 Considere um oscilador senoidal consistindo em um amplificador com ganho A independente da freqüência (em que A é positivo) e um filtro passa-faixas de segunda ordem com um pólo na freqüência ω_0, um pólo Q representado por Q e um ganho K na freqüência central.
(a) Calcule a freqüência de oscilação e encontre a condição que A e K devem satisfazer para manter as oscilações.
(b) Deduza uma expressão para $d\phi/d\omega$ calculada em $\omega = \omega_0$.
(c) Use o resultado em (b) para encontrar uma expressão para a variação por unidade na freqüência de oscilação resultante para uma variação no ângulo de fase $\Delta\phi$ da função de transferência do amplificador.

Sugestão: $\dfrac{d}{dx}(\text{tg}^{-1}y) = \dfrac{1}{1+y^2}\dfrac{dy}{dx}$

P12.2 Esboce um circuito para um oscilador senoidal formado por um amp op conectado na configuração não-inversora e um filtro passa-faixas implementado por um circuito ressonante RLC (como o da Figura 11.18d). Que ganho deve ter o amplificador para que as oscilações sejam mantidas? Qual a freqüência de oscilação? Calcule a porcentagem da variação em ω_0 resultante de uma variação de +1% no valor de (a) L, (b) C e (c) R.

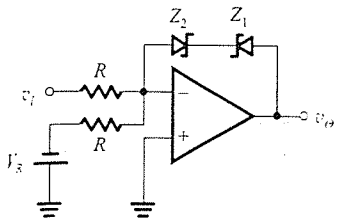
12.3 Representando as tensões dos diodos zener Z_1 e Z_2 por V_{Z1} e V_{Z2} e supondo que a queda de tensão direta seja de 0,7 V aproximadamente, esboce claramente, indicando pontos notáveis, as características de transferência v_O–v_I dos circuitos na Figura P12.3. Suponha que os amp ops sejam ideais.

Seção 12.2: Circuitos Osciladores RC com Amp Op

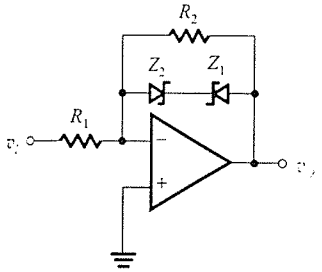
12.4 Para o circuito oscilador em ponte de Wien da Figura 12.4, mostre que a função de transferência da malha de realimentação $[V_a(s)/V_o(s)]$ é a de um filtro passa-faixas. Calcule ω_0 e Q dos pólos e calcule o ganho na freqüência central.

12.5 Para o circuito na Figura P12.5, calcule $L(s)$, $L(j\omega)$, a freqüência para uma fase zero e R_2/R_1 para ocorrer oscilação.

P12.6 Para o circuito da Figura P12.6, abra a malha no nó X e calcule o ganho de malha (para facilitar calcule V_x em termos de V_o, de trás para frente). Para R = 10 kΩ, calcule C e R_f para obter uma oscilação senoidal em 10 kHz.



(a)



(b)

Figura P12.3

*12.7 Considere o circuito oscilador em quadratura da Figura 12.9 sem o limitador. Suponha que a resistência R_f seja igual a $2R(1+\Delta)$, em que $\Delta \ll 1$. Mostre que os pólos da equação característica estão no semiplano direito de s e são dados por $s \approx (1/CR)[(\Delta/4) \pm j]$.

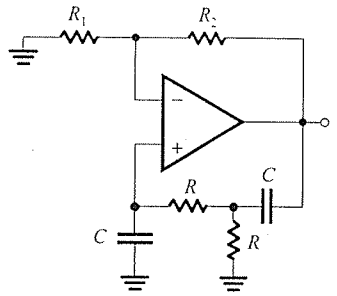


Figura P12.5

Seção 12.3: Osciladores LC e com Cristal

**12.8 A Figura P12.8 mostra quatro circuitos osciladores do tipo Colpitts com os detalhes da polarização. Para cada circuito, deduza uma equação que governa a operação do circuito e encontre as condições de oscilação e ganho que garantem o início das oscilações.

12.9 Considere o oscilador a cristal Pierce da Figura 12.16 com o cristal especificado no Exercício 12.10. Suponha que C_1 seja variável na faixa de 1 a 10 pF e que C_2 seja fixo em 10 pF. Calcule a faixa na qual a freqüência de oscilação pode ser sintonizada. (*Sugestão*: Use o resultado na afirmação feita para a expressão na Equação 12.27.)

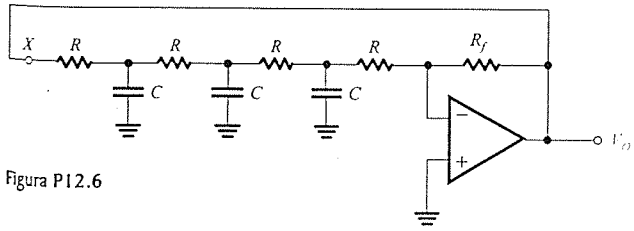
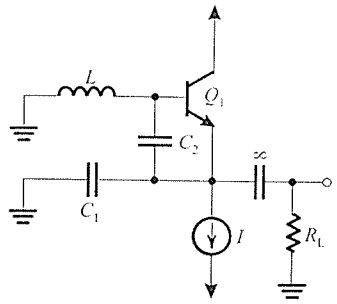
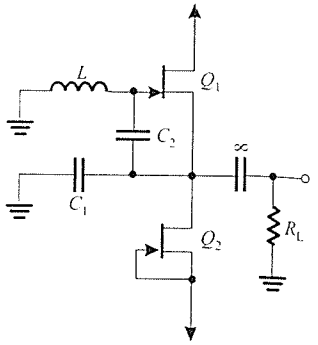


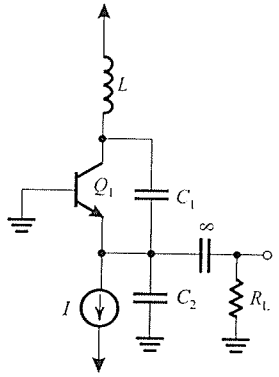
Figura P12.6



(a)

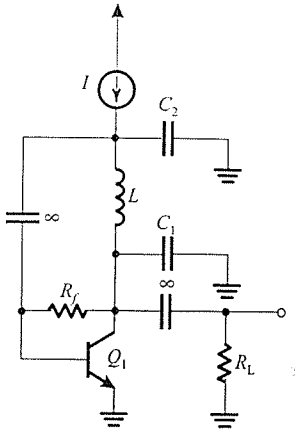


(b)



(c)

Figura P12.8



(Assuma $R_f >> \omega_0 L_1$)

(d)

Seção 12.4: Multivibradores Biestáveis

12.10 Para o circuito da Figura P12.10, esboce a característica de transferência v_O–v_I, indicando pontos notáveis. Estamos supondo uma queda de 0,7 V constante para os diodos em condução e tensões de ± 12 V para a saturação do amp op. Qual a corrente máxima no diodo?

12.11 Considere o circuito da Figura P12.10 com R_1 eliminada e R_2 curto-circuitada. Esboce, indicando pontos notáveis, a característica de transferência v_O–v_I. Suponha que os diodos tenham queda de tensão constante de 0,7 V quando em condução e que as tensões de saturação do amp op sejam de ± 12 V.

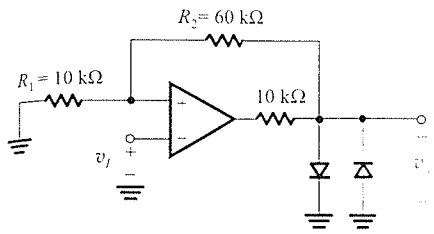


Figura P12.10

Seção 12.5: Geração de Ondas Quadradas e Triangulares Usando Multivibradores Astáveis

12.12 Calcule a freqüência de oscilação do circuito na Figura 12.24(b) para o caso em que R_1 = 10 kΩ, R_2 = 16 kΩ, C = 10 nF e R = 62 kΩ.

P*12.13 O circuito da Figura P12.13 consiste em um multivibrador biestável inversor com um limitador na saída e um integrador não-inversor. (Esse circuito integrador foi estudado no Exemplo 2.6.) Usando valores iguais para todos os resistores, exceto R_7, e um capacitor de 0,5 nF, projete o circuito para obter uma onda quadrada na saída do multivibrador biestável de 15 V pico a pico de amplitude e uma freqüência de 10 kHz. Esboce, indicando pontos notáveis, a forma de onda na saída do integrador. Supondo que os níveis de saturação do amp op sejam de ± 13 V, projete para uma corrente mínima do zener de 1 mA. Especifique a tensão zener necessária e dê os valores de todos os resistores.

Seção 12.6: Geração de um Pulso Padrão – O Multivibrador Monoestável

12.14 Para o circuito monoestável considerado no Exercício 12.19, calcule o tempo de recuperação.

Seção 12.7: Circuitos Integrados Temporizadores

12.15 Considere o circuito 555, da Figura 12.27, quando os terminais de entrada de limiar e de disparo são conectados juntos e ligados em uma tensão de entrada v_I. Verifique que a característica de transferência v_O–v_I é a de um circuito biestável inversor com limiares $V_{TL} = 1/3V_{CC}$ e $V_{TH} = 2/3V_{CC}$ e os níveis de saída de 0 e V_{CC}.

12.16 (a) Usando um capacitor C de 1 nF no circuito da Figura 12.28, calcule o valor de R que resulta em um pulso de saída com duração de 10 μs.

(b) Se o temporizador 555 usado em (a) for alimentado com V_{CC} = 15 V e supondo que V_{TH} possa ser variada externamente (isto é, ela não precisa

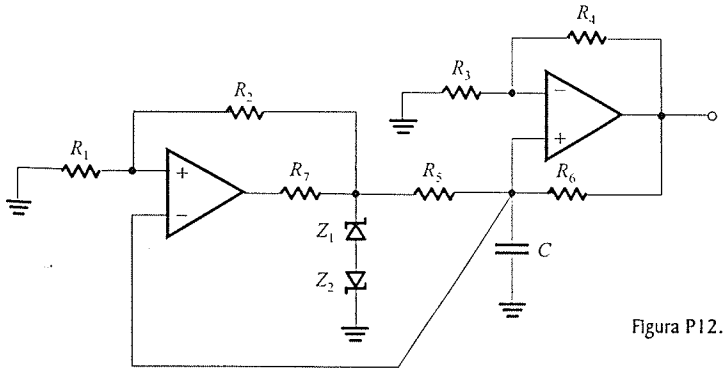


Figura P12.13

permanecer igual a $2/3V_{CC}$), calcule o valor necessário de modo que a largura do pulso seja aumentada para 20 μs com as outras condições iguais a (a).

Seção 12.8: Circuitos Não-lineares Formadores de Onda

P*12.17 O circuito com dois diodos mostrado na Figura P12.17 pode fornecer uma aproximação grosseira de uma onda senoidal na saída quando acionado por uma forma de onda triangular. Para obter uma boa aproximação, fazemos com que o pico da forma de onda triangular, V, seja de tal modo que a inclinação da senóide desejada no cruzamento por zero seja igual à da onda triangular. Além disso, o valor de R é escolhido de modo que, quando v_I estiver no pico da tensão de saída, ele seja igual ao valor do pico da onda senoidal. Se os diodos exibirem uma queda de tensão de 0,7 V com uma corrente de 1 mA, variando a uma taxa de 0,1 V por década, calcule os valores de V e R que produzirão uma aproximação da forma de onda senoidal com amplitude de 0,7 V de pico. Depois, calcule os ângulos θ (em que $\theta = 90°$ quando v_I está em seu valor de pico) em que a saída do circuito é 0,7; 0,65; 0,6; 0,55; 0,5; 0,4; 0,3; 0,2; 0,1; e 0 V. Use os valores dos ângulos obtidos para determinar os valores exatos da onda senoidal (isto é. 0,7 sen θ) e depois calcule o erro percentual desse circuito como um formador de senóide. Coloque os resultados em uma tabela.

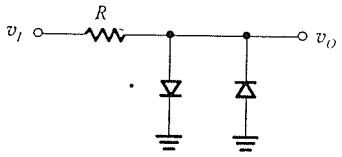


Figura 12.17

12.18 Mostre que a tensão de saída do circuito na Figura P12.18 é dada por

$$v_O = -nV_T \ln\left(\frac{v_I}{I_S R}\right), \qquad v_I > 0$$

em que I_S e n são os parâmetros do diodo e V_T é a tensão térmica. Como a tensão de saída é proporcional ao logaritmo da tensão de entrada, o circuito é conhecido como **amplificador logarítmico**. Esse amplificador encontra aplicações em situações em que desejamos comprimir uma faixa de sinal.

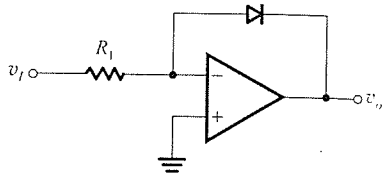


Figura P12.18

Seção 12.9: Circuitos Retificadores de Precisão

12.19 Dois circuitos com superdiodos conectados em um resistor de carga comum e tendo o mesmo sinal de entrada estão com seus diodos invertidos, um está com o catodo ligado na carga, o outro com o anodo ligado na carga. Para uma entrada senoidal de 10 V pico a pico, qual a forma de onda na saída? Observe que a corrente na carga em cada semiciclo é fornecida por um amplificador separado e, enquanto um amplificador fornece corrente à carga, o outro amplificador fica inativo. Essa idéia, chamada operação classe B, é importante na implementação de amplificadores de potência.

P12.20 Crie o projeto do retificador inversor de precisão mostrado na Figura 12.34(a) com ganho de –2 para entradas negativas e zero em caso contrário e resistência de entrada de 100 kΩ. Quais os valores de R_1 e R_2 que você escolheria?

12.21 Plote a característica de transferência do circuito na Figura P12.21.

12.22 Plote as características de transferência v_{O1}–v_I e v_{O2}–v_I do circuito na Figura P12.22.

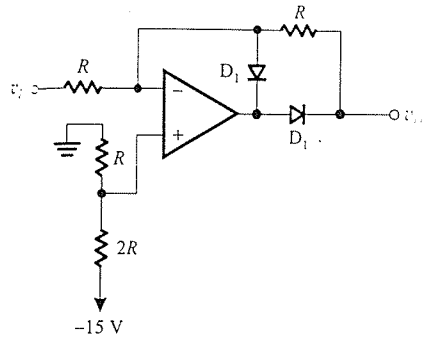


Figura P12.21

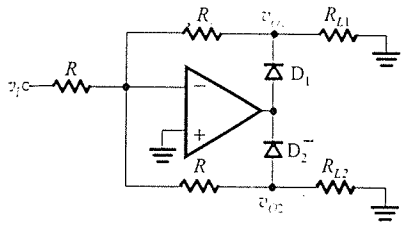


Figura P12.22

*12.23 Um retificador de pico positivo, utilizando um amp op rápido e um diodo na configuração de superdiodo e um capacitor de 10 μF inicialmente descarregado, é acionado por um trem de pulsos de 10 V e duração de 10 μs. Se a corrente máxima de saída que o amp op pode fornecer for de 10 mA, qual a tensão no capacitor após a aplicação de um pulso? E depois de dois pulsos? E de dez pulsos? Quantos pulsos são necessários para atingir 0,5 V, 1,0 V e 2,0 V?

PARTE III

CIRCUITOS DIGITAIS

Capítulo 13
Circuitos Digitais MOS

Capítulo 14
Circuitos Digitais Bipolares e Tecnologias Avançadas

INTRODUÇÃO

A Parte III é dedicada ao estudo dos circuitos digitais. Os circuitos digitais têm um papel muito importante nos sistemas eletrônicos atuais. Eles são empregados em quase todas as aplicações de eletrônica, incluindo telecomunicações, controles, instrumentação, produtos de consumo e também, obviamente, computação. Esse uso generalizado deve-se principalmente à disponibilidade de circuitos integrados baratos, os quais podem conter circuitos digitais de alto desempenho. A complexidade de um circuito integrado digital pode variar de um pequeno número de portas lógicas até um sistema completo (por exemplo, um microprocessador) ou mesmo um quarto de bilhão de *bits* de uma memória de alta densidade.

Nenhuma área da engenharia tem se desenvolvido mais rápido do que o projeto de circuitos integrados digitais. Ao longo dos últimos 25 anos, o número de componentes de uma pastilha de circuito integrado tem aproximadamente dobrado a cada ano. No momento em que a versão original em inglês deste livro foi para a impressão final, as pastilhas de microprocessadores já continham mais de 10 milhões de transistores e já operavam também com velocidades acima de 500 MHz. As memórias de alta densidade, tradicionalmente, definem o estado da arte em termos do nível de integração, sendo que, por volta do ano 2004, terão atingido a faixa de giga*bit*. Além disso, não há qualquer indício de queda no grande desenvolvimento tecnológico observado nos circuitos integrados digitais ou mesmo em suas novas aplicações. Portanto, é razoável assumir que a revolução digital continuará ainda por muito tempo e que os engenheiros eletrônicos deverão estar preparados para assumir seu papel nesse excitante empreendimento humano. Para tanto, é extremamente importante um entendimento básico de eletrônica digital. Tal entendimento é essencial se pretendemos estar envolvidos no projeto de CIs digitais, em sua correta especificação para o projeto de sistemas digitais ou mesmo na gerência de empresas de alta tecnologia. Portanto, o objetivo dos dois próximos capítulos é servir como texto introdutório à eletrônica digital.

Para a compreensão do material contido na Parte III, é necessário o estudo da introdução a circuitos digitais na Seção 1.7 e das características e circuitos básicos envolvendo os MOSFETs (Capítulo 5) e os TBJs (Capítulo 4). Assumiremos que o leitor esteja familiarizado com sistemas digitais em nível de portas lógicas. O material contido na Parte III também é de suma importância como preparação preliminar para cursos avançados em eletrônica digital e projeto de circuitos em escala muito ampla (*very large scale integration* – VLSI).

CAPÍTULO 13

MAKRON Books

Circuitos Digitais MOS

Introdução
13.1 Circuitos Lógicos Digitais: Alguns Conceitos Básicos
13.2 Projeto e Análise do Desempenho do Inversor CMOS
13.3 Circuitos com Portas CMOS
13.4 Circuitos Lógicos Pseudo-NMOS
13.5 Circuitos Lógicos com Transistores de Passagem
13.6 Circuitos com Lógica Dinâmica
13.7 Os *Flip-flops* e os *Latches* (Travas)
13.8 Os Circuitos Multivibradores
13.9 Memórias Semicondutoras: Tipos e Arquiteturas
13.10 Células de Memória de Acesso Aleatório (RAM)
13.11 Amplificadores Sensores e Decodificadores de Endereço
13.12 Memória Apenas de Leitura (ROM)
13.13 Exemplo de Simulação com SPICE
Resumo
Bibliografia
Problemas

INTRODUÇÃO

Este capítulo trata do estudo dos circuitos integrados digitais MOS, a tecnologia mais popular para a implementação de sistemas digitais. As pequenas dimensões, a facilidade de fabricação e a baixa dissipação de potência dos MOSFETs admitem um nível de integração extremamente alto, tanto para circuitos lógicos como para memórias.

O capítulo começa com uma seção de revisão com o objetivo de situar objetivamente o material que será estudado neste capítulo e no próximo. Em seguida, baseado no inversor CMOS já estudado na Seção 5.8, faremos uma descrição pormenorizada de seu projeto e forma de análise. Após essa descrição, abordaremos o projeto de circuitos lógicos CMOS e outros dois tipos (lógica pseudo-NMOS e lógica de transistor de passagem) que são freqüentemente empregados em aplicações especiais em conjunto com circuitos CMOS.

Para reduzir substancialmente a dissipação de potência e simultaneamente aumentar o desempenho (velocidade de operação), técnicas de lógica dinâmica podem ser empregadas. Este tópico será abordado na Seção 13.6 e completará nosso estudo sobre circuitos combinatórios. O restante do capítulo será dedicado a um assunto igualmente importante, os circuitos seqüenciais. Esses circuitos incluem o multivibrador biestável e uma grande variedade de *flip-flops* nele ba-

seados, geradores de pulso, circuitos modeladores de pulso e, mais importante, circuitos de memória (tanto RAMs como ROMs). Este capítulo terminará com um exemplo de simulação com o programa SPICE.

Ou seja, o presente capítulo fornece uma compreensão razoável e um tratamento com profundidade do projeto de circuitos integrados digitais MOS, talvez a área mais importante (ao menos em termos de volume de produção e impacto social) dos circuitos eletrônicos. Para aproveitar ao máximo o conteúdo deste capítulo, o leitor deverá estar familiarizado com o transistor MOS. Portanto, uma revisão do Capítulo 5 é absolutamente recomendada e, em particular, um cuidadoso estudo da Seção 5.8.

13.1 CIRCUITOS LÓGICOS DIGITAIS: ALGUNS CONCEITOS BÁSICOS

Nesta seção, baseada na introdução a circuitos digitais feita na Seção 1.7, apresentaremos um apanhado geral sobre o assunto. Discutiremos as várias tecnologias e famílias de circuitos lógicos em uso atualmente, apresentaremos os parâmetros empregados para caracterizar a operação e o desempenho de circuitos lógicos e, finalmente, abordaremos os diversos estilos de projeto de sistemas digitais.

13.1.1 Tecnologias de CIs Digitais e Famílias de Circuitos Lógicos

A Figura 13.1 mostra as principais tecnologias de fabricação de circuitos integrados e famílias de circuitos lógicos que estão atualmente em uso (1997). O conceito de família lógica talvez necessite de algumas palavras de esclarecimento. Os membros de cada família são fabricados em uma mesma tecnologia, têm a mesma estrutura de circuito e exibem as mesmas características básicas. Cada família de circuitos lógicos oferece um conjunto único de vantagens e desvantagens. No estilo convencional de projeto de sistemas, devemos selecionar uma família lógica (por exemplo, TTL, CMOS ou ECL) e implementar tanto quanto possível um certo sistema utilizando módulos de circuito (unidades) que pertençam a essa família escolhida. Desse modo, a interconexão entre as várias unidades é relativamente direta. Se, por outro lado, usarmos unidades pertencentes a mais de uma família, deveremos projetar um *circuito de interface* adequado. A escolha de uma certa família lógica é baseada em diversas considerações, como flexibilidade lógica, velocidade de operação, disponibilidade de funções complexas, imunidade a ruídos, faixa de temperatura de operação, dissipação de potência e custo. Discutiremos algumas dessas considerações neste capítulo e no próximo. Para começar, faremos algumas rápidas observações sobre cada uma das quatro tecnologias de fabricação mostradas na Figura 13.1.

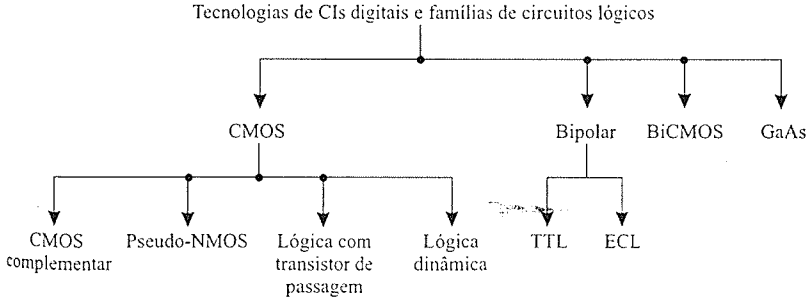


Figura 13.1 Tecnologias de circuitos integrados digitais (CIs digitais) e famílias de circuitos lógicos.

CMOS. Embora mostrada como uma das quatro tecnologias possíveis, isso não é uma indicação de qualquer equiparação na divisão do mercado de circuitos integrados digitais; a tecnologia CMOS é, de fato e por larga margem, a tecnologia dominante dentre todas as tecnologias disponíveis para o projeto de circuitos digitais. Como mencionado anteriormente, a tecnologia CMOS substituiu a NMOS, a qual foi empregada nos anos 70 no começo do projeto VLSI. Há várias razões para essa substituição e a mais importante delas é a menor dissipação de potência em circuitos CMOS. A tecnologia CMOS também substituiu a tecnologia bipolar no projeto de sistemas digitais e atualmente tem permitido altos níveis de integração (alta densidade de empacotamento dos circuitos) e uma gama de aplicações que nunca teria sido possível com a tecnologia bipolar. Além disso, a tecnologia CMOS continua a avançar, ao passo que têm surgido pouquíssimas inovações no presente momento para circuitos digitais bipolares.[1] Algumas das razões para a tecnologia CMOS ter destronado a bipolar em aplicações digitais são:

1. Os circuitos lógicos CMOS dissipam muito menos potência do que os circuitos lógicos bipolares e, portanto, podemos reduzir muito mais o tamanho e a área de circuitos CMOS em uma pastilha do que com circuitos bipolares. Falaremos bastante sobre dissipação de potência nas seções seguintes.
2. A alta impedância de entrada do transistor MOS permite ao projetista utilizar o armazenamento de carga como meio para o armazenamento temporário de informação tanto em circuitos lógicos como de memória. Essa técnica não pode ser empregada em circuitos bipolares.
3. A dimensão mínima (isto é, o comprimento mínimo de canal) do transistor MOS tem diminuído dramaticamente nos últimos anos, chegando atualmente a comprimentos de canal tão pequenos quanto 0,15 μm. Isso permite grandes reduções de área ocupada pelos circuitos e, portanto, grandes níveis de integração.

Das várias formas de CMOS, circuitos complementares CMOS baseados no inversor estudado na Seção 5.8 são os mais largamente empregados atualmente. Eles estão disponíveis tanto em circuitos integrados em *pequena escala de integração* (*small-scale integration* – SSI, contendo de 1 a 10 portas lógicas) como em circuitos em *média escala de integração* (*medium-scale integration* – MSI, contendo de 10 a 100 portas por pastilha) para montagem de sistemas digitais em placas de circuito impresso. No entanto, mais significativo é o emprego da tecnologia CMOS em circuitos lógicos VLSI (milhões de portas por pastilha) e no projeto de circuitos de memória. Em algumas aplicações, os circuitos CMOS são conjugados com uma ou duas outras formas de circuitos lógicos MOS. Trata-se dos circuitos pseudo-NMOS, assim chamados devido à semelhança de sua estrutura com os circuitos NMOS, e da lógica de transistores de passagem, sendo que ambos serão estudados neste capítulo.

Um quarto tipo de lógica CMOS utiliza técnicas dinâmicas para obter circuitos que operem de forma mais veloz enquanto a dissipação de potência é conservada muito baixa. A lógica CMOS dinâmica representa uma área de crescente importância. Por fim, a tecnologia CMOS é também empregada no projeto de pastilhas (*chips*) de memória, como será visto nas últimas seções deste capítulo.

Bipolar. Duas famílias de circuitos lógicos baseadas no transistor bipolar de junção estão em uso no presente: TTL e ECL. A lógica transistor–transitor (*transitor–transitor logic* – TTL) foi por

1. A favor dessa afirmação, fornecemos a seguinte evidência: todo ano, a revista de novembro do *IEEE Journal of Solid-State Circuits* é reservada para artigos sobre lógica digital e circuitos de memória. A revista de novembro de 1990 inclui 28 artigos, dos quais 26 utilizam tecnologia CMOS e 2 utilizam tecnologia BiCMOS (um para pastilha de memória e o outro para um circuito de controle de mecanismos de acionamento de discos rígidos). Nenhum dos artigos fala sobre circuitos digitais bipolares!

muitos anos a família de circuitos lógicos mais empregada. Seu declínio foi desencadeado pelo advento da era VLSI. Os fabricantes de TTL, entretanto, tentaram reverter o processo com a introdução de versões TTL de baixa potência (*low-power*) e alta velocidade (*high-speed*). Nessas novas versões, as velocidades maiores são obtidas impedindo-se que os TBJs entrem em saturação e, portanto, evita-se a demora para cortar (desligar) o dispositivo saturado. Esse asssunto será estudado no Capítulo 14. Essas novas versões empregam o diodo Schottky, discutido no Capítulo 3, e são chamadas de circuitos TTL Schottky ou variações deste nome. Como os circuitos TTL ainda são empregados de forma economicamente viável como tecnologia de projeto de sistemas digitais, especialmente para sistemas digitais montados com circuitos integrados SSI e MSI, e também devido a sua influência e domínio históricos na área de projeto de sistemas digitais, estudaremos os circuitos TTL com algum detalhe no Capítulo 14.

A outra família lógica bipolar em uso no presente é a lógica acoplada pelo emissor (*emitter-coupled logic* – ECL). Essa lógica baseia-se na implementação de chaves de corrente como inversor, conforme discutido na Seção 1.7. O elemento básico do ECL é o par diferencial estudado no Capítulo 6. Na tecnologia ECL, os transistores nunca saturam e basicamente atuam como circuitos que guiam a corrente (daí seu nome alternativo, lógica no modo corrente), em que velocidades de operação extremamente elevadas são possíveis. De fato, de todas as famílias de circuitos lógicos comercialmente disponíveis, a ECL é a mais rápida. A ECL é também empregada no projeto de circuitos VLSI nas situações em que velocidades de operação extremamente altas são necessárias e o projetista é forçado a aceitar o aumento de dissipação de potência e o aumento de área ocupada na pastilha de silício. Em termos de velocidade, a tecnologia ECL é considerada especialmente importante.

BiCMOS. A tecnologia BiCMOS combina a alta velocidade de operação possível com TBJs (devido a sua transcondutância inerentemente alta) com a baixa dissipação de potência da tecnologia CMOS (além de outras excelentes características). Assim como a tecnologia CMOS, a tecnologia BiCMOS permite a implementação tanto de circuitos digitais como analógicos em uma mesma pastilha. (Veja a discussão sobre circuitos analógicos BiCMOS nos Capítulos 6 e 10.) Atualmente, a tecnologia BiCMOS apresenta grandes vantagens em aplicações especiais, incluindo pastilhas de memória, em que o melhor desempenho justifica o emprego de tecnogias com processos mais complexos.

Arseneto de Gálio. Dispositivos em arseneto de gálio (GaAs) foram originalmente introduzidos na Seção 5.12. Como mencionado naquela ocasião, a alta mobilidade dos elétrons no GaAs resulta em altas velocidades de operação. Isso tem sido comprovado pelo desempenho de diversos circuitos digitais empregando essa tecnologia. O projeto de circuitos lógicos utilizando GaAs será estudado no Capítulo 14. Será enfatizado, entretanto, que a tecnologia GaAs permanece como tecnologia emergente, de grande potencial, mas ainda não é viável comercialmente.

13.1.2 Caracterização de Circuitos Lógicos

Os parâmetros descritos a seguir são normalmente empregados para caracterizar a operação e o desempenho de uma certa família de circuitos lógicos.

As Margens de Ruídos. A operação estática de uma família de circuitos lógicos é definida pela característica de transferência de tensão (CTT) do inversor básico. A Figura 13.2 mostra tal CTT, na qual os quatro parâmetros, V_{IL}, V_{IH}, V_{OL} e V_{OH}, estão indicados. Note que V_{IH} e V_{IL} estão definidos nos pontos em que a inclinação da CTT é –1. Também está indicada a definição da tensão de transição V_M como o ponto em que $v_O = v_I$. Lembre-se de que discutimos a CTT de uma forma genérica na Seção 1.7 e vimos também CTTs reais: na Seção 4.14 para o inversor com TBJ e na Seção 5.8 para o inversor CMOS.

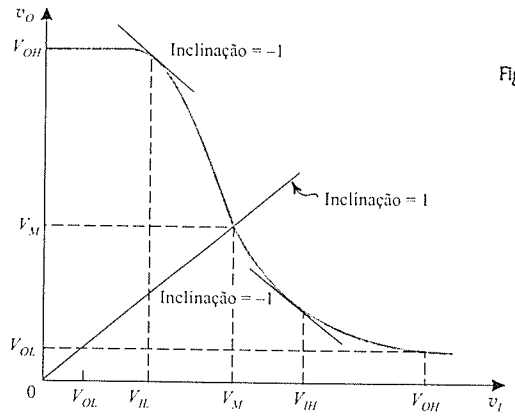


Figura 13.2 Característica de transferência de tensão (CTT) de um inversor lógico, ilustrando a definição dos pontos de interesse.

A robustez de uma família lógica é determinada por sua habilidade em rejeitar ruídos e, assim, através das margens de ruído:

$$MR_H \equiv V_{OH} - V_{IH} \tag{13.1}$$

$$MR_L \equiv V_{IL} - V_{OL} \tag{13.2}$$

O inversor ideal é aquele para o qual $MR_H = MR_L = V_{DD}/2$, em que V_{DD} é a tensão de alimentação. Além disso, para um inversor ideal, a tensão de transição $V_M = V_{DD}/2$.

O Atraso na Propagação. O desempenho dinâmico de uma certa família de circuitos lógicos é caracterizada pelo atraso na propagação de seu inversor lógico. A Figura 13.3 ilustra a definição do tempo de atraso na propagação de baixo para alto (t_{PLH}) e de alto para baixo (t_{PHL}). O tempo de atraso na propagação t_P pode ser definido como a média desses dois tempos:

$$t_P \equiv \frac{1}{2}(t_{PLH} + t_{PHL}) \tag{13.3}$$

Obviamente, quanto menor o atraso na propagação, maior a velocidade em que a família de circuitos lógicos pode operar.

A Dissipação de Potência. A dissipação de potência é um parâmetro muito importante no projeto de circuitos digitais. A necessidade de minimizar a dissipação por porta é motivada pelo desejo de integrar um número cada vez maior de portas em uma pastilha (chip), o que por sua vez é motivado por considerações de economia de espaço e preço. Em geral, entretanto, os sistemas digitais modernos utilizam um grande número de portas e células de memória e, portanto, para conservar a potência total dentro de faixas razoáveis, é necessário que a dissipação de potência por porta ou por célula de memória seja a menor possível. Isso corresponde particularmente ao caso de equipamentos portáteis a bateria como telefones celulares e assistentes digitais pessoais (*personal digital assistants* – PDAs).

A dissipação de potência em um circuito lógico é composta de duas componentes: uma estática e uma dinâmica. A potência estática é aquela dissipada enquanto o circuito não está mudando de estado ou na ausência da ação de chaveamento. Ela resulta da presença de um caminho no circuito da porta entre a tensão de alimentação e o terra em um ou em ambos os estados (isto é, com a saída em nível baixo ou alto). Veremos que a potência estática em portas CMOS é aproximadamente nula, o que se constitui em uma de suas principais vantagens. A dissipação de potência dinâmica, por outro lado, ocorre somente quando a porta é chaveada: um inversor alimentado com uma tensão V_{DD} e tendo uma capacitância de carga C dissipa uma potência dinâmica P_D dada por:

$$P_D = fCV_{DD}^2 \tag{13.4}$$

em que f é a freqüência em que o inversor está sendo chaveado. A dedução dessa fórmula (Seção 5.8) está baseada nas suposições de que os níveis baixo e alto da tensão de saída são 0 e V_{DD}, respectivamente.

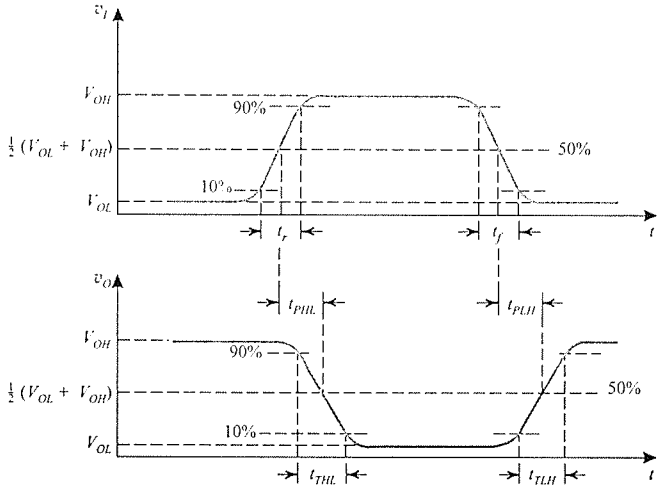


Figura 13.3 Definições dos atrasos na propagação e tempos de chaveamento do inversor lógico.

O Produto Atraso-Potência. Geralmente, interessamo-nos por um funcionamento em alta velocidade (baixo t_P) combinado com uma baixa dissipação de potência. Infelizmente, essas duas exigências são conflitantes; geralmente, quando projetamos uma porta, se tentarmos reduzir a dissipação de potência reduzindo o valor da tensão de alimentação ou a corrente de alimentação, a capacidade da porta em fornecer corrente para a carga diminuirá. Isso, por sua vez, resulta em tempos maiores de carga e descarga do elemento de carga e, portanto, o atraso na propagação aumenta. Isso implica que uma figura de mérito para comparação das famílias lógicas é o produto atraso-potência (*delay-power product* – DP), definido como

$$DP = P_D t_P \tag{13.5}$$

em que P_D é a dissipação de potência da porta. Observe que DP é dado em joules. Quanto menor a figura DP para uma família, mais eficaz é a família lógica.

A Área na Pastilha de Silício. Um objetivo óbvio no projeto de circuitos digitais VLSI é a minimização da área de silício ocupada por porta lógica. Menores áreas implicam fabricação de um maior número de portas por pastilha, que têm vantagens econômicas e também de espaço do

ponto de vista do projeto de sistemas. A redução de área pode ser feita de três modos diferentes: por meio de avanços na tecnologia de processamento que possibilita a redução da área mínima do dispositivo, por meio de avanços nas técnicas de projeto de circuitos e por meio de cuidados no traçado do layout. Neste livro, nosso principal interesse é o projeto de circuitos, e faremos freqüentemente comentários sobre as relações entre o projeto de circuitos e sua área no silício. Como regra geral, construiremos um circuito da forma mais simples possível e também com menor área possível no silício. Como logo será visto, o projetista de circuitos freqüentemente tem de tomar uma decisão quanto à área total ocupada pelos dispositivos nas fases iniciais do projeto. A escolha de dispositivos menores tem a vantagem óbvia de menor área no silício e, ao mesmo tempo, reduz as capacitâncias parasitas e, portanto, aumenta a velocidade. Dispositivos menores, no entanto, têm menor capacidade de fornecer corrente, o que tende a aumentar o atraso. Portanto, como em todos os problemas de projeto em engenharia, freqüentemente há um compromisso na escolha dos parâmetros de forma a otimizar um dado projeto.

O Fan-in e o Fan-out. O *fan-in* de uma porta (leque de entrada) é o número de entradas que ela possui. Portanto, uma porta NOU de quatro entradas tem um *fan-in* igual a 4. O *fan-out* (leque de saída) é o número máximo de portas similares que uma porta pode acionar enquanto permanece dentro de suas especificações de trabalho. Como exemplo, vimos, na Seção 4.14, que o aumento no *fan-out* de um inversor com TBJ reduz V_{OH} e, portanto, MR_H. Para conservar MR_H acima de um certo valor mínimo, o *fan-out* tem de estar limitado a um certo valor máximo que pode ser calculado. Falaremos mais sobre *fan-in* e *fan-out* no contexto das várias famílias lógicas.

13.1.3 Estilos de Projeto para Sistemas Digitais

A forma convencional de projetar sistemas digitais consiste na montagem do sistema utilizando circuitos integrados encapsulados com vários níveis de complexidade (e, portanto, de integração). Muitos sistemas são construídos dessa forma, utilizando, por exemplo, pastilhas TTL do tipo SSI ou MSI. Com o aparecimento do projeto VLSI, o projetista de sistemas passou a ter em mãos componentes com funções muito mais complexas, como microprocessadores e circuitos de memória, o que tem possibilitado estilos de projeto alternativos. Uma dessas alternativas é optar por projetar parte ou todo o sistema utilizando uma ou mais pastilhas VLSI *dedicadas* (*full custom IC chips*). Entretanto, o projeto de CIs dedicados é economicamente viável apenas quando o volume de produção é grande o suficiente (maior do que cerca de cem mil peças).

Um estilo intermediário, conhecido como projeto *semidedicado* (*semicustom*), utiliza pastilhas com um conjunto de *portas pré-fabricadas* dispostas em uma forma de matriz (gate-array chips), em que o projetista irá se preocupar apenas com o planejamento das interconexões em nível de portas. Há, por exemplo, circuitos integrados contendo cem mil ou mais portas lógicas isoladas ainda não conectadas entre si. A interconexão final entre portas pode ser feita por meio de uma etapa de metalização final (a ser realizada em uma fábrica de circuitos integrados) de acordo com o traçado especificado pelo projetista. Um tipo mais recente de *gate array*, conhecido como *gate-array programável por campo* (*field-programmable gate array* – FPGA) pode, como o próprio nome indica, ser programado diretamente pelo usuário. As FPGAs fornecem um meio muito conveniente para o projetista de sistemas digitais implementar funções lógicas complexas na forma VLSI sem ter de se preocupar com o custo e com o tempo para fabricação inerente ao projeto de circuitos integrados dedicados ou semidedicados [veja Brown e Rose (1996)].

13.1.4 Níveis de Abstração em um Projeto e o Auxílio do Computador

O projeto de muitos sistemas digitais complexos, mesmo dentro de uma única pastilha de circuito integrado ou utilizando diversas pastilhas complexas, é possível pelo uso de diferentes níveis de abstração e também por meio do auxílio do computador. Para ter uma idéia do que vêm a ser esses níveis de abstração, considere o projeto de um sistema digital utilizando pastilhas que contenham portas lógicas. O projetista deve consultar os manuais para determinar as características de entrada e saída das portas, suas limitações de *fan-in* e *fan-out* e outras. Na interconexão das portas, o projetista precisa seguir um conjunto de regras especificadas pelos fabricantes nos manuais. O projetista não precisa se preocupar diretamente com o circuito dentro da pastilha. Dessa forma, o circuito interno da pastilha foi abstraído na forma de um bloco funcional que pode ser empregado como se fosse um componente. Isso simplifica bastante o projeto do sistema. O projetista de um dado circuito integrado digital pode seguir um caminho semelhante. Blocos de circuito podem ser projetados, caracterizados e armazenados em uma biblioteca como *células padronizadas* (*standard cells*). Essas células podem ser empregadas pelo projetista de circuitos integrados para construir um subsistema maior (por exemplo, um somador ou um multiplicador), que, por sua vez, pode também ser caracterizado e armazenado como um bloco funcional para ser empregado no projeto de um sistema ainda maior.

Em todos os níveis de abstração de projeto, a necessidade de simulação funcional e de outros programas que auxiliem no fluxo de projeto de forma automática tem crescido vertiginosamente. Vimos que o SPICE é empregado na simulação de circuitos; outras ferramentas computacionais (*softwares*) são empregadas em outros níveis e em outras fases do processo de projeto. Embora o projeto de sistemas digitais e o projeto de sistemas de automação estejam fora dos objetivos deste livro, é importante que o leitor aprecie a importância do papel do computador no projeto de circuitos digitais. Esses dois aspectos tornaram humanamente possível projetar circuitos integrados digitais com mais de dez milhões de transistores. Infelizmente, o projeto de circuitos integrados analógicos não se beneficia dos mesmos níveis de abstração e automação. Cada circuito integrado analógico tem em seu processo de projeto uma grande parte feita à mão. Como resultado, a complexidade e densidade dos circuitos integrados analógicos têm permanecido muito menor do que a dos circuitos integrados digitais.

Sempre que uma determinada estratégia ou estilo é adotada no projeto de circuitos digitais, alguma familiaridade com as várias tecnologias de circuitos digitais e técnicas de projeto é absolutamente essencial. Este capítulo e o próximo ajudarão a fornecer noções mínimas.

13.2 PROJETO E ANÁLISE DO DESEMPENHO DO INVERSOR CMOS

Recomenda-se que o leitor, antes de continuar, revise o inversor lógico CMOS estudado na Seção 5.8. Nesta seção, abordaremos outros aspectos do inversor CMOS, investigando seu desempenho e explorando diversas potencialidades disponíveis em seu projeto. Este material servirá de base para o estudo de circuitos lógicos CMOS na seção seguinte.

Estrutura do Circuito

O circuito inversor, mostrado na Figura 13.4(a), consiste em um par de MOSFETs complementares chaveados por uma tensão de entrada v_I. Embora não mostrado, a fonte de cada transistor está conectada a seu corpo, eliminando, portanto, o efeito de corpo. Na prática, as tensões de limiar V_{tn} e V_{tp} são iguais em módulo: isto é, $V_{tn} = |V_{tp}| = V_t$, que está na faixa de 0,2 a 1 V, com valores mais próximos do limite inferior dessa faixa para tecnologias de processo modernas que utilizam pequenas dimensões (por exemplo, com comprimento de canal na faixa de 0,15 a 0,5 μm).

O circuito inversor pode ser representado por um par de chaves controladas de forma complementar, como mostrado na Figura 13.4(b).

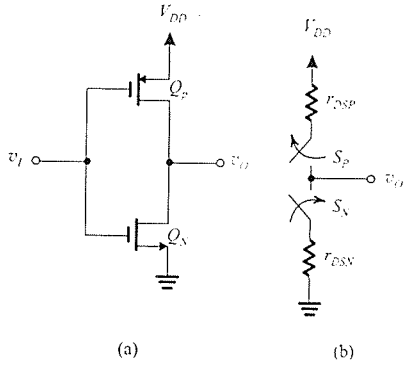


Figura 13.4 (a) O inversor CMOS e (b) sua representação como um par de chaves controladas de forma complementar.

Como indicado, cada chave é modelada por uma resistência finita que é a resistência dreno–fonte do respectivo transistor, calculada próximo de $|v_{DS}| = 0$:

$$r_{DSN} = 1\Big/\left[k_n'\left(\frac{W}{L}\right)_n (V_{DD} - V_t)\right] \tag{13.6}$$

$$r_{DSP} = 1\Big/\left[k_p'\left(\frac{W}{L}\right)_p (V_{DD} - V_t)\right] \tag{13.7}$$

Operação Estática

É fácil observar na Figura 13.4 que, para $v_I = 0$, temos $v_{OH} = V_{DD}$, pois o nó de saída fica conectado a V_{DD} por meio da resistência r_{DSP} do transistor Q_P de carga. De forma análoga, com $v_I = V_{DD}$, temos $v_O = V_{OL} = 0$, pois o nó de saída passa a estar conectado ao terra por meio do resistor r_{DSN} do transistor de comando Q_N. Portanto, no estado estacionário, não há nenhum caminho direto de corrente entre V_{DD} e o terra, e a corrente estática e a dissipação de potência estática são ambas praticamente nulas (a corrente de fuga neste caso é desprezível).

A característica de transferência de tensão (CTT) do inversor está mostrada na Figura 13.5, na qual é fácil ver que os níveis de tensão na saída são 0 e V_{DD}, e, portanto, a excursão de tensão de saída é justamente a máxima possível. O fato de V_{OL} e V_{OH} serem independentes das dimensões dos transistores faz a tecnologia CMOS muito diferente de outras tecnologias (por exemplo, circuitos NMOS utilizando dispositivos de carga tipo enriquecimento ou depleção que, por sua vez, estão baseados nos circuitos amplificadores estudados na Seção 5.7.4). Para esses circuitos NMOS, V_{OL} depende da razão entre os parâmetros de transcondutância:

$$\left(k'\frac{W}{L}\right)_{\text{comando}}\Big/\left(k'\frac{W}{L}\right)_{\text{carga}}$$

Tais circuitos são, portanto, conhecidos como circuitos lógicos *com relação*, ao passo que circuitos CMOS pertencem ao tipo *sem relação*.

A transição de estado lógico na saída do inversor CMOS pode ser projetada de forma a ocorrer exatamente no meio da excursão lógica entre 0 e V_{DD}, isto é, em $V_{DD}/2$, se escolhermos

de forma apropriada as *dimensões dos transistores*. É fácil demonstrar que a tensão de transição é dada por

$$V_{th} = \frac{V_{DD} - |V_{tp}| + \sqrt{k_n/k_p}\,V_{tn}}{1 + \sqrt{k_n/k_p}} \tag{13.8}$$

em que $k_n = k_n'(W/L)_n$ e $k_p = k_p'(W/L)_p$, de onde vemos que, para o caso típico em que $V_{tn} = |V_{tp}|$, $V_{th} = V_{DD}/2$ para $k_n = k_p$, isto é:

$$k_n'(W/L)_n = k_p'(W/L)_p \tag{13.9}$$

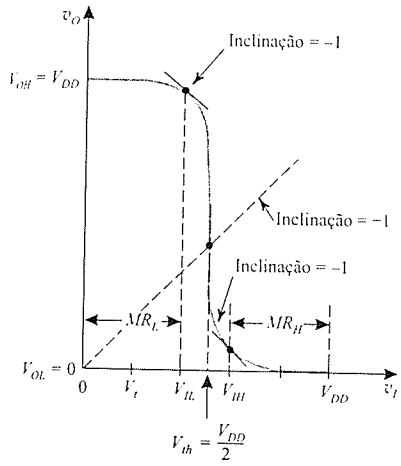


Figura 13.5 Característica de transferência de tensão (CTT) do inversor CMOS quando Q_N e Q_P estão casados.

Portanto, uma característica de transferência simétrica pode ser obtida quando os dispositivos forem projetados de forma a ter parâmetros de transcondutância idênticos, que é uma condição que costuma ser chamada de *casamento de transistores* (*transistor matching*). Uma vez que μ_n é duas a três vezes maior do que μ_p, o casamento é obtido fazendo $(W/L)_p$ de duas a três vezes (isto é, μ_n/μ_p vezes) maior do que $(W/L)_n$,

$$\left(\frac{W}{L}\right)_p = \frac{\mu_n}{\mu_p}\left(\frac{W}{L}\right)_n \tag{13.10}$$

Normalmente, fazem-se os comprimentos de canal L dos transistores de carga e de comando idênticos e iguais à mínima dimensão permitida em uma dada tecnologia. A largura mínima do transistor de comando NMOS é normalmente de uma a uma vez e meia o comprimento L, enquanto a largura do transistor de carga PMOS é de duas a três vezes maior que L. Por exemplo, para um processo CMOS com dimensão mínima de 1,2 μm para o qual $\mu_n/\mu_p = 3$, teremos L = 1,2 μm, $(W/L)_n$ = 1,8/1,2 e $(W/L)_p$ = 5,4/1,2. De acordo com o que será discutido mais tarde, se o inversor tiver de fornecer corrente para uma capacitância de carga relativamente grande, os transistores terão de ser muito mais largos do que o normal. Entretanto, para conservar a área da pastilha, a maioria dos inversores deverá ter a "área mínima" mencionada anteriormente. A partir de agora, chamaremos de $(W/L)_n$ a razão (W/L) do transistor NMOS de área mínima e $(W/L)_p$ a razão (W/L) do transistor PMOS de área mínima. Uma vez que a área do inversor pode ser repre-

sentada por $W_nL_n + W_pL_p = (W_n + W_p)L$, o inversor de menor área é $(n + p)L^2$ e podemos utilizar o fator $(n + p)$ como um fator substituto para a relação de áreas. Para o exemplo citado anteriormente, $n = 1{,}5$ e $p = 4{,}5$, o que significa um fator de área $n + p = 6$.

Além de fazer com que a tensão de transição V_{th} fique no centro da excursão lógica, o casamento dos parâmetros de transcondutância de Q_N e Q_P faz com que ambos tenham a mesma capacidade de conduzir corrente tanto no carregamento como no descarregamento da capacitância de carga. Além disso, obviamente, teremos $r_{DSN} = r_{DSP}$. Portanto, um inversor com transistores casados apresenta atrasos na propagação iguais, t_{PLH} e t_{PHL}.

Quando o limiar de transição do inversor está em $V_{DD}/2$, as margens de ruído MR_H e MR_L tornam-se iguais e seus valores são maximizados, tal que:

$$MR_H = MR_L = \frac{3}{8}\left(V_{DD} + \frac{2}{3}V_t\right) \tag{13.11}$$

Uma vez que, tipicamente, $V_t = 0{,}1$ a $0{,}2V_{DD}$, as margens de ruído são de aproximadamente 0,4 V_{DD}. Este valor, sendo próximo da metade da tensão de alimentação, faz o inversor CMOS ficar próximo ao comportamento ideal sob o ponto de vista de imunidade a ruídos. Além disso, uma vez que a corrente *cc* de entrada é praticamente zero, podemos dizer que as margens de ruído não dependem do *fan-out* da porta.

Embora tenhamos enfatizado bastante as vantagens de casar Q_N e Q_P, há ocasiões em que essa solução não é adotada. Poderíamos, por exemplo, piorar o casamento em favor da redução da área da pastilha e, assim, fazer $(W/L)_p = (W/L)_n$. Há também circunstâncias em que um descasamento deliberado é empregado de forma a ter a tensão de transição V_{th} em um valor especificado diferente de $V_{DD}/2$. Note que, ao fazermos $k_n > k_p$, V_{th} move-se para perto de $v_I = 0$, ao passo que $k_p > k_n$ faz com que V_{th} mova-se para próximo de $v_I = V_{DD}$.

Como comentário final sobre a característica de transferência do inversor, a inclinação da região de transição da mesma, embora abrupta, é finita e dada por $-(g_{mN} - g_{mP})(r_{oN} /\!/ r_{oP})$.

Operação Dinâmica

O atraso na propagação de sinal do inversor é normalmente determinado na condição em que se tem um inversor idêntico conectado na saída. Essa situação está mostrada na Figura 13.6. Desejamos analisar esse circuito para determinar o atraso na propagação de sinal no inversor formado pelos transistores Q_1 e Q_2. Esse inversor está "sendo alimentado" por uma fonte de sinal v_I de baixa impedância e, ao mesmo tempo, está carregado pelo inversor formado pelos transistores Q_3 e Q_4. Também estão indicadas na figura as diversas capacitâncias internas dos transistores que estão conectadas ao nó de saída do inversor formado por Q_1 e Q_2. Obviamente, uma análise exata à mão desse circuito seria complicada demais e não acrescentaria muito à compreensão da forma de projetar um circuito, por isso tentaremos simplificar a análise. Especificamente, poderíamos substituir todas as capacitâncias conectadas ao nó de saída do primeiro inversor por uma única capacitância de carga C conectada entre o nó de saída e o terra. Se formos capazes de fazer isso, poderemos utilizar os resultados da análise transitória realizada na Seção 5.8. Com esse objetivo, notamos que durante os tempos t_{PLH} ou t_{PHL} (veja a Figura 13.3), a saída do primeiro inversor muda de 0 para $V_{DD}/2$ ou de $V_{DD}/2$ para 0, respectivamente. Segue que o segundo inversor permanece no mesmo estado durante cada um dos intervalos de análise citados. Essa observação será útil na estimativa da capacitância de entrada do segundo inversor. Consideremos agora a contribuição de cada uma das capacitâncias, na Figura 13.6, para o valor da capacitância equivalente C:

1. A capacitância de sobreposição porta–dreno de Q_1, C_{gd1}, pode ser substituída por uma capacitância equivalente entre o nó de saída e o terra de $2C_{gd1}$. O fator 2 existe devido ao efeito Miller (veja a Seção 7.4). Especificamente, note que, quando v_I excursiona em direção ao nível alto, v_O tende a ir para o nível baixo na mesma proporção e, assim, a mudança na queda de tensão em C_{gd1} é duas vezes essa quantidade. Portanto, tudo se passa como se no nó de saída tivéssemos duas vezes C_{gd1} até o terra. A mesma análise pode ser feita para a capacitância de sobreposição porta–fonte do transistor Q_2, C_{gd2}, que pode ser substituída por uma capacitância $2C_{gd2}$ entre o nó de saída e o terra.
2. Cada uma das capacitâncias dreno–corpo C_{db1} e C_{db2} tem um dos terminais conectado a uma tensão constante. Portanto, sob o ponto de vista de nossa análise transitória, C_{db1} e C_{db2} podem ser substituídas por capacitâncias iguais entre o nó de saída e o terra. Note, entretanto, que as fórmulas dadas na Seção 5.10 para calcular C_{db1} e C_{db2} são relações para pequenos sinais, ao passo que a análise aqui é obviamente para grandes sinais. Mas mesmo assim, os valores desses parâmetros para pequenos sinais podem ser empregados como boas estimativas. Por outro lado, vale mencionar que foi desenvolvida uma técnica para achar os valores equivalentes para grandes sinais das capacitâncias C_{db1} e C_{db2} com melhor precisão [veja Hodges e Jackson (1988) e Rabaey (1996)].
3. Uma vez que o segundo inversor, por hipótese, ainda não mudou de estado, assumiremos que as capacitâncias de entrada de Q_3 e Q_4 sejam aproximadamente constantes e iguais à capacitância total de porta WLC_{ox}. Isto é, a capacitância de entrada do inversor de carga (segundo inversor) será
$$C_{g3} + C_{g4} = (WL)_3 C_{ox} + (WL)_4 C_{ox}$$
4. A última componente de C é a capacitância associada à interconexão entre inversores C_w, que simplesmente deve ser adicionada ao valor da capacitância total C.

Portanto, o valor total de C é dado por

$$C = 2C_{gd1} + 2C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w \tag{13.12}$$

Dessa forma, tendo determinado um valor aproximado para a capacitância equivalente entre o nó de saída do primeiro inversor e o terra, podemos agora utilizar os circuitos nas Figuras 13.7(a) e 13.7(b) para determinar t_{PHL} e t_{PLH}, respectivamente. Uma vez que os dois circuitos são semelhantes, basta considerar um deles e mais tarde aplicar os resultados obtidos diretamente ao outro.

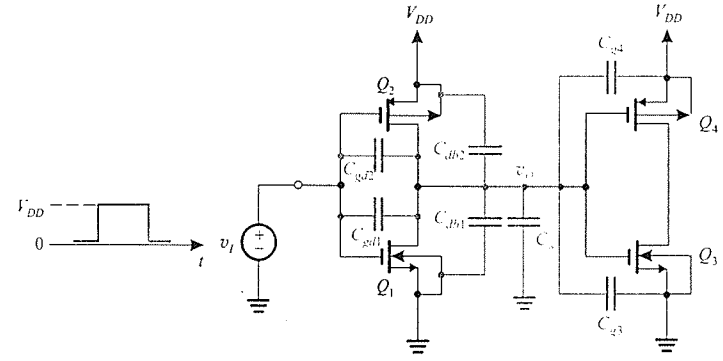


Figura 13.6 Circuito para análise do atraso na propagação de sinal do inversor. Aqui, o inversor em estudo é formado por Q_1 e Q_2 e em sua saída está ligado um inversor idêntico formado por Q_3 e Q_4.

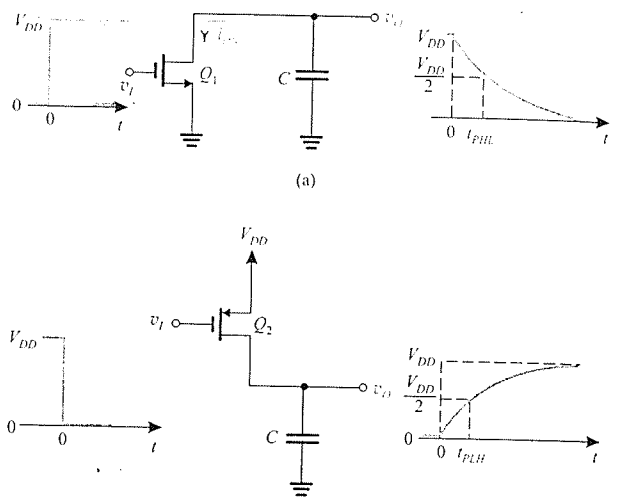


Figura 13.7 Circuitos equivalentes para determinação dos atrasos na propagação de sinal (a) t_{PHL} e (b) t_{PLH} do inversor.

Consideremos, por exemplo, o circuito na Figura 13.7(a) que corresponde à situação em que v_I está transitanto em direção ao nível alto e Q_N está descarregando C a partir de sua tensão inicial V_{DD} para o valor final zero. A análise é relativamente complicada pelo fato de que, inicialmente, Q_N está no modo de saturação e, quando v_O cai abaixo de $V_{DD} - V_t$, ele entra na região de triodo. Essa análise foi realizada na Seção 5.8 e foi obtida a seguinte equação aproximada para t_{PHL}:

$$t_{PHL} = \frac{1{,}6\,C}{k_n'\left(\frac{W}{L}\right)_n V_{DD}} \tag{13.13}$$

em que assumimos que $V_t \simeq 0{,}2\ V_{DD}$, que é tipicamente o caso.

Há uma alternativa aproximada, mas simplificada, para analisar o circuito da Figura 13.7(a). Essa outra alternativa consiste em considerar um valor médio para a corrente de descarga i_{DN} durante o intervalo que vai de $t = 0$ a $t = t_{PHL}$. Especificamente, em $t = 0$, Q_N estará saturado e $i_{DN}(0)$ será dado por

$$i_{DN}(0) = \frac{1}{2}k_n'\left(\frac{W}{L}\right)_n (V_{DD} - V_t)^2 \tag{13.14}$$

Em $t = t_{PHL}$, Q_N estará na região de triodo e $i_{DN}(t_{PHL})$ será

$$i_{DN}(t_{PHL}) = k_n'\left(\frac{W}{L}\right)_n \left[(V_{DD} - V_t)\frac{V_{DD}}{2} - \frac{1}{2}\left(\frac{V_{DD}}{2}\right)^2\right] \tag{13.15}$$

A corrente média de descarga pode então ser encontrada como sendo

$$i_{DN}\big|_{méd} = \frac{1}{2}\left[i_{DN}(0) + i_{DN}(t_{PHL})\right] \tag{13.16}$$

e o intervalo t_{PHL} de descarga pode ser computado como

$$t_{PHL} = \frac{C\,\Delta V}{i_{DN}\big|_{méd}} = \frac{CV_{DD}/2}{i_{DN}\big|_{méd}} \tag{13.17}$$

Considerando $V_t \cong 0{,}2\ V_{DD}$ nas Equações 13.14 e 13.15, substituindo na Equação 13.16 e mais tarde computando na Equação 13.17, chega-se a

$$t_{PHL} \cong \frac{1{,}7\,C}{k_n'\left(\frac{W}{L}\right)_n V_{DD}} \tag{13.18}$$

que significa um valor muito próximo daquele obtido por meio da fórmula mais precisa e que resultou na Equação 13.13. Qual fórmula utilizar, 13.13 ou 13.18, não é relevante, uma vez que tivemos de fazer diversas aproximações em ambos os casos. De fato, nosso interesse nessas fórmulas não está em obter um valor preciso para t_{PHL}, mas apenas uma equação que nos mostre os efeitos dos diversos elementos presentes na hora de determinar o atraso do inversor. É esse tipo de entendimento que o projetista de circuitos espera obter, por exemplo, da análise manual. Por outro lado, valores precisos para o atraso podem ser determinados por meio de simulação computacional (veja a Seção 13.13).

Uma equação para o atraso do inversor, t_{PLH}, pode ser escrita por analogia à Equação 13.17 para t_{PHL},

$$t_{PLH} \cong \frac{1{,}7\,C}{k_p'\left(\frac{W}{L}\right)_p V_{DD}} \tag{13.19}$$

Finalmente, o atraso na propagação de sinal t_P pode ser obtido por meio da média entre t_{PHL} e t_{PLH},

$$t_P = \frac{1}{2}(t_{PHL} + t_{PLH})$$

O exame das Equações 13.18 e 13.19 pemite-nos fazer uma série de observações úteis:

1. Como era esperado, as duas componentes de t_P podem ser idênticas selecionando-se de forma adequada as razões (W/L), ou seja, igualando-se k_n e k_p, o que significa casar Q_N e Q_P.
2. Uma vez que t_P é proporcional a C, o projetista deve se esforçar para reduzir C. Isso pode ser alcançado utilizando-se os mínimos comprimentos de canal possíveis e também minimizando ao máximo os comprimentos das linhas de interconexão e outras capacitâncias parasitas. Dessa forma, um cuidadoso traçado do layout da pastilha pode resultar em uma redução substancial das capacitâncias, inclusive no valor de C_{db}.
3. A utilização de uma tecnologia de processamento com parâmetros de transcondutância k' elevados pode resultar em atrasos na propagação de sinal menores. No entanto, tenha em mente que, para tais processos, C_{ox} deve aumentar e, portanto, o valor de C aumenta ao mesmo tempo.
4. A utilização de valores maiores para (W/L) pode resultar na redução de t_P. No entanto, cuidados devem ser tomados devido ao aumento na área dos dispositivos, pois isso aumentará C e, portanto, a redução esperada em t_P pode não se realizar. A redução de

t_P pelo aumento em (W/L) é uma estratégia eficiente apenas nas situações em que C é dominado por componentes não diretamente relacionadas ao tamanho do dispositivo que fornece corrente.

5. Um valor maior de tensão de alimentação V_{DD} resulta em um menor valor de t_P. Entretanto, V_{DD} é determinada pela tecnologia de processamento e, portanto, freqüentemente não pode ser modificada pelo projetista. Além disso, tecnologias de processamento modernas, em que os tamanhos dos dispositivos são reduzidos, normalmente necessitam de menores valores de V_{DD}. Em 1997, um novo padrão para V_{DD} foi introduzido, nominalmente o valor de 3,3 V substituindo o padrão de 5 V anterior. A principal motivação para a diminuição de V_{DD} em circuitos integrados foi a necessidade de conservar a dissipação de potência dinâmica em níveis aceitáveis, especialmente para pastilhas de altíssima densidade de integração. Falaremos mais a respeito dessa questão em breve.

Essas observações ilustram claramente pontos às vezes conflitantes e também critérios disponíveis no projeto de circuitos integrados CMOS (e também em qualquer problema de engenharia de projetos).

Dissipação de Potência Dinâmica

A dissipação desprezível de potência estática do CMOS foi o fator que determinou a substituição do NMOS pelo CMOS na implementação de circuitos VLSI de alta densidade. No entanto, como o número de portas por unidade de área está constantemente aumentando na pastilha, a dissipação de potência dinâmica tem se tornado um sério fator limitante. A potência dissipada em um inversor CMOS é dada pela Equação 13.4 que repetimos aqui como

$$P_D = fCV_{DD}^2 \tag{13.20}$$

em que f é a freqüência em que a porta está sendo chaveada. Da equação anterior é fácil concluir que minimizar C é um meio efetivo de reduzir a dissipação de potência dinâmica. Uma estratégia ainda mais efetiva é utilizar um menor valor de tensão de alimentação. Como mencionado, as tecnologias de processamento CMOS mais recentes utilizam V_{DD} de 3,3 V. De fato, algumas pastilhas ainda mais recentes já empregam V_{DD} de 2 a 2,5 V para alimentar o circuito interno da pastilha enquanto conservam a tensão externa de 3,3 V como valor-padrão. Essas pastilhas mais recentes também apresentam um maior nível de integração (já ultrapassando a marca de 10 milhões de transistores) e operam em freqüências de relógios mais altas (microprocessadores com freqüências de relógio acima de 500 MHz logo se tornarão comuns). A dissipação de potência nessas pastilhas de alta densidade podem facilmente alcançar a faixa de dezenas de watts.

EXEMPLO 13.1

Considere um inversor CMOS fabricado a partir de um processo com C_{ox} = 0,9 fF/μm², $\mu_n C_{ox}$ = 50 μA/V², $\mu_p C_{ox}$ = 20 μA/V², $V_{tn} = -V_{tp}$ = 1 V e V_{DD} = 5 V. A razão W/L de Q_N é 4 μm/2 μm e a de Q_P é 10 μm/2 μm. A capacitância de sobreposição porta–dreno é especificada como sendo 0,5 fF/μm de largura da porta. Além disso, os valores efetivos das capacitâncias de dreno–corpo são C_{dbn} = 10 fF e C_{dbp} = 15 fF. A capacitância da linha de interconexão conectada ao nó de saída é C_w = 5 fF. Obtenha t_{PHL}, t_{PLH} e t_P.

SOLUÇÃO

Em primeiro lugar, determinaremos a capacitância equivalente C utilizando a Equação 13.12,

$$C = 2C_{gd1} + 2C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w$$

em que

$$\begin{aligned}
C_{gd1} &= 0{,}5 \times W_n = 0{,}5 \times 4 = 2 \text{ fF} \\
C_{gd2} &= 0{,}5 \times W_p = 0{,}5 \times 10 = 5 \text{ fF} \\
C_{db1} &= 10 \text{ fF} \\
C_{db2} &= 15 \text{ fF} \\
C_{g3} &= W_n L C_{ox} = 4 \times 2 \times 0{,}9 = 7{,}2 \text{ fF} \\
C_{g4} &= W_p L C_{ox} = 10 \times 2 \times 0{,}9 = 18 \text{ fF} \\
C_w &= 5 \text{ fF}
\end{aligned}$$

Portanto,

$$C = 2 \times 2 + 2 \times 5 + 10 + 15 + 7{,}2 + 18 + 5 = 69{,}2 \text{ fF}$$

A seguir, embora possamos utilizar a fórmula dada pela Equação 13.18 para determinar t_{PHL}, tomaremos um caminho alternativo. Especificamente, consideremos a descarga de C através de Q_N e determinemos a corrente de descarga média utilizando as Equações 13.14 a 13.16:

$$\begin{aligned}
i_{DN}(0) &= \frac{1}{2} k_n' \left(\frac{W}{L}\right)_n (V_{DD} - V_t)^2 \\
&= \frac{1}{2} \times 50 \left(\frac{4}{2}\right)(5-1)^2 = 800 \text{ μA}
\end{aligned}$$

$$\begin{aligned}
i_{DN}(t_{PHL}) &= k_n' \left(\frac{W}{L}\right)_n \left[(V_{DD} - V_t)\frac{V_{DD}}{2} - \frac{1}{2}\left(\frac{V_{DD}}{2}\right)^2\right] \\
&= 50 \times \frac{4}{2}\left[(5-1)\frac{5}{2} - \frac{1}{2}\left(\frac{5}{2}\right)^2\right] \\
&= 687{,}5 \text{ μA}
\end{aligned}$$

Portanto

$$i_{DN}\big|_{\text{méd}} = \frac{800 + 687{,}5}{2} = 744 \text{ μA}$$

e

$$t_{PHL} = \frac{C(V_{DD}/2)}{i_{DN}\big|_{\text{méd}}} = \frac{69{,}2 \times 10^{-15} \times 2{,}5}{744 \times 10^{-6}} = 233 \text{ ps}$$

Uma vez que $W_p/W_n = 2{,}5 = \mu_n/\mu_p$, o inversor está casado e tem atrasos na propagação de sinal idênticos em ambas as direções, portanto

$$t_{PLH} = 233 \text{ ps}$$

$$t_P = \frac{1}{2}(t_{PHL} + t_{PLH}) = 233 \text{ ps}$$

Finalmente, note que valores idênticos para t_{PHL} e t_{PLH} e valores levemente menores (221 ps) também teriam sido obtidos se tivéssemos empregado as Equações 13.13 e 13.18.

Exercícios

13.1 Considere o inversor especificado no Exemplo 13.1 quando carregado por uma capacitância adicional de 0,1 pF. Qual será o novo atraso na propagação de sinal?

Resposta 570 ps

13.2 Em uma tentativa de diminuir a área do inversor no Exemplo 13.1, $(W/L)_p$ foi feito igual a $(W/L)_n$. Qual a porcentagem de redução na área alcançada? Obtenha os novos valores de C, t_{PHL}, t_{PLH} e t_P. Assuma que C_{dbp} se reduz para 10 fF.

Resposta 43%; 47,4 fF; 159 ps; 398 ps; 279 ps

13.3 Para o inversor do Exemplo 13.1, obtenha a dissipação de potência dinâmica quando a freqüência de chaveamento é de 100 MHz.

Resposta 173 μW

13.3 CIRCUITOS COM PORTAS CMOS

Nesta seção, continuaremos a desenvolver nosso conhecimento de projeto de inversores e passaremos a considerar o projeto de circuitos CMOS para implementar funções lógicas combinatórias. Em circuitos combinatórios, a saída é sempre função única e exclusiva dos sinais de entrada em um dado instante. Portanto, esses circuitos não têm memória e não empregam realimentação. Circuitos lógicos combinatórios são empregados em uma ampla gama de aplicações, sendo que praticamente todos os sistemas digitais contêm sempre um amplo número de circuitos lógicos combinatórios.

Estrutura básica

Um circuito lógico CMOS é, por definição, uma extensão ou uma generalização de um inversor CMOS: o inversor consiste em um transistor de comando ou abaixador (*pull-down*) NMOS e um transistor de carga ou levantador (*pull-up*) PMOS, ambos controlados de forma complementar por uma tensão de entrada. As portas lógicas CMOS consistem basicamente em duas redes: a rede abaixadora (*pull-down network* – PDN) construída com transistores NMOS e a rede levantadora (*pull-up network* – PUN) construída com transistores PMOS (veja a Figura 13.8). As duas redes são controladas de forma complementar por meio das várias entradas.

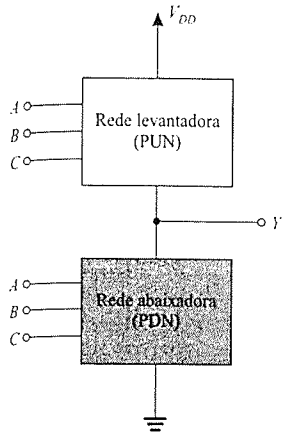


Figura 13.8 Representação de uma porta lógica de três entradas. O bloco PUN é formado por transistores PMOS e o bloco PDN, por transistores NMOS.

Portanto, para a porta de três entradas representada na Figura 13.8, por exemplo, o bloco PDN conduzirá para todas as combinações de níveis altos nas entradas que fazem a saída ficar em nível baixo ($Y = 0$), causando um zero na saída. Em contrapartida, o bloco PUN estará cortado para todas as combinações de níveis altos nas entradas que fazem o bloco PDN conduzir e assim garante-se o zero no nó de saída. Por outro lado, o bloco PUN conduzirá para todas as combinações de níveis altos nas entradas (diferente daqueles que põem em condução o bloco PDN) que fazem a tensão no nó de saída crescer até V_{DD}, estabelecendo uma tensão de saída $v_Y = V_{DD}$. Ao mesmo tempo em que o bloco PUN conduzir, o bloco PDN estará cortado e nenhuma corrente *cc* fluirá entre V_{DD} e terra.

Uma vez que o bloco PDN compreende os transistores NMOS e, considerando que os transistores NMOS conduzem quando o sinal em sua porta está em nível alto, o bloco PDN garantidamente será ativado (isto é, conduzirá) quando as entradas estiverem em nível alto. De forma dual, o bloco PUN compreende os transistores PMOS, os quais conduzem quando o sinal de entrada em sua porta está em nível baixo, portanto o bloco PUN estará garantidamente ativado quando as entradas estivem em nível lógico zero.

Cada um dos blocos PDN e PUN utiliza dispositivos em paralelo para formar a função OU e dispositivos em série para formar a função E. A Figura 13.9 mostra exemplos de blocos PDN. Para o circuito da Figura 13.9(a), observamos que Q_A conduzirá quando A estiver alto ($v_A = V_{DD}$) e então abaixará a tensão no nó de saída para o terra ($v_Y = 0$, $Y = 0$). De maneira similar, Q_B conduzirá quando B estiver em nível alto e dessa forma abaixará a tensão no nó de saída para o terra. Portanto, Y estará no nível lógico baixo quando A *ou* B estiver no nível alto, o que pode ser expresso como

$$\overline{Y} = A + B$$

ou, equivalentemente

$$Y = \overline{A + B}$$

O bloco PDN na Figura 13.9(b) conduzirá somente quando A e B estiverem ambos em nível alto simultaneamente. Portanto, Y estará em nível baixo quando A *e* B estiverem altos,

$$\overline{Y} = AB$$

ou, equivalentemente,

$$Y = \overline{AB}$$

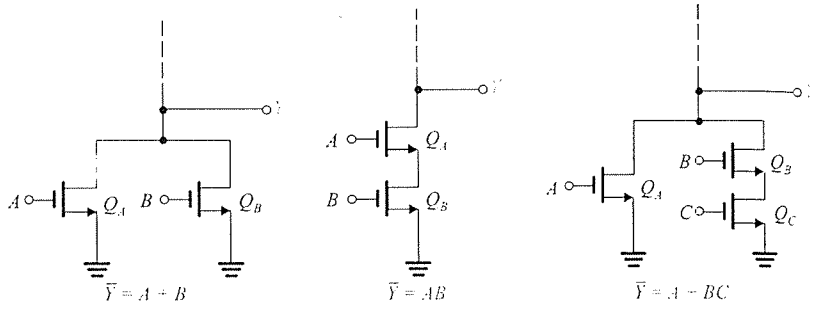


Figura 13.9 Exemplos de redes abaixadoras (*pull-down networks* – PDN).

Como exemplo final, o bloco PDN na Figura 13.9(c) conduzirá e fará com que Y seja 0 quando A estiver alto *ou* quando B *e* C estiverem ambos altos, portanto

$$\overline{Y} = A + BC$$

ou, equivalentemente,

$$Y = \overline{A + BC}$$

Consideraremos agora os exemplos mostrados na Figura 13.10. O bloco PUN na Figura 13.10(a) conduzirá e levantará Y para V_{DD} ($Y = 1$) quando A *ou* B estiver baixo, portanto

$$Y = \overline{A} + \overline{B}$$

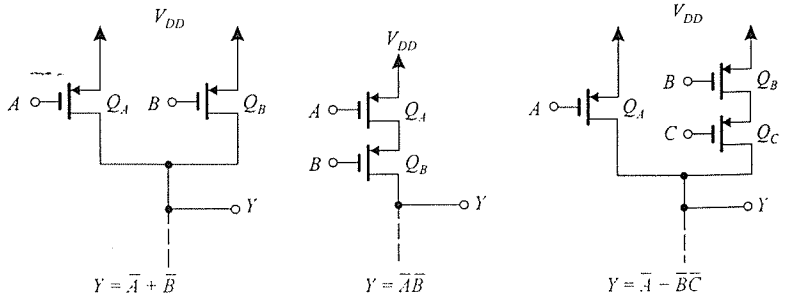


Figura 13.10 Exemplos de redes levantadoras (*pull-up networks* – PUN).

A rede PUN na Figura 13.10(b) conduzirá e produzirá uma saída em nível alto ($v_y = V_{DD}$, $Y = 1$) somente quando A *e* B estiverem ambos em nível baixo, portanto

$$Y = \overline{A}\,\overline{B}$$

Finalmente, a rede PUN na Figura 13.10(c) conduzirá e fará com que Y fique em nível alto (nível lógico 1) se A estiver baixo *ou* se B *e* C estiverem ambos baixos, portanto

$$Y = \overline{A} + \overline{B}\,\overline{C}$$

Tendo desenvolvido uma compreensão e uma apreciação da estrutura e da operação de blocos PDN e PUN, consideraremos agora portas CMOS completas. Antes de fazê-lo, entretanto, introduziremos símbolos alternativos de circuito para os transistores MOS, que são quase universalmente empregados pelos projetistas de circuitos digitais. A Figura 13.11 mostra os símbolos adotados neste livro e os novos símbolos correspondentes. Observe que o símbolo para o transistor PMOS com um círculo no terminal de porta indica que o sinal na porta tem de ser de nível baixo para fazer com que o dispositivo seja ativado (isto é, conduza). Portanto, em termos de terminologia de circuitos lógicos, é uma entrada *ativa em nível baixo* (*active low*). Além de indicar essa propriedade dos dispositivos PMOS, os novos símbolos omitem qualquer indicação de qual terminal é a fonte e qual é o dreno. Isso não deve causar qualquer dificuldade no atual estágio de nosso estudo; simplesmente lembre-se de que, para um transistor NMOS, o dreno é o terminal que está no potencial mais alto (a corrente flui do dreno para a fonte) e, para um transistor PMOS, a fonte está conectada ao potencial mais alto (a corrente flui da fonte para o dreno). A fim de permanecermos consistentes com a literatura, daqui em diante utilizaremos esses símbolos modificados para transistores MOS em aplicações lógicas, exceto nas situações em que nossos símbolos completos ajudem no entendimento da operação dos circuitos.

A Porta NOU de Duas Entradas

Consideraremos inicialmente a porta CMOS que realiza a função NOU de duas entradas

$$Y = \overline{A + B} = \overline{A}\,\overline{B} \tag{13.21}$$

é fácil observar na equação anterior que Y ficará em nível baixo (PDN conduzirá) quando A ou B estiver alto. Portanto, o bloco PDN consistirá em dois transistores NMOS em paralelo com A e B como entradas [isto é, como o circuito na Figura 13.9(a)].

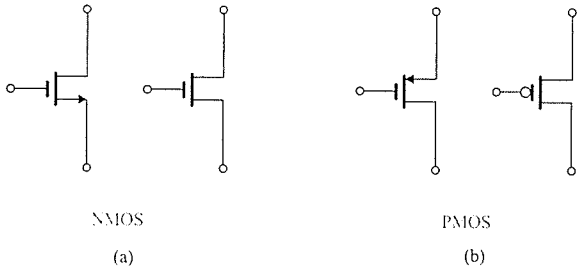


Figura 13.11 Símbolos de circuitos (a) usual e (b) alternativo para MOSFETs.

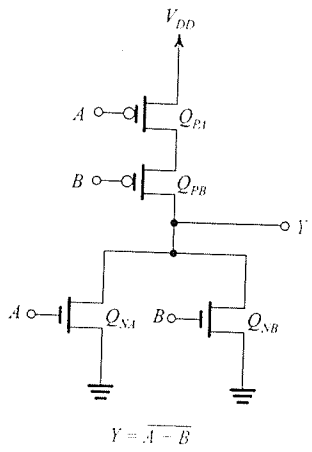


Figura 13.12 Porta NOU CMOS de duas entradas.

Para o bloco PUN, notamos, a partir da segunda expressão na Equação 13.21, que Y ficará em nível alto quando A e B estiverem ambos em nível baixo. Portanto, o bloco PUN consistirá em dois transistores PMOS em série, tendo A e B como entradas [isto é, como no circuito na Figura 13.10(b)]. Conectando-se os blocos PDN e PUN em série, chega-se à porta NOU CMOS mostrada na Figura 13.12. Note que a extensão do circuito NOU para um número maior de entradas é direta: para cada entrada adicional, um transistor NMOS deve ser conectado em paralelo com Q_{NA} e Q_{NB} e um transistor PMOS deve ser conectado em série com Q_{PA} e Q_{PB}.

A Porta NE de Duas Entradas

A função NE de duas entradas é descrita pela seguinte equação Booleana

$$Y = \overline{AB} = \overline{A} + \overline{B} \tag{13.22}$$

Para construir o bloco PDN, consideraremos a combinação de entradas que fazem Y ficar em nível baixo: há apenas uma combinação, especificamente, A e B em nível alto. Portanto, o bloco PDN simplesmente compreenderá dois transistores NMOS em série [assim como o circuito da Figura 13.9(b)]. Para construir o bloco PUN, consideraremos as combinações das entradas que fazem Y ficar em nível alto. Estas são encontradas pela segunda expressão na Equação 13.22, ou seja, quando A baixo e B baixo. Portanto, o bloco PUN consistirá em dois transistores PMOS em paralelo com entradas A e B aplicadas a suas portas [assim como o circuito da Figura 13.10(a)]. Conectando-se os blocos PDN e PUN em série chega-se à porta NE CMOS mostrada na Figura 13.13. Note que a extensão para um número maior de entradas é também direta neste caso: para cada entrada adicional, um transistor NMOS deve ser conectado em série com Q_{NA} e Q_{NB} e um transistor PMOS deve ser conectado em paralelo com Q_{PA} e Q_{PB}.

Uma Porta Complexa

Considere agora a seguinte função lógica mais complexa

$$Y = \overline{A(B + CD)} \tag{13.23}$$

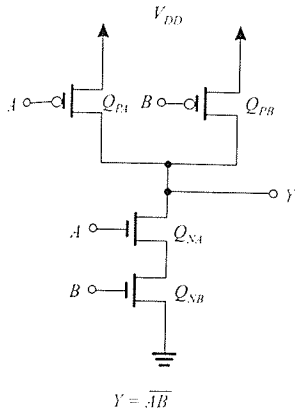


Figura 13.13 Porta NE CMOS de duas entradas.

Uma vez que $\overline{Y} = A(B + CD)$, observa-se que Y ficará em nível baixo para A alto e simultaneamente B alto ou C e D ambos altos. Assim, podemos obter diretamente o bloco PDN. Para obter o bloco PUN, precisamos expressar Y em termos de variáveis complementares. Podemos fazer isso por meio da aplicação do teorema de DeMorgan, como segue:

$$\begin{aligned} Y &= \overline{A(B + CD)} \\ &= \overline{A} + \overline{B + CD} \\ &= \overline{A} + \overline{B}\,\overline{CD} \\ &= \overline{A} + \overline{B}(\overline{C} + \overline{D}) \end{aligned} \tag{13.24}$$

Portanto, Y ficará em nível alto para A baixo ou B baixo e C ou D ambos baixos. O circuito CMOS completo está mostrado na Figura 13.14.

Obtenção do Bloco PUN a Partir do Bloco PDN e Vice-versa

Dos circuitos com portas CMOS estudados até agora (por exemplo, aquele mostrado na Figura 13.14), observa-se facilmente que os blocos PDN e PUN são duas redes duais: onde ramos em série existem em uma, ramos correspondentes em paralelo existem na outra. Portanto, podemos obter um bloco a partir do outro: um processo que pode ser mais simples do que construir cada um separadamente a partir da expressão Booleana que descreve a função lógica. Por exemplo, no circuito da Figura 13.14, achamos relativamente fácil obter o bloco PDN porque já temos a saída complementar $\overline{Y}$ em termos das entradas. Por outro lado, para obter o bloco PUN, temos de manipular a expressão Booleana a fim de expressar Y como função das variáveis de entrada negadas (ou variáveis de entrada barradas), que é a forma conveniente para construir os blocos PUN. Alternativamente, podemos, em vez disso, utilizar a propriedade de dualidade para obter o bloco PUN a partir do bloco PDN. O leitor está convidado a analisar a Figura 13.14 e convencer-se de que isso é, de fato, possível.

Devemos, no entanto, mencionar que há situações em que não é fácil obter um bloco a partir do outro utilizando a propriedade de dualidade ou mesmo por meio da manipulação da expressão Booleana.

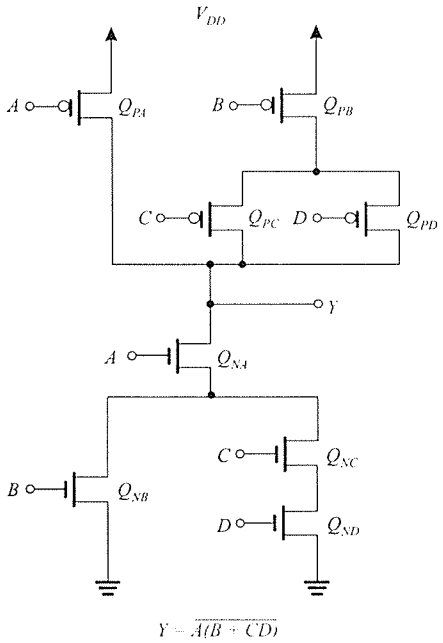


Figura 13.14 Realização da porta CMOS complexa.

Para tais casos, é necessário recorrer a um processo mais rigoroso de síntese, que não será mostrado aqui [veja Kang e Leblebici (1996)].

A Função OU-Exclusivo

Uma função importante que freqüentemente aparece em projetos lógicos é a função OU-Exclusivo,

$$Y = A\overline{B} + \overline{A}B \tag{13.25}$$

Podemos observar que, sendo dado Y (em vez de $\overline{Y}$), é mais fácil construir o bloco PUN. Nota-se, entretanto, que Y não é uma função somente de variáveis negadas (complementares) como gostaríamos. Portanto, necessitaremos de blocos inversores adicionais. O bloco PUN obtido diretamente da Equação 13.25 está mostrado na Figura 13.15(a). Note que o ramo formado por Q_1 e Q_2 realiza o primeiro termo da função (expressão), ao passo que o ramo formado por Q_3 e Q_4 realiza o segundo termo ($A\,B$). Note também que são necessários dois inversores adicionais para gerar A e B.

Para construir o bloco PDN, basta obter a rede dual do bloco PUN na Figura 13.15(a). Alternativamente, podemos desenvolver uma expressão para Y e utilizá-la na síntese de PDN. O teorema de DeMorgan pode ser aplicado à Equação 13.25 a fim de obter Y como

$$\overline{Y} = AB + \overline{A}\,\overline{B} \tag{13.26}$$

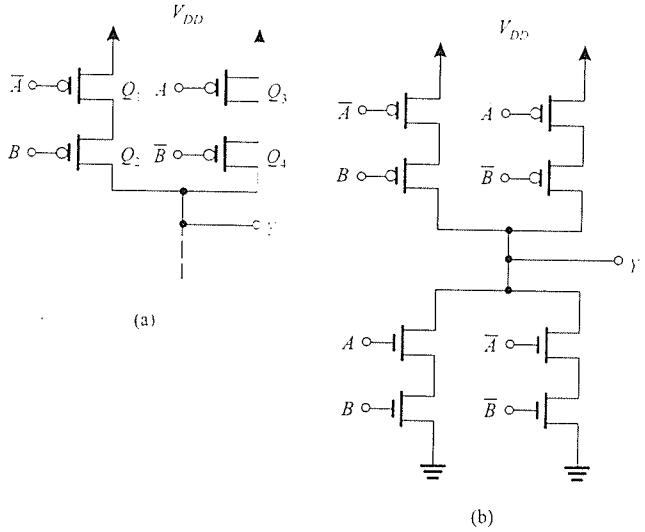


Figura 13.15 Realização da função OU-Exclusivo (XOU): (a) Bloco PUN construído diretamente da Equação 13.25. (b) Realização completa do OU-Exclusivo utilizando o bloco em (a) e um bloco PDN que foi construído diretamente a partir da Equação 13.26. Note que dois inversores (não mostrados) são necessários para gerar as variáveis de entrada negadas. Também note que, nessa implementação do OU-Exclusivo, os blocos PDN e PUN são redes duais.

O bloco PDN (correspondente ao PUN) está mostrado na Figura 13.15(b), em que temos a implementação da função OU-Exclusivo exceto os dois inversores adicionais necessários. Note que o OU-Exclusivo requer 12 transistores para sua implementação, o que significa ao final um circuito relativamente complexo. Mostraremos na Seção 13.5 uma forma mais simples de implementar o OU-Exclusivo empregando uma técnica de projeto diferente e muito útil em circuitos lógicos CMOS.

Outra observação interessante pode ser feita a partir do circuito da Figura 13.15(b). Os blocos PDN e PUN *não* são redes duais. De fato, a dualidade de PDN e PUN não é uma condição necessária, mas podemos dizer que é suficiente. Portanto, embora o bloco dual de PDN (ou PUN) possa sempre ser empregado para PUN (ou PDN), as duas redes não precisam ser necessariamente duais.

Resumo do Método de Síntese

1. O bloco PDN pode ser na maioria das vezes diretamente construído a partir da expressão de $\overline{Y}$ como função das variáveis de *entrada*. Se ocorrem variáveis de entrada negadas, serão necessários inversores adicionais para gerar entradas não-negadas.

2. O bloco PUN pode, na maioria dos casos, ser construído a partir da expressão de Y como função das variáveis de *entrada negada*. Se ocorrem variáveis de entrada não-negada, serão necessários inversores adicionais para gerar entradas negadas.

Dimensões dos Transistores

Depois de projetar um dado circuito lógico CMOS, a etapa final para terminar o projeto é decidir sobre as razões W/L de todos os dispositivos. Tal decisão costuma ser feita de forma que as portas tenham capacidades idênticas para fornecer corrente em ambas as direções: carga e descarga (assim como o inversor CMOS básico). O leitor deve lembrar-se que na seção anterior utilizamos para o inversor básico as notações $(W/L)_n = n$ e $(W/L)_p = p$, em que n normalmente está na faixa de 1,5 a 2 e, para um projeto casado, $p = (\mu_n/\mu_p)n$. Portanto, desejamos escolher as razões W/L para todos os transistores em uma dada porta lógica tal que o bloco PDN seja capaz de descarregar o capacitor de carga *ao menos* com a mesma eficiência de um único transistor NMOS, com $W/L = n$, e o bloco PUN seja capaz de carregar o capacitor de carga *ao menos* com a mesma eficiência de um único transistor PMOS, com $W/L = p$. Isso garantirá que o *pior caso* no atraso de sinal na porta seja *ao menos* igual ao do inversor básico.[2]

Na explicação do parágrafo anterior, a idéia de "pior caso" deve ser melhor enfatizada. Isso significa que, na decisão sobre o tamanho dos dispositivos, devemos achar a combinação das entradas que resulte na menor corrente de saída e então escolher as dimensões que façam essa corrente igual à do inversor básico. Antes de analisar qualquer exemplo, estudaremos com cuidado a capacidade de fornecer corrente de uma dada rede de transistores MOS. Em outras palavras, precisamos encontrar a *razão W/L equivalente* de uma dada rede de transistores. Para esse fim, consideraremos inicialmente os MOSFETs em paralelo ou em série e determinaremos as razões W/L equivalentes para as associações em paralelo e série, respectivamente.

A obtenção da razão equivalente W/L está baseada no fato de que a resistência equivalente de um MOSFET é inversamente proporcional a W/L. Portanto, se um dado número de MOSFETs tendo razões $(W/L)_1$, $(W/L)_2$, ... estiverem conectados em série, a resistência equivalente da associação em série será obtida somando-se as resistências individuais conforme segue:

$$\begin{aligned} R_{\text{série}} &= r_{DS1} + r_{DS2} + \cdots \\ &= \frac{constante}{(W/L)_1} + \frac{constante}{(W/L)_2} + \cdots \\ &= constante\left[\frac{1}{(W/L)_1} + \frac{1}{(W/L)_2} + \cdots\right] \\ &= \frac{constante}{(W/L)_{eq}} \end{aligned}$$

resultando na seguinte expressão para $(W/L)_{eq}$ dos transistores conectados em série:

2. Nessa afirmação, estamos assumindo que a capacitância efetiva total C da porta lógica é a mesma do inversor. Na prática, o valor de C será maior para uma dada porta lógica, especialmente se o *fan-in* aumentar.

$$(W/L)_{eq} = \frac{1}{\dfrac{1}{(W/L)_1} + \dfrac{1}{(W/L)_2} + \cdots} \tag{13.27}$$

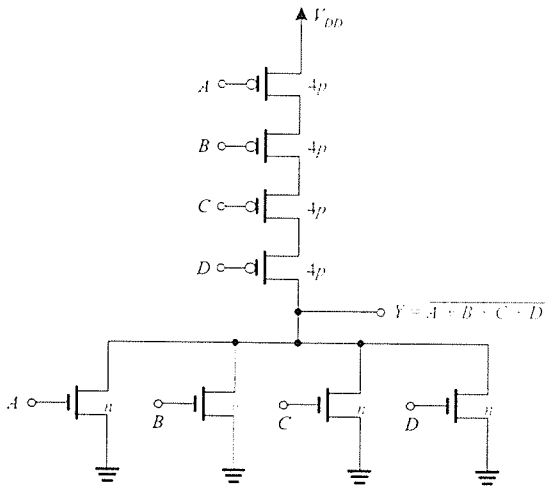


Figura 13.16 Dimensionamento dos transistores para a porta NOU de quatro entradas. Note que n e p são as razões W/L de Q_N e Q_P, respectivamente, do inversor básico.

De forma completamente análoga, podemos mostrar que a associação em paralelo de transistores com razões W/L de $(W/L)_1$, $(W/L)_2$, ..., resulta em um W/L equivalente de

$$(W/L)_{eq} = (W/L)_1 + (W/L)_2 + \cdots \tag{13.28}$$

Como exemplo, dois transistores MOS idênticos com razões W/L individuais de 4 resultam em um W/L equivalente de 2 quando associados em série e de 8 quando associados em paralelo.

Considere agora o circuito NOU de quatro entradas mostrado na Figura 13.16. Neste circuito, o pior caso (a menor corrente) para o bloco PDN é obtida quando somente um dos transistores está conduzindo. Portanto, devemos escolher o W/L de cada transistor NMOS como sendo igual ao do transistor NMOS do inversor básico, isto é, deve ser igual a n. Para o bloco PUN, entretanto, o pior caso ocorre quando todas as entradas estão em nível baixo e os quatro transistores PMOS em série estão conduzindo. Como o W/L equivalente será um quarto daquele correspondente para cada dispositivo PMOS, devemos selecionar a razão W/L de cada transistor PMOS como 4 vezes a do Q_P do inversor básico, ou seja, $4p$.

Outro exemplo correspondente está mostrado na Figura 13.17. Nessa figura está mostrado o dimensionamento dos transistores para a porta lógica NE. Da comparação entre as portas NE e NOU mostradas nas Figuras 13.16 e 13.17, verifica-se que, como p é normalmente de duas a três vezes n, a porta NOU necessitará de muito mais área do que a porta NE. Por essa razão, portas NE são normalmente preferidas na hora de implementar funções lógicas combinatórias em CMOS.

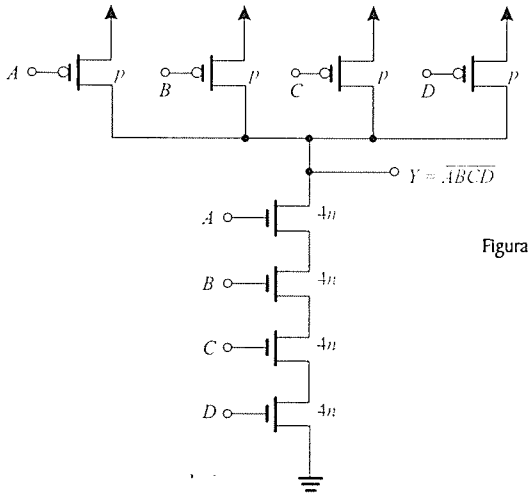


Figura 13.17 Dimensionamento dos transistores para a porta NE de quatro entradas. Note que n e p são as razões W/L de Q_N e Q_P, respectivamente, do inversor básico.

EXEMPLO 13.2

Obtenha as razões W/L para o circuito lógico mostrado na Figura 13.18. Assuma que para o inversor básico temos $n = 2$ e $p = 5$ e que o comprimento mínimo de canal seja 2 μm.

SOLUÇÃO

Considerando, em primeiro lugar, o bloco PDN na Figura 13.18, nota-se que o pior caso ocorre quando Q_{NB} está conduzindo e Q_{NC} ou Q_{ND} também está conduzindo. Isto é, no pior caso, temos dois transistores em série. Portanto, para dimensionar Q_{NB}, Q_{NC} e Q_{ND}, basta tomar transistores NMOS com larguras duas vezer maior do que a do inversor básico, portanto

$$Q_{NB}: W/L = 2n = 4 = 8/2$$
$$Q_{NC}: W/L = 2n = 4 = 8/2$$
$$Q_{ND}: W/L = 2n = 4 = 8/2$$

Para o transistor Q_{NA}, selecionaremos W/L igual ao do transistor NMOS do inversor básico:

$$Q_{NA}: W/L = n = 2 = 4/2$$

A seguir, consideraremos o bloco PUN. No pior caso teremos três transistores em série: Q_{PA}, Q_{PC} e Q_{PD}. Portanto, selecionaremos a razão W/L de cada um desses transistores como sendo três vezes a do Q_P do inversor básico, isto é, $3p$, portanto

$$Q_{NA}: W/L = 3p = 15 = 30/2$$
$$Q_{NC}: W/L = 3p = 15 = 30/2$$
$$Q_{ND}: W/L = 3p = 15 = 30/2$$

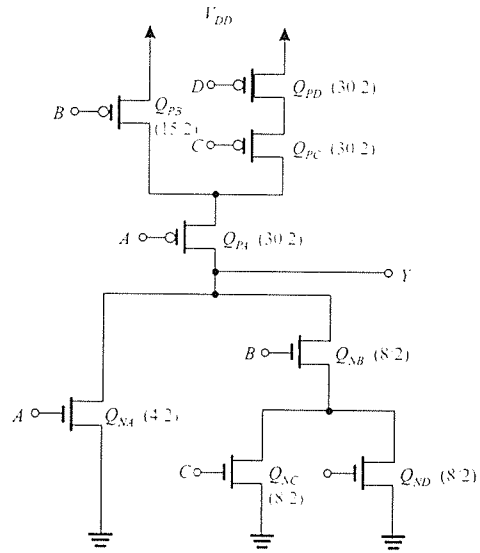


Figura 13.18 Circuito para o Exemplo 13.2.

Finalmente, a razão W/L para Q_{PB} deve ser escolhida tal que o W/L equivalente da associação em série de Q_{PB} com Q_{PA} seja igual a p. Segue que, para Q_{PB}, a razão deve ser $1{,}5p$:

$$Q_{PB}: W/L = 1{,}5p = 7{,}5 = 15/2$$

A Figura 13.18 mostra o circuito completo com todas as dimensões projetadas.

Efeito do *Fan-in* e do *Fan-out* Sobre o Atraso na Propagação

O que temos observado até agora é que cada entrada adicional em uma porta CMOS requer sempre mais dois transistores, um NMOS e outro PMOS. Em contraste, outras formas de lógica MOS, por exemplo, a NMOS, requerem apenas um transistor adicional. O transistor a mais na tecnologia CMOS não apenas aumenta a área da pastilha como também aumenta a capacitância efetiva por porta e, por sua vez, aumenta o atraso na propagação de sinal. O método de dimensionamento de transistores descrito anteriormente não compensa de todo o aumento em t_P. Especificamente, devido ao aumento na área dos dispositivos, podemos preservar a capacidade de fornecer corrente; entretanto a capacitância C de carga aumenta porque tanto o número de entradas como a área dos dispositivos também aumentam. Portanto, t_P aumentará com o aumento do *fan-in*, um fato que impõe uma limitação prática no *fan-in* da porta NE, digamos, para cerca de 4. Se um número maior de entradas for necessário, então um projeto inteligente seria, por exemplo, implementar uma dada função

Booleana com portas de não mais do que 4 entradas em cascata. Isso é normalmente feito e significa um aumento no número de estágios e, portanto, também significa um aumento no atraso. Entretanto, o aumento no atraso pode vir a ser bem menor do que o aquele devido ao aumento do *fan-in*.

Por outro lado, um aumento no *fan-out* da porta soma-se diretamente à sua capacitância de carga e, portanto, aumenta seu atraso na propagação.

Dessa forma, embora a tecnologia CMOS tenha muitas vantagens, ela sofre aumento de complexidade do circuito quando o *fan-in* e o *fan-out* são aumentados e os correspondentes efeitos dessa complexidade fazem-se notar tanto no aumento da área da pastilha como no atraso de propagação. Nas duas próximas seções, estudaremos algumas formas simplificadas de lógica CMOS na tentativa de resolver esse problema de complexidade, à custa de perder algumas das vantagens do CMOS básico.

Exercícios

13.4 Para uma tecnologia de processamento com $L = 1{,}2\ \mu m$, $n = 1{,}5$ $p = 4{,}5$, obtenha as dimensões de todos os transistores de (a) uma porta NOU de quatro entradas e (b) uma porta NE de quatro entradas. Também obtenha as áreas relativas das duas portas.

Resposta (a) dispositivos NMOS: W/L = 1,8/1,2, dispositivos PMOS: 21,6/1,2; (b) dispositivos NMOS: W/L = 7,2/1,2, dispositivos PMOS: 5,4/1,2; área NOU/área NE = 1,86.

13.5 Para a porta NE projetada no exercício anterior, qual a relação entre as correntes máxima e mínima disponíveis para a (a) situação de carregamento da capacitância de carga? (b) situação de descarregamento da capacitância de carga?

Resposta (a) 4; (b) 1

13.4 CIRCUITOS LÓGICOS PSEUDO-NMOS

Conforme explicado na seção anterior, apesar de suas muitas vantagens, a tecnologia CMOS apresenta aumento de área e, correspondentemente, aumento das capacitâncias e do atraso à medida que as portas lógicas se tornam mais complexas. Por essa razão, os projetistas de circuitos integrados digitais têm procurado novas configurações de circuitos lógicos CMOS que possam ser empregados alternativamente aos circuitos do tipo complementar estudados nas duas seções anteriores. Essas novas configurações não substituem os circuitos CMOS convencionais, mas são empregados em aplicações especiais. Analisaremos dois estilos de configurações alternativas em CMOS nesta e na próxima seção.

O Inversor Pseudo-NMOS

A Figura 13.19 mostra uma forma modificada do inversor CMOS. Aqui, somente Q_N funciona como transistor comandado pela tensão de entrada, enquanto o transistor Q_P está permanentemente aterrado e age como uma carga ativa para Q_N. Antes de analisarmos a operação desse circuito em detalhe, note que uma vantagem sobre o inversor CMOS convencional é óbvia: cada entrada deverá ser conectada à porta de apenas um transistor ou, em outras palavras, apenas um único transistor (NMOS) será necessário para cada entrada de porta adicional e representará a carga do estágio anterior. Portanto, o aumento de área e do atraso, devido ao número de entradas de uma dada porta lógica (*fan-in*), será menos significativo nesse tipo de configuração CMOS. Essa é, de fato, a motivação para explorarmos o circuito inversor modificado mostrado na Figura 13.19.

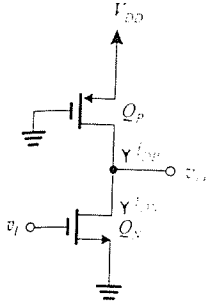


Figura 13.19 O inversor lógico pseudo-NMOS.

O circuito inversor da Figura 13.19 assemelha-se a outras formas de lógica NMOS que basicamente consistem em um transistor de comando (Q_N) e um transistor de carga (no caso do pseudo-NMOS, Q_P), daí o nome pseudo-NMOS. Para fins de comparação, mencionaremos brevemente as duas formas mais antigas de lógica NMOS. A mais velha delas, popular em meados dos anos 70, utilizava um MOSFET tipo enriquecimento como elemento de carga em uma topologia na qual o inversor básico é idêntico ao amplificador com carga tipo enriquecimento já discutido na Seção 5.7.4. Os circuitos NMOS com carga tipo enriquecimento apresentam uma excursão lógica relativamente pequena, margens de ruído pequenas e uma alta dissipação de potência estática. Por tais razões, essa tecnologia de circuitos lógicos está virtualmente obsoleta no presente. Essa tecnologia com carga tipo enriquecimento foi substituída no final dos anos 70 e começo dos 80 pelos circuitos NMOS com carga tipo depleção, em que um transistor NMOS tipo depleção com sua porta permanentemente curto-circuitada com sua fonte é empregado como elemento de carga. A topologia do inversor básico com carga tipo depleção é idêntica àquela do amplificador com carga tipo depleção, estudado na Seção 5.7.4.

Era inicialmente esperado que o transistor NMOS tipo depleção com $V_{GS} = 0$ pudesse operar aproximadamente como uma fonte de corrente constante e, portanto, viesse a ser um excelente elemento de carga.[3] Mas rapidamente foi observado que o efeito de corpo no transistor tipo depleção fazia com que sua característica i–v se desviasse consideravelmente do comportamento de uma fonte de corrente constante. Não obstante, os circuitos NMOS com carga tipo depleção apresentaram melhoras significativas de desempenho comparados aos de carga tipo enriquecimento, o que inclusive justificou uma etapa de processamento extra necessária para fabricar dispositivos com carga tipo depleção (essa etapa extra consistia em uma implantação iônica de canal). Embora a tecnologia NMOS com carga tipo depleção tenha sido virtualmente substituída pela tecnologia CMOS, ainda se encontram aplicações especiais nas quais se utilizam circuitos com carga tipo depleção. Não estudaremos lógica NMOS com carga tipo depleção neste livro (o leitor interessado pode se reportar à terceira edição deste livro).

O inversor pseudo-NMOS que estudaremos nesta seção é semelhante ao inversor NMOS com carga tipo depleção, mas com características superiores. Ele também tem a vantagem de ser diretamente compatível com circuitos CMOS complementares.

3. Uma fonte de corrente constante promove o carregamento de um dado capacitor de carga sem que a corrente diminua à medida que v_O aumenta em direção a V_{DD}, ao contrário do que acontece com a carga resistiva (veja o Problema 13.38). Note que o emprego de cargas resistivas em circuitos integrados digitais foi completamente descartado em virtude da enorme área de silício ocupada (equivalente a até milhares de transistores).

Características Estáticas

As características estáticas do inversor pseudo-NMOS podem ser determinadas de forma similar àquela empregada para o CMOS complementar. Com essa finalidade, note que as correntes de dreno de Q_N e Q_P são dadas por:

$$i_{DN} = \frac{1}{2}k_n(v_I - V_t)^2, \text{ para } v_O \geq v_I - V_t \quad \text{(saturação)} \tag{13.29}$$

$$i_{DN} = k_n\left[(v_I - V_t)v_O - \frac{1}{2}v_O^2\right], \text{ para } v_O \leq v_I - V_t \quad \text{(triodo)} \tag{13.30}$$

$$i_{DP} = \frac{1}{2}k_p(V_{DD} - V_t)^2, \text{ para } v_O \leq V_t \quad \text{(saturação)} \tag{13.31}$$

$$i_{DP} = k_p\left[(V_{DD} - V_t)(V_{DD} - v_O) - \frac{1}{2}(V_{DD} - v_O)^2\right], \text{ para } v_O \geq V_t \quad \text{(triodo)} \tag{13.32}$$

em que assumimos que $V_{tn} = -V_{tp} = V_t$ e utilizamos $k_n = k'_n(W/L)_n$ e $k_p = k'_p(W/L)_p$ por simplicidade.

Para obter a curva de transferência de tensão (CTT) do inversor, basta inicialmente superpor a curva de carga representada pelas Equações 13.31 e 13.32 sobre a característica i_D–v_{DS} de Q_N, desenhada para diversos valores de $v_{GS} = v_I$ (que pode ser também chamada de i_{DN}–v_O). Tal construção gráfica está mostrada na Figura 13.20, na qual, por simplicidade, mostramos as curvas de Q_N somente para os dois valores extremos de v_I, isto é, 0 e V_{DD}. É importante fazer duas observações:

1. A curva de carga está representada na Figura 13.20 com um nível de corrente de saturação bem menor do que aquele representado para a correspondente curva de Q_N para $v_I = V_{DD}$. Isso é resultado do fato de o inversor pseudo-NMOS ser normalmente projetado tal que k_n seja maior do que k_p por um fator de 4 a 10 vezes. Como logo veremos, esse inversor é do tipo *com relação* e a razão $r \equiv k_n/k_p$ determina todos os pontos notáveis da CTT como V_{OL}, V_{IL}, V_{IH} e assim por diante e, portanto, também determina as margens de ruído. A seleção de valores relativamente altos para r reduz V_{OL} e alarga as margens de ruído.

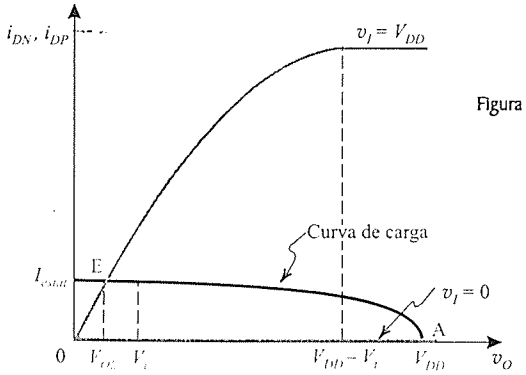


Figura 13.20 Construção gráfica empregada para determinar a característica de transferência de tensão (CTT) do inversor da Figura 13.19.

2. Embora haja a tendência de pensar que Q_P funciona como uma fonte de corrente constante na maior parte da excursão de v_O, o transistor Q_P, na verdade, opera na saturação somente em uma pequena faixa de v_O, ou seja, $v_O \leq V_t$. Para a faixa remanescente de v_O, Q_P opera na região de triodo.

Considere em primeiro lugar os dois casos extremos de v_I: quando $v_I = 0$, Q_N está cortado e Q_P está operando na região de triodo, embora com corrente zero e tensão dreno–fonte zero. Portanto, corresponde ao ponto marcado com A na Figura 13.20, na qual $v_O = V_{OH} = V_{DD}$, a corrente estática é zero e a dissipação de potência estática também é zero. Quando $v_I = V_{DD}$, o inversor estará operando no ponto marcado com E na Figura 13.20. Observe que, apesar de empregar tecnologia CMOS complementar, nesse caso particular V_{OL} não é zero, o que é uma desvantagem óbvia. Outra desvantagem é que a porta conduz uma corrente (I_{estat}) para a saída em nível lógico baixo e, portanto, haverá uma dissipação de potência estática ($P_D = I_{estat} \times V_{DD}$).

Obtenção da Característica de Transferência de Tensão (CTT)

A Figura 13.21 mostra a CTT do inversor pseudo-MOS. Conforme está indicado, há quatro regiões distintas demarcadas de I a IV, correspondentes às diferentes combinações de possíveis modos de operação de Q_N e Q_P. As quatro regiões, os correspondentes modos de operação dos transistores e as condições que definem cada região estão listadas na Tabela 13.1. Utilizaremos as informações dadas nessa tabela juntamente com o conjunto de Equações 13.29 a 13.31, apresentadas para deduzir as expressões dos diversos segmentos da CTT e em particular para obter parâmetros importantes que caracterizam a operação estática do inversor.

Tabela 13.1 Regiões de operação do inversor pseudo-NMOS.

Região	Segmento de CTT	Q_N	Q_P	Condição
I	AB	Corte	Triodo	$v_I < V_t$
II	BC	Saturação	Triodo	$v_O \geq v_I - V_t$
III	CD	Triodo	Triodo	$V_t \leq v_O \leq v_I - V_t$
IV	DE	Triodo	Saturação	$v_O \leq V_t$

- **Região I (segmento AB):**

$$v_O = V_{OH} = V_{DD} \tag{13.33}$$

- **Região II (segmento BC):**
  Igualando i_{DN}, descrito pela Equação 13.29, e i_{DP}, descrito pela Equação 13.32, e substituindo $k_n = rk_p$, após algumas manipulações algébricas, obtemos:

$$v_O = V_t + \sqrt{(V_{DD} - V_t)^2 - r(v_I - V_t)^2} \tag{13.34}$$

O valor de V_{IL} pode ser obtido derivando a Equação 13.34 em relação a v_I e substituindo $\frac{\partial v_O}{\partial v_I} = -1$ e $v_I = V_{IL}$,

$$V_{IL} = V_t + \frac{V_{DD} - V_t}{\sqrt{r(r+1)}} \tag{13.35}$$

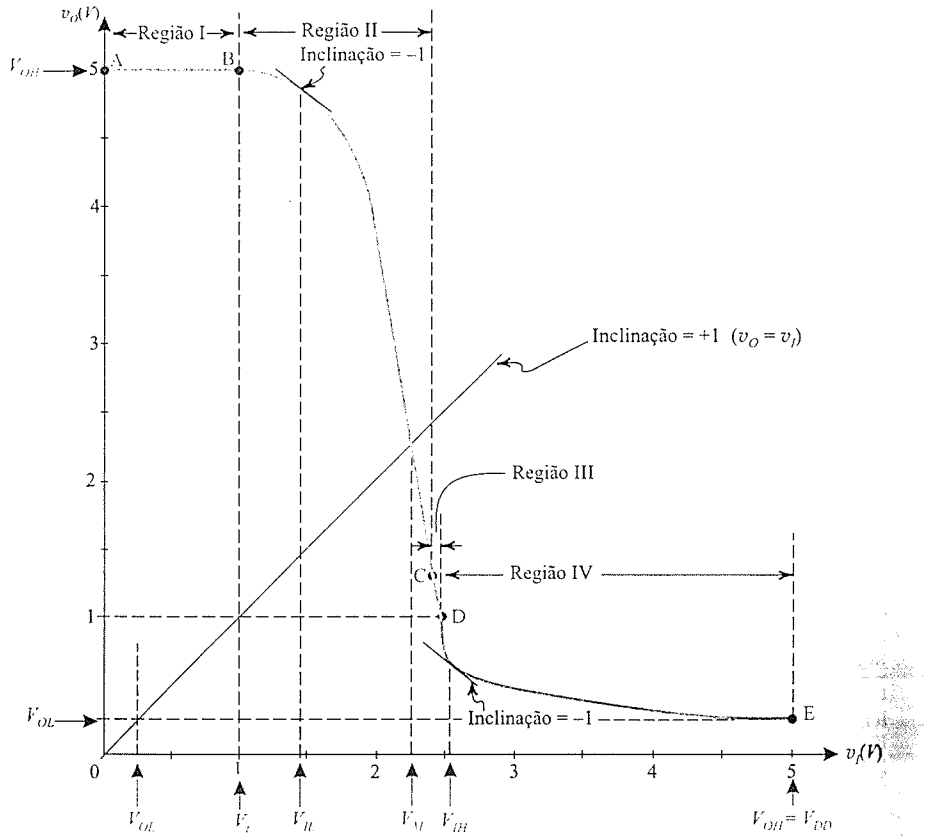


Figura 13.21 CTT para o inversor pseudo-NMOS. Essa curva está plotada para $V_{DD} = 5$ V, $V_{tn} = -V_{tp} = 1$ V e $r = 9$.

A tensão de transição V_M é, por definição, o valor de v_I para o qual $v_O = v_I$,

$$V_M = V_t + \frac{V_{DD} - V_t}{\sqrt{r+1}} \tag{13.36}$$

Finalmente, o fim da região II (ponto C) pode ser obtido substituindo-se $v_O = v_I - V_t$ na Equação 13.34 na condição em que Q_N deixa a saturação e entra na região de triodo.

- **Região III (segmento CD)**
  Este é um segmento curto que não é de grande interesse. O ponto D é caracterizado por $v_O \leq V_t$.

- **Região IV (segmento DE)**
  Igualando i_{DN} descrito pela Equação 13.30 com i_{DP} descrito pela Equação 13.31 e substituindo $k_n = rk_p$ resulta em

$$v_O = (v_I - V_t) - \sqrt{(v_I - V_t)^2 - \frac{1}{r}(V_{DD} - V_t)^2} \tag{13.37}$$

O valor de V_{IH} pode ser determinado derivando v_O em relação a v_I e fixando $\partial v_O / \partial v_I = -1$:

$$V_{IH} = V_t + \frac{2}{\sqrt{3r}}(V_{DD} - V_t) \tag{13.38}$$

O valor de V_{OL} pode ser encontrado substituindo-se $v_I = V_{DD}$ na Equação 13.37,

$$V_{OL} = (V_{DD} - V_t)\left[1 - \sqrt{1 - \frac{1}{r}}\right] \tag{13.39}$$

A corrente estática que passa através do inversor quando a saída está em nível baixo pode ser obtida a partir da Equação 13.31 como

$$I_{estat} = \frac{1}{2}k_p(V_{DD} - V_t)^2 \tag{13.40}$$

Finalmente, podemos utilizar as Equações 13.35 e 13.39 para determinar MR_L e as Equações 13.33 e 13.38 para determinar MR_H,

$$MR_L = V_t - (V_{DD} - V_t)\left[1 - \sqrt{1 - \frac{1}{r}} - \frac{1}{\sqrt{r(r+1)}}\right] \tag{13.41}$$

$$MR_H = (V_{DD} - V_t)\left(1 - \frac{2}{\sqrt{3r}}\right) \tag{13.42}$$

Como observação final, note que, uma vez que V_{DD} e V_t são determinados pelo processo tecnológico, o único parâmetro de projeto com o qual podemos controlar V_{OL} e as margens de ruído é a razão r.

Operação Dinâmica

A análise da resposta transitória do inversor pseudo-NMOS que tem por carga uma capacitância C (para determinar t_{PLH}) é idêntica àquela já feita para o inversor CMOS complementar. A capacitância é carregada por uma corrente i_{DP} e t_{PLH} pode ser estimado utilizando-se o valor mé-

dio de i_{DP} na faixa de $v_O = 0$ a $v_O = V_{DD}/2$. O resultado aproximado é o seguinte (no qual assumimos $V_t \cong 0{,}2V_{DD}$):

$$t_{PLH} = \frac{1{,}7C}{k_p V_{DD}} \tag{13.43}$$

O caso em que o capacitor C é descarregado é um pouco diferente porque a corrente i_{DP} tem de ser subtraída de i_{DN} para determinar a corrente de descarga. O resultado é a equação aproximada,

$$t_{PHL} \cong \frac{1{,}7C}{k_n\left(1-\frac{0{,}46}{r}\right)V_{DD}} \tag{13.44}$$

que para um valor elevado de r se reduz a

$$t_{PHL} \cong \frac{1{,}7C}{k_n V_{DD}} \tag{13.45}$$

Embora as Equações 13.43 e 13.45 sejam fórmulas idênticas àquelas já obtidas para o inversor CMOS complementar, o inversor pseudo-NMOS tem um problema especial: uma vez que k_p é r vezes menor do que k_n, t_{PLH} será r vezes maior do que t_{PHL}. Portanto, o circuito exibe uma assimetria quanto a seu desempenho do ponto de vista de atraso. Lembre-se, entretanto, de que uma vantagem do pseudo-NMOS é que, para portas com um grande *fan-in*, ele requer menos transistores e, portanto, C pode ser menor do que na porta CMOS complementar correspondente.

Projeto

O projeto do inversor pseudo-NMOS envolve a escolha da razão r e do (W/L) para um dos transistores. O valor de (W/L) para o outro transistor pode ser obtido utilizando r. Os parâmetros de interesse no projeto são V_{OL}, MR_L, MR_H, I_{estat}, P_D, t_{PLH} e t_{PHL}. As considerações mais importantes na hora do projeto são:

1. A razão r determina todos os pontos notáveis da CTT; quanto maior o valor de r, menor o valor de V_{OL} (veja a Equação 13.39) e maiores as margens de ruído (Equações 13.41 e 13.42). Entretanto, um valor maior de r resulta em um aumento da assimetria da resposta dinâmica e, para um dado $(W/L)_n$, faz a porta ter área elevada. Portanto, selecionar um valor adequado para r representa um compromisso entre as margens de ruído de um lado e área ocupada de silício e t_P do outro. Normalmente, r é escolhida na faixa de 4 a 10.
2. Depois de fixar r, podemos selecionar um valor para $(W/L)_p$ ou $(W/L)_n$, sendo que, fixado um, o outro fica automaticamente determinado. Para conservar a área da porta pequena, devemos escolher $(W/L)_n$ pequeno e, portanto, ter um pequeno valor de C. De forma análoga, a escolha de $(W/L)_p$ pequeno conserva I_{estat} e P_D ambos com valores baixos. Por outro lado, devemos escolher razões (W/L) grandes se desejarmos obter t_P baixo e, portanto, resposta transitória rápida. Para aplicações comuns de alta velocidade, $(W/L)_p$ é selecionado tal que I_{estat} esteja na faixa de 50 a 100 μA, o que para um $V_{DD} = 5$ V resulta em P_D na faixa de 0,25 a 0,5 mW.

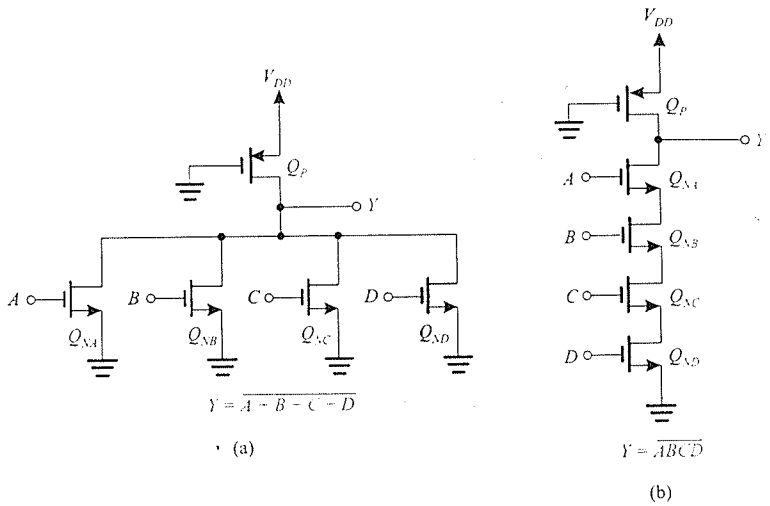


Figura 13.22 Portas NOU e NE do tipo pseudo-NMOS.

Síntese das Portas Pseudo-NMOS

Exceto pelo dispositivo de carga, o bloco PDN dos circuitos pseudo-NMOS deve ser projetado da mesma forma que para portas CMOS complementares. A Figura 13.22 mostra portas NOU e NE pseudo-NMOS com quatro entradas cada. Note que cada uma dessas portas necessita de apenas cinco transistores comparados com os oito das correspondentes portas CMOS complementares. Quando se utiliza pseudo-NMOS, as portas NOU são preferidas em relação às portas NE, uma vez que não utilizam transistores em série e, portanto, podem ser projetadas com dispositivos NMOS de menor área.

Observações Finais

Os circuitos pseudo-NMOS são particularmente preferidos em aplicações em que a saída permaneça em nível alto a maior parte do tempo. Nessas aplicações, a dissipação de potência estática pode ser razoavelmente baixa (uma vez que a porta dissipa potência apenas quando a saída está em nível baixo).

Além disso, os pseudo-NMOS também são preferidos quando se presume que as transições de interesse na saída ocorrem de nível alto para nível baixo, sendo que o atraso na propagação pode ser feito tão pequeno quanto necessário. Uma aplicação particular desse tipo pode ser encontrada no projeto de decodificadores de endereço para pastilhas de memória (Seção 13.11) e memórias apenas de leitura (Seção 13.12).

EXEMPLO 13.3

Considere o inversor pseudo-NMOS fabricado na tecnologia CMOS especificada no Exemplo 13.1, ou seja, $\mu_n C_{ox} = 50\ \mu A/V^2$, $\mu_p C_{ox} = 20\ \mu A/V^2$, $V_{tn} = -V_{tp} = 1$ V e $V_{DD} = 5$ V. Seja a razão W/L de Q_N de (4 μm/2 μm) e $r = 9$. Obtenha:

(a) V_{OH}, V_{OL}, V_{IL}, V_M, MR_H e MR_L
(b) $(W/L)_p$
(c) I_{estat} e P_D
(d) t_{PLH}, t_{PHL} e t_P, assumindo uma capacitância total na saída do inversor de 70 fF

SOLUÇÃO

(a) $V_{OH} = V_{DD} = 5$ V

V_{OL} é obtido a partir da Equação 13.39 como

$$V_{OL} = (5-1)\left[1-\sqrt{1-\frac{1}{9}}\right] = 0{,}23 \text{ V}$$

V_{IL} é obtido a partir da Equação 13.35, resultando em

$$V_{IL} = 1+\frac{5-1}{\sqrt{9(9+1)}} = 1{,}42 \text{ V}$$

V_{IH} é obtido da Equação 13.38 como

$$V_{IH} = 1+\frac{2}{\sqrt{3\times 9}}\times(5-1) = 2{,}54 \text{ V}$$

V_M é obtido da Equação 13.36 resultando em

$$V_M = 1+\frac{5-1}{\sqrt{9+1}} = 2{,}26 \text{ V}$$

As margens de ruído podem agora ser determinadas como

$$MR_H = V_{OH} - V_{IH} = 5-2{,}54 = 2{,}46 \text{ V}$$
$$MR_L = V_{IL} - V_{OL} = 1{,}42-0{,}23 = 1{,}19 \text{ V}$$

Observe que as margens de ruído não são iguais e que MR_L é relativamente menor.

(b) A razão (W/L) de Q_P pode ser obtida de

$$\frac{\mu_n C_{ox}(W/L)_n}{\mu_p C_{ox}(W/L)_p} = 9$$

$$\frac{50\times\frac{4}{2}}{20(W/L)_p} = 9$$

Portanto, $(W/L)_p = 5/9$ e seria razoável (mas não necessário) escolher $W_P = 2$ μm, o que significa $L_p = 3{,}6$ μm.

(c) A corrente *cc* para a saída em nível baixo pode ser determinada a partir da Equação 13.40,

$$I_{estat} = \frac{1}{2}\times 20\times\frac{5}{9}(5-1)^2 = 88{,}9 \text{ μA}$$

A potência estática pode agora ser encontrada a partir de

$$P_D = I_{estat}V_{DD}$$
$$= 88{,}9\times 5 = 0{,}44 \text{ mW}$$

(d) O atraso na propagação de sinal do nível baixo para o nível alto pode ser encontrado com a ajuda da Equação 13.43,

$$t_{PLH} = \frac{1{,}7\times 70\times 10^{-15}}{20\times 10^{-6}\times\frac{5}{9}\times 5} = 2{,}14 \text{ ns}$$

O atraso na propagação de sinal do nível alto para o nível baixo pode ser encontrado com a ajuda da Equação 13.45,

$$t_{PHL} = \frac{1{,}7\times 70\times 10^{-15}}{50\times 10^{-6}\times\frac{4}{2}\times 5} = 0{,}24 \text{ ns}$$

Finalmente, o atraso total na propagação de sinal pode ser determinado como sendo

$$t_P = \frac{1}{2}(2{,}14+0{,}24) = 1{,}19 \text{ ns}$$

Embora o atraso na propagação de sinal seja consideravelmente maior do que o do inversor CMOS complementar do Exemplo 13.1, essa não é uma comparação adequada: lembre-se de que a principal vantagem do pseudo-NMOS reside em portas com *fan-in* elevado e não em um simples inversor.

Exercícios

D13.6 Mantendo r inalterado, reprojete o circuito inversor do Exemplo 13.3 de forma a abaixar a dissipação de potência estática à metade do valor encontrado. Obtenha as razões (W/L) para o novo projeto. Também obtenha t_{PLH}, t_{PHL} e t_P assumindo que C permaneça inalterado. As margens de ruído mudam nesse caso?

Resposta $(W/L)_n = 1$; $(W/L)_p = 0{,}278$; 4,28 ns; 0,48 ns; 2,38 ns; não

[*Nota*: Uma possível escolha de dimensões seria $(W/L)_n$ = 2 μm/2 μm e $(W/L)_p$ = 2 μm/7,2 μm.]

D13.7 Reprojete o inversor do Exemplo 13.3 utilizando $r = 4$. Obtenha V_{OL} e as margens de ruído. Se $(W/L)_n$ = 4 μm/2 μm, obtenha $(W/L)_p$, I_{estat}, P_D, t_{PLH}, t_{PHL} e t_P. Assuma C = 70 fF.

Resposta $V_{OL} = 0{,}54$ V; $MR_L = 1{,}35$ V; $MR_H = 1{,}69$ V; $(W/L)_p = 5/4$ (portanto, uma possível escolha seria L_p = 2 μm e W_p = 2,5 μm); $I_{estat} = 0{,}2$ mA; $P_D = 1$ mW; $t_{PLH} = 0{,}95$ ns; $t_{PHL} = 0{,}24$ ns; $t_P = 0{,}6$ ns

13.5 CIRCUITOS LÓGICOS COM TRANSISTORES DE PASSAGEM

Uma estratégia relativamente simples para implementar funções lógicas emprega combinações em série e paralelo de chaves que são controladas por variáveis lógicas de entrada para conectar nós de entrada a nós de saída (veja a Figura 13.23). Cada uma das chaves pode ser implementada ou por um transistor NMOS simples (Figura 13.24(a)) ou por um par de transistores MOS complementares conectados em uma configuração de porta de transmissão CMOS (Figura 13.24(b)) estudada na Seção 5.9. O resultado é uma forma simples de circuito lógico que é particularmente interessante para algumas funções lógicas especiais e é freqüentemente empregada em conjunto com a lógica CMOS complementar visando implementar funções de forma eficiente.

Devido ao fato de essa forma de lógica empregar transistores MOS em caminhos em série da entrada para a saída a fim de transmitir ou bloquear a passagem de um dado sinal, esse tipo de lógica é conhecido como *lógica por transistor de passagem* (*pass-transistor logic* – PTL). Conforme mencionado anteriormente, portas de transmissão CMOS são também freqüentemente empregadas para implementar chaves, o que confere a essa nova forma de circuito lógico outro nome alternativo, *lógica por porta de transmissão*. Ambos os termos têm sido empregados freqüentemente independente do tipo de implementação das chaves.

Embora conceitualmente simples, os circuitos lógicos por transistor de passagem têm de ser projetados com cuidado. A seguir, estudaremos os princípios básicos de projeto de circuitos PTL e alguns exemplos de aplicação.

Um Requisito Essencial para o Projeto

Um requisito essencial no projeto de circuitos PTL é assegurar *que todos os nós do circuito tenham a todo instante um caminho de baixa resistência seja para V_{DD}, seja para o terra.* Para entender esse ponto, consideremos a situação mostrada na Figura 13.25(a): uma chave S_1 (normalmente parte de uma rede PTL maior que não está mostrada) é empregada para formar uma função E através de sua variável de controle B e a variável A disponível na saída do inversor CMOS. A saída Y do circuito PTL é mostrada conectada à entrada de outro inversor. Obviamente, se B estiver em nível alto, S_1 fecha e $Y = A$. O nó Y então ficará conectado ou a V_{DD} (se A estiver em nível alto) através de Q_2 ou ao terra (se A estiver em nível baixo) através de Q_1. A questão agora é o que acontece quando B passa a nível baixo e S_1 abre. Nessa situação, o nó Y irá se tornar um nó de alta impedância. Se, inicialmente, v_Y estava em zero, ele assim permanecerá.

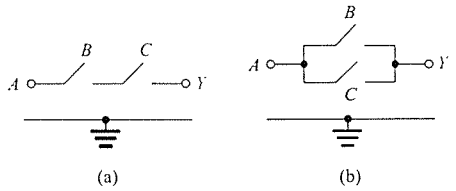


Figura 13.23 Portas conceituais empregando lógica por transistor de passagem: **(a)** Duas chaves, controladas pelas variáveis de entrada B e C, conectadas em série no caminho entre um nó de entrada no qual uma varíavel A de entrada está sendo aplicada e o nó de saída (com uma carga capacitiva implícita para o terra). A função implementada nesse caso é $Y = ABC$. **(b)** Quando as duas chaves estão conectadas em paralelo, a função implementada é $Y = A(B + C)$.

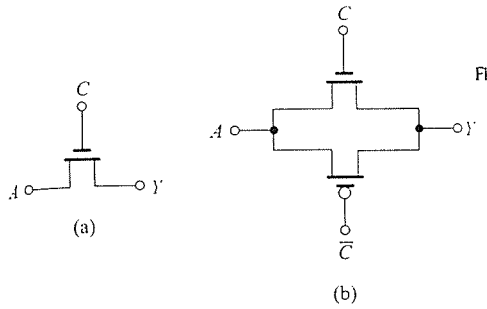


Figura 13.24 Duas implementações possíveis de uma chave controlada por tensão conectando os nós A e Y: **(a)** com um transistor NMOS simples e **(b)** com uma porta de transmissão CMOS.

Entretanto, se inicialmente v_Y estava alto em V_{DD}, essa tensão será mantida pela carga na capacitância parasita C, mas somente por algum tempo: as correntes de fuga inevitavelmente descarregarão a capacitância parasita C e v_Y diminuirá. Nesse caso, o circuito não poderá mais ser considerado um circuito lógico estático.

O problema pode ser facilmente resolvido estabelecendo-se no nó Y um caminho de baixa resistência que é ativado quando B fica em nível baixo, conforme mostrado na Figura 13.25(b). Nesse caso, outra chave controlada por $\overline{B}$ está conectada entre o Y e o terra. Quando B passa para nível baixo, S_2 fecha e estabelece um caminho de baixa resistência entre o Y e o terra.

Operação do Transistor NMOS como Chave

Implementar as chaves em um circuito PTL apenas com transistores NMOS resulta em um circuito mais simples com menor área e menor capacitância por nó. Essas vantagens, entretanto, são obtidas às custas de fazer concessões sérias tanto nas características estáticas como no desempenho dinâmico do circuito resultante. As características não-ideais do transistor NMOS como chave em uma aplicação digital são essencialmente iguais àquelas mostradas quando ele opera como chave analógica (Seção 5.9).

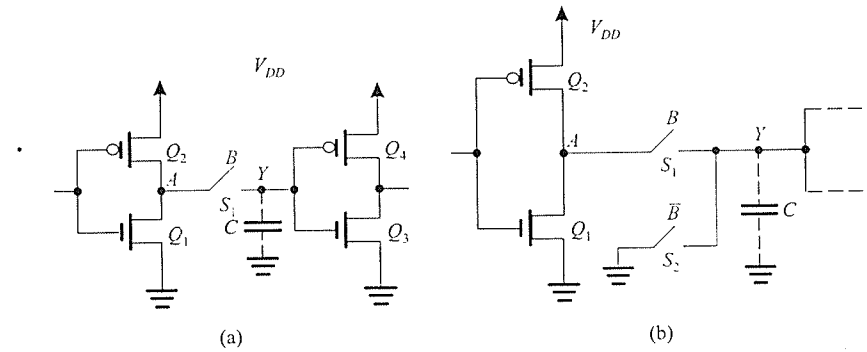


Figura 13.25 Um requisito básico no projeto de circuitos PTL é que qualquer nó deve a qualquer instante ter um caminho de baixa resistência ou para V_{DD} ou para o terra. Tal situação não existe: **(a)** quando B está em nível baixo e S_1 está aberta. Isso é resolvido em **(b)** por meio da chave S_2.

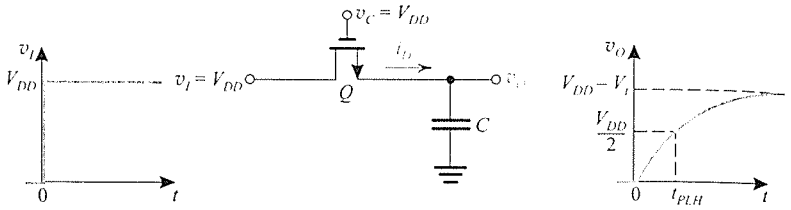


Figura 13.26 Operação do transistor NMOS como uma chave na implementação de circuitos PTL. Essa análise corresponde ao caso em que a chave está fechada (v_C está em nível alto) e a entrada subitamente passa de 0 a V_{DD} ($v_I = V_{DD}$ para $t > 0$).

Como ilustração, consideremos o circuito mostrado na Figura 13.26, no qual o transistor NMOS Q_1 é utilizado para implementar uma chave que conecta um nó de entrada com tensão v_I a um nó de saída. A capacitância total entre o nó de saída e o terra está representada pelo capacitor C. A chave está mostrada na situação fechada, o que corresponde a ter um nível alto na porta do transistor igual a V_{DD}. Desejamos analisar a operação do circuito a partir do instante ($t = 0$) em que a tensão de entrada v_I passa de 0 a V_{DD}. Assume-se que inicialmente a tensão de saída v_O seja zero e o capacitor C no nó de saída esteja inteiramente descarregado.

Quando v_I estiver em nível alto, o transistor operará no modo de saturação e fornecerá uma corrente i_D para carregar o capacitor, dada por:

$$i_D = \frac{1}{2}k_n(V_{DD} - v_O - V_t)^2 \tag{13.46}$$

em que $k_n = k_n'(W/L)$ e V_t é determinado pelo efeito de corpo, uma vez que a fonte está em uma tensão v_O que passa a ser a tensão de corpo, portanto (veja a Equação 5.30),

$$V_t = V_{t0} + \gamma(\sqrt{v_O + 2\phi_f} - \sqrt{2\phi_f}) \tag{13.47}$$

Portanto, inicialmente (em $t = 0$), $V_t = V_{t0}$ e a corrente i_D é relativamente grande. Entretanto, como C vai sendo carregado e v_O vai crescendo, V_t aumentará (Equação 13.47) e i_D diminuirá. O último efeito é devido tanto ao aumento em v_O como em V_t. Portanto, o processo de carregamento será relativamente lento. Um fato ainda mais sério a ser observado na Equação 13.46 é que i_D se reduz a zero quando v_O alcança ($V_{DD} - V_t$). Portanto, a tensão na saída (V_{OH}) não será igual a V_{DD}; na verdade, ela será menor por uma parcela V_t e, no pior caso, o valor de V_t pode ser de 1,5 a 2 vezes V_{t0}!

O baixo valor de V_{OH} (comumente denominado de "1 pobre"), além de reduzir a imunidade a ruídos da porta, tem outro efeito prejudicial: considere o caso quando o nó de saída está conectado à entrada de um inversor CMOS complementar (como foi o caso na Figura 13.25). O baixo valor de V_{OH} pode fazer com que o transistor Q_P do inversor de carga conduza. Portanto, o inversor terá uma corrente estática finita e também uma dissipação de potência estática.

O atraso na propagação t_{PLH} da porta PTL, na Figura 13.26, pode ser determinado como sendo o tempo necessário para que v_O alcançe $V_{DD}/2$. Isso pode ser feito utilizando-se técnicas similares àquelas empregadas na seção anterior e será ilustrado em breve em um exemplo.

A Figura 13.27 mostra o circuito da chave NMOS quando v_I passa subitamente de V_{DD} para 0 V. Assumimos que inicialmente $v_O = V_{DD}$. Portanto, em $t = 0+$, o transistor conduz e opera na região de saturação,

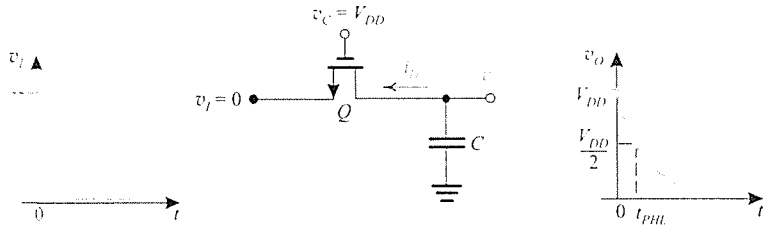


Figura 13.27 Operação da chave NMOS quando a entrada passa subitamente de V_{DD} a 0 V ($v_I = 0$ V em $t = 0+$). Note que o dreno de um transistor NMOS apresenta sempre potencial maior do que a fonte. Note também que o dreno e a fonte têm papéis trocados no circuito desta figura comparados ao circuito da Figura 13.26.

$$i_D = \frac{1}{2}k_n(V_{DD} - V_t)^2 \tag{13.48}$$

na qual notamos que, uma vez que a fonte está agora em 0 V (note que o dreno e a fonte têm agora papéis trocados em relação ao caso anterior), não haverá nenhum efeito de corpo e V_t permanecerá constante em V_{t0}. Como C descarrega, v_O diminui e o transistor entra na região de triodo em $v_O = V_{DD} - V_t$. Dentro da região de triodo, o capacitor descarregará continuamente até estar inteiramente descarregado, de forma a ter $v_O = 0$. Portanto, o transistor NMOS permite ter $V_{OL} = 0$, ou seja, o transistor NMOS transmite bem o zero ou, ainda, fornece um "bom 0". Por outro lado, o atraso na propagação t_{PHL} pode ser determinado utilizando-se técnicas usuais, como será mostrado no próximo exemplo.

EXEMPLO 13.4

Considere o transistor NMOS como chave nos circuitos das Figuras 13.26 e 13.27 a serem fabricados em uma tecnologia com $\mu_n C_{ox} = 50\ \mu A/V^2$, $\mu_p C_{ox} = 20\ \mu A/V^2$, $|V_{t0}| = 1$ V, $\gamma = 0{,}5\ V^{1/2}$, $2\phi_F = 0{,}6$ V e $V_{DD} = 5$ V. Considere que o transistor tenha a área mínima para essa tecnologia, ou seja, 4 μm/2 μm, e assuma que a capacitância total entre o nó de saída e o terra seja $C = 50$ fF.

(a) Para o caso em que v_I esteja em nível alto (Figura 13.26), obtenha V_{OH}.
(b) Se a saída alimenta um inversor CMOS com $(W/L)_p = 2{,}5(W/L)_n = 10$ μm/2 μm, obtenha a corrente estática do inversor e sua dissipação de potência quando sua entrada for o valor encontrado em (a). Também obtenha a tensão de saída do inversor.
(c) Obtenha t_{PLH}
(d) Para o caso em que v_I subitamente chaveia de V_{DD} para 0 (Figura 13.27), obtenha t_{PHL}.
(e) Obtenha t_P.

SOLUÇÃO

(a) Considere a Figura 13.26. V_{OH} é o valor de v_O em que Q pára de conduzir,

$$V_{DD} - V_{OH} - V_t = 0$$

A função de "restauração de nível" realizada pelo transistor Q_R é muito empregada no projeto de circuitos digitais MOS. Convém também destacar que, apesar de a descrição da operação do circuito da Figura 13.28 ser relativamente direta, a adição do transistor Q_R acaba fechando uma malha de realimentação positiva ao redor do inversor CMOS e, portanto, a operação de Q_R deve ser cuidadosamente projetada, especialmente durante as transições ou transitórios. Nesse caso, a escolha da razão (W/L) deve ser tal que $k_r << k_n$ (digamos um terço ou um quinto como relação máxima). Intuitivamente, isso é bastante atrativo porque implica que Q_R não terá outra função no circuito, a não ser restaurar o nível de V_{OH} para V_{DD}, como foi explicado [veja Rabaey (1996)]. O transistor, nesse caso, é dito ser um "transistor PMOS fraco".

Outra técnica para corrigir a perda no nível alto do sinal de saída da chave (V_{OH}) está baseada em uma solução tecnológica. Especificamente, lembre-se de que a perda no valor de V_{OH} é igual a V_{tn}. Portanto, podemos reduzir a perda utilizando um valor menor de V_{tn} para a chave NMOS. Podemos inclusive eliminar toda a perda utilizando dispositivos com $V_{tn} = 0$. Esses dispositivos com tensão de limiar nula podem ser fabricados utilizando-se implantação iônica para controlar o valor de V_{tn} e são conhecidos como "dispositivos naturais" (natural devices).

Utilização da Porta de Transmissão como Chave

Um desempenho substancialmente melhor sob os pontos de vista estático e dinâmico é obtido quando as chaves são implementadas com portas de transmissão CMOS. Isso era esperado pelo que vimos a respeito da porta de transmissão na Seção 5.9. Lembre-se de que naquela ocasião chegamos à conclusão de que ela era uma excelente chave analógica, com possibilidade de fluxo de corrente bidirecional e exibindo uma resistência que é quase constante para uma larga faixa de tensões de entrada. Essas mesmas características, em essência, fazem da porta de transmissão uma excelente opção para as chaves empregadas em lógica de transistor de passagem (PTL).

A Figura 13.29(a) mostra uma chave tipo porta de transmissão na situação "habilitada" (on) com a entrada v_I passando de 0 a V_{DD} em $t = 0$. Assumindo, como antes, que inicialmente a tensão de saída seja zero, vemos que Q_N operará na saturação e fornecerá uma corrente de carga de

$$i_{DN} = \frac{1}{2}k_n(V_{DD} - v_O - V_{tn})^2 \tag{13.49}$$

em que, como no caso da chave NMOS simples, V_{tn} é determinado com a ajuda do efeito de corpo conforme segue:

$$V_{tn} = V_{t0} + \gamma(\sqrt{v_O + 2\phi_f} - \sqrt{2\phi_f}) \tag{13.50}$$

O transistor Q_N conduzirá uma corrente que se reduz a zero em $v_O = V_{DD} - V_{tn}$. Observe, entretanto, que Q_P opera com $V_{SG} = V_{DD}$ e está inicialmente na saturação,

$$i_{DP} = \frac{1}{2}k_p(V_{DD} - |V_{tp}|)^2 \tag{13.51}$$

em que, uma vez que o substrato de Q_P está conectado a V_{DD}, $|V_{tp}|$ permanece constante no valor V_{t0}, que estamos assumindo ser o mesmo que para o dispositivo canal n. A corrente total de carregamento do capacitor será a soma de i_{DN} e i_{DP}. É fácil verificar que Q_P entra na região de triodo em $v_O = |V_{tp}|$, mas continuará a conduzir até que C esteja inteiramente carregado em $v_O = V_{OH} = V_{DD}$. Portanto, o dispositivo canal p transmitirá para a saída o nível alto de forma eficiente ou um "bom 1". O valor de t_{PLH} pode ser calculado utilizando-se técnicas usuais, das quais esperamos que t_{PLH} seja menor do que no caso de uma chave NMOS simples para o mesmo valor de C, devido à existência da corrente adicional fornecida pelo dispositivo PMOS. Note, entretanto, que o fato de haver um transistor PMOS a mais aumenta o valor de C comparado à chave com um único transistor NMOS.

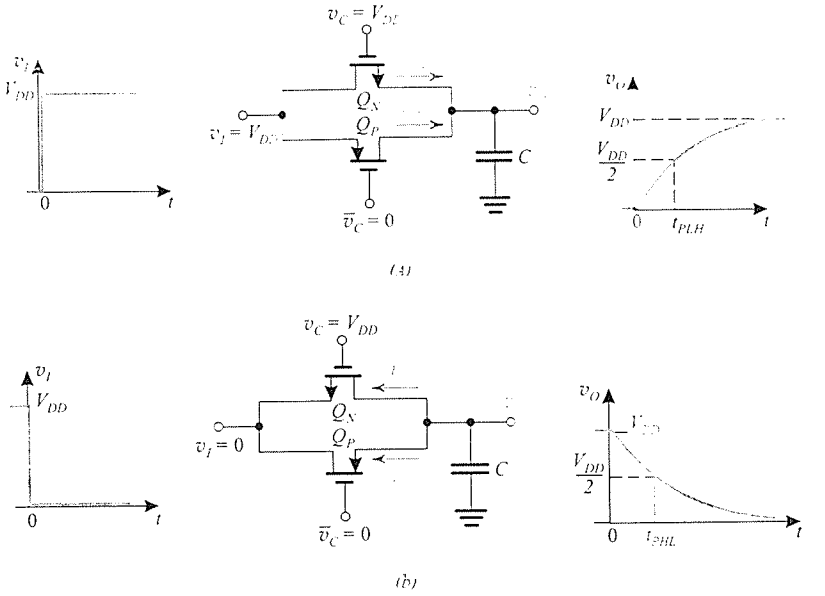


Figura 13.29 Operação da porta de transmissão como uma chave em circuitos PTL: (a) v_I passa de 0 V a V_{DD} no instante $t = 0+$; (b) v_I passa de V_{DD} a 0 V no instante $t = 0+$.

Quando v_I passa de V_{DD} para 0 V no instante $t = 0+$, como mostrado na Figura 13.29(b), Q_N e Q_P trocam de papéis. A análise do circuito na Figura 13.29(b) indica que Q_P cessará de conduzir quando v_O cair para $|V_{tp}|$, em que $|V_{tp}|$ é dado por

$$|V_{tp}| = V_{t0} + \gamma(\sqrt{V_{DD} - v_O + 2\phi_f} - \sqrt{2\phi_f}) \tag{13.52}$$

O transistor Q_N, entretanto, continua a conduzir até que C esteja inteiramente descarregado e $v_O = V_{OL} = 0$ V, ou seja, um "bom 0."

Podemos concluir que as portas de transmissão apresentam um desempenho superior, tanto estático como dinâmico, quando comparadas às chaves NMOS simples. O preço pago é o aumento da complexidade do circuito, da área ocupada e da capacitância.

Exercício

13.8 A porta de transmissão das Figuras 13.29(a) e 13.29(b) é fabricada em uma tecnologia de processamento CMOS com $k'_n = 50\ \mu A/V^2$, $k'_p = 20\ \mu A/V^2$, $V_{tn} = |V_{tp}|$, $V_{t0} = 1$ V, $\gamma = 0{,}5\ V^{1/2}$, $2\phi_f = 0{,}6$ V e $V_{DD} = 5$ V. Sejam Q_N e Q_P transistores de área mínima com $(W/L)_n = (W/L)_p = 4\ \mu m/2\ \mu m$. A capacitância total no nó de saída é 70 fF. Utilize tanto quanto possível os resultados do Exemplo 13.4.

assim,

$$V_{OH} = V_{DD} - V_t$$

em que V_t é o valor da tensão de limiar para uma polarização reversa de corpo igual a V_{OH}. Utilizando a Equação 13.47,

$$V_t = V_{t0} + \gamma(\sqrt{V_{OH} + 2\phi_f} - \sqrt{2\phi_f})$$
$$= V_{t0} + \gamma(\sqrt{V_{DD} - V_t + 2\phi_f} - \sqrt{2\phi_f})$$

Substituindo $V_{t0} = 1$, $\gamma = 0{,}5$, $V_{DD} = 5$ e $2\phi_f = 0{,}6$, obtemos uma equação quadrática em V_t cuja solução é

$$V_t = 1{,}6 \text{ V}$$

Portanto,

$$V_{OH} = 3{,}4 \text{ V}$$

Note que isso representa uma perda significativa de amplitude de sinal.

(b) O inversor de carga terá um sinal de entrada de 3,4 V. Portanto, o transitor Q_P conduzirá uma corrente de

$$i_{DP} = \frac{1}{2} \times 20 \times \frac{10}{2}(5 - 3{,}4 - 1)^2 = 18 \text{ μA}$$

Portanto, a dissipação de potência estática do inversor será

$$P_D = V_{DD} i_{DP} = 5 \times 18 = 90 \text{ μW}$$

A tensão de saída do inversor pode ser obtida notanto-se que Q_N operará na região de triodo. Equacionando de forma que sua corrente seja igual à de Q_P (isto é, 18 μA) resulta em uma tensão de saída de 0,08 V.

(c) Para determinar t_{PLH}, precisamos encontrar a corrente i_D em $t = 0$ (em que $v_O = 0$, $V_t = V_{t0} = 1$ V) e em $t = t_{PLH}$ (em que $v_O = 2{,}5$ V, V_t já foi determinado), como segue:

$$i_D(0) = \frac{1}{2} \times 50 \times \frac{4}{2} \times (5 - 1)^2 = 800 \text{ μA}$$

$$V_t(\text{para } v_O = 2{,}5 \text{ V}) = 1 + 0{,}5(\sqrt{2{,}5 + 0{,}6} - \sqrt{0{,}6}) = 1{,}49 \text{ V}$$

$$i_D(t_{PLH}) = \frac{1}{2} \times 50 \times \frac{4}{2} \times (5 - 2{,}5 - 1{,}49)^2 = 50 \text{ μA}$$

Podemos agora calcular a corrente de descarga média como

$$i_D|_{\text{méd}} = \frac{800 + 50}{2} = 425 \text{ μA}$$

e t_{PLH} pode ser encontrado como

$$t_{PLH} = \frac{C(V_{DD}/2)}{i_D|_{\text{méd}}}$$
$$= \frac{50 \times 10^{-15} \times 2{,}5}{425 \times 10^{-6}} = 0{,}29 \text{ ns}$$

(d) Considere o circuito da Figura 13.27. Observe que nesse caso V_t permanece constante em $V_{t0} = 1$ V. A corrente de dreno em $t = 0$ será

$$i_D(0) = \frac{1}{2} \times 50 \times \frac{4}{2}(5 - 1)^2 = 800 \text{ μA}$$

Em $t = t_{PHL}$, Q estará operando na região de triodo e, portanto,

$$i_D(t_{PHL}) = 50 \times \frac{4}{2}\left[(5 - 1) \times 2{,}5 - \frac{1}{2} \times 2{,}5^2\right]$$
$$= 690 \text{ μA}$$

Assim, a corrente de descarga média será dada por

$$i_D|_{\text{méd}} = \frac{1}{2}(800 + 690) = 740 \text{ μA}$$

e t_{PHL} pode ser determinado por

$$t_{PHL} = \frac{50 \times 10^{-15} \times 2{,}5}{740 \times 10^{-6}} = 0{,}17 \text{ ns}$$

(e) $t_P = \frac{1}{2}(t_{PLH} + t_{PHL}) = \frac{1}{2}(0{,}29 + 0{,}17) = 0{,}23$ ns

O exemplo anterior ilustra de forma clara o problema de perda de sinal e seu efeito prejudicial na operação do inversor que serve como carga. Algumas técnicas engenhosas têm sido desenvolvidas para restaurar o nível da tensão de saída para V_{DD}. Discutiremos brevemente duas dessas técnicas, uma baseada na construção de um circuito e a outra baseada na tecnologia de processamento.

A Figura 13.28 mostra um circuito composto por um transistor Q_R externo ao inversor e ao transistor de passagem Q_1 capaz de restaurar o nível V_{DD} de saída. O nó de saída da rede PTL está conectado à entrada de um inversor complementar formado por Q_N e Q_P. O transistor PMOS Q_R cujo terminal de porta é controlado pela tensão de saída do inversor, v_{O2}, tem seu dreno conectado à entrada do inversor e a sua fonte conectada em V_{DD}. Observe que, quando a tensão v_{O1} estiver em nível baixo, v_{O2} estará em um nível igual a V_{DD} e Q_R estará cortado. Por outro lado, se v_{O1} estiver em nível alto, mas abaixo de V_{DD}, a saída do inversor estará em nível baixo (como deveria) e Q_R estará conduzindo e fornecerá uma corrente para carregar C até V_{DD}. Esse processo cessará quando $v_{O1} = V_{DD}$, isto é, quando a tensão de saída estiver restaurada em seu nível adequado.

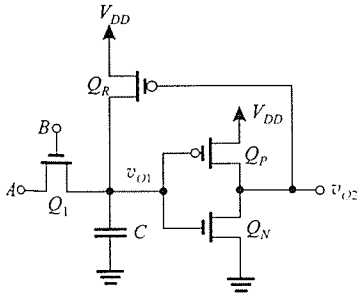


Figura 13.28 Utilização do transistor Q_R, conectado ao elo de realimentação ao redor do inversor CMOS, para restaurar o nível V_{OH} (produzido por Q_1) para V_{DD}.

(a) Para a situação apresentada na Figura 13.29(a), obtenha $i_{DN}(0)$, $i_{DP}(0)$, $i_{DN}(t_{PLH})$, $i_{DP}(t_{PLH})$ e t_{PLH}.

(b) Para a situação mostrada na Figura 13.29(b), obtenha $i_{DN}(0)$, $i_{DP}(0)$, $i_{DN}(t_{PHL})$, $i_{DP}(t_{PHL})$, e t_{PHL}. Em que valor de v_O Q_P cortará?

(c) Obtenha t_p.

Resposta (a) 800 μA, 320 μA, 50 μA, 275 μA, 0,24 ns; (b) 800 μA, 320 μA, 688 μA, 20 μA, 0,19 ns, 1,6 V; (c) 0,22 ns.

Exemplos de Circuitos Lógicos com Transistores de Passagem

Concluiremos esta seção mostrando exemplos de circuitos lógicos PTL. A Figura 13.30 mostra uma implementação PTL de um multiplexador dois-para-um: baseado no valor lógico de C, ou A ou B é conectado à saída Y. O circuito realiza a função Booleana

$$Y = CA + \overline{C}B$$

Nosso segundo exemplo é uma implementação eficiente da função Ou-Exclusivo (XOU). O circuito mostrado na Figura 13.31 utiliza quatro transistores nas duas portas de transmissão e outros quatro para os dois inversores necessários para gerar os complementos $\overline{A}$ e B, resultando em um total de oito transistores. Em contraste, foram necessários 12 transistores para a implementação com CMOS complementar (veja a Seção 13.3).

Nosso último exemplo de PTL é o circuito mostrado na Figura 13.32. Ele utiliza chaves NMOS com tensão de limiar baixa ou igual a zero. Observe que as variáveis de entrada e seus complementos estão sendo empregadas e que o circuito gera tanto a função Booleana como seu complemento. Portanto, essa forma de circuito é conhecida como **lógica de transistor de passagem complementar** (*complementary pass-transistor logic* – CPL).

O circuito consiste em duas redes idênticas de transistores de passagem com os correspondentes transistores controlados pelo mesmo sinal (B e $\overline{B}$).

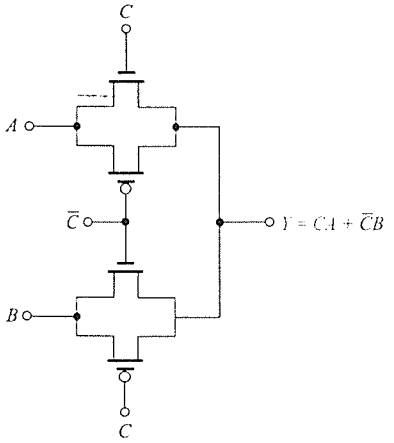


Figura 13.30 Implementação de um multiplexador dois-para-um utilizando lógica de transistor de passagem.

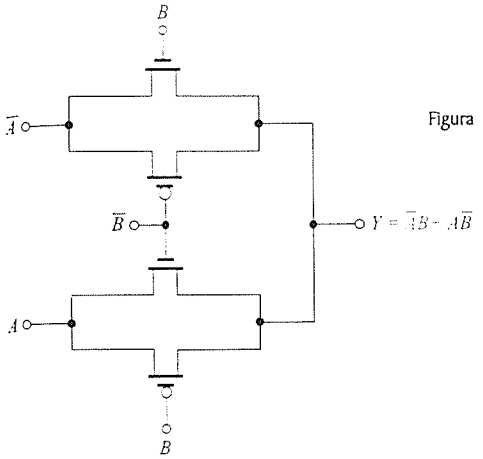


Figura 13.31 Implementação da função Ou-Exclusivo utilizando lógica de transistor de passagem.

Em outras palavras, as entradas para o PTL são complementares: A e B para a primeira rede e $\overline{A}$ e B para a segunda. O circuito mostrado implementa tanto a função E como a função NE.

Exercício

13.9 Considere o circuito da Figura 13.32 com os sinais de entrada trocados, conforme descrito a seguir. Para cada caso obtenha Y e Y:

(a) Os sinais nos terminais 5 e 6 são trocados entre si ($\overline{B}$ aplicado em 5 e B aplicado em 6). Todo o resto do circuito é o mesmo.

(b) Os sinais nos terminais 5 e 6 são trocados entre si como em (a) e os sinais em 2 e 4 são trocados para $\overline{A}$ e A, respectivamente.

Resposta (a) $Y = A + B$, $Y = AB = A + B$, isto é, OU-NOU, (b) $Y = AB + AB$, $Y = \overline{A}\,\overline{B} + AB$, isto é XOU-XNOU.

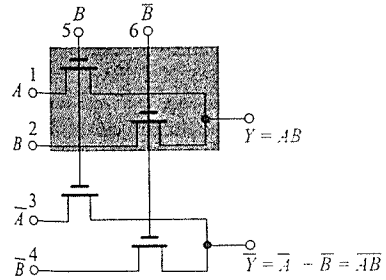


Figura 13.32 Exemplo de uma porta implementada com lógica de transitor de passagem empregando variáveis de entrada juntamente com seus complementos. Este tipo de circuito é, portanto, conhecido como lógica de transistor de passagem complementar (complementary pass-transistor logic – CPL). Note que tanto a função de saída como seu complemento são gerados.

Uma Observação Final

Embora a utilização de dispositivos com tensão de limiar nula resolva o problema de perda do nível de sinal na saída quando chaves NMOS são empregadas, os circuitos resultantes passam a ser muito mais sensíveis a ruídos e outros efeitos, como correntes de fuga resultantes da condução na região de sublimiar.

13.6 CIRCUITOS COM LÓGICA DINÂMICA

Os circuitos lógicos que estudamos até agora são do tipo estático. Nos circuitos lógicos estáticos, todos os nós têm ao mesmo tempo caminhos de baixa resistência ou para V_{DD} ou para o terra. Ou seja, a tensão em cada nó é bem definida em qualquer instante, de forma que nenhum nó nunca fica flutuante. Os circuitos estáticos não necessitam de pulsos de relógio (isto é, pulsos periódicos no tempo) para sua operação, embora pulsos de relógio possam estar presentes para outras funções. Em contraste, os circuitos lógicos dinâmicos, sobre os quais vamos falar, baseiam-se no armazenamento de tensões em capacitâncias parasitas em certos nós de um dado circuito. Uma vez que a carga pode degradar com o passar do tempo, os circuitos baseados nesse armazenamento necessitarão periodicamente passar por um processo de restauração (de carga) e, portanto, a presença de pulsos de relógio com uma certa freqüência mínima é essencial.

Antes de introduzir as técnicas de projeto em lógica dinâmica, recordaremos rapidamente as principais características e estilos dos circuitos lógicos estudados. O CMOS complementar supera os outros tipos em quase todos os itens de desempenho: ele é fácil de projetar, tem a máxima excursão lógica possível, é robusto sob o ponto de vista de imunidade a ruídos, praticamente não dissipa potência estática e pode ser projetado de forma a ter atrasos iguais na propagação de nível baixo para alto e de nível alto para baixo. Sua principal desvantagem é a necessidade de dois transistores para cada entrada adicional em uma dada porta, o que para portas com elevado *fan-in* pode fazer a área da pastilha ficar grande, além de aumentar a capacitância total e, como conseqüência, aumentar o atraso na propagação de sinal e a dissipação de potência dinâmica. O pseudo-NMOS reduz o número de transistores necessários às custas de dissipação de potência estática. A lógica com transistores de passagem pode resultar em circuitos simples com pequena área, mas está limitada a aplicações especiais e necessita do uso de inversores CMOS complementares para restaurar os níveis de sinal, especialmente quando as chaves são simplesmente transistores NMOS. As técnicas de lógica dinâmica, a serem estudadas nesta seção, mantêm o baixo número de dispositivos, característica dos circuitos pseudo-NMOS, além de possuir a vantagem adicional de ao mesmo tempo reduzir a dissipação de potência estática a zero. Conforme veremos, isso é conseguido às custas de um projeto mais complexo e menos robusto.

Princípio Básico

A Figura 13.33(a) mostra uma porta básica implementada com lógica dinâmica. Ela consiste em uma rede abaixadora PDN que implementa a função lógica exatamente como a rede PDN de uma porta CMOS complementar ou de uma porta pseudo-NMOS. A diferença é que temos duas chaves em série que são periodicamente controladas por um sinal de relógio ϕ cuja forma de onda está mostrada na Figura 13.33(b). Quando ϕ estiver em nível baixo, Q_p estará conduzindo e o circuito estará na etapa de adequação (*setup*) ou ainda em **fase de pré-carga**. Por outro lado, quanto ϕ estiver em nível alto, Q_p estará cortado e Q_e estará conduzindo e o circuito passará a estar em **fase de avaliação**. Finalmente, note que C_L corresponde à capacitância total entre o nó de saída e o terra.

Durante a pré-carga, Q_p conduz e carrega a capacitância C_L, tal que, no final do intervalo de pré-carga, a tensão em Y será igual a V_{DD}. Também, durante a pré-carga, as entradas A, B e C estão autorizadas a mudar para os valores que desejarmos. Observe que, como Q_e está cortado, não há caminho algum para o terra.

Durante a fase de avaliação, Q_p está cortado e Q_e está conduzindo. Se a combinação das entradas for tal que corresponda a uma saída em nível alto, o bloco PDN não conduzirá (exatamente como no caso de uma porta CMOS complementar) e a saída permanecerá alta em V_{DD}, portanto $V_{OH} = V_{DD}$. Observe que não haverá nenhuma propagação de sinal de nível baixo para alto, portanto teremos $t_{PLH} = 0$. Por outro lado, se a combinação das entradas for tal que corresponda a uma saída em nível baixo, os transistores apropriados no bloco PDN conduzirão e estabelecerão um caminho entre o nó de entrada e o terra através do transistor Q_e. Portanto, C_L será descarregado através do bloco PDN e a tensão no nó de saída passará a ser $V_{OL} = 0$ V. O atraso na propagação de sinal de nível alto para baixo, t_{PHL}, pode ser determinado exatamente do mesmo modo que para o circuito CMOS complementar, exceto que nesse caso temos um transistor a mais, Q_e, em série no caminho para o terra. Embora isso aumente o atraso levemente, o aumento será desprezível devido à capacitância reduzida no nó de saída como resultado da ausência do bloco PUN.

Como exemplo, a Figura 13.33(c) mostra o circuito que implementa a função $Y = A + BC$.

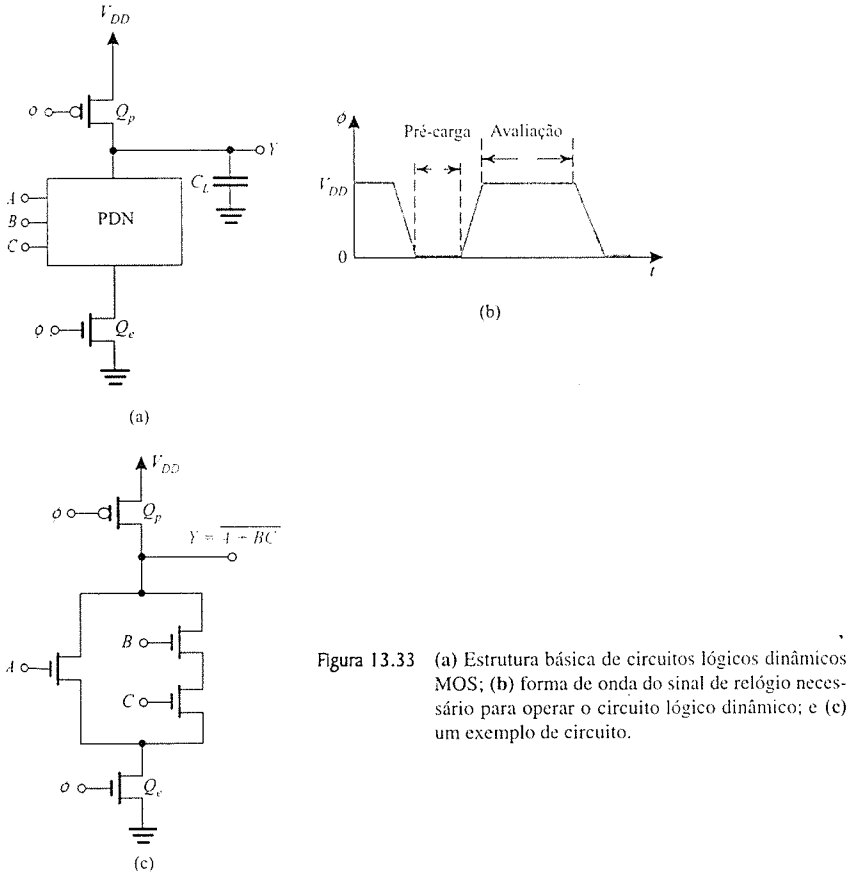


Figura 13.33 (a) Estrutura básica de circuitos lógicos dinâmicos MOS; (b) forma de onda do sinal de relógio necessário para operar o circuito lógico dinâmico; e (c) um exemplo de circuito.

O dimensionamento dos transistores do bloco PDN na maioria das vezes segue os mesmos procedimentos empregados no projeto de circuitos CMOS estáticos. Para Q_p, devemos escolher uma razão (W/L) que seja suficientemente grande para garantir que a capacitância C_L seja inteiramente carregada durante o intervalo de pré-carga. O tamanho de Q_p, entretanto, deve ser o menor possível, de modo a não aumentar significativamente a capacitância C_L. Isso significa que estamos tratando de uma lógica dinâmica MOS sem relação e, portanto, os níveis de saída não dependerão substancialmente das razões W/L dos transistores.

Exercícios

Considere uma porta NE de quatro entradas implementada na forma de lógica dinâmica e fabricada em uma tecnologia CMOS com $\mu_n C_{ox} = 50\ \mu A/V^2$, $\mu_p C_{ox} = 20\ \mu A/V^2$, $V_{tn} = |V_{tp}| = 1$ V e $V_{DD} = 5$ V. A fim de conservar C_L pequeno, dispositivos NMOS com área mínima foram empregados, isto é, $W/L = 4\ \mu m/2\ \mu m$. A capacitância total C_L encontrada foi de 30 fF.

13.10 Considere a operação de pré-carga com a porta de Q_p caindo para 0 V e assuma que, em $t = 0$, C_L está inteiramente descarregado. Desejamos calcular o tempo de subida da tensão de saída, definido como o tempo para que v_Y passe de 10% para 90% do valor final de 5 V. Obtenha a corrente para $v_Y = 0{,}5$ V e a corrente para $v_Y = 4{,}5$ V e então calcule um valor aproximado para t_r.

$$t_r = \frac{C_L(4{,}5 - 0{,}5)}{I_{méd}}$$

em que $I_{méd}$ é o valor médio das duas correntes.

Resposta 480 μA; 112 μA; 0,4 ns

13.11 Agora, considere o cálculo do atraso na propagação de sinal do nível alto para o baixo, t_{PHL}. Obtenha a razão equivalente W/L dos cinco transistores em série. Em seguida, obtenha a corrente de descarga em $v_Y = 5$ V e em $v_Y = 2{,}5$ V. Finalmente, utilize a média dessas duas correntes para calcular um valor aproximado para t_{PHL}.

Resposta $(W/L)_{eq} = 0{,}4$; 160 μA; 138 μA; 0,5 ns

Características Não-ideais

Analisaremos agora, de forma sucinta, diversas razões para a operação não-ideal dos circuitos lógicos dinâmicos.

Margens de Ruído. Uma vez que, durante a fase de avaliação, os transistores NMOS começam a conduzir para $v_I = V_{tn}$,

$$V_{IL} \cong V_{IH} \cong V_{tn}$$

e, assim, as margens de ruído serão

$$MR_L = V_{tn}$$

$$MR_H = V_{DD} - V_{tn}$$

Portanto, as margens de ruído estão longe de ser iguais, sendo MR_L bastante pequena. Embora MR_H seja grande, outros efeitos podem reduzir seu valor, como veremos nesta seção. Além disso, observe que o nó de saída é um nó de alta impedância e, portanto, estará sempre susceptível à captação de ruídos e outros distúrbios.

Queda na Tensão de Saída Devido à Corrente de Fuga. Na ausência de um caminho para o terra através do bloco PDN, a tensão na saída permanecerá idealmente alta em V_{DD}. Isso, entretanto, está baseado na hipótese de que a carga em C_L permanecerá intacta. Na prática, haverá uma corrente de fuga que fará com que C_L descarregue lentamente e v_Y decaia. A principal fonte de fuga é a corrente reversa da junção reversamente polarizada formada entre as difusões de dreno dos transistores conectados ao nó de saída e o substrato. Tais correntes podem estar na faixa de 10^{-12} a 10^{-15} A e aumentam rapidamente com a temperatura (dobram de valor a cada 10°C de aumento na temperatura). Portanto, o circuito pode apresentar mau funcionamento se o sinal de relógio tiver freqüências muito baixas e o nó de saída não sofrer uma restauração periódica. Esse ponto também será abordado quando estudarmos células de memória dinâmicas.

Compartilhamento de Carga. Há outra razão mais séria para que C_L perca parte de sua carga fazendo com que v_Y caia significativamente abaixo de V_{DD}. Para ver como isso ocorre, considere a Figura 13.34(a), que mostra apenas os dois transistores superiores de um dado bloco PDN juntamente com o transistor de pré-carga Q_p. Nessa análise, C_1 é a capacitância entre o nó comum de Q_1 e Q_2 e o terra. A figura mostra a situação no começo da fase de avaliação, depois que Q_p cortou e C_L está carregada com V_{DD}. Nessa situação particular, assumimos que C_1 está inicialmente descarregada e que as entradas são tais que a porta de Q_1 está em nível alto e a porta de Q_2 está em nível baixo. Podemos facilmente ver que Q_1 conduzirá e sua corrente de dreno, i_{D1}, fluirá conforme indicado na figura. Portanto, i_{D1} descarregará C_L e carregará C_1. Embora i_{D1} possa eventualmente se reduzir a zero, C_L terá perdido parte de sua carga, que será transferida para C_1. Esse fenômeno é conhecido com compartilhamento de carga.

Não abordaremos o problema de compartilhamento de carga de forma exaustiva, apenas apresentaremos duas técnicas empregadas freqüentemente para minimizar seu efeito. A primeira delas consiste em adicionar um dispositivo canal p que conduz continuamente uma pequena corrente que passa a compensar qualquer carga perdida por C_L, conforme mostrado na Figura 13.34(b).

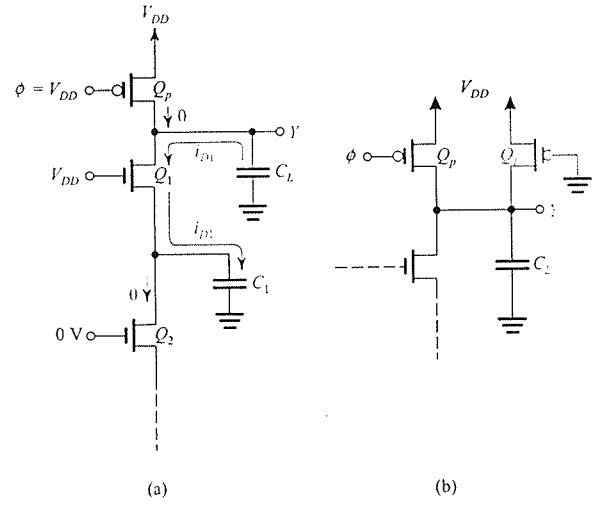


Figura 13.34 (a) Compartilhamento de carga. (b) Adição de um transistor Q_L permanentemente ligado e conduzindo para resolver o problema de compartilhamento de carga às custas de dissipação de potência estática.

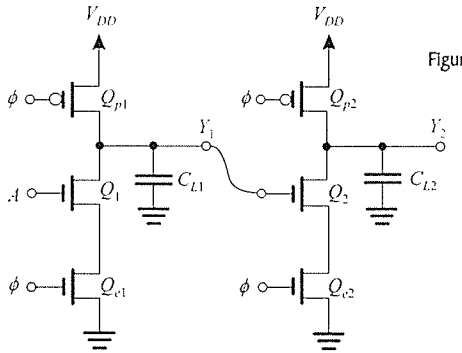


Figura 13.35 Duas portas lógicas dinâmicas de entrada simples associadas em cascata. Com a entrada A em nível alto, C_{L2} descarregará parcialmente durante a fase de avaliação e a tensão na saída Y_2 será menor do que V_{DD}, o que pode causar um erro na lógica de funcionamento.

Essa montagem nos faz lembrar dos circuitos pseudo-NMOS. De fato, a adição desse transistor fará com que a porta dissipe potência estática. Por outro lado, o transistor Q_L colocado a mais diminuirá o nível de impedância do nó de saída e irá fazê-lo menos susceptível a ruídos, bem como resolverá também o problema de fuga. A segunda técnica para resolver o problema de compartilhamento de carga é a pré-carga de todos os nós internos, isto é, pré-carregar, por exemplo, C_1. O preço pago, nesse caso, é o aumento da complexidade do circuito e das capacitâncias nodais.

Portas Lógicas Dinâmicas em Cascata. Outro problema sério pode acontecer se tentarmos associar em cascata portas lógicas dinâmicas. Considere a situação mostrada na Figura 13.35, na qual duas portas lógicas dinâmicas estão conectadas em cascata. Durante a fase de pré-carga, C_{L1} e C_{L2} serão carregadas através de Q_{p1} e Q_{p2}, respectivamente. Portanto, no final do intervalo de pré-carga, teremos $v_{Y1} = V_{DD}$ e $v_{Y2} = V_{DD}$. Agora, considere o que acontece na fase de avaliação para o caso em que a entrada A esteja em nível alto. Obviamente, o resultado correto será ter Y_1 em nível baixo ($v_{Y1} = 0$ V) e Y_2 em nível alto ($v_{Y2} = V_{DD}$). Entretanto, o que acontece realmente é bastante diferente. Assim que a fase de avaliação se inicia, Q_1 conduz e C_{L1} começa a descarregar. Somente quando v_{Y1} cair abaixo de V_{tn} é que Q_2 cortará. No instante em que Q_2 efetivamente cortar, C_{L2} já terá perdido uma quantidade significativa de carga e a tensão em v_{Y2} será menor que o valor esperado de V_{DD}. (Nesse ponto, é importante salientar que, em lógica dinâmica, se a carga é perdida, ela não pode mais ser recuperada.) Esse problema é suficientemente sério a ponto de fazer uma simples associação em cascata impraticável. Por outro lado, técnicas de projeto têm sido propostas para tornar possível a associação em cascata de portas lógicas dinâmicas. Discutiremos uma dessas técnicas no próximo item.

Exercício

13.12 Para fixar melhor os conhecimentos sobre o problema de associação em cascata descrito, determinaremos a diminuição na tensão de saída v_{Y2} para o circuito da Figura 13.35. Especificamente, considere o circuito assim que a fase de avaliação começa: em $t = 0$, $v_{Y1} = v_{Y2} = V_{DD}$ e $v_f = v_A = V_{DD}$. Os transistores Q_{p1} e Q_{p2} estão cortados e podem ser removidos do circuito equivalente. Além disso, para uma análise aproximada, podemos substituir a associação em série de Q_1 e Q_{e1} como um único dispositivo que tenha um valor de W/L apropriado e também, de forma similar, podemos fazer o mesmo para Q_2 e Q_{e2}. O resultado é o circuito equivalente aproximado, mostrado na Figura E13.12. Estamos interessados na operação desse circuito no intervalo Δt durante o qual v_{Y1} cai de V_{DD} para V_t e C_{L2} descarrega através de Q_{eq2}. Assuma que o processo tecnológico de fabricação tenha os mesmos parâmetros especificados no Exemplo 13.4 e ainda que, para todos os transistores NMOS no circuito da Figura 13.35, $W/L = 4\ \mu m/2\ \mu m$ e que $C_{L1} = C_{L2} = 40$ fF.

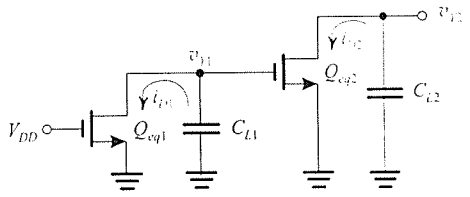


Figura E13.12

(a) Obtenha $(W/L)_{eq1}$ e $(W/L)_{eq2}$.
(b) Obtenha os valores de i_{D1} em $v_{Y1} = V_{DD}$ e em $v_{Y1} = V_t$. Portanto, determine um valor médio para i_{D1}.
(c) Utilize o valor médio de i_{D1} encontrado em (b) para determinar uma estimativa para o intervalo Δt.
(d) Obtenha o valor médio de i_{D2} durante Δt. Para simplificar o cálculo, considere o valor médio de i_{D2} como sendo aquele em que a tensão de porta v_{Y1} está no meio de sua excursão (isto é, $v_{Y1} = 3$ V). (*Dica*: Q_{eq2} permanecerá em saturação.)
(e) Utilize o valor de Δt encontrado em (c) juntamente com o valor médio de i_{D2} determinado em (d) para encontrar uma estimativa na redução de v_{Y2} durante o intervalo Δt.

Resposta (a) 1, 1; (b) 400 μA e 175 μA para um valor médio de 288 μA; (c) 0,56 ns; (d) 100 μA; (e) $\Delta v_{Y2} = 1{,}4$ V, portanto v_{Y2} diminui para 3,6 V.

Lógica CMOS Dominó

A lógica CMOS Dominó é uma forma de lógica dinâmica que resulta em portas que podem ser associadas em cascata. A Figura 13.36 mostra a estrutura de uma porta lógica CMOS Dominó. Podemos observar que se trata simplesmente da porta lógica dinâmica básica da Figura 13.33(a) com um inversor CMOS estático conectado em sua saída. A operação da porta é direta. Durante a pré-carga, X será colocado em V_{DD} e a saída Y da porta estará em zero. Durante a fase de avaliação, dependendo da combinação das variáveis de entrada, ou X pode permanecer em nível alto e, portanto, nesse caso, a saída Y ficará em nível baixo ($t_{PHL} = 0$), ou X pode ser trazido para 0 V e a saída Y subirá para V_{DD} (t_{PLH} finito). Portanto, durante a fase de avaliação, a saída ou permanece em nível baixo ou faz uma transição baixo para alto.

Para ver por que as portas CMOS tipo Dominó podem ser associadas em cascata, considere a situação mostrada na Figura 13.37(a), na qual há duas portas Dominó conectadas em cascata. Por simplicidade, são mostradas duas portas de entrada simples. No fim da pré-carga, X_1 estará em V_{DD}, Y_1 estará em 0 V, X_2 estará em V_{DD} e Y_2 estará em 0 V. Como no caso do item anterior, assumiremos que A está em nível alto no começo da fase de avaliação. Portanto, logo que ϕ for para nível alto, o capacitor C_{L1} começará a descarregar, levando X_1 em direção ao nível baixo. Enquanto isso, a entrada em nível baixo na porta de Q_2 o mantém cortado e C_{L2} permanece inteiramente carregada.

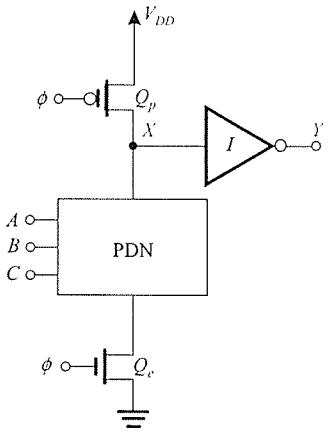


Figura 13.36 Porta lógica CMOS Dominó. O circuito consiste em uma porta lógica dinâmica MOS com um inversor CMOS estático conectado à saída. Durante a fase de avaliação, Y ou permanece em nível baixo (em 0 V) ou faz uma transição de 0 para 1 (para V_{DD}).

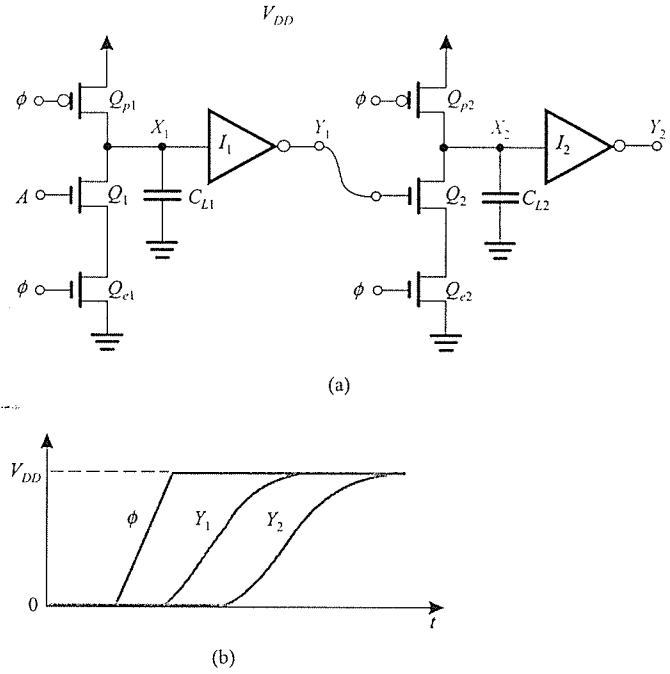


Figura 13.37 **(a)** Duas portas CMOS Dominó de entrada simples conectadas em cascata. **(b)** Formas de onda durante a fase de avaliação.

Quando v_{X1} cair abaixo da tensão de limiar do inversor I_1, Y_1 aumentará e fará com que Q_2 conduza, o que, por sua vez, fará com que o capacitor C_{L2} comece a descarregar de modo que X_2 vá para o nível lógico baixo. Quanto X_2 ficar menor do que a tensão de limiar do inversor I_2, Y_2 irá para V_{DD}.

Da descrição que fizemos até agora, podemos concluir que, devido ao fato de a saída da porta Dominó permanecer em nível baixo no começo da fase de avaliação, não haverá nenhuma descarga prematura da porta subseqüente conectada em cascata. Conforme está indicado na Figura 13.37(b), a saída Y_1 fará uma transição 0 para 1 depois de um tempo t_{PLH} assim que a borda de subida do sinal de relógio é disparada. A propagação da borda de subida através de uma cascata de portas lembra dominós caindo um sobre o outro em cadeia, o que deu origem ao nome lógica CMOS Dominó. Uma aplicação comum da lógica CMOS Dominó é o projeto de decodificadores de endereço em pastilhas de memória.

Observações Finais

A lógica dinâmica apresenta muitos desafios para os projetistas de circuitos. Embora ela possa permitir uma considerável redução na área da pastilha, operação em alta velocidade e dissipação de potência estática pequena ou nula, os circuitos ainda estão sujeitos a uma série de efeitos provenientes da não-idealidade dos dispositivos, alguns dos quais foram discutidos aqui. É importante também lembrar que a dissipação de potência dinâmica é um importantíssimo parâmetro em lógica dinâmica. Outro parâmetro importante a ser considerado é o "tempo morto" durante a fase de pré-carga, isto é, o tempo durante o qual a tensão de saída ainda não está disponível.

13.7 OS *FLIP-FLOPS* E OS *LATCHES* (TRAVAS)

Os circuitos lógicos considerados até aqui são chamados **combinatórios** (ou *combinacionais*). Sua saída depende apenas do valor presente na entrada. Portanto, esses circuitos *não* possuem memória.

A *memória* é uma parte muito importante dos sistemas digitais. Seu uso nos computadores digitais permite o armazenamento de programas e dados. Além disso, ela é importante para armazenar temporariamente uma saída, produzida por um circuito combinatório, para ser usada mais tarde na operação de um sistema digital.

Os circuitos lógicos que incorporam memória são chamados **circuitos seqüenciais**; isto é, sua saída não depende apenas do valor presente na entrada, mas também dos valores prévios da entrada. Esses circuitos requerem, para sua operação, o uso de um relógio (*clock*) de temporização.

Há basicamente duas formas para fazer com que um circuito digital tenha memória. A primeira delas consiste na aplicação de realimentação positiva que, conforme será visto em breve, pode fazer com que o circuito tenha dois estados estáveis. Tal circuito *biestável* pode ser empregado para armazenar um bit (dígito binário) de informação: um estado estável corresponderá ao 0 armazenado e o outro estado estável, ao 1 armazenado. Um circuito biestável pode permanecer em um dado estado indefinidamente na ausência de sinal e, portanto, pertence à categoria de *circuitos seqüenciais estáticos*. A segunda forma de fazer com que um circuito digital tenha memória é utilizar a idéia de armazenamento de carga em um capacitor: quando o capacitor estiver carregado, ele terá um 1 armazenado; quando estiver descarregado, terá um 0 armazenado. Uma vez que as correntes de fuga são inevitáveis e causam a descarga do capacitor, ele necessitará ser regenerado periodicamente, no processo conhecido como *restauração*. Portanto, como na lógica dinâmica, memórias baseadas no armazenamento de cargas são conhecidas como memórias dinâmicas e pertencem à classe de *circuitos seqüenciais dinâmicos*.

Nesta seção, estudaremos o elemento básico de memória, o *latch* (trava ou fecho), e examinaremos algumas de suas aplicações. Tanto circuitos estáticos como dinâmicos serão estudados.

O *Latch*

O elemento básico de memória, *latch*, está mostrado na Figura 13.38(a). Ele consiste em dois inversores lógicos, P_1 e P_2, conectados em malha fechada. Os inversores formam uma malha de realimentação positiva. Para estudar a operação do *latch*, vamos abrir a malha de realimentação na entrada de um dos inversores, digamos, P_1, e aplicar um sinal de entrada, v_W, como mostrado na Figura 13.38(b). Supondo que a impedância de entrada de P_1 seja alta, a abertura da malha de realimentação não altera a característica de transferência da tensão na malha, que pode ser determinada pelo circuito da Figura 13.38(b) plotando v_Z *versus* v_W. Essa será a característica de transferência da tensão dos dois inversores em cascata e, portanto, tem a forma mostrada na Figura 13.38(c). Observe que a característica de transferência consiste em três segmentos, com o segmento do meio correspondendo à região de transição dos inversores.

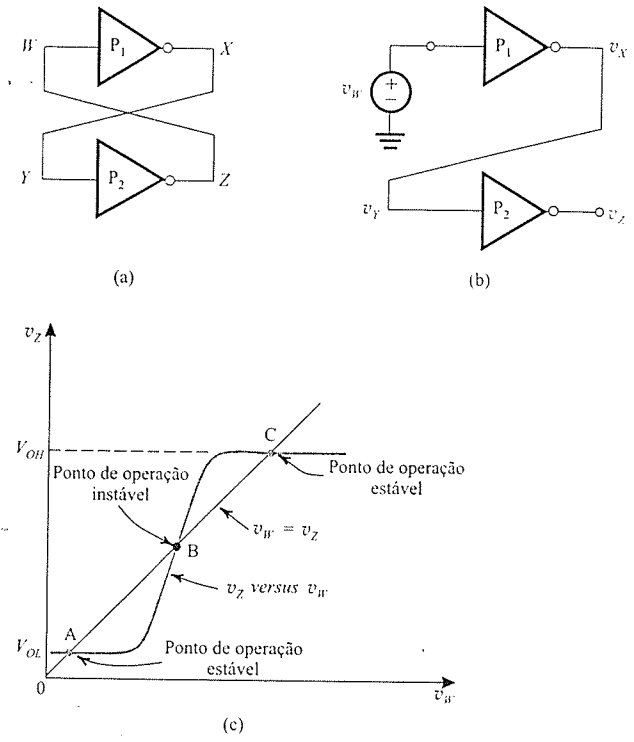


Figura 13.38 **(a)** *Latch* básico. **(b)** O *latch* com a malha de realimentação aberta. **(c)** Determinação do ponto de operação do *latch*.

Está mostrada também na Figura 13.38(c) uma reta com inclinação unitária. Essa reta representa a relação $v_W = v_Z$, que é obtida pela conexão de Z a W para fechar a malha de realimentação. Conforme indicado, a linha reta intercepta a curva de transferência da malha em três pontos, A, B e C. Portanto, qualquer um desses três pontos serve de ponto de operação para o *latch*. Mostraremos agora que, enquanto os pontos A e C são pontos de operação estáveis, no sentido em que o circuito permanece em um deles indefinidamente, o ponto B é um ponto de operação instável: o *latch* não pode permanecer em B por um período de tempo significativo.

A razão de o ponto B ser instável pode ser observada se for considerado que o circuito do *latch* na Figura 13.38(a) está operando no ponto B e levando em consideração a interferência ou ruído que inevitavelmente está presente em qualquer circuito. Suponha que a tensão v_W aumente por um pequeno incremento v_w. A tensão em X aumentará (em amplitude) por um incremento ainda maior, igual ao produto de v_W e o ganho incremental de P_1 no ponto B. O sinal resultante v_x é aplicado em P_2 e dá origem a um sinal ainda maior no nó Z. A tensão v_z relaciona-se ao incremento original v_w pelo ganho de malha no ponto B, que é a inclinação da curva v_Z *versus* v_W no ponto B. Esse ganho é usualmente muito maior do que a unidade. Como a tensão v_z está acoplada na entrada de P_1, ela será amplificada ainda mais pelo ganho da malha. Esse processo regenerativo continua, deslocando o ponto de operação de B para cima até o ponto C. Como em C o ganho da malha é zero (ou quase zero), não ocorre a regeneração.

Na descrição anterior, fizemos a suposição de um incremento positivo de tensão inicial em W. Se tivéssemos assumido, em vez disso, um incremento negativo de tensão, teríamos observado que o ponto de operação se moveria para baixo de B em direção a A. Novamente, como no ponto A a inclinação da curva de transferência é zero (ou quase zero), não ocorre a regeneração. Para ocorrer uma regeneração, o ganho da malha deverá ser maior do que a unidade, que é o caso do ponto B.

A discussão anterior leva-nos a concluir que o *latch* tem dois pontos de operação estáveis, um em A e o outro em C. No ponto C, a tensão v_W é alta, v_X é baixa, v_Y é baixa e v_Z é alta. O inverso é verdadeiro para o ponto A. Se considerarmos X e Z como as saídas do *latch*, observaremos que, em um dos estados estáveis (digamos que correspondente ao ponto de operação A), v_X é alta (em V_{OH}) e v_Z é baixa (em V_{OL}). No outro estado (correspondente ao ponto C), v_X é baixa (em V_{OL}) e v_Z é alta (em V_{OH}). Portanto, o *latch* é um circuito *biestável* que possui duas saídas complementares. O modo pelo qual esses dois estados estáveis do *latch* operam depende da excitação externa que o força para um estado particular. O *latch* então *memoriza* essa ação externa, permanecendo indefinidamente no estado a que foi levado. Como elemento de memória, o *latch* é capaz de armazenar um bit de informação. Por exemplo, podemos designar arbitrariamente o estado em que a tensão v_X é alta e v_Z é baixa como correspondente ao 1 lógico armazenado. O outro estado complementar então representa o 0 lógico armazenado.

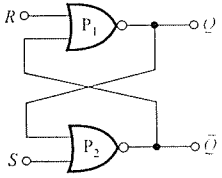
Analisaremos agora o mecanismo pelo qual o *latch* pode ser *disparado*, para mudar de estado. O *latch*, junto com o circuito de disparo, forma um *flip-flop*. Isso será discutido a seguir. Desejamos lembrar ao leitor que os circuitos biestáveis que utilizam amp ops foram apresentados no Capítulo 12.

O *Flip-flop* SR

O tipo mais simples de *flip-flop* é o *set/reset* (SR), mostrado na Figura 13.39(a). É formado por duas portas NOU interligadas por conexões cruzadas entre entradas e saídas, como mostrado na Figura 13.39(a), e, portanto, incorpora um *latch*. As segundas entradas de cada porta NOU são usadas para entradas de disparos do *flip-flop*. Essas duas entradas são denominadas S (para *set*) e R (para *reset*). As saídas são denominadas Q e $\overline{Q}$, enfatizando o fato de que elas são complementares. Considera-se o *flip-flop* no estado de *set* (isto é, armazenando um 1 lógico) quando Q é alta e $\overline{Q}$ é baixa. Quando o *flip-flop* está no outro estado (Q baixa e $\overline{Q}$ alta), ele é considerado

em *reset* (armazenando um 0 lógico). Em repouso ou estado de memória (isto é, quando não queremos que o *flip-flop* mude de estado), as entradas S e R devem ser baixas.

Consideremos o caso em que o *flip-flop* está memorizando o 0 lógico. Q será baixa e, portanto, as duas entradas da porta NOU P_2 serão baixas. Sua saída então será alta. Esse nível alto é aplicado à entrada de P_1, fazendo com que sua saída Q seja baixa. Para o estado *set* do *flip-flop*, elevamos a entrada S para o nível lógico 1, enquanto mantemos R em 0. O 1 no terminal S forçará a saída de P_2, $\overline{Q}$, para 0. Portanto, as duas entradas de P_1 serão 0 e sua saída Q será 1. Por outro lado, mesmo que S volte para 0, o *flip-flop* permanecerá no último estado adquirido, *set*. Obviamente, se elevarmos S para 1 novamente (com R permanecendo em 0), não haverá modificação. Para o estado de *reset* do *flip-flop*, precisamos elevar R para 1 enquanto mantemos $S = 0$. Podemos mostrar de imediato que isso força o *flip-flop* ao estado de *reset* e o *flip-flop* permanece nesse estado, mesmo depois de R retornar a 0. Devemos observar que o sinal de disparo simplesmente dá início à ação regenerativa da malha de realimentação do *latch*.



(a)

R	S	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	não usada

(b)

Figura 13.39 O *flip-flop* tipo *set-reset* (SR) e sua tabela verdade.

Finalmente, perguntamos o que acontecerá se os dois terminais S e R forem elevados para 1 simultaneamente. As duas portas NOU tendem a ficar com Q e $\overline{Q}$ iguais a 0 (observe que, nesse caso, a definição de complementaridade dada para essas duas variáveis está incorreta). Entretanto, se R e S retornarem para o estado de repouso ($R = S = 0$) simultaneamente, o estado do *flip-flop* será indefinido. Em outras palavras, será impossível prever o estado final do *flip-flop*. Por essa razão, essa combinação de entradas é usualmente desaconselhada ou, melhor ainda, proibida. Observe, contudo, que essa situação acontece apenas em um caso idealizado: quando ambas, R e S, retornam a 0 simultânea e precisamente. Na prática, um dos dois retornará a 0 primeiro e o estado final será determinado pela entrada que permanecer alta mais tempo.

A operação do *flip-flop* está resumida pela *tabela verdade* na Figura 13.39(b), na qual Q_n representa o valor de Q no instante t_n antes da aplicação dos sinais R e S, e Q_{n+1} representa o valor de Q no instante t_{n+1} após a aplicação dos sinais de entrada.

Em vez de utilizarmos duas portas NOU, podemos implementar também um *flip-flop* SR pela conexão de duas portas NE interligadas por conexões cruzadas, em que as funções *set* e *reset* estarão ativas quando em nível baixo e as entradas serão dessa forma chamadas de $\overline{S}$ e $\overline{R}$.

Implementação de *Flip-flops* tipo SR em CMOS

O *flip-flop* da Figura 13.39 pode ser diretamente implementado em CMOS simplesmente substituindo cada uma das portas NOU por seu correspondente circuito CMOS já visto. Encorajamos o leitor a esboçar o circuito resultante. Embora o circuito assim obtido funcione muito bem, ele é relativamente complexo. Como alternativa, consideraremos o circuito simplificado que além do mais implementa uma lógica adicional. Especificamente, a Figura 13.40 mostra outra versão de *flip-flop* SR controlada por um sinal de relógio.

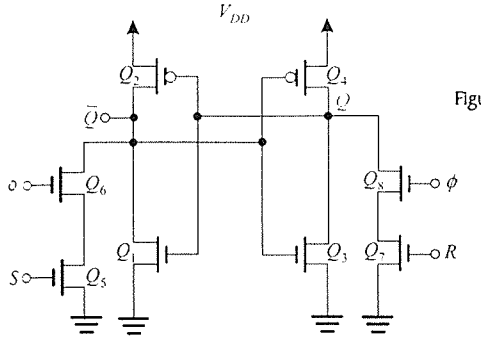


Figura 13.40 Implementação CMOS de um *flip-flop* SR com sinal de relógio. O sinal de relógio está indicado por ϕ.

Uma vez que as entradas de relógio formam funções E com as entradas *set* e *reset*, o *flip-flop* pode ser *setado* ou *resetado* quando o sinal de relógio ϕ estiver em nível alto. Observe que, embora os inversores ligados de forma cruzada no *coração* do *flip-flop* sejam do tipo CMOS complementar, somente os transistores NMOS realizam a função de ativar o *set-reset*. Por outro lado, o circuito não dissipa potência estática alguma, uma vez que não há caminho algum entre o V_{DD} e o terra (exceto durante o chaveamento).

Exceto pela adição de um sinal de relógio, o *flip-flop* SR da Figura 13.40 opera exatamente do mesmo modo mostrado na Figura 13.39: para ilustrar, consideremos o caso em que o *flip-flop* está no estado *reset* ($Q = 0$, $\overline{Q} = 1$, $v_Q = 0$, $v_{\overline{Q}} = V_{DD}$) e desejamos passá-lo para o estado *set*. Para tanto, aplicaremos um nível alto (V_{DD}) na entrada S, enquanto R é mantido em nível baixo de 0 V. Então, quando o relógio ϕ for para um nível alto, tanto Q_5 como Q_6 conduzirão e farão a tensão v_Q abaixar. Se v_Q cair abaixo da tensão de transição do inversor formado por Q_3 e Q_4, sua saída mudará de estado (ou ao menos começará a mudar de estado) e a tensão $v_{\overline{Q}}$ subirá. Esse aumento em $v_{\overline{Q}}$ será realimentado para a entrada do inversor formado por Q_1 e Q_2, fazendo com que, por sua vez, sua tensão de saída v_Q diminua até chegar a 0. Esse processo regenerativo é característico da realimentação positiva do *latch*.

A descrição anterior do chaveamento do *flip-flop* está baseada em duas hipóteses:

1. Os transistores Q_5 e Q_6 fornecem corrente suficiente para abaixar a tensão no nó $\overline{Q}$ ao menos levemente abaixo da transição do inversor formado por Q_3 e Q_4. Isso é essencial para o processo regenerativo começar. Sem essa excitação inicial, o *flip-flop* não chaveará. No próximo exemplo, investigaremos quais as mínimas razões *W/L* que Q_5 e Q_6 devem ter a fim de satisfazer este requisito.
2. O sinal *set* deve permanecer em nível alto por um intervalo de tempo suficientemente longo para fazer com que o processo regenerativo aconteça durante o chaveamento. Uma estimativa para a largura mínima necessária para o pulso *set* pode ser obtida somando o intervalo em que $v_{\overline{Q}}$ reduz de V_{DD} para $V_{DD}/2$ com o intervalo para que a tensão v_Q passe de 0 a $V_{DD}/2$.

Finalmente, note que, devido à simetria do circuito, todas a observações anteriores aplicam-se igualmente bem ao processo *reset*.

EXEMPLO 13.5

O *flip-flop* SR CMOS, na Figura 13.40, é fabricado em uma tecnologia de processamento para a qual $\mu_n C_{ox} = 2{,}5\mu_p C_{ox} = 50\ \mu A/V^2$, $V_{tn} = |V_{tp}| = 1$ V e $V_{DD} = 5$ V. Os inversores têm $(W/L)_n = 4\ \mu m/2\ \mu m$ e $(W/L)_p = 10\ \mu m/2\ \mu m$. Os quatro transistores NMOS no circuito *set-reset* tem razões *W/L* idênticas. Determine o valor mínimo necessário para essa razão garantir que o *flip-flop* chaveará.

SOLUÇÃO

A Figura 13.41 mostra a parte relevante do circuito *flip-flop* para a análise neste exemplo. Observe que o processo de regeneração ainda não começou e assume-se que $v_Q = 0$ e, portanto, Q_2 estará conduzindo. Dessa forma, o circuito se comporta como uma porta pseudo-NMOS e nossa tarefa é escolher as razões *W/L* para Q_5 e Q_6, tal que o V_{OL} desse inversor seja menor do que $V_{DD}/2$ (isto é, a transição do inversor formado por Q_3 e Q_4 cujos Q_N e Q_P estão casados). O valor mínimo necessário de *W/L* para Q_5 e Q_6 pode ser encontrado igualando-se a corrente fornecida por Q_5 e Q_6 à corrente fornecida por Q_2 em $v_{\overline{Q}} = V_{DD}/2$. Para simplificar a questão, assumiremos que a associação em série de Q_5 e Q_6 é aproximadamente equivalente a um transistor simples cujo *W/L* é igual à metade do *W/L* de cada um dos transistores Q_5 e Q_6. Agora, uma vez que $v_Q = V_{DD}/2$, tanto o transistor equivalente como Q_2 estarão operando na região de triodo, ou seja:

$$50 \times \frac{1}{2} \times \left(\frac{W}{L}\right)_5 \left[(5-1) \times \frac{5}{2} - \frac{1}{2} \times \left(\frac{5}{2}\right)^2\right] = 20 \times \frac{10}{2}\left[(5-1) \times \frac{5}{2} - \frac{1}{2} \times \left(\frac{5}{2}\right)^2\right]$$

o que leva a

$$\left(\frac{W}{L}\right)_5 = 4$$

Lembrando que esse é um valor mínimo absoluto, poderíamos, na prática, escolher uma razão de 5 ou 6.

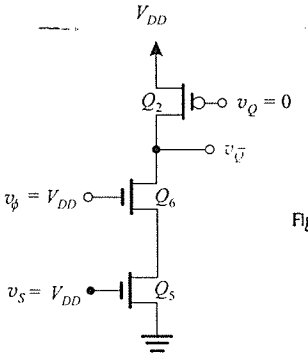


Figura 13.41 Parte relevante do circuito *flip-flop* da Figura 13.40 para determinar as razões mínimas *W/L* de Q_5 e Q_6 tal que o *flip-flop* chaveie.

Exercícios

13.13 Repita o Exemplo 13.5 para determinar o valor mínimo necessário de $(W/L)_5$ tal que o chaveamento ocorra quando as entradas *S* e ϕ estiverem em $V_{DD}/2$.

Resposta 24,4

13.14 Desejamos determinar a largura mínima necessária para o pulso *set*. Tendo em vista esse objetivo: (a) Em primeiro lugar, considere o tempo para que $v_{\overline{Q}}$, no circuito da Figura 13.41, caia de V_{DD} para $V_{DD}/2$. Assuma que a capacitância total entre o nó $\overline{Q}$ e o terra seja 50 fF. Determine t_{PHL} achando a corrente média disponível para carregar a capacitância em uma faixa de V_{DD} a $V_{DD}/2$. Lembre-se de que Q_2 estará conduzindo uma corrente que infelizmente reduz a corrente disponível para carregar *C*. Assuma $(W/L)_5 = (W/L)_6 = 8$ e utilize os mesmos parâmetros tecnológicos dados no Exemplo 13.5. (b) Determine t_{PLH} para v_Q (Figura 13.40) utilizando a fórmula dada pela Equação 13.19. Assuma uma capacitância nodal total em *Q* de 50 fF. (c) Qual a largura mínima para o pulso *set*?

Resposta (a) 0,11 ns; (b) 0,17 ns; (c) 0,28 ns

Uma implementação mais simples para o *flip-flop* SR controlado por relógio está mostrada na Figura 13.42. Nesse caso, a lógica de transistor de passagem é empregada para implementar as funções *set-reset* por pulso de relógio. Esse circuito é muito popular no projeto de *memórias de acesso aleatório estáticas* (*static random-access memory* – SRAMs) no qual o mesmo é empregado como célula básica de memória (Seção 13.10).

O *Flip-flop* D com CMOS

Há vários tipos de *flip-flops*. Muitos podem ser sintetizados em termos de portas lógicas. As portas podem ser depois substituídas pela implementação CMOS de seus circuitos. Essa abordagem, entretanto, freqüentemente resulta em circuitos bastante complexos. Em muitos casos, circuitos mais simples podem ser projetados sob o ponto de vista de circuito em vez do projeto via portas lógicas. Para ilustrar esse ponto, apresentaremos aqui circuitos de *flip-flop* de dados ou tipo D.

O *flip-flop* tipo D está apresentado em forma de diagrama de blocos na Figura 13.43. Tem duas entradas, a entrada de dados *D* e a entrada de relógio *C*. As saídas complementares são denominadas *Q* e $\overline{Q}$. Quando a entrada de relógio é baixa, o *flip-flop* está no estado de memória ou repouso; a troca de sinal na entrada *D* não tem efeito sobre o estado *do flip-flop*.

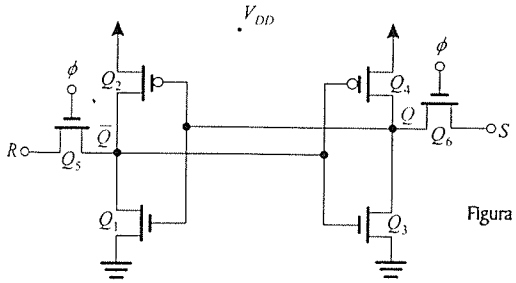


Figura 13.42 Uma implementação CMOS mais simples de um *flip-flop* SR controlado por pulso de relógio. Este circuito é popular como célula básica de memórias de acesso aleatório estáticas.

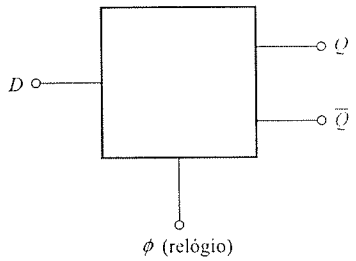


Figura 13.43 Representação na forma de diagrama de blocos de um *flip-flop* tipo D.

Quando o pulso de relógio vai para o nível álto, o *flip-flop* adquire o nível lógico presente em D logo na subida da borda do pulso de relógio. Esse *flip-flop* é dito ser **disparado pela borda** (*edge-triggered*). Algumas implementações do *flip-flop* D incluem também as entradas de *set* e *reset* que se impõem sobre a operação com pulso de relógio que acabamos de descrever.

A Figura 13.44 mostra uma implementação simples de um *flip-flop* tipo D. O circuito consiste em dois inversores conectados em uma malha de realimentação positiva como se fosse um *latch* estático semelhante àquele mostrado na Figura 13.38(a), exceto que aqui o elo de realimentação fica fechado por apenas uma parte do tempo. Especificamente, a malha de realimentação estará fechada quando o sinal de relógio estiver em nível baixo ($\phi = 0$, $\overline{\phi} = 1$). A entrada D está conectada no *flip-flop* por meio de uma chave que fecha quando o sinal de relógio está em nível alto. O princípio de funcionamento é direto: quando ϕ estiver em nível alto, a malha de realimentação estará aberta e a entrada D estará conectada na entrada do inversor P_1. A capacitância de entrada do nó P_1 será carregada com o mesmo valor de D e a capacitância no nó de entrada P_2 será carregada com o valor de $\overline{D}$. Então, quando o sinal de relógio passar a nível baixo, a linha de entrada ficará isolada do *flip-flop*, a malha de realimentação passa a ficar fechada e o *latch* adquire o valor de D assim que ϕ vai para nível baixo, fornecendo uma saída $Q = D$.

Pelo que vimos anteriormente, podemos dizer que o circuito na Figura 13.44 combina a técnica de realimentação positiva presente em circutos biestáveis estáticos e a técnica de armazenamento de cargas de circuitos dinâmicos. É importante notar que a operação apropriada deste e de muitos outros circuitos que empregam sinal de relógio está baseada na hipótese de que *ϕ e $\overline{\phi}$ não devem estar simultaneamente em nível alto em nenhum instante*. Essa condição é definida em relação às duas fases de relógio como *fases não sobrepostas* (*nonoverlapping*).

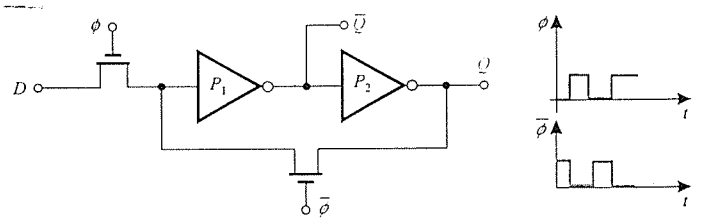


Figura 13.44 Uma implementação simples de um *flip-flop* tipo D. O circuito em (a) emprega um sinal de relógio com duas fases não sobrepostas cujas formas de onda estão mostradas em (b).

Um comportamento inerente ao *flip-flop* tipo D apresentado na Figura 13.44 é que, durante o intervalo em que ϕ está em nível alto, a saída do *flip-flop* simplesmente segue o mesmo sinal da linha de entrada D. Isso pode ocasionar problemas em determinadas situações de projeto lógico. O problema pode ser resolvido de forma efetiva utilizando a configuração **mestre–escravo** (*master–slave*) mostrada na Figura 13.45(a). Antes de discutir a operação do circuito em si, note que, embora as chaves tenham sido mostradas em uma implementação com transistores NMOS simples, as portas de transmissão CMOS são normalmente empregadas. Estamos apenas utilizando o transistor MOS como uma representação simplificada para a chave.

O circuito mestre–escravo consiste em um par de circuitos do tipo mostrado na Figura 13.44, controlado por fases de relógio alternadas. Aqui, para enfatizar que as duas fases de relógio não devem apresentar sobreposição, vamos representá-las por ϕ_1 e ϕ_2, conforme mostrado na Figura 13.45(b). A operação do circuito é a seguinte:

1. Quando ϕ_1 está em nível alto e ϕ_2 está em nível baixo, a entrada está conectada ao *latch* mestre cuja malha de realimentação está aberta, enquando o *latch* escravo está isolado. Portanto, a saída Q permanece no valor previamente armazenado no *latch* escravo cuja malha de realimentação está agora fechada. As capacitâncias nodais do *latch* mestre são carregadas com as tensões apropriadas correspondentes ao valor presente de D.

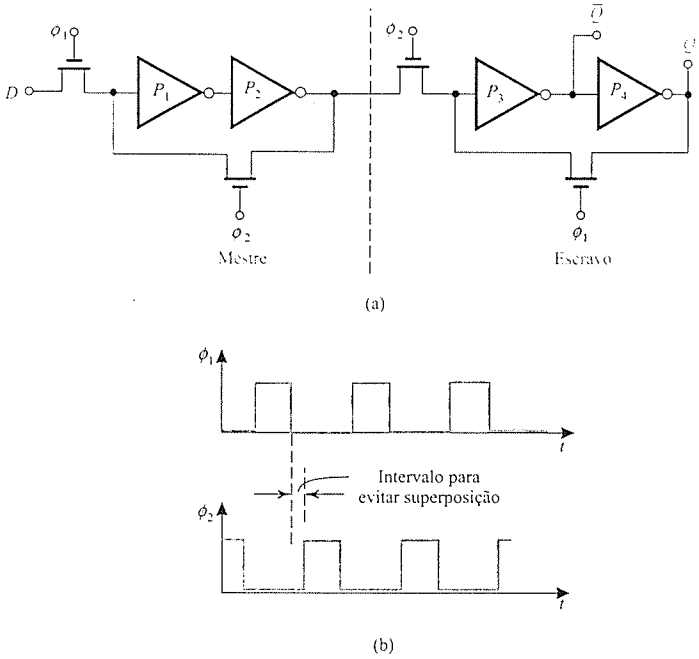


Figura 13.45 (a) Um *flip-flop* D mestre–escravo. Note que as chaves podem ser, e normalmente são, implementadas com portas de transmissão CMOS. (b) Formas de onda dos sinais de relógio para os quais há um pequeno intervalo para evitar a superposição.

2. Quando ϕ_1 vai para nível baixo, o *latch* mestre está isolado da linha de dados da entrada. Então, quando ϕ_2 vai para nível alto, a malha de realimentação do *latch* mestre passa a estar fechada e o valor de D fica constante. Além disso, sua saída está conectada ao *latch* escravo cuja malha de realimentação está agora aberta. As capacitâncias nodais no escravo são apropriadamente carregadas tal que, quando ϕ_1 vai para nível alto novamente, o *latch* escravo trava em um novo valor de D e fornece-o na saída, $Q = D$.

A partir dessa descrição, notamos que, na transição positiva do sinal de relógio ϕ_2, a saída Q adota o valor de D que havia na linha D no fim da fase de relógio anterior, ϕ_1. Esse valor de saída permanece constante por um período de relógio. Finalmente, note que, durante o intervalo sem sobreposição em nível baixo, ambos os *latches* têm seus elos de realimentação abertos e teremos as capacitâncias nodais mantendo a maior parte de sua carga. Nesse caso, o intervalo sem sobreposição deve ser feito o mais curto possível (talvez um décimo ou menos do período de relógio e da ordem de 1 ns ou menos na prática).

13.8 OS CIRCUITOS MULTIVIBRADORES

Conforme mencionado anteriormente, o *flip-flop* tem dois estados estáveis e é denominado multivibrador biestável. Há outros dois tipos de multivibradores: monoestável e astável. O **multivibrador monoestável** tem um estado estável, no qual permanece indefinidamente, e um estado *instável*, quando disparado. O multivibrador monoestável pode permanecer no estado instável por um tempo predeterminado T, após o qual ele volta ao estado estável automaticamente. Desse modo, o multivibrador monoestável gera um pulso na saída de duração T. A duração desse pulso não está relacionada à largura do pulso de disparo, conforme indicado esquematicamente na Figura 13.46. O multivibrador monoestável pode, portanto, ser usado como um *esticador de pulso* ou, mais apropriadamente, um *padronizador de pulso*. O multivibrador monoestável é chamado também de **monodisparador**.

O **multivibrador astável** não tem estado estável. Ao contrário, tem dois estados instáveis e permanece em cada um por intervalos de tempos, T_1 e T_2, predeterminados. Portanto, após T_1 segundos em um dos estados instáveis, o astável comuta para o outro estado instável e nele permanece por T_2 segundos, após o qual volta ao estado anterior e assim por diante. Dessa forma, o multivibrador astável oscila com um período $T = T_1 + T_2$ ou na freqüência $f = 1/T$ e pode ser usado para gerar pulsos periódicos, como os necessários para o relógio.

No Capítulo 12, estudamos os circuitos multivibradores astável e monoestável que empregam amp ops. A seguir, discutiremos os circuitos monoestáveis e astáveis que usam portas lógicas. Também apresentaremos um circuito oscilador alternativo e muito popular, o **oscilador em anel**.

Um Circuito Monoestável com CMOS

A Figura 13.47 mostra um circuito simples, mas popular, para um multivibrador monoestável. Esse circuito é composto de duas portas NOU CMOS de duas entradas, P_1 e P_2, um capacitor C e um resistor R.

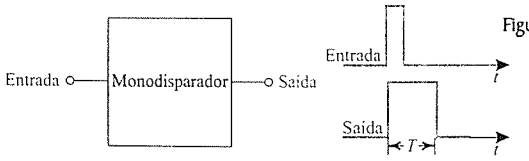


Figura 13.46 O multivibrador monoestável (monodisparador) na forma de bloco funcional.

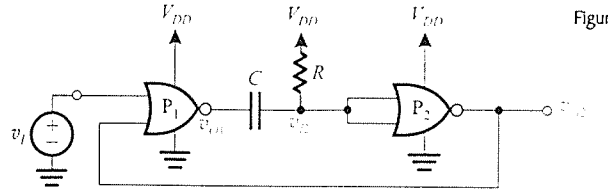


Figura 13.47 Circuito monoestável utilizando portas NOU CMOS. A fonte de sinal v_I fornece os pulsos de disparo.

A fonte de entrada v_I fornece os pulsos de disparo para o multivibrador monoestável.

As portas CMOS comerciais têm um arranjo especial de diodos conectados em seus terminais de entrada, conforme indicado na Figura 13.48(a). A finalidade desses diodos é evitar que a tensão do sinal de entrada seja maior do que a tensão da fonte de alimentação V_{DD} (por mais de uma queda de diodo) e menor que o potencial de terra (por mais de uma queda de diodo). Esses diodos de grampeamento têm um efeito importante na operação do circuito monoestável. Estamos interessados especificamente no efeito desses diodos sobre a operação do inversor conectado na porta P_2. Nesse caso, cada par de diodos correspondentes aparece em paralelo, dando origem ao circuito equivalente da Figura 13.48(b). Enquanto os diodos fornecem um caminho de baixa resistência à fonte de alimentação para as tensões que excedem os limites da fonte de alimentação, a corrente de entrada para tensões intermediárias é essencialmente zero.

Para simplificar a questão, aproximaremos o circuito equivalente de saída da porta, ilustrado na Figura 13.49. A Figura 13.49(a) indica que, quando a saída da porta é baixa, suas características de saída podem ser representadas por uma resistência R_{on} aterrada, que é normalmente algumas centenas de ohms. Nesse estado, a corrente circula do circuito externo para dentro do terminal de saída da porta; diz-se que a porta *drena* corrente. De modo similar, o circuito equivalente de saída, na Figura 13.49(b), é utilizado quando a saída da porta é alta. Nesse estado, a corrente pode circular de V_{DD} através do terminal de saída da porta para o circuito externo; diz-se que a porta *fornece* corrente.

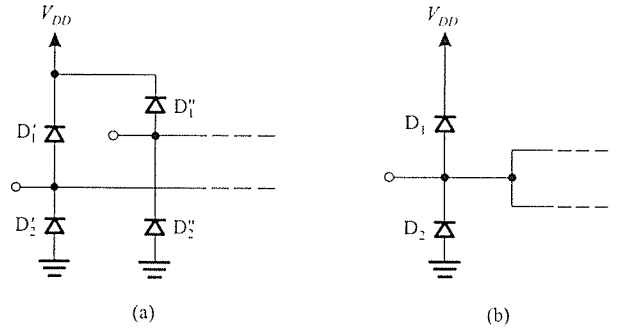


Figura 13.48 (a) Diodos na entrada de uma porta CMOS de duas entradas. (b) Circuito equivalente de diodos quando as duas entradas da porta estão curto-circuitadas. Note que os diodos existem para proteger os dispositivos da porta de sobretensões potencialmente destrutivas advindas de acumulação de cargas estáticas.

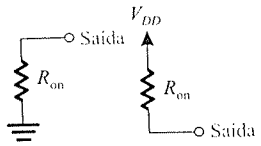


Figura 13.49 Circuito equivalente de saída de uma porta CMOS quando: (a) a saída está em nível baixo e (b) a saída está em nível alto.

Para perceber como funciona o monoestável da Figura 13.47, considere as formas de onda, na mesma base de tempo, da Figura 13.50. Um pulso de disparo de curta duração τ está mostrado na Figura 13.50(a). A seguir desprezaremos os tempos de atraso nas propagações através de P_1 e P_2. Esses atrasos, contudo, estabelecem um limite inferior na largura do pulso τ, $\tau > (t_{P1} + t_{P2})$.

Considere primeiro o estado estável do circuito monoestável – isto é, o estado do circuito antes do pulso de disparo ser aplicado. A saída de P_1 é alta com V_{DD}, o capacitor está descarregado e a tensão de entrada de P_2 é alta com V_{DD}. Portanto, a saída de P_2 é baixa, com o potencial do terra. Essa tensão baixa é realimentada em P_1; visto que v_I é baixa, a saída de P_1 é alta, conforme suposto inicialmente.

A seguir, considere o que ocorre se um pulso de disparo for aplicado. A tensão na saída de P_1 será baixa. Porém, como P_1 drenará alguma corrente e por causa de sua resistência de saída finita R_{on}, sua saída não será totalmente igual a 0 V. Em vez disso, a saída de P_1 cai por um valor de ΔV_1, que podemos calcular rapidamente.

A queda ΔV_1 está acoplada por meio de C (que age como um curto-circuito durante o transitório) à entrada de P_2. Portanto, a tensão de entrada P_2 cai por uma quantidade idêntica a ΔV_1. Aqui, observamos que durante o transitório deve haver uma corrente instantânea que circula de V_{DD} através de R e C e pelo terminal de saída de P_1 para o terra. Temos, portanto, um divisor de tensão formado por R e R_{on} (observe que a tensão instantânea no capacitor C é zero), do que podemos determinar ΔV_1 como

$$\Delta V_1 = V_{DD} \frac{R}{R + R_{on}} \tag{13.53}$$

Retornando a P_2, vemos que a queda de tensão em suas entradas faz com que a saída assuma o nível alto (com V_{DD}). Esse sinal mantém a saída de P_1 baixa mesmo após o pulso de disparo ter sido retirado. O circuito está mostrado no estado quase-estável.

Consideraremos agora a operação no estado quase-estável. A corrente através de R, C e R_{on} faz com que o capacitor C carregue e a tensão v_{I2} aumente exponencialmente em direção a V_{DD} com uma constante de tempo $C(R + R_{on})$, conforme indicado na Figura 13.50(c). A tensão v_{I2} continua a aumentar até atingir o valor da tensão de transição V_{th} do inversor P_2. Nesse instante, P_2 chaveará e sua saída v_{O2} irá para 0 V, que, por sua vez, fará P_1 chavear. A saída de P_1 tentará aumentar até V_{DD}, mas, como se tornará óbvio, seu aumento instantâneo será limitado a uma quantidade ΔV_2. Esse aumento em v_{O1} será fielmente transmitido através de C para a entrada de P_2. Portanto, a entrada de P_2 aumentará por uma quantidade igual a ΔV_2. Observe aqui que, por causa do diodo D_1 entre a entrada de P_1 e V_{DD}, a tensão v_{I2} pode aumentar apenas até $V_{DD} + V_{D1}$, em que V_{D1} (aproximadamente 0,7 V) é a queda em D_1. Portanto, pela Figura 13.41(c), vemos que

$$\Delta V_2 = V_{DD} + V_{D1} - V_{th} \tag{13.54}$$

Logo, é o diodo D_1 que limita o valor do incremento ΔV_2.

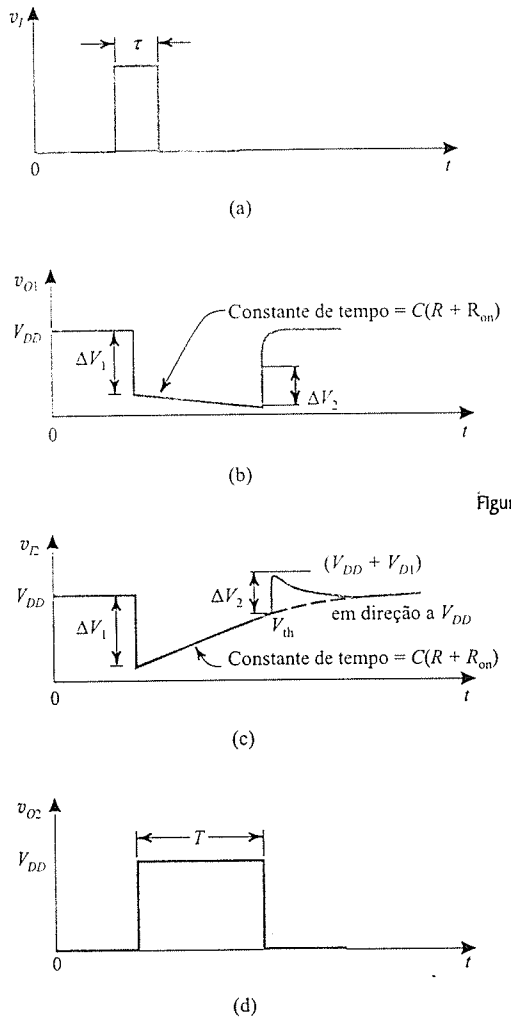


Figura 13.50 Sinais sincronizados no tempo para o circuito monoestável na Figura 13.47.

Devido ao fato de que agora v_{I2} é maior do que V_{DD} (por V_{D1}), a corrente circulará da saída de P_1 através de C e então através da combinação de R e D_1 em paralelo. Essa corrente descarrega C até que v_{I2} caia para V_{DD} e v_{O1} aumente para V_{DD}.

O circuito de carga está representado na Figura 13.51, da qual observamos que a existência do diodo faz a descarga ocorrer por um processo não-linear. Embora os detalhes do transitório no final do pulso não sejam de grande interesse, é importante observar que o circuito

monoestável não deve ser novamente disparado até o capacitor ter sido descarregado; caso contrário, a saída obtida não será a de um pulso padronizado, como deve ser em um monodisparador. O intervalo de tempo de descarga do capacitor é conhecido como *tempo de recuperação*.

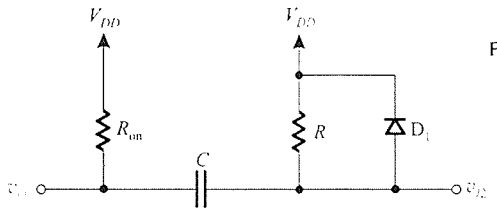


Figura 13.51 Circuito equivalente para a descarga de C (no final do intervalo do pulso do monoestável de largura T).

Pode ser deduzida uma expressão para o intervalo T do pulso do monoestável a partir da equação de $v_{I2}(t)$,

$$v_{I2}(t) = V_{DD} - \Delta V_1 e^{-t/\tau_1}$$

em que $\tau_1 = C(R + R_{on})$. Substituindo para $t = T$ e $v_{I2}(T) = V_{th}$ e para ΔV_1 da Equação 13.53, resulta, após um pouco de manipulação algébrica:

$$T = C(R + R_{on}) \ln\left[\frac{R}{R + R_{on}} \frac{V_{DD}}{V_{DD} - V_{th}}\right]$$

Exercícios

13.15 Para $V_{th} = V_{DD}/2$ e $R_{on} << R$, obtenha uma expressão aproximada para T.

Resposta $T = 0.69\ CR$

13.16 Se R_{on} for menor do que 1 kΩ, utilize a aproximação no Exercício 13.15 para projetar um monodisparador que produza pulsos com largura de 10 μs. Especifique os valores para C e R. Qual o máximo erro em T devido ao fato de desprezar R_{on} no projeto?

Resposta Valores possíveis são $C = 1$ nF, $R = 14.5$ kΩ; –3%

Um Circuito Astável

A Figura 13.52(a) mostra um circuito astável popular composto de dois inversores com portas NOU, um resistor e um capacitor. Consideraremos seu funcionamento, supondo que as portas NOU sejam da família CMOS. Entretanto, para simplificar a questão, devemos fazer algumas outras aproximações: a resistência de saída finita da porta CMOS será desprezada. Além disso, os diodos de grampeamento serão supostos como ideais (portanto, devem ter uma queda de tensão zero quando conduzindo).

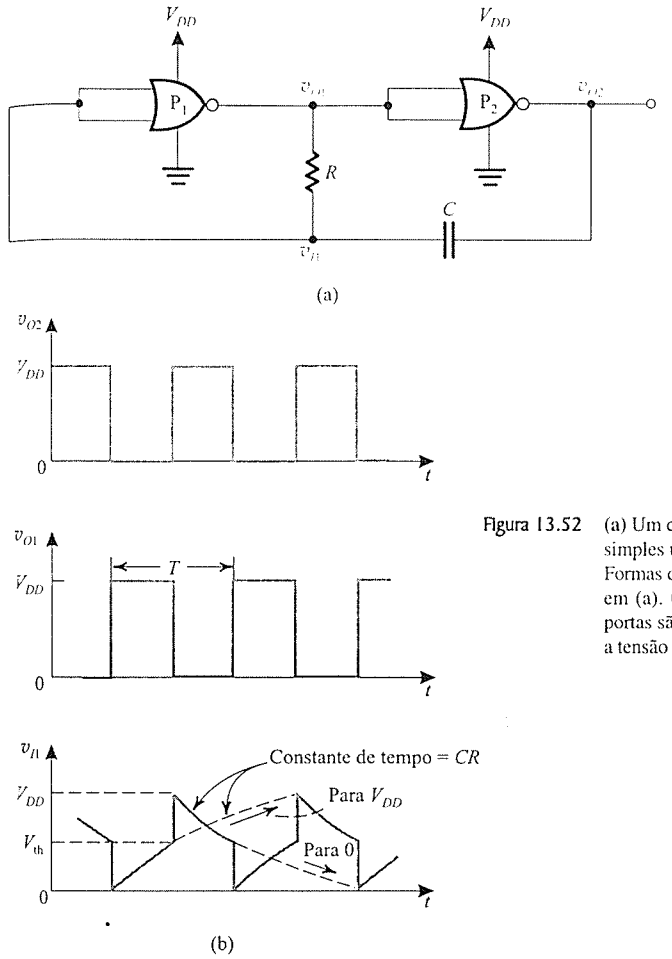


Figura 13.52 (a) Um circuito multivibrador astável simples utilizando portas CMOS. (b) Formas de onda para o circuito astável em (a). Os diodos nas entradas das portas são ideais e, portanto, limitam a tensão v_{I1} entre 0 e V_{DD}.

Com essas suposições, para simplificar, obtemos as formas de onda da Figura 13.52(b). Sugerimos ao leitor considerar passo a passo o funcionamento desse circuito e verificar que as formas de onda mostradas realmente se aplicam.[4]

4. Os circuitos práticos sempre usam resistências de alto valor em série com a entrada G_1. Isso limita o efeito da condução do diodo e permite que v_{I1} aumente até uma tensão maior do que V_{DD}, assim como caia abaixo de zero.

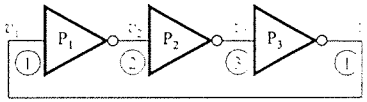
Exercício

13.17 Usando as formas de onda na Figura 13.52(b), deduza uma expressão para o período T do multivibrador astável da Figura 13.36(a).

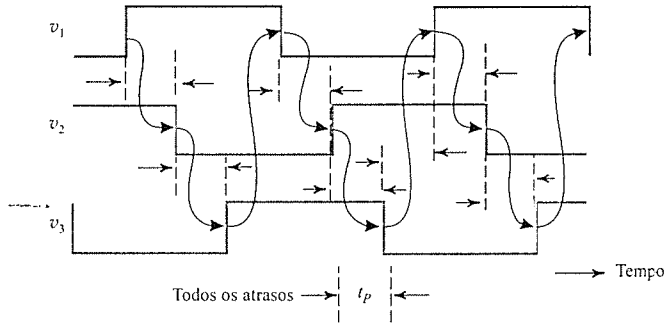
Resposta $T = CR\ln\left(\frac{V_{DD}}{V_{DD} - V_{th}} \cdot \frac{V_{DD}}{V_{th}}\right)$

O Oscilador em Anel

Outro tipo de oscilador comumente empregado em circuitos digitais é o oscilador em anel. Ele é formado conectando-se um número ímpar de inversores em uma malha fechada. Embora ao menos cinco inversores devam ser empregados, ilustramos o princípio de operação usando um anel de três inversores, como mostrado na Figura 13.53(a). A Figura 13.53(b) mostra as formas de onda obtidas nas saídas dos três inversores. Estas formas de onda são idealizadas no sentido de que suas bordas têm tempos de subida e descida nulos. Além disso, elas também servirão para explicar a operação do circuito.



(a)



(b)

Figura 13.53 (a) Um oscilador em anel formado pela conexão de três inversores em cascata. (Normalmente, ao menos cinco inversores são empregados.) (b) Formas de onda resultantes. Observe que o circuito oscila com freqüência $1/(6t_p)$.

Observe que a borda de subida no nó 1 propaga-se através das portas 1, 2 e 3 para retornar invertida depois de um atraso de $3t_P$. Esta borda de descida então propaga-se e retorna com a polaridade original depois de um intervalo de $3t_P$. Segue então que o circuito oscila com um período de $6t_P$ ou, correspondentemente, com freqüência de $1/6t_P$. Em geral, um anel com N inversores (no qual N deve ser ímpar) oscilará com um período de $2Nt_P$ e freqüência $1/2Nt_P$.

Como observação final, note que o oscilador em anel fornece uma forma relativamente simples de medir o atraso na propagação de sinal pelo inversor.

Exercício

13.18 Obtenha a freqüência de oscilação de um anel de cinco inversores se o atraso na propagação de sinal por inversor é especificado como sendo 1 ns.

Resposta 100 MHz

13.9 MEMÓRIAS SEMICONDUTORAS: TIPOS E ARQUITETURAS

Um sistema de computador, seja uma máquina de grande porte ou um microcomputador, precisa de memória para armazenar dados e instruções de programa. Além do mais, dentro de um dado sistema de computador, há usualmente vários tipos de memória utilizando uma variedade de tecnologias e tendo diferentes *tempos de acesso*. Falando em termos gerais, a memória de um computador pode ser divida em dois tipos: **memória principal** e memória de **armazenagem em massa**. A memória principal é geralmente a memória de acesso mais rápida e é nela que quase todas as instruções de um programa são executadas. A memória principal é geralmente do tipo de acesso aleatório. A **memória de acesso aleatório** (*random-access memory* – RAM) é do tipo em que o tempo necessário para armazenagem (escrita) da informação e para recuperação (leitura) da informação independe da localização física (dentro da memória) onde a informação é armazenada.

A memória de acesso aleatório é contraposta às memórias *seriais* ou *seqüenciais*, como os discos e as fitas, nos quais os dados estão disponíveis apenas na mesma seqüência em que foram originalmente armazenados. Portanto, em uma memória serial, o tempo de acesso a uma informação particular depende da localização da memória onde a informação necessária é armazenada e o tempo médio de acesso é maior do que o tempo de acesso da memória de acesso aleatório. Em um sistema de computador, a memória serial é utilizada para o armazenamento em massa de dados. Os pontos que não são freqüentemente acessados, como grandes partes do sistema operacional do computador, são geralmente armazenados em uma memória de superfície móvel, como as fitas e os discos magnéticos.

Outra classificação importante de memória é se ela pode ser de **leitura/escrita** ou se é uma memória **apenas de leitura**. As memórias de leitura/escrita (R/W) permitem que os dados sejam armazenados e recuperados com velocidades comparáveis. Os sistemas de computadores requerem memória de leitura/escrita, com acesso aleatório, tanto para dados quanto para armazenagem de programas.

As memórias apenas de leitura (*read-only memory* – ROM) permitem leituras nas mesmas velocidades altas das memórias R/W (ou talvez maior), mas sem a operação de escrita. As ROMs podem ser usadas para armazenar o programa do sistema operacional do microprocessador. Elas são empregadas também em operações que requerem tabelas de consulta, como as encontradas com valores de funções matemáticas. Uma aplicação popular das ROMs é nos cartuchos de videogame. Deve ser observado que a memória apenas de leitura é geralmente do tipo de acesso aleatório. Entretanto, no jargão de circuitos digitais, a sigla RAM refere-se geralmente às memórias de leitura/escrita, memória de acesso aleatório, enquanto ROM é usada para a memória apenas de leitura.

A estrutura normal dos circuitos de memória é uma aplicação ideal para o projeto de circuitos em VLSI. Na realidade, em qualquer instante, as pastilhas de memória representam o estado da arte na densidade de empacotamento e, conseqüentemente, no nível de integração. Começando com a introdução da pastilha de 1 kbit em 1970, a densidade de integração das memórias tem quadruplicado a cada três anos. No presente momento, as pastilhas contendo 64 Mbits[5] estão disponíveis comercialmente, enquanto as pastilhas de memória com 256 Mbits e mesmo de 1 Gbit estão sendo testadas nos laboratórios de pesquisa e desenvolvimento. Nesta seção e nas duas próximas, estudaremos alguns circuitos básicos que empregam pastilhas RAM VLSI. Os circuitos de memória apenas de leitura serão estudados na Seção 13.12.

A Organização da Pastilha de Memória

Os bits em uma pastilha de memória são endereçáveis individualmente ou em grupos de 4 ou 8 ou 16. Como exemplo, diz-se que uma pastilha de 64 Mbits, em que todos os bits são individualmente endereçáveis, está organizada como 64 M palavras × 1 bit (ou simplesmente 64 M × 1). Essa pastilha precisa de 26 bits de endereço (2^{26} = 67.108.864 = 64 M). Por outro lado, uma pastilha de 64 Mbits pode ser organizada como 16 M palavras × 4 bits (16 M × 4); nesse caso, é necessário um endereço de 24 bits. Vamos supor, para simplificar nossas discussões subseqüentes, que todos os bits da memória na pastilha são individualmente endereçáveis.

A maior parte da pastilha de uma memória consiste em células em que os bits são armazenados. Cada célula de memória é um circuito eletrônico capaz de armazenar um bit. Estudaremos circuitos de células de memória na próxima seção. Por razões que se tornarão claras em breve, é desejável organizar fisicamente as células de armazenamento em uma pastilha em uma matriz quadrada ou aproximadamente quadrada. A Figura 13.54 ilustra uma organização desse tipo. Conforme indicado, a matriz de células tem 2^M linhas e 2^N colunas, para uma capacidade total de armazenagem de 2^{M+N}. Por exemplo, uma matriz quadrada de 1 Mbits teria 1024 linhas e 1024 colunas ($M = N = 10$). Cada célula está conectada em uma das 2^M linhas, conhecidas como **linhas de palavra**, e em uma das 2^N colunas, conhecidas como **linhas de dígito** ou **linhas de bit**. Uma célula particular é **escolhida** ativando-se sua linha de palavra e sua linha de dígito.

A ação de ativar uma das 2^M linhas de palavra é realizada pelo **decodificador de linhas**: trata-se de um circuito lógico combinatório que seleciona a linha (aumenta sua tensão) de palavras cujo endereço de Mbits é aplicado à entrada do decodificador. Os bits do endereço podem ser representados por $A_0 A_1 \ldots A_{M-1}$. Quando a K-ésima linha de palavras estiver ativada para, digamos, uma operação de leitura, todas as 2^N células na linha K fornecerão seus conteúdos para suas respectivas linhas de bit. Portanto, se a célula na coluna L (veja a Figura 13.54) estiver armazenando um 1, a tensão da linha do bit número L aumentará por um pequeno valor, digamos de 0,1 a 0,2 V. A razão de a tensão de leitura da saída ser pequena é que a célula é pequena, uma vez que há um número muito grande de células. O pequeno sinal para leitura na saída é aplicado a um amplificador sensor conectado à linha de bit. O amplificador sensor, por sua vez, tem uma excursão de sinal digital ampla (em nosso exemplo, de 0 a V_{DD}) em sua saída. Esse sinal, junto com os sinais de saída das outras células na linha selecionada, é então encaminhado ao **decodificador de coluna**. No decodificador de colunas, o sinal da coluna cujo endereço de Nbits está aplicado na entrada do decodificador (o endereço de bits pode ser representado como $A_M A_{M+1} \ldots A_{M+N-1}$) faz com que o sinal de saída apareça na linha de dados de entrada/saída (I/O).

5. A capacidade de uma pastilha de memória de armazenar uma informação binária como dígito binário (ou bits) é medida em Kbits e Mbits, em que 1 Kbit contém 1024 bits de memória e 1 Mbit = 1024 × 1024 = 1.048.576 bits. Portanto, uma pastilha de 64 Mbits contém 67.108.864 bits de memória.

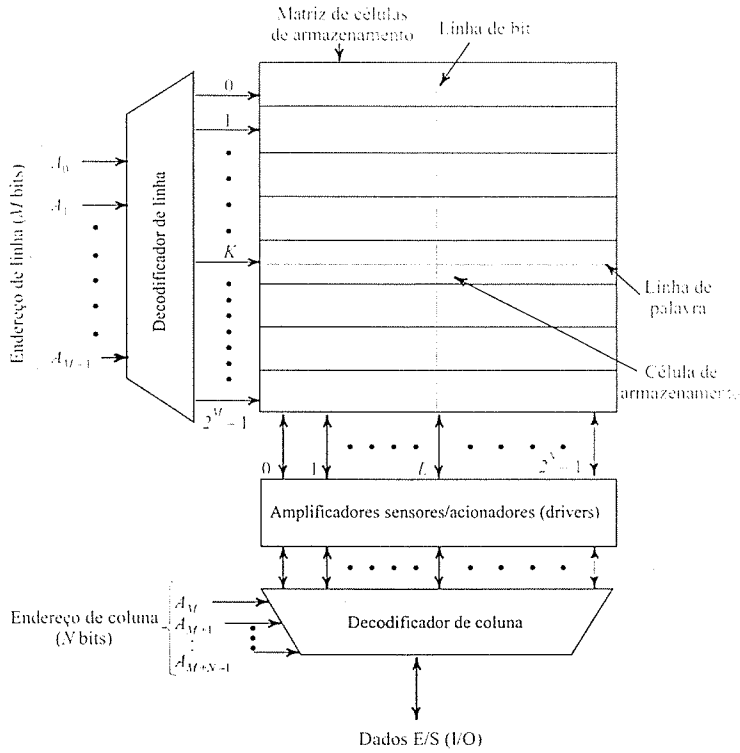


Figura 13.54 Uma pastilha de memória com 2^{M+N} bits organizada como uma matriz de 2^M linhas × 2^N colunas.

Uma operação de escrita ocorre de maneira semelhante: o bit de dado a ser armazenado é aplicado na linha I/O. A célula em que o bit de dado será armazenado é selecionada por meio de seu endereço de linha e seu endereço de coluna. O amplificador sensor da coluna selecionada age como um **reforçador** para escrever o sinal aplicado na célula selecionada. Circuitos para amplificadores sensores e decodificadores de endereços serão estudados na Seção 13.11.

Antes de deixar o tópico de organização ou arquitetura de pastilhas de memória, mencionaremos uma inovação relativamente recente em organização que surgiu diante do aumento exponencial na densidade das pastilhas. Para apreciar a necessidade por mudanças de organização, note que, à medida que o número de células na matriz aumenta, também aumentam os comprimentos físicos das linhas de palavras e das linhas de bit. Isso tem ocorrido, de fato, para cada nova geração de pastilhas de memória, em que o tamanho dos transistores tem diminuído (atualmente, tecnologias de processamento CMOS com dimensão mínima de 0,15 a 0,3 μm já são largamente empregadas). O aumento nos comprimentos das linhas de palavra e de bit resulta no aumento da resistência e capacitância totais das mesmas e, portanto, torna mais lenta a resposta transitória. Isto é, à medida que as linhas aumentam de comprimento, o aumento exponencial da

tensão na linha de palavra torna-se mais lento e passa a levar mais tempo para que as células sejam ativadas. Esse problema tem sido resolvido particionando-se a pastilha de memória em um determinado número de blocos. Cada um dos blocos tem uma organização idêntica àquela na Figura 13.54. Os endereços de linha e coluna são compartilhados por todos os blocos, mas somente os dados de um dos blocos é selecionado. A seleção dos blocos é feita por meio de um número apropriado de bits de endereço conhecido como endereço do bloco. Tal arquitetura pode ser entendida como sendo tridimensional: linhas, colunas e blocos.

A Temporização na Pastilha da Memória

O **tempo de acesso à memória** (*memory access time*) é o tempo entre a iniciação de uma operação de leitura e o surgimento do dado na saída. O **tempo de ciclo da memória** (*memory cycle time*) é o tempo mínimo permitido entre duas operações consecutivas da memória. Olhando por um lado conservador, uma operação da memória geralmente inclui uma leitura e uma escrita (na mesma posição). A memória MOS tem tempos de acesso e de ciclo na faixa de alguns ns a algumas centenas de ns.

Exercícios

13.19 Uma pastilha de memória com 4 Mbits é particionada em 32 blocos, em que cada bloco tem 1024 linhas e 128 colunas. Obtenha o número de bits necessários para o endereço de linha, para o endereço de coluna e para o endereço de bloco.

Resposta 10; 7; 5

13.20 As linhas de palavra em uma pastilha de memória MOS são fabricadas empregando silício policristalino. A resistência de cada linha de palavra foi estimada como sendo 5 kΩ e a capacitância total entre a linha e o terra como sendo 2 pF. Obtenha o tempo para que a tensão na linha de palavra alcance $V_{DD}/2$, assumindo que as linhas são alimentadas por uma tensão V_{DD} fornecida por um inversor de baixa impedância. (*Nota*: A linha é uma rede distribuída que pode ser aproximada por um circuito consistindo em um resistor simples e um capacitor simples.)

Resposta 6,9 ns

13.10 CÉLULAS DE MEMÓRIA DE ACESSO ALEATÓRIO (RAM)

Como mencionado na seção anterior, a maior parte da pastilha da memória é ocupada pelas células de armazenamento. Logo, para incluir um grande número de bits em uma pastilha é imperativo reduzir a área da célula o máximo possível. Da mesma forma, a dissipação de potência por célula deve ser reduzida ao máximo. Assim, vários dos circuitos *flip-flop*, estudados na Seção 13.7, são muito complexos para serem adequados à implementação em pastilhas de memórias de acesso aleatório (*random-access memory* – RAM).

Há basicamente dois tipos de RAMs MOS: estática e dinâmica. As **RAMs estáticas** (*static RAM* – **SRAM**) utilizam *flip-flops* como célula de armazenagem de informação. As RAMs dinâmicas (*dynamic RAM* – **DRAM**), por outro lado, armazenam os dados binários em capacitores, resultando em uma redução maior na área da célula às custas de circuitos de leitura e escrita mais elaborados. Em particular, enquanto RAMs estáticas retêm seus dados indefinidamente, desde que a fonte de alimentação esteja sempre ligada, as RAMs dinâmicas precisam regenerar periodicamente os dados armazenados nos capacitores em uma operação conhecida como *restauração* (*refresh*). Isso é necessário porque, embora lentamente, os capacitores se descarregam em virtude das correntes de fuga que sempre existem. Em razão dos tamanhos menores das células, pastilhas de memórias DRAM são usualmente quatro vezes mais densas que as pastilhas de memórias SRAM correspondentes. Tanto as memórias RAM estáticas quanto as memórias RAM dinâmicas são *voláteis*; isto é, ambas necessitam da presença contínua de uma fonte de alimentação. Em contraposição, a maioria das memórias ROM são não-voláteis, como veremos na Seção 13.12. Nas próximas seções, estudaremos as células de memória SRAM e DRAM.

A Célula de Memória Estática

A Figura 13.55 mostra as células de uma RAM estática, típica em tecnologia CMOS. O circuito, que vimos na Seção 13.7, consiste em um *flip-flop* formado por dois inversores com conexões cruzadas e dois **transistores de acesso**, Q_5 e Q_6. Os transistores de acesso conduzem quando a linha da palavra é selecionada pelo aumento da tensão para V_{DD}, conectando assim o *flip-flop* à linha da coluna bit (B) e à linha da coluna bit ($\overline{B}$). Observe que aqui são usadas ambas as colunas, B e $\overline{B}$. Os transistores de acesso agem como portas de transmissão, permitindo um fluxo de corrente bidirecional entre o *flip-flop* e as colunas B e $\overline{B}$.

Considere inicialmente a operação de leitura e assuma que a célula armazena um 1. Nesse caso, Q estará alto em V_{DD} e $\overline{Q}$ estará baixo em 0 V. Antes de começar a operação de leitura, as colunas B e $\overline{B}$ são pré-carregadas a uma tensão intermediária entre os valores de alto e baixo, usualmente $V_{DD}/2$. (O circuito de pré-carga será mostrado na próxima seção, juntamente com o amplificador sensor.) Quando a linha de palavra é selecionada e Q_5 e Q_6 são ligados, flui corrente de V_{DD} através de Q_2 e Q_6 para a linha B, carregando a capacitância da linha B, C_B. No outro lado do circuito, flui corrente através da linha B pré-carregada através de Q_5 e Q_1 para o terra, descarregando $C_{\overline{B}}$. Logo, as partes relevantes do circuito durante o ciclo de leitura são aquelas apresentadas na Figura 13.56.

Dessa descrição, observamos que durante uma operação de leitura de "1", a tensão sobre C_B aumentará e sobre $C_{\overline{B}}$ decrescerá. Assim, uma tensão diferencial $v_{B\overline{B}}$ surge entre as linhas B e $\overline{B}$. Usualmente, cerca de somente 0,2 V é necessário para que o amplificador sensor possa detectar a presença de um 1 na célula. Note que a célula deve ser projetada de forma tal que mudanças em v_Q e $v_{\overline{Q}}$ sejam suficientemente pequenas para que o *flip-flop* não mude de estado durante a leitura: a operação de leitura em uma SRAM *não é destrutiva*.

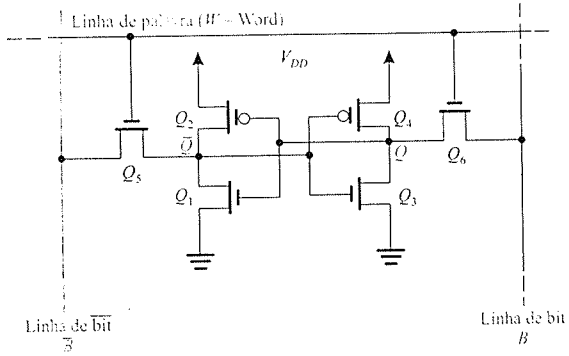


Figura 13.55 Uma célula de memória CMOS SRAM.

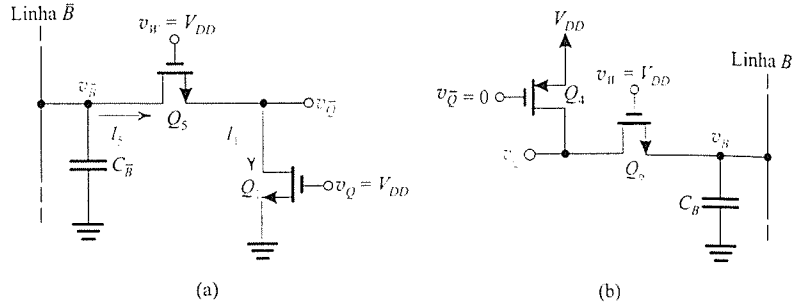


Figura 13.56 Partes relevantes do circuito de uma célula SRAM durante a operação de leitura quando a célula tem um "1" armazenado. Note que inicialmente $v_Q = V_{DD}$ e $v_{\overline{Q}} = 0$. Note também que as linhas B e $\overline{B}$ são usualmente pré-carregadas com uma tensão de cerca de $V_{DD}/2$. No entanto, no Exemplo 13.6, assume-se por simplicidade que a tensão de pré-carga é V_{DD}.

Tipicamente, cada um dos inversores é projetado de forma que Q_N e Q_P sejam casados, colocando o limiar em $V_{DD}/2$. Os transistores de acesso são usualmente duas a três vezes mais largos que Q_N dos inversores.

EXEMPLO 13.6

A intenção deste exemplo é analisar a operação dinâmica da célula CMOS SRAM da Figura 13.55. Considere a célula sendo fabricada em uma tecnologia de processo para a qual $\mu_n C_{ox} = 50\ \mu A/V^2$, $\mu_p C_{ox} = 20\ \mu A/V^2$, $V_{tn0} = -V_{tp0} = 1$ V, $2\phi_f = 0{,}6$ V, $\gamma = 0{,}5\ V^{1/2}$ e $V_{DD} = 5$ V. Suponha que os transistores da célula tenham $(W/L)_n = 4/2$, $(W/L)_p = 10/2$ e suponha os transistores de acesso com $(W/L) = 10/2$. Supondo que a célula esteja armazenando um 1 e que a capacitância de cada linha de bit seja de 1 pF, determine o tempo necessário para surgir uma tensão de 0,2 V. Para simplificar a análise, assuma que as linhas B e $\overline{B}$ estão pré-carregadas em V_{DD}.

SOLUÇÃO

Logo de saída percebemos que a análise dinâmica desse circuito é complexa e devemos, portanto, fazer uma série de simplificações. Naturalmente, a precisão da análise pode sempre ser melhorada por meio de simulações. No entanto, uma grande familiaridade com o circuito pode ser obtida através da análise manual simplificada.

Considerando a Figura 13.56 e lembrando que inicialmente $v_Q = V_{DD}$, $v_{\overline{Q}} = 0$ e $v_B = v_{\overline{B}} = V_{DD}$, vemos que o circuito na Figura 13.56(b) não estará conduzindo e, portanto, v_B permanecerá constante em V_{DD}. Analisando agora o circuito na Figura 13.56(a) e observando que $v_{\overline{Q}}$ será alterado por apenas 0,2 V (isto é, de 5,0 V para 4,8 V) durante a operação de leitura, o transistor Q_5 estará operando na saturação e, portanto, $C_{\overline{B}}$ será

descarregado com uma corrente constante I_5. Para o transistor Q_1 conduzir, a tensão em seu dreno $v_{\overline{Q}}$ deve aumentar, sem no entanto exceder a tensão de transição do inversor (Q_3, Q_4), a qual é $V_{DD}/2$, uma vez que os transistores p e n de cada inversor são casados. Haverá um breve intervalo durante o qual I_5 carregará a pequena capacitância parasita entre o nó $\overline{Q}$ e o terra a uma tensão $v_{\overline{Q}}$ suficiente para operar Q_1 na região de triodo com uma corrente I_1 igual a I_5. A corrente I_1 pode então ser expressa por:

$$I_1 = \mu_n C_{ox}\left(\frac{W}{L}\right)_1\left[(V_{DD} - V_{t1})v_{\overline{Q}} - \frac{1}{2}v_{\overline{Q}}^2\right]$$

em que assumimos que v_Q permanecerá constante em V_{DD}. Como a fonte de Q_1 está no terra, $V_{t1} = 1$ V e

$$I_1 = 50 \times \frac{4}{2}\left[(5-1)v_{\overline{Q}} - \frac{1}{2}v_{\overline{Q}}^2\right] \tag{13.55}$$

Para Q_5, podemos escrever

$$I_5 = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_5 (V_{DD} - v_{\overline{Q}} - V_{t5})^2$$

em que a tensão de limiar V_{t5} pode ser determinada por

$$V_{t5} = 1 + 0{,}5(\sqrt{v_{\overline{Q}} + 0{,}6} - \sqrt{0{,}6}) \tag{13.56}$$

Como ainda não conhecemos $v_{\overline{Q}}$, devemos resolver essa equação iterativamente. Para uma primeira iteração, assumimos que $V_{t5} = 1$ V e, portanto, I_5 será

$$I_5 = \frac{1}{2} \times 50 \times \frac{10}{2}(5 - v_{\overline{Q}} - 1)^2 \tag{13.57}$$

Igualando-se I_1 da Equação 13.55 a I_5 da Equação 13.57 e resolvendo para $v_{\overline{Q}}$ resulta em $v_{\overline{Q}} = 1{,}86$ V. Em uma segunda iteração, usamos esse valor de $v_{\overline{Q}}$ na Equação 13.56 para determinar V_{t5}. O resultado é $V_{t5} = 1{,}4$ V. Esse valor é então usado na expressão para I_5 e o processo é repetido, resultando em $v_{\overline{Q}} = 1{,}6$ V. Esse valor é razoavelmente próximo ao valor original, indicando que não há necessidade de uma iteração adicional. A corrente I_5 pode então ser determinada, $I_5 = 0{,}5$ mA. Observe que v_Q é menor que $V_{DD}/2$ e, portanto, o *flip-flop*, felizmente, não muda de estado. Na verdade, V_{IL} para esse inversor é de 2,125 V e, portanto, a consideração de que v_Q permanecerá em V_{DD} é justificada, embora v_Q se altere um pouco. Para essa análise manual, não vamos nos aprofundar mais em detalhes.

Podemos agora determinar um intervalo para surgir um decremento de 0,2 V na linha $\overline{B}$ como

$$\Delta t = \frac{C_{\overline{B}}\Delta V}{I_5}$$

Assim,

$$\Delta t = \frac{1 \times 10^{-12} \times 0{,}2}{0{,}5 \times 10^{-3}} = 0{,}4 \text{ ns}$$

Devemos ressaltar que Δt é apenas uma componente do atraso presente na operação de leitura. Outra componente significativa é devida ao tempo de subida finito para a tensão da linha de palavra. Na verdade, mesmo o cálculo de Δt é otimista, já que a linha de palavra somente alcançará uma tensão menor que V_{DD} quando o processo de descarregamento de $C_{\overline{B}}$ ocorrer.

Uma solução mais aproximada ainda (porém mais rápida) pode ser obtida observando-se que, no circuito da Figura 13.56(a), tanto Q_1 quanto Q_5 têm tensões de porta iguais (V_{DD}) e estão conectados em série. Podemos considerá-los aproximadamente equivalentes a um único transistor com uma razão W/L dada por

$$(W/L)_{eq} = \frac{1}{\frac{1}{(W/L)_1} + \frac{1}{(W/L)_5}} = \frac{1}{\frac{2}{4} + \frac{2}{10}} = \frac{10}{7}$$

Esse transistor equivalente operará na saturação e, portanto, sua corrente I será

$$I = \frac{1}{2} \times 50 \times \frac{10}{7} (5-1)^2 = 0{,}57 \text{ mA}$$

Isso é apenas 14% maior que o valor determinado anteriormente. A tensão $v_{\overline{Q}}$ pode ser obtida multiplicando-se I pelo valor aproximado de r_{DS} para Q_1 (na região de triodo),

$$r_{DS} = 1 \Big/ \left[50 \times 10^{-6} \times \frac{4}{2} \times (5-1) \right] = 2{,}5 \text{ k}\Omega$$

Assim,

$$v_{\overline{Q}} = 0{,}57 \times 2{,}5 = 1{,}4 \text{ V}$$

Novamente, esse valor está razoavelmente próximo ao determinado anteriormente.

Consideraremos agora a operação de escrita. Assuma que a célula esteja armazenando um 1 ($v_Q = V_{DD}$, $v_{\overline{Q}} = 0$) e que desejamos escrever um 0. Para isso, a linha B é abaixada para 0 V e a linha $\overline{B}$ levantada para V_{DD}, e a célula é selecionada colocando-se a linha de palavra em V_{DD}. A Figura 13.57 mostra as partes relevantes do circuito durante o intervalo no qual o nó $\overline{Q}$ está sendo puxado para cima em direção à tensão de transição $V_{DD}/2$ [parte (a) da figura] e o nó Q está sendo puxado para baixo em direção a $V_{DD}/2$ [Figura 13.57(b)]. Os capacitores C_Q e $C_{\overline{Q}}$ são as capacitâncias parasitas nos nós Q e $\overline{Q}$, respectivamente. Uma análise aproximada pode ser feita em cada circuito para determinar o tempo necessário para o chaveamento ocorrer. Observe que a realimentação regenerativa que causa o chaveamento do *flip-flop* começará assim que v_Q ou $v_{\overline{Q}}$ atingir $V_{DD}/2$. Quando isso ocorre, a realimentação positiva se inicia e os circuitos na Figura 13.57 não mais são válidos.

Explicaremos brevemente a operação dos circuitos na Figura 13.57, deixando a análise mais detalhada para o leitor, por meio do Exercício 13.21. Considere inicialmente o circuito na Figura 13.57(a) e note que Q_5 estará operando na saturação. Inicialmente, sua tensão de fonte será 0 e, assim, seu V_t será igual a V_{t0}.

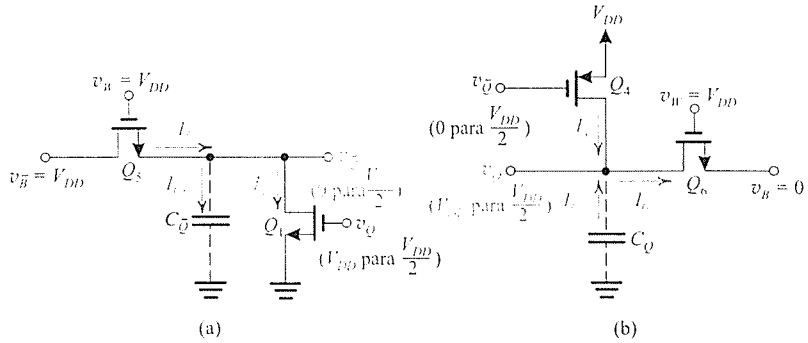


Figura 13.57 Partes relevantes do circuito de uma célula SRAM durante a operação de escrita quando a célula tem inicialmente um 1 armazenado e deseja-se armazenar um 0. Estes circuitos equivalentes se aplicam antes de ocorrer o chaveamento. O circuito em (a) está puxando o nó $\overline{Q}$ para cima em direção a $V_{DD}/2$, enquanto o circuito em (b) está puxando o nó Q para baixo em direção a $V_{DD}/2$.

Além disso, inicialmente Q_1 estará cortado, pois sua tensão de dreno é zero. A corrente I_5 fluirá inicialmente para $C_{\overline{Q}}$, carregando-o, e assim $v_{\overline{Q}}$ aumentará e Q_1 conduzirá. Q_1 estará na região de triodo e sua corrente I_1 será subtraída de I_5, reduzindo a corrente que alimenta $C_{\overline{Q}}$. *Simultaneamente*, com o aumento de $v_{\overline{Q}}$, V_{t5} aumentará devido ao efeito de corpo e I_5 diminuirá. Outro efeito causado pelo circuito mostrado na Figura 13.57(b) é que v_Q estará caindo de V_{DD} para $V_{DD}/2$. Isso causará uma redução correspondente na corrente I_1. Apesar de todas essas complicações, pode-se calcular facilmente um valor médio aproximado para a corrente de carregamento $I_{C\overline{Q}}$ para o intervalo[6] começando em ($v_Q = V_{DD}$, $v_{\overline{Q}} = 0$) e terminando em ($v_Q = V_{DD}/2$, $v_{\overline{Q}} = V_{DD}/2$). Podemos, a seguir, usar esse valor de corrente para determinar o tempo para que a tensão sobre $C_{\overline{Q}}$ aumente para $V_{DD}/2$.

O circuito na Figura 13.57(b) opera da mesma maneira, exceto que nenhum dos transistores está sujeito ao efeito de corpo. Assim, esse circuito fornecerá uma maior corrente de descarregamento para C_Q quando comparada à corrente de carregamento do circuito na Figura 13.57(a). O resultado é que C_Q descarregará mais rapidamente do que $C_{\overline{Q}}$ carregará. Em outras palavras, v_Q alcançará $V_{DD}/2$ antes que $v_{\overline{Q}}$ o faça. Logo, uma estimativa dessa componente do tempo de atraso de escrita pode ser obtida considerando-se apenas o circuito na Figura 13.57(b).

Outra componente do atraso de escrita ocorre devido à ação de chaveamento do *flip-flop*. Essa componente pode ser aproximada pelo tempo de atraso de um inversor.

6. Está implícito nessa afirmação que tanto v_Q como $v_{\overline{Q}}$ atingirão $V_{DD}/2$ simultaneamente. Como veremos adiante, esse não é o caso. Mesmo assim, essa suposição é razoável para obter uma estimativa aproximada do tempo de atraso de escrita.

Exercício

13.21 Considere o circuito na Figura 13.57(b) e assuma que as dimensões dos dispositivos e que os parâmetros do processo tecnológico são aqueles especificados no Exemplo 13.6. Queremos determinar o intervalo Δt necessário para descarregar C_Q e para que sua tensão caia de V_{DD} para $V_{DD}/2$.

(a) Determine os valores de I_4, I_6 e I_{C_Q} no início do intervalo Δt.
(b) Determine os valores de I_4, I_6 e I_{C_Q} no final do intervalo Δt.
(c) Determine uma estimativa para o valor médio de I_{C_Q} durante o intervalo Δt.
(d) Se $C_Q = 50$ fF, estime Δt.

Resposta (a) $I_4 = 0$, $I_6 = 2$ mA, $I_{C_Q} = 2$ mA; (b) $I_4 = 0{,}11$ mA, $I_6 = 1{,}72$ mA, $I_{C_Q} = 1{,}61$ mA; $I_{C_Q}|_{méd} = 1{,}8$ mA; (d) $\Delta t = 69{,}4$ ps.

A partir dos resultados do Exercício 13.21, percebemos que a componente do atraso de escrita é muito menor que a componente correspondente da operação de leitura. Isso ocorre porque na operação de escrita apenas uma pequena capacitância C_Q precisa ser carregada (ou descarregada), enquanto na operação de leitura devemos carregar (ou descarregar) as capacitâncias muito maiores das linhas B e $\overline{B}$.

Na operação de escrita, as capacitâncias das linhas B e $\overline{B}$ são carregadas (ou descarregadas) com relativa rapidez pelo circuito de acionamento. O resultado final é que o tempo de atraso da operação de escrita é dominado pelo atraso da linha de palavra.

A Célula de Memória Dinâmica

Embora uma variedade de células de armazenamento DRAM tenha sido proposta ao longo dos anos, uma célula em particular, mostrada na Figura 13.58, tornou-se o padrão industrial.

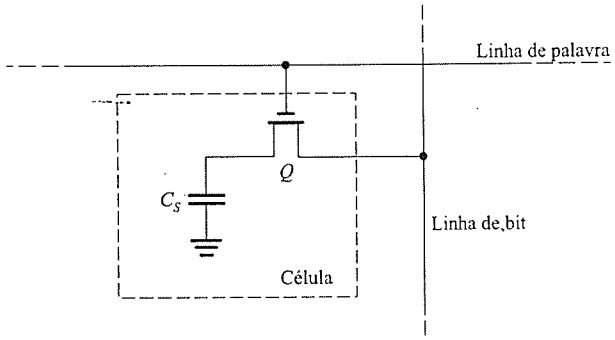


Figura 13.58 A célula de memória RAM dinâmica de um transistor.

Figura 13.59 Quando a tensão da linha de palavra selecionada é aumentada, o transistor conduz, conectando, assim, o capacitor de armazenamento C_S à capacitância da linha de bit C_B.

A célula consiste em um único transistor MOSFET canal n, conhecido como transistor de *acesso* (*access transistor*), e um capacitor de armazenamento C_S. A célula é conhecida apropriadamente pelo nome de **célula de um transistor**.[7] A porta do transistor é conectada à linha de palavra e sua fonte (dreno) é conectada à linha de bit. Observe que apenas uma linha de bit é usada em DRAMs, em contraste ao caso das SRAMs, em que linhas de bit e $\overline{\text{bit}}$ são utilizadas.

A célula DRAM armazena seu bit de informação como carga no capacitor de armazenamento C_S. Quando a célula está armazenando um 1, o capacitor está carregado com $(V_{DD} - V_t)$; quando um 0 está armazenado, o capacitor é descarregado à tensão zero.[8] Devido aos efeitos de fuga, a carga do capacitor vai se reduzindo e, portanto, a célula precisa ser regenerada periodicamente pela operação de restauração. Durante a restauração, o conteúdo da célula é lido e o dado é reescrito, *restaurando*, assim, a tensão do capacitor a seu valor original. A operação de restauração deve ser realizada a cada 5 a 10 ms.

Consideremos agora a operação da memória DRAM em mais detalhes. Como na RAM estática, o decodificador de linha seleciona uma linha particular elevando a tensão de sua linha de palavra. Isso faz com que todos os transistores de acesso da linha selecionada conduzam, conectando os capacitores de armazenamento de todas as células em paralelo com a capacitância da linha de bit C_B, como indicado na Figura 13.59. Deve-se notar que C_S é da ordem de 30 a 50 fF e C_B é cerca de 30 a 50 vezes maior. Agora, se a operação é de leitura, a linha de bit é pré-carregada com $V_{DD}/2$. Para determinar a variação na tensão da linha de bit que resulta da conexão de um capacitor de célula C_S a ela, considere a tensão inicial sobre o capacitor da célula como sendo V_{CS} ($V_{CS} = V_{DD} - V_t$ quando um 1 está armazenado e $V_{CS} = 0$ V quando um 0 está armazenado). Usando a lei da conservação de cargas podemos escrever

$$C_S V_{CS} + C_B \frac{V_{DD}}{2} = (C_B + C_S)\left(\frac{V_{DD}}{2} + \Delta V\right)$$

da qual podemos obter para ΔV

$$\Delta V = \frac{C_S}{C_B + C_S}\left(V_{CS} - \frac{V_{DD}}{2}\right) \tag{13.58}$$

e como $C_B >> C_S$,

$$\Delta V \cong \frac{C_S}{C_B}\left(V_{CS} - \frac{V_{DD}}{2}\right) \tag{13.59}$$

7. O nome foi originalmente usado para distinguir essa célula de versões anteriores que utilizavam três transistores.

8. A razão pela qual o nível 1 é menor que V_{DD} por V_t pode ser entendida como segue: considere a operação de escrita de um 1. A linha de palavra está em V_{DD} e a linha de bit está em V_{DD}, com o transistor conduzindo e carregando C_S. O transistor deixará de conduzir quando a tensão sobre C_S atingir $(V_{DD} - V_t)$, em que V_t é maior que V_{t_0} devido ao efeito de corpo. Analisamos essa situação em detalhes na Seção 13.5 quando falamos da lógica de transistores de passagem.

Agora, se a célula está armazenando um 1, $V_{CS} = V_{DD} - V_t$ e

$$\Delta V(1) \cong \frac{C_S}{C_B}\left(\frac{V_{DD}}{2} - V_t\right) \tag{13.60}$$

e se a célula está armazenando um 0, $V_{CS} = 0$ e

$$\Delta V(0) \cong -\frac{C_S}{C_B}\left(\frac{V_{DD}}{2}\right) \tag{13.61}$$

Como usualmente C_B é muito maior que C_S, essas tensões de leitura são muito pequenas. Por exemplo, para $C_B = 30\ C_S$, $V_{DD} = 5$ V e $V_t = 1{,}5$ V, $\Delta V(0)$ será cerca de −83 mV e $\Delta V(1)$ será cerca de 33 mV. Isso para o melhor caso, já que o nível 1 da célula pode estar significativamente abaixo de $(V_{DD} - V_t)$. Além disso, em pastilhas modernas, o V_{DD} é de 3,3 V ou mesmo menor. De qualquer forma, vemos que um 1 armazenado na célula resulta em um pequeno incremento positivo na tensão da linha de bit, enquanto um 0 armazenado resulta em um pequeno incremento negativo. Observe também que um processo de leitura é *destrutivo*, já que a tensão sobre C_S não será mais $(V_{DD} - V_t)$ ou 0.

A variação na tensão da linha de bit é detectada e amplificada pelo amplificador sensor da coluna. O sinal amplificado é então aplicado ao capacitor de armazenamento, restaurando assim seu sinal ao nível apropriado ($V_{DD} - V_t$ ou 0). Dessa forma, todas as células na linha selecionada são restauradas. Simultaneamente, o sinal na saída do amplificador sensor da coluna selecionada é levado à linha de dados de saída da pastilha pela ação do decodificador de coluna.

A operação de escrita procede de uma forma similar à operação de leitura, exceto que o bit de dados que deve ser escrito e que está aplicado à linha de entrada de dados é também aplicado pelo decodificador de coluna à linha de bit selecionada. Assim, se o bit de dado a ser escrito é um 1, a tensão da linha B é elevada para V_{DD} (isto é, C_B é carregado até V_{DD}). Quando o transistor de acesso de uma célula particular é ligado, seu capacitor C_S é carregado até $V_{DD} - V_t$; assim, um 1 é escrito na célula. Simultaneamente, todas as outras células da linha selecionada são simplesmente restauradas em uma operação de restauração.

Embora as operações de escrita e leitura resultem em uma restauração (*refresh*) automática de todas as células da linha selecionada, deve-se fazer uma restauração periódica da memória inteira a cada 5 a 10 ms, de acordo com a especificação da pastilha. A operação de restauração é realizada no modo de operação conhecido como *modo burst* (rajada), uma linha por vez. Durante a restauração, a pastilha não estará disponível para operações de escrita ou leitura. Isso, no entanto, não é um problema sério, já que o intervalo de tempo necessário para a restauração da pastilha inteira é tipicamente menos que 2% do tempo entre os ciclos de restauração. Em outras palavras, a pastilha de memória permanece disponível para operação normal por mais de 98% do tempo.

Exercícios

13.22 Em uma pastilha de memória dinâmica, $C_S = 30$ fF, $C_B = 1$ pF, $V_{DD} = 5$ V e $V_t = 1{,}5$ V (incluindo o efeito de corpo). Na operação de leitura, determine a variação na tensão de leitura para um 1 e para um 0 armazenados. Lembre-se de que na operação de leitura as linhas de bit estão pré-carregadas em $V_{DD}/2$.

Resposta 30 mV; −75 mV

13.23 Uma pastilha de memória dinâmica de 64 Mbits fabricada em tecnologia CMOS de 0,4 μm requer uma área de 2 μm² por célula. Se a matriz de armazenamento é quadrada, estime suas dimensões. A seguir, se o circuito periférico (isto é, os amplificadores sensores e os decodificadores) adiciona cerca de 30% à área da pastilha, estime as dimensões da pastilha resultante.

Resposta 11,6 mm × 11,6 mm; 13,2 mm × 13,2 mm

13.11 AMPLIFICADORES SENSORES E DECODIFICADORES DE ENDEREÇO

Estudamos os circuitos comumente utilizados para implementar as células de armazenamento SRAM e DRAM. Consideraremos agora alguns outros blocos de circuito muito importantes em uma pastilha de memória. O projeto desses circuitos, comumente chamados de *circuitos periféricos* da memória, apresenta desafios e oportunidades interessantes para os projetistas de circuitos integrados: melhorar o desempenho dos circuitos periféricos pode resultar em pastilhas de memória mais rápidas e mais densas que dissipam menor potência.

13.11.1 O Amplificador Sensor

Depois das células de memória, o amplificador sensor é o componente mais crítico em uma pastilha de memória. Amplificadores sensores são essenciais à operação adequada de DRAMs e seu uso em SRAMs resulta em melhorias de velocidade e economia de área.

Uma variedade de estilos de amplificadores sensores estão em uso, alguns dos quais se assemelham muito ao amplificador diferencial MOS com carga ativa, estudado na Seção 6.6. Descreveremos aqui um amplificador sensor diferencial que emprega realimentação positiva. Como o circuito é diferencial, ele pode ser empregado diretamente em SRAMs que utilizam células SRAM com linhas B e $\overline{B}$. Por outro lado, o circuito DRAM de um transistor que estudamos na seção anterior é um circuito de saída simples, utilizando apenas uma linha de bit. O circuito DRAM, no entanto, pode ser transformado em um circuito diferencial através do uso da técnica da "célula fictícia" (*dummy cell*), que discutiremos logo a seguir. Portanto, devemos assumir que a célula de memória cuja saída deve ser amplificada gera uma tensão diferencial de saída entre as linhas B e $\overline{B}$. Esse sinal, que vai de 30 mV a 500 mV, dependendo do tipo de memória e do estilo da célula, será aplicado aos terminais de entrada do amplificador sensor. O amplificador sensor, por sua vez, responde gerando um sinal com chaveamento lógico pleno (0 a V_{DD}) em seus terminais de saída. O circuito amplificador que escolhemos descrever possui uma propriedade pouco usual: *seus terminais de entrada e de saída são os mesmos!*

Um Amplificador Sensor com Realimentação Positiva. A Figura 13.60 mostra o amplificador sensor juntamente com outros circuitos de coluna de uma pastilha RAM. Observe que o amplificador sensor nada mais é que o *latch* formado pelo acoplamento cruzado de dois inversores CMOS: um inversor é implementado pelos transistores Q_1 e Q_2 e o outro, pelos transistores Q_3 e Q_4. Os transistores Q_5 e Q_6 atuam como chaves que conectam o amplificador sensor ao terra e ao V_{DD} somente quando a ação de sensoriamento de dados é necessária. Se esse não for o caso, ϕ_s é baixo e o amplificador sensor é desligado. Isso conserva energia, uma característica importante já que usualmente há um amplificador sensor por coluna, resultando em milhares de amplificadores sensores por pastilha. Observe novamente que os terminais x e y são tanto a entrada quanto a saída do amplificador. Como indicado, esses terminais de E/S (I/O) são conectados às linhas B e $\overline{B}$. O amplificador deve detectar um pequeno sinal que surge entre B e $\overline{B}$ e amplificá-lo para fornecer um sinal de excursão plena em B e $\overline{B}$.

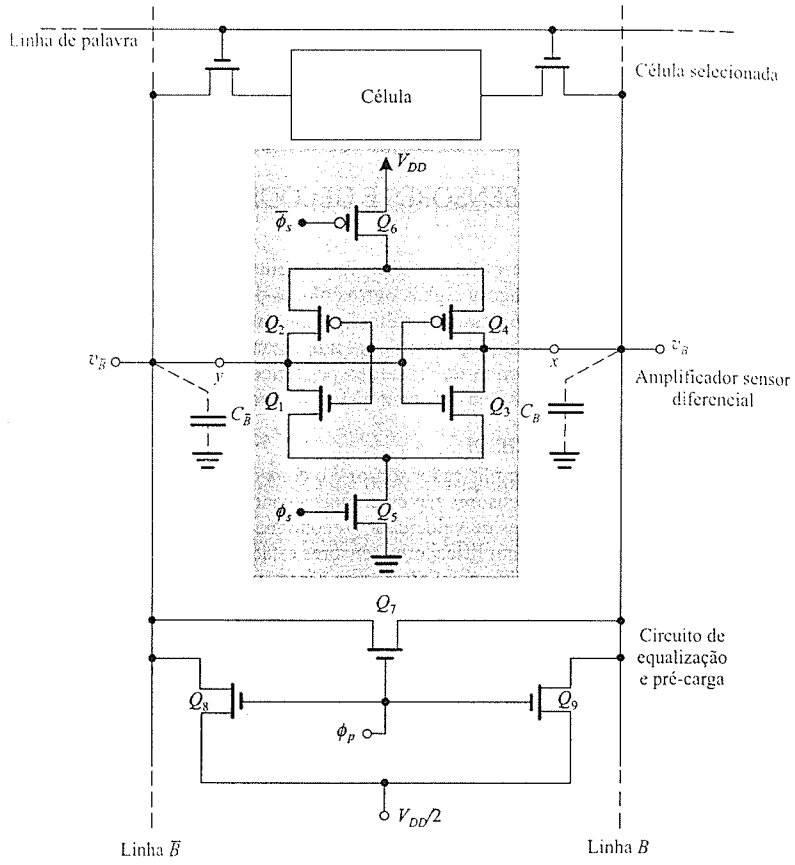


Figura 13.60 Um amplificador sensor diferencial conectado às linhas de bit de uma coluna particular. Esse arranjo pode ser utilizado diretamente em SRAMs (que utilizam ambas as linhas B e $\overline{B}$). DRAMs podem ser transformadas em circuitos diferenciais utilizando-se o arranjo de "célula fictícia" (*dummy cell*) mostrado na Figura 13.61.

Por exemplo, se, durante uma operação de leitura, a célula tinha um 1 armazenado, então uma pequena tensão positiva surgirá entre B e $\overline{B}$, com v_B maior que $v_{\overline{B}}$. O amplificador então fará com que v_B suba para V_{DD} e $v_{\overline{B}}$ desça para 0 V. Essa saída 1 é então direcionada para o pino de E/S da pastilha pelo decodificador de coluna (que não está mostrado) e ao mesmo tempo é usada para reescrever o 1 na célula DRAM, executando assim a operação de restauração necessária devido ao processo de leitura destrutiva da memória DRAM.

A Figura 13.60 também mostra o circuito de pré-carga e equalização. A operação desse circuito é imediata: quando ϕ_p vai para nível alto antes da operação de leitura, todos os três transistores conduzem. Enquanto Q_8 e Q_9 pré-carregam as linhas $\overline{B}$ e B em $V_{DD}/2$, o transistor Q_7 acelera esse processo equalizando as tensões em ambas as linhas. Essa equalização é crítica para a operação adequada do amplificador sensor: qualquer diferença de tensão presente entre B e $\overline{B}$ antes do início da operação de leitura pode resultar em uma interpretação errônea do amplificador sensor em relação a seu sinal de entrada. Na Figura 13.60, mostramos apenas uma das células da coluna em questão, justamente a célula cuja linha de palavra está acionada. Essa célula pode ser tanto uma célula SRAM como uma célula DRAM. Todas as outras células nessa coluna não estarão conectadas às linhas B e $\overline{B}$ (pois suas linhas de palavra estarão em nível baixo).

Consideremos agora a seqüência de eventos durante a operação de leitura:

1. O circuito de pré-carga e de equalização é ativado elevando-se o sinal de controle ϕ_p. Isso acarreta a equalização das tensões nas linhas B e $\overline{B}$ em $V_{DD}/2$. O relógio ϕ_p vai então para nível baixo e as linhas B e $\overline{B}$ ficam flutuantes por um breve intervalo.
2. A linha de palavra vai para nível alto, conectando a célula às linhas B e $\overline{B}$. Uma tensão surge então entre B e $\overline{B}$, com v_B maior que $v_{\overline{B}}$ se a célula está armazenando um 1 ou com v_B menor que $v_{\overline{B}}$ se a célula está armazenando um 0. Para manter o projeto da célula simples e para facilitar a operação em altas velocidades, o sinal de leitura que a célula deve fornecer entre B e $\overline{B}$ é de pequena amplitude (tipicamente entre 30 mV e 500 mV).
3. Com um sinal de tensão diferencial adequado, presente entre B e $\overline{B}$, o amplificador sensor é ligado conectando-o ao terra e a V_{DD} através de Q_5 e Q_6 por meio do sinal de controle ϕ_s. Como, inicialmente, os terminais de entrada dos inversores estão em $V_{DD}/2$, esses inversores estarão operando em sua região de transição na qual o ganho é elevado (Seção 13.2). Logo, inicialmente o *latch* estará operando em seu ponto de equilíbrio instável. Assim, dependendo do sinal entre os terminais de entrada, o *latch* se deslocará rapidamente para um de seus dois pontos de equilíbrio estável (veja a descrição da operação do *latch* na Seção 13.7).

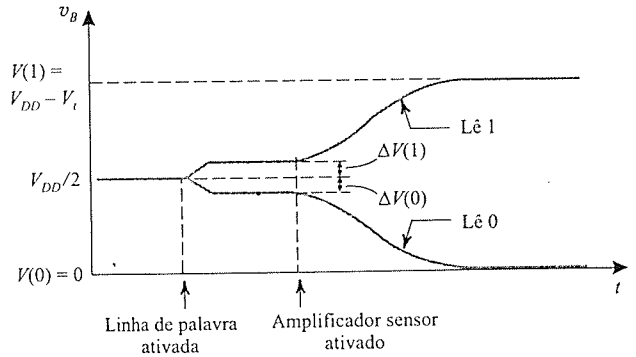


Figura 13.61 Formas de onda em v_B antes e depois de ativar o amplificador sensor. Em uma operação de leitura 1, o amplificador sensor causa o crescimento exponencial do pequeno incremento inicial $\Delta V(1)$ em direção a V_{DD}. Em uma operação de leitura 0, o pequeno incremento negativo inicial $\Delta V(0)$ cresce em direção a zero. Formas de onda complementares surgem na linha $\overline{B}$.

Isso ocorre pela ação regenerativa inerente à realimentação positiva. A Figura 13.61 ilustra claramente esse ponto apresentando as formas de onda do sinal na linha de bit tanto para uma operação de leitura 1 quanto de leitura 0. Uma vez ativado o amplificador sensor, a pequena diferença inicial, $\Delta V(1)$ ou $\Delta V(0)$, fornecida pela célula cresce exponencialmente para V_{DD} (para uma operação de leitura 1) ou para 0 (para uma operação de leitura 0). As formas de onda do sinal na linha $\overline{B}$ serão complementares àquelas apresentadas na Figura 13.61 para a linha B. A seguir, quantificaremos o processo de crescimento exponencial de v_B e $v_{\overline{B}}$.

Detalhamento da Operação do Amplificador Sensor. Obter uma expressão precisa para o sinal de saída do amplificador sensor mostrado na Figura 13.60 é uma tarefa complexa que requer o uso de modelos para grandes sinais (não-lineares), levando em conta a CTT do inversor e também a realimentação positiva. Não chegaremos a tal nível de detalhamento; em vez disso, consideraremos a operação de uma forma semiquantitativa.

Lembre-se de que no momento em que o amplificador sensor é ativado, cada um de seus dois inversores está operando na região de transição com $V_{DD}/2$. Assim, para operação com pequenos sinais, cada inversor pode ser modelado usando g_{mn} e g_{mp}, as transcondutâncias de Q_N e Q_P, respectivamente, determinadas para uma polarização de entrada de $V_{DD}/2$. Especificamente, um pequeno sinal v_i superposto a $V_{DD}/2$ na entrada de um dos inversores gera um sinal de corrente na saída do inversor de $(g_{mn} + g_{mp})v_i \equiv G_m v_i$. Essa corrente de saída é fornecida a um dos capacitores, C_B ou $C_{\overline{B}}$. A tensão gerada sobre o capacitor é então reintroduzida através do outro inversor, sendo multiplicada por seu G_m e dando origem a uma corrente de saída que alimenta o outro capacitor e assim por diante, em um processo regenerativo. A realimentação positiva nesse elo significará que o sinal ao redor do elo e, portanto, v_B e $v_{\overline{B}}$, vai *subir* ou *descer* exponencialmente (veja a Figura 13.61) com uma constante de tempo de (C_B/G_m) [ou $(C_{\overline{B}}/G_m)$, já que assumimos $C_B = C_{\overline{B}}$]. Assim, por exemplo, em uma operação de leitura 1 obtemos

$$v_B = \frac{V_{DD}}{2} + \Delta V(1) e^{(G_m/C_B)t}, \qquad v_B \le V_{DD} \tag{13.62}$$

enquanto em uma operação de leitura 0 obtemos

$$v_B = \frac{V_{DD}}{2} - \Delta V(0) e^{(G_m/C_B)t} \tag{13.63}$$

Já que essas expressões foram obtidas assumindo operação com pequenos sinais, elas descrevem o crescimento (decaimento) exponencial de v_B com razoável precisão apenas para valores próximos a $V_{DD}/2$. Apesar disso, elas podem ser usadas para obter uma estimativa razoável do tempo necessário para gerar um determinado nível de tensão na linha de bit.

EXEMPLO 13.7

Considere o circuito amplificador sensor da Figura 13.60 durante uma leitura 1. Assuma que a célula de armazenamento fornece um incremento de tensão na linha B de $\Delta V(1) =$ 0,1 V. Se os dispositivos NMOS nos amplificadores possuem $(W/L)_n = 12\ \mu m/4\ \mu m$ e os dispositivos PMOS possuem $(W/L)_p = 30\ \mu m/4\ \mu m$, e supondo que os outros parâmetros do processo tecnológico são aqueles especificados no Exemplo 13.6, determine o tempo necessário para v_B atingir 4,5 V. Assuma $C_B = 1$ pF.

SOLUÇÃO

Primeiramente, determinamos as transcondutâncias g_{mn} e g_{mp}

$$g_{mn} = \mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{GS} - V_t)$$
$$= 50 \times \frac{12}{4}(2,5-1)$$
$$= 0,225\ \text{mA/V}$$

$$g_{mp} = \mu_p C_{ox} \left(\frac{W}{L}\right)_p (V_{GS} - |V_t|)$$
$$= 20 \times \frac{30}{4}(2,5-1) = 0,225\ \text{mA/V}$$

Assim, o G_m do inversor é

$$G_m = g_{mn} + g_{mp} = 0,45\ \text{mA/V}$$

e a constante de tempo τ para o crescimento exponencial de v_B será

$$\tau \equiv \frac{C}{G_m} = \frac{1 \times 10^{-12}}{0,45 \times 10^{-3}} = 2,22\ \text{ns}$$

Agora, o tempo, Δt, para v_B atingir 4,5 V pode ser determinado por

$$4,5 = 2,5 + 0,1e^{\Delta t/2,22}$$

resultando em

$$\Delta t = 6,65\ \text{ns}$$

Obtendo a Operação Diferencial em RAMs Dinâmicas. O amplificador sensor descrito anteriormente responde a sinais de diferença que aparecem entre as linhas de bit. Assim, ele é capaz de rejeitar interferências que são comuns às duas linhas, como aquelas causadas por acoplamento capacitivo com as linhas de palavra. Para que essa rejeição de modo comum seja eficiente, deve-se tomar muito cuidado no casamento de ambos os lados do amplificador, levando em consideração os circuitos que alimentam os dois lados. Essa é uma consideração importante em qualquer tentativa de fazer a saída simples de uma célula DRAM se comportar como uma saída diferencial. Discutiremos agora um esquema engenhoso que resolve esse problema. Embora essa técnica esteja disponível há algum tempo [veja a primeira edição deste livro (1982)], ela ainda está em uso atualmente. O método é ilustrado na Figura 13.62.

Basicamente, cada linha de bit é dividida em duas metades idênticas. Cada meia-linha é conectada à metade das células na coluna e a uma célula adicional, conhecida como *célula fictícia* (*dummy cell*), que possui um capacitor de armazenamento $C_D = C_S$. Quando uma linha de palavra do lado esquerdo é selecionada para leitura, a célula fictícia do lado direito (controlada por $\overline{\phi}_D$) também é selecionada e vice-versa; isto é, quando uma linha de palavra do lado direito é selecionada, a célula fictícia do lado esquerdo (controlada por ϕ_D) também é selecionada. Dessa forma, a célula fictícia funciona como a outra metade da célula DRAM diferencial. Quando a meia-linha de bit da esquerda está em operação, a meia-linha de bit da direita atua como seu complemento (ou linha $\overline{B}$) e vice-versa.

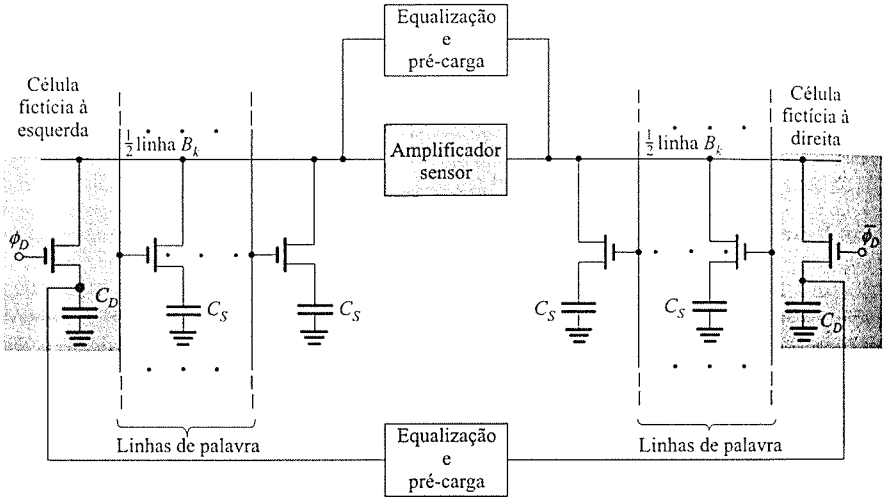


Figura 13.62 . Arranjo para obter a operação diferencial de uma célula DRAM de saída simples. Note as células fictícias (*dummy cells*) nos extremos direito e esquerdo.

A operação do circuito na Figura 13.62 é como segue: as duas metades da linha são pré-carregadas até $V_{DD}/2$ e suas tensões, equalizadas. Ao mesmo tempo, os capacitores das duas células fictícias são pré-carregados em $V_{DD}/2$. A seguir, uma linha de palavra é selecionada e a célula fictícia do outro lado é habilitada (com ϕ_D ou $\overline{\phi}_D$ levados a V_{DD}). Assim, a meia-linha conectada à célula selecionada gerará um incremento de tensão (acima de $V_{DD}/2$) de $\Delta V(1)$ ou $\Delta V(0)$, dependendo se um 1 ou um 0 estiver armazenado na célula. Enquanto isso, a outra meia-linha terá sua tensão mantida igual àquela em C_D (isto é, $V_{DD}/2$). O resultado é um sinal diferencial de $\Delta V(1)$ ou $\Delta V(0)$ que o amplificador sensor detecta e amplifica quando ele estiver habilitado. Como usual, ao final do processo regenerativo, o amplificador fará com que a tensão na metade da linha se torne V_{DD} e aquela na outra metade se torne 0.

Exercícios

13.24 Reduza o tempo Δt do circuito do amplificador sensor no Exemplo 13.7 para 4 ns aumentando g_m dos transistores (enquanto mantém o casamento de cada inversor). Quais são as razões (W/L) dos dispositivos canal n e canal p nesse caso?

Resposta $(W/L)_n = 5$; $(W/L)_p = 12{,}5$

13.25 Se no amplificador sensor do Exemplo 13.7 o sinal disponível da célula é apenas metade do valor original (isto é, somente 50 mV), qual será o valor de Δt?

Resposta 8,19 ns, um aumento de 23%

13.11.2 O Decodificador de Endereços de Linha

Como descrito na Seção 13.9, o decodificador de endereços de linha é necessário para selecionar uma dentre 2^M linhas de palavra em resposta a um endereçamento de entrada de M bits. Como exemplo, considere o caso em que $M = 3$ e chame os três bits de A_0, A_1 e A_2 e as oito linhas de palavra de W_0, W_1, ..., W_7. Convencionalmente, a linha de palavra W_i será ativada quando $A_0 = 0$, $A_1 = 0$ e $A_2 = 0$, de tal forma que podemos expressar W_0 como uma expressão booleana de A_0, A_1 e A_2

$$W_0 = \overline{A}_0\overline{A}_1\overline{A}_2 = \overline{A_0 + A_1 + A_2}$$

Assim, a seleção de W_0 pode ser obtida por uma porta NOU de três entradas, na qual estão ligados os bits A_0, A_1 e A_2 e em cuja saída está ligada a linha de palavra 0. A linha de palavra W_3 será acionada quando $A_0 = 1$, $A_1 = 1$ e $A_2 = 0$, ou seja

$$W_3 = A_0A_1\overline{A}_2 = \overline{\overline{A}_0 + \overline{A}_1 + A_2}$$

Assim, a seleção de W_3 pode ser obtida por uma porta NOU de três entradas, na qual estão ligados os bits A_0, $\overline{A}_1$ e A_2 e em cuja saída está ligada a linha de palavra 3. Vemos que esse decodificador de endereços pode ser implementado com oito portas NOU de três entradas. Cada porta NOU é acionada pela combinação apropriada de bits de endereço e seus complementos, correspondendo à linha de palavra à qual sua saída está conectada.

Uma abordagem simples para realizar essas funções NOU é obtida pela estrutura matricial apresentada na Figura 13.63. O circuito mostrado é dinâmico, sendo que cada linha possui um transistor de canal p associado que é ativado antes do processo de decodificação usando o sinal de pré-carga ϕ_p. Durante a pré-carga (ϕ_p baixo), todas as linhas de palavra são puxadas para V_{DD}. Supõe-se que nesse momento os bits de entrada de endereçamento ainda não foram aplicados e todas as entradas estão em nível baixo; portanto, não há a necessidade de incluir no circuito o transistor de avaliação utilizado em portas lógicas dinâmicas. Então, a operação de decodificação se inicia quando os bits de endereçamento e seus complementos são aplicados. Note que os transistores NMOS são posicionados de tal forma que as linhas de palavra não selecionadas sejam descarregadas. Para qualquer combinação de entrada, apenas uma linha de palavra não será descarregada e, portanto, sua tensão permanece alta, em V_{DD}. Por exemplo, a linha 0 estará em nível alto quando $A_0 = 0$, $A_1 = 0$ e $A_2 = 0$; essa é a única combinação que fará com que todos os três transistores conectados à linha 0 estejam cortados. Da mesma forma, a linha 3 possui tran-

sistores conectados a $\overline{A}_0$, $\overline{A}_1$ e A_2 e assim ela estará em nível alto apenas quando $A_0 = 1$, $A_1 = 1$ e $A_2 = 0$, e assim por diante. Depois que a saída do decoficador estabiliza, as linhas de saída são conectadas às linhas de palavra da matriz, usualmente via portas de transmissão controladas por relógios. Esse decodificador é conhecido como decodificador NOU. Observe que, devido à operação de pré-carga, esse circuito decodificador não dissipa potência estática.

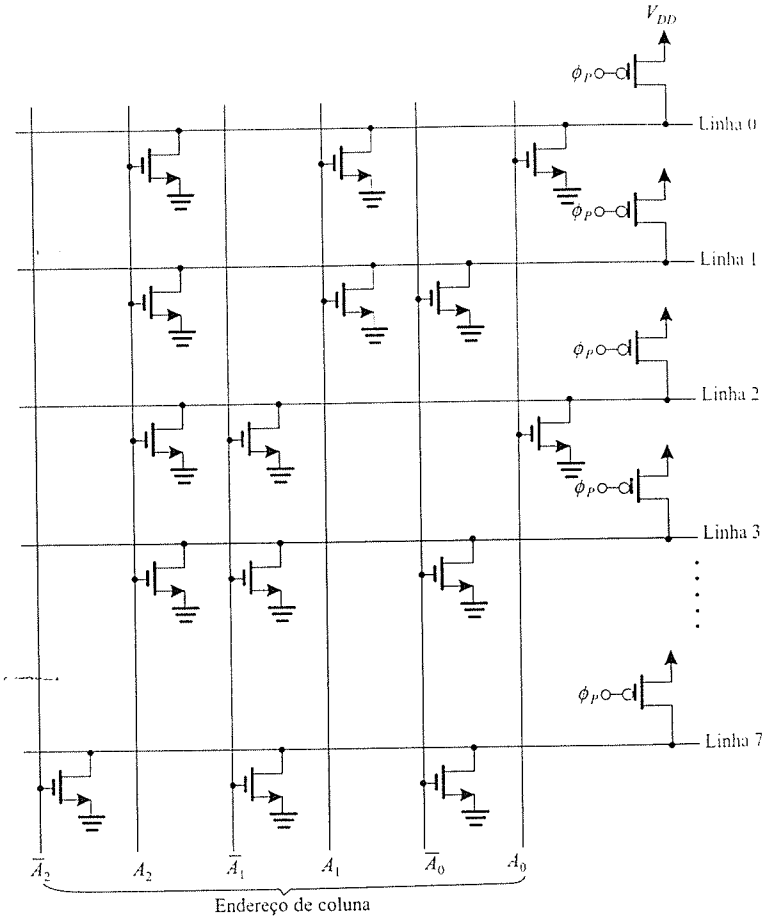


Figura 13.63 Um decodificador de endereços NOU na forma de matriz. Uma dentre as oito linhas é selecionada usando um endereçamento de três bits.

Exercício

13.26 Quantos transistores são necessários para um decodificador de linha NOU com M bits de endereçamento?

Resposta $M2^M$ NMOS + 2^M PMOS = $2^M(M + 1)$

13.11.3 O Decodificador de Endereços de Coluna

Como visto na Seção 13.9, a função do decodificador de endereços de coluna é conectar uma das 2^N linhas de bits à linha de dados de E/S da pastilha.

Como tal, ele é um multiplexador e pode ser implementado usando lógica de transistores de passagem, como mostrado na Figura 13.64. Nesse caso, cada linha de bit é conectada à linha de dados de E/S por meio de um transistor NMOS. As portas dos transistores de passagem são controladas por 2^N linhas, uma das quais é selecionada por um decodificador NOU similar àquele usado para decodificar os endereços de linha.

Uma implementação alternativa do decodificador de coluna que usa um número menor de transistores (à custa de uma menor velocidade de operação) está mostrada na Figura 13.65. Esse circuito, conhecido como *decodificador em árvore*, tem uma estrutura simples de transistores de passagem. Infelizmente, como um número significativo de transistores pode estar no caminho do sinal, a resistência das linhas de bit aumenta e a correspondente velocidade diminui.

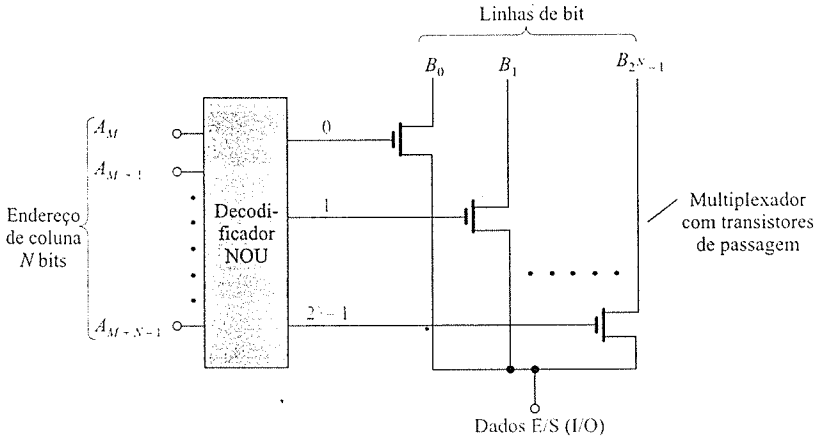


Figura 13.64 Um decodificador de coluna implementado pela combinação de um decodificador NOU e um multiplexador com transistores de passagem.

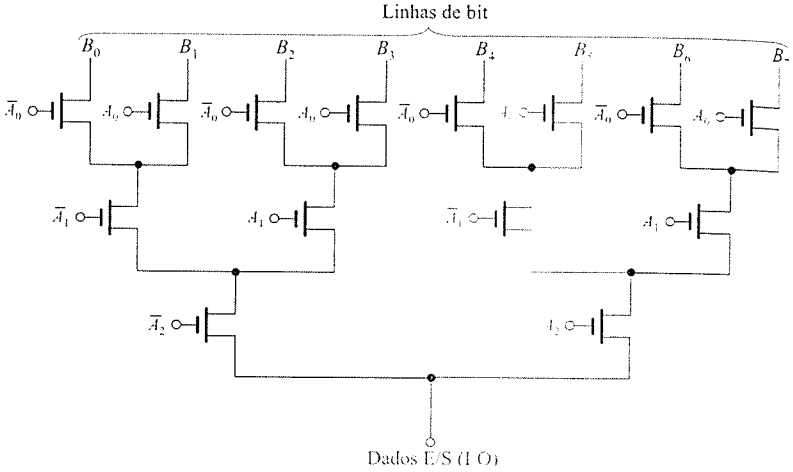


Figura 13.65 Um decodificador de coluna em árvore. Note que o caminho em destaque mostra os transistores que estão conduzindo quando $A_0 = 1$, $A_1 = 0$ e $A_2 = 1$, que resulta na conexão de B_5 com a linha de dados.

Exercício

13.27 Quantos transistores são necessários para um decodificador em árvore quando há 2^N linhas de bit?

Resposta $2(2^N - 1)$

13.12 MEMÓRIA APENAS DE LEITURA (ROM)

Conforme mencionado na Seção 13.9, a memória apenas de leitura (*read only memory* – ROM) é uma memória que contém apenas dados fixos. Ela é usada em uma grande variedade de aplicações de sistemas digitais.

Atualmente, uma aplicação muito popular da ROM é encontrada em sistemas microprocessados, nos quais ela é usada para armazenar as instruções do programa do sistema operacional. A ROM é particularmente adequada para tal aplicação porque não é volátil; isto é, ela retém seu conteúdo quando a fonte de alimentação é desligada.

Uma ROM pode ser vista como um circuito lógico combinatório em que a entrada é a coleção de bits de endereçamento da ROM e a saída é o conjunto de bits de dados recuperados a partir da localização endereçada. Essa consideração nos leva à aplicação de ROMs na conversão de códigos – isto é, na troca do código de sinal de um sistema (digamos, binário) para outro. A conversão de códigos é empregada, por exemplo, nos sistemas de comunicação com segurança, nos quais o processo é conhecido como *mistura* (*scrambling*). Ela consiste em fornecer o código original dos dados a serem transmitidos para uma ROM que fornece os bits correspondentes a um código supostamente secreto. O processo inverso, que também usa uma ROM, é aplicado no sistema de recepção final.

Nesta seção, estudaremos vários tipos de memórias apenas de leitura. Isso inclui a ROM fixa, à qual nos referimos simplesmente como ROM; a ROM programável (*programmable ROM* – PROM); e a ROM programável e apagável (*erasable programmable ROM* – EPROM).

A ROM MOS

A Figura 13.66 mostra uma ROM MOS simplificada de 32 bits (ou 8 palavras × 4 bits). Conforme indicado, a memória consiste em uma matriz de MOSFETs tipo enriquecimento cujas portas são conectadas às linhas de palavras, cujas fontes estão aterradas e cujos drenos estão conectados às linhas de bits. Cada linha de bit está conectada à fonte de alimentação via um transistor de carga PMOS, da mesma forma que uma lógica pseudo-NMOS. Há um transistor NMOS em uma célula particular se essa célula estiver armazenando um 0; se a célula estiver armazenando um 1, não há esse transistor MOSFET. Essa ROM pode ser considerada como contendo 8 palavras de 4 bits cada. O decodificador de linhas seleciona uma das 8 palavras pelo aumento da tensão na linha da palavra correspondente. Os transistores das células conectados a essa linha de palavras conduzirão, puxando a tensão das linhas de bits (nas quais transistores na linha selecionada estão conectados) para baixo, próximo do potencial do terra (nível lógico 0). As linhas de bits que estão conectadas às células (da palavra selecionada) sem transistores (isto é, aquelas células que estão armazenando os dígitos 1) permanecerão com a tensão da fonte de alimentação (1 lógico) por causa da ação levantadora (*pull-up*) dos transistores de carga PMOS. Desse modo, os bits da palavra endereçada podem ser lidos.

Exercício

13.28 O propósito deste exercício é estimar os vários tempos de atraso envolvidos na operação de uma ROM. Considere a ROM na Figura 13.66 com as portas dos transistores PMOS desconectadas do terra e conectadas ao sinal de controle de pré-carga ϕ. Todos os transistores NMOS possuem $W/L = 6\ \mu m/2\ \mu m$ e todos os transistores PMOS possuem $W/L = 24\ \mu m/2\ \mu m$. Assuma que $\mu_n C_{ox} = 50\ \mu A/V^2$, $\mu_p C_{ox} = 20\ mA/V^2$, $V_{tn} = -V_{tp} = 1\ V$ e $V_{DD} = 5\ V$.

(a) Durante o intervalo de pré-carga, ϕ é levado a 0 V. Estime o tempo necessário para carregar uma linha de bit de 0 para 5 V. Use como corrente de carga média a corrente fornecida por um transistor PMOS em uma linha de bit com metade da tensão da excursão total (isto é, 2,5 V). A capacitância da linha de bit é 2 pF. Note que todos os transistores NMOS estão cortados nesse momento.

(b) Depois de completado o intervalo de pré-carga, ϕ retorna a V_{DD} e o decodificador de linha aumenta a tensão da linha de palavra selecionada. Devido à capacitância e à resistência finitas da linha de palavra, a tensão cresce exponencialmente em direção a V_{DD}. Se a resistência de cada uma das linhas de palavra de silício policristalino é de 3 kΩ e a capacitância entre a linha de palavra e o terra é de 3 pF, qual o tempo de subida (10% a 90%) da tensão na linha de palavra? Qual a tensão que ela atinge ao final do intervalo de uma constante de tempo?

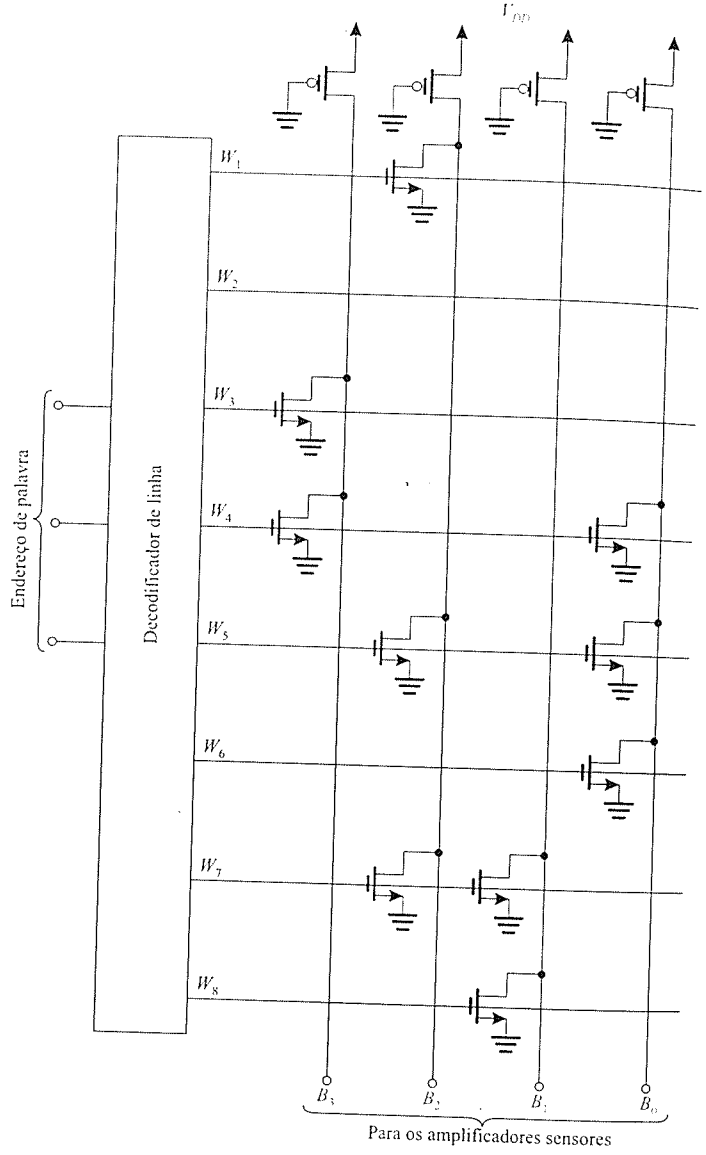


Figura 13.66 Uma ROM MOS simples organizada como 8 palavras × 4 bits.

(c) Se aproximarmos o crescimento exponencial da tensão da linha de palavra por um degrau de tensão com o valor da tensão atingida após o intervalo de uma constante de tempo, determine o intervalo Δt necessário para um transistor NMOS descarregar a linha de bit e reduzir sua tensão de 0,5 V. (Estamos considerando que o amplificador sensor necessita de uma variação de 0,5 V em sua entrada para detectar um valor baixo para o bit.)

Resposta (a) 6,1 ns; (b) 19,8 ns, 3,16 V; (c) 2,9 ns

As ROMs Programáveis por Máscara

Os dados armazenados nas ROMs discutidas anteriormente são determinados no momento de fabricação, de acordo com as especificações do usuário. Porém, a fim de evitar que se faça um projeto dedicado para cada ROM encomendada (que seria um processo extremamente caro), as ROMs são fabricadas usando um processo conhecido como **programação por máscara**. Conforme explicado no Apêndice A, os circuitos integrados são fabricados em uma lâmina de silício usando uma seqüência de etapas de processamento que incluem fotomascaramento, corrosão e difusão. Desse modo, traçados de junções e interconexões são criados na superfície da lâmina. Uma das etapas finais do processo de fabricação consiste em depositar em toda a superfície da lâmina uma camada de alumínio e depois, seletivamente (usando uma máscara), remover por corrosão o alumínio das regiões indesejadas, deixando o alumínio somente onde devem existir interconexões. Essa última etapa pode ser usada para programar (isto é, armazenar o traçado desejado) uma ROM. Por exemplo, se a ROM for feita de transistores MOS tipo enriquecimento, como na Figura 13.66, então os MOSFETs são incluídos em todas as localizações dos bits, mas somente as portas daqueles transistores nos quais os zeros serão armazenados serão conectadas às linhas de palavra; as portas dos transistores nos quais serão armazenados os 1 não serão conectadas. Esse traçado é determinado na máscara, que é produzida de acordo com as especificações do usuário.

As vantagens econômicas do processo de programação por máscara devem estar claras: todas as ROMs são fabricadas de modo similar; a diferenciação do produto ocorre apenas durante as etapas finais de fabricação.

As ROMs Programáveis (PROMs e EPROMs)

As PROMs são ROMs que podem ser programadas pelo usuário, mas apenas uma vez. Um arranjo típico empregado nas PROMs com TBJ envolve o uso de fusíveis de silício policristalino para conectar o emissor de cada TBJ à coluna de dígitos correspondentes. Dependendo do conteúdo desejado de uma célula da ROM, o fusível pode ser deixado intacto ou pode ser queimado usando uma corrente alta. O processo de programação é, obviamente, irreversível.

Uma ROM programável e apagável, ou EPROM, é uma ROM que pode ser apagada e reprogramada quantas vezes o usuário desejar. É, portanto, o tipo mais versátil de memória apenas de leitura. Contudo, deve ser observado que o processo de apagamento e reprogramação é demorado e é idealizado para ser executado com pouca freqüência.

As EPROMs no estado da arte usam variantes da célula de memória cuja seção transversal está mostrada na Figura 13.67(a). A célula é basicamente um MOSFET canal n tipo enriquecimento com duas portas feitas de silício policristalino.[9] Uma das portas não é eletricamente conectada a nenhuma outra parte do circuito; em vez disso, é deixada flutuante e é apropriada-

9. Veja o Apêndice A para uma descrição da tecnologia de porta de silício.

mente chamada de **porta flutuante**. A outra porta, chamada de **porta de seleção**, funciona do mesmo modo que a porta de um MOSFET tipo enriquecimento normal.

O transistor MOS da Figura 13.67(a) é conhecido como **transistor de porta flutuante** e é representado pelo símbolo de circuito mostrado na Figura 13.67(b). Nesse símbolo, a linha tracejada representa a porta flutuante. A célula de memória é conhecida como **célula de portas empilhadas**.

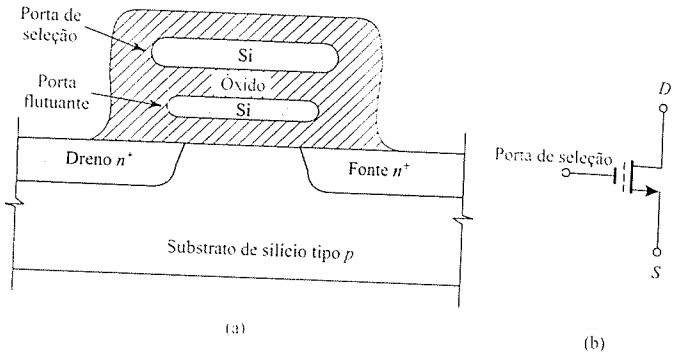


Figura 13.67 (a) Seção de corte e (b) símbolo de circuito do transistor de porta flutuante usado como célula EPROM.

Examinaremos agora o funcionamento do transistor de porta flutuante. Antes de a célula ser programada (logo explicaremos o que isso significa), não há cargas na porta flutuante e o dispositivo funciona como um MOSFET canal n tipo enriquecimento normal. Portanto, ele exibe a característica i_D–v_{GS}, mostrada como curva (a) na Figura 13.68.

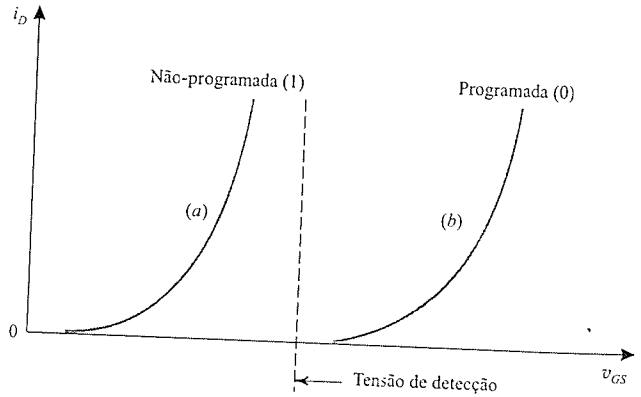


Figura 13.68 Ilustração do deslocamento na característica i_D–v_{GS} de um transistor de porta flutuante como resultado da programação.

Observe que, nesse caso, a tensão de limiar (V_t) é muito baixa. Esse estado do transistor é conhecido como **estado não-programado**. Esse é um dos dois estados em que o transistor de porta flutuante pode se encontrar. Tomaremos arbitrariamente o estado não-programado para representar um 1 armazenado. Isto é, o transistor de porta flutuante cuja característica i_D–v_{GS} está mostrada como a curva (a) na Figura 13.68 é dito estar armazenando um 1.

Para programar o transistor de porta flutuante, é aplicada uma tensão elevada (cerca de 16 a 20 V) entre o dreno e a fonte. Ao mesmo tempo, é aplicada uma tensão elevada (cerca de 25 V) em sua porta de seleção. A Figura 13.69 mostra o MOSFET de porta flutuante durante a programação. Na ausência de cargas na porta flutuante, o dispositivo se comporta como um MOSFET de canal n tipo enriquecimento normal. Uma camada de inversão tipo n (canal) é criada na superfície da lâmina como resultado da tensão positiva elevada aplicada à porta de seleção. Devido à aplicação da tensão positiva elevada no dreno, o canal adquire uma forma afunilada.

A tensão dreno-fonte acelera os elétrons através do canal. Quando esses elétrons alcançam o dreno no final do canal, eles adquirem energia cinética suficientemente alta e são chamados de *elétrons quentes*. A tensão positiva elevada na porta de seleção (maior do que a tensão de dreno) estabelece um campo elétrico no óxido isolante. Esse campo elétrico atrai os elétrons quentes e os acelera em direção à porta flutuante. Desse modo, a porta flutuante fica carregada e a carga nela acumulada fica aprisionada.

Felizmente, esse processo de carregamento da porta flutuante é autolimitante. A carga negativa que se acumula na porta flutuante reduz a intensidade do campo elétrico no óxido até o ponto em que, eventualmente, ele se torna incapaz de continuar acelerando os elétrons quentes.

Apreciaremos agora o efeito da carga negativa aprisionada na porta flutuante sobre a operação do transistor. A carga negativa aprisionada na porta flutuante fará com que os elétrons sejam repelidos da superfície do substrato. Isso significa que, para formar o canal, a tensão positiva que é aplicada à porta de seleção será maior do que aquela necessária quando a porta flutuante não está com carga. Em outras palavras, a tensão de limiar V_t do transistor programado será maior do que a do transistor não-programado. Na realidade, a programação faz com que a característica i_D–v_{GS} se desloque para o ponto denominado (b) na Figura 13.68.

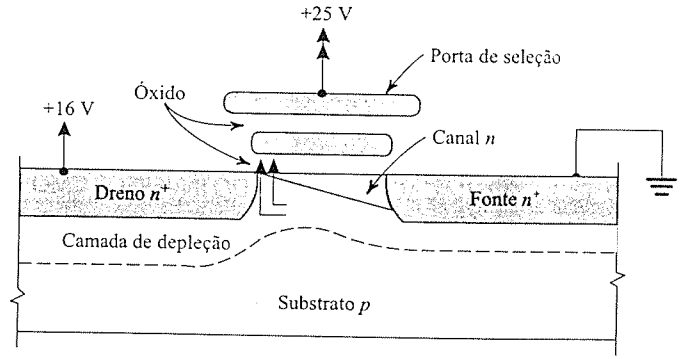


Figura 13.69 O transistor de porta flutuante durante a programação.

Nesse estado, conhecido como *estado programado*, a célula é dita estar armazenando um 0. Uma vez programado, o dispositivo de porta flutuante retém esse deslocamento na característica i–v (curva b), mesmo quando a fonte de alimentação é desligada. De fato, resultados experimentais indicam que o dispositivo pode permanecer no estado programado por um tempo tão longo quanto 100 anos!

A leitura do conteúdo da célula de porta empilhada é fácil: uma tensão V_{GS}, entre os valores das tensões de limiar baixa e alta (veja a Figura 13.68), é aplicada à porta de seleção. Enquanto um dispositivo programado (que está armazenando um 0) não conduz, um dispositivo não-programado (que está armazenando um 1) conduzirá plenamente.

Para retornar o MOSFET de porta flutuante para seu estado não-programado, a carga armazenada na porta flutuante deve retornar ao substrato. Esse processo de *apagamento* pode ser conseguido iluminando-se a célula com uma luz ultravioleta de comprimento de onda correto (2537 Å ou 253,7 nm) por um tempo determinado. A luz ultravioleta fornece energia suficiente aos elétrons aprisionados (por meio de seus fótons), permitindo que esses elétrons vençam a barreira de energia existente e passem através do óxido, voltando ao substrato. Para permitir esse processo de apagamento, a EPROM tem uma janela de quartzo em seu encapsulamento. Finalmente, deve ser observado que o dispositivo é extremamente durável e pode ser apagado e programado várias vezes.

Uma ROM programável mais versátil é a PROM apagável eletricamente (*electrically erasable PROM* – EEPROM). Como o próprio nome sugere, uma EEPROM pode ser eletricamente apagada e programada sem a necessidade da iluminação ultravioleta. As EEPROMs utilizam uma variante do MOSFET com porta flutuante.

13.13 EXEMPLO DE SIMULAÇÃO COM O SPICE

Concluímos este capítulo apresentando um exemplo que ilustra o uso do SPICE na análise de circuitos digitais CMOS. Para apreciar a importância do SPICE, lembre-se de que durante todo este capítulo fizemos uma série de simplificações de forma que pudéssemos conduzir as análises manuais em tempo hábil e também que os resultados pudessem ser relativamente imediatos e simples a ponto de nos dar uma visão do princípio de funcionamento de cada circuito. Em particular, esse foi o caso quando investigamos a operação dinâmica dos circuitos lógicos. Programas como o SPICE não apenas eliminam a necessidade de simplificações, mas também permitem o uso de modelos MOSFET muito mais precisos. Tais modelos, naturalmente, são muito complexos para serem utilizados em análises manuais. O exemplo a seguir ilustra o poder e a utilidade da análise auxiliada por computador. Exemplos adicionais podem ser encontrados em Roberts e Sedra (1992 e 1997).

EXEMPLO 13.8: OPERAÇÃO DINÂMICA DO INVERSOR CMOS

Utilizaremos o SPICE para determinar os tempos de atraso de propagação de um inversor CMOS. A Figura 13.70 mostra o inversor que estudaremos. Ele é formado pelos transistores M_1 e M_2 e está acoplado a uma carga capacitiva de 0,1 pF, além de acionar outro inversor idêntico, formado pelos transitores M_3 e M_4. O arquivo de entrada SPICE deste exemplo está listado no Apêndice D. Essa listagem mostra que é utilizada uma tecnologia de processo CMOS de 3 μm e que um modelo MOS nível 3 é empregado nas simulações. Os valores dos parâmetros da tecnologia de processo são levados em consideração nas declarações dos modelos MOSFET. Em particular, estamos interessados nos seguintes parâmetros:

Tabela 13.1 Alguns parâmetros do modelo MOSFET nível 3 empregado pelo SPICE.

$k'_n = 40\ \mu A/V^2$	$k'_p = 12\ \mu A/V^2$	
$V_{tn0} = 0,7\ V$	$V_{tp0} = -0,8\ V$	$V_{DD} = 5\ V$
$C_{ox} = 0,7\ fF/\mu m^2$	$C_{gd}\,l_n = 3,0 \times 10^{-10}$ F/m (largura)	$C_{gd}\,l_p = 2,5 \times 10^{-10}$ F/m (largura)

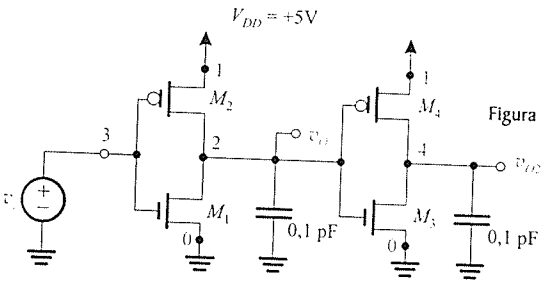


Figura 13.70 Cascata de dois circuitos inversores CMOS para o Exemplo 13.8

As simulações SPICE são realizadas para dois casos:

(a) Dispositivos com dimensões mínimas: $\left(\frac{W}{L}\right)_n = \left(\frac{W}{L}\right)_p = \frac{3\,\mu m}{3\,\mu m}$

(b) Dispositivos casados: $\left(\frac{W}{L}\right)_n = \frac{3\,\mu m}{3\,\mu m}, \left(\frac{W}{L}\right)_p = \frac{k'_n}{k'_p}\left(\frac{W}{L}\right)_n = \frac{10\,\mu m}{3\,\mu m}$

Para determinar a resposta transitória, um pulso de 0 a +5 V com duração de 20 ns é aplicado à entrada do primeiro inversor. A análise transitória realizada pelo SPICE abrange um intervalo de 50 ns usando passos de 0,1 ns. Adicionalmente, a CTT foi determinada empregando uma varredura de tensão de entrada (similar ao Exemplo 5.14). Antes de apresentar os resultados da simulação, devemos ressaltar que, como as áreas de difusão de dreno não foram especificadas, o SPICE não determina as capacitâncias dreno-corpo C_{db} e usa o valor default zero. Assim, os atrasos computados pelo SPICE se baseiam apenas nas capacitâncias de porta e, naturalmente, na capacitância de carga de 0,1 pF. Em um projeto de CI real, o MOSFET é caracterizado em mais detalhes e todas as capacitâncias são incluídas no modelo. A Tabela 13.2 apresenta um resumo dos resultados da análise do SPICE. A Figura 13.71 mostra a forma de onda do pulso de entrada e a forma de onda do sinal na saída do primeiro inversor da cascata para os dois casos analisados. Faremos a seguir uma série de comentários a respeito desses resultados.

1. A CTT para os inversores com dimensões mínimas é visivelmente assimétrica, como mostra o valor da tensão de limiar e os valores desiguais das margens de ruído. A vantagem do projeto com dispositivos casados é evidente. (Note, porém, que, aparentemente, o projeto casado compensa excessivamente as diferentes mobilidades e que talvez um $(W/L)_p = 9/3$ fosse mais apropriado.)

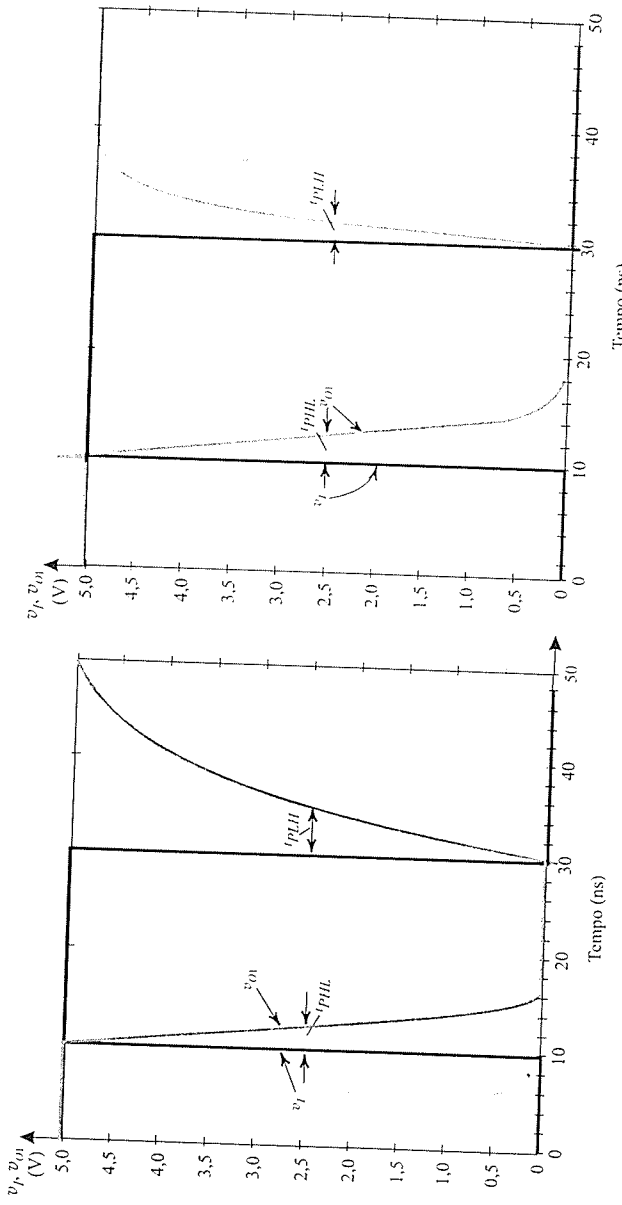


Figura 13.71 Resultados SPICE para o Exemplo 13.8: **(a)** dispositivos com dimensões mínimas; **(b)** dispositivos casados.

As margens de ruído para dispositivos casados são muito próximas dos valores esperados pela Equação 13.11, que fornece $MR_H = MR_L = 2{,}06$ V.

Tabela 13.2 Resultados SPICE para o Exemplo 13.8.

Caso	V_M (V)	V_{IL} (V)	V_{IH} (V)	MR_L (V)	MR_H (V)	t_{PLH} (ns)	t_{PHL} (ns)	t_P (ns)
(a) Dispositivos com dimensões mínimas								
$\left(\frac{W}{L}\right)_n = \left(\frac{W}{L}\right)_p = \frac{3\,\mu m}{3\,\mu m}$	1.90	1.30	2.11	1.30	2.89	5.50	1.89	3.75
(b) Dispositivos casados								
$\left(\frac{W}{L}\right)_n = \frac{3\,\mu m}{3\,\mu m}, \left(\frac{W}{L}\right)_p = \frac{10\,\mu m}{3\,\mu m}$	2.62	2.11	2.89	2.11	2.11	1.96	2.29	2.12

2. A assimetria na resposta transiente do inversor com dimensões mínimas é evidente. Observe que t_{PLH} é maior que t_{PHL} por um fator de 2,85, aproximadamente o mesmo fator de μ_n/μ_p. O resultado é um t_P longo. O projeto casado corrige esse problema e resulta em t_{PLH} e t_{PHL} praticamente iguais. Observe que t_{PHL} aumenta em 21% como resultado do aumento na capacitância total, já que a área do transistor canal p aumenta. Apesar disso, t_P reduz em cerca de 43% e naturalmente a resposta se torna praticamente simétrica. Observe, no entanto, que novamente há evidências de compensação excessiva. Lembre-se também de que não incluímos as capacitâncias dreno-corpo (C_{db}) e, portanto, esses tempos estão subestimados.

3. O leitor certamente quer saber a relação desses resultados com aqueles obtidos manualmente. Para fazer essa análise, precisamos primeiramente estimar o valor da capacitância equivalente C,

$$C = 2C_{gd1} + 2C_{gd2} + C_L + C_{g3} + C_{g4}$$

em que

$C_{gd1} = 0{,}3 \times 3 = 0{,}9$ fF

$C_{gd2} = 0{,}25 \times 3 = 0{,}75$ fF, para os dispositivos com tamanho mínimo

$C_{gd2} = 0{,}25 \times 10 = 2{,}5$ fF, para os dispositivos casados

$C_L = 100$ fF

$C_{g3} = 3 \times 3 \times 0{,}7 = 6{,}3$ fF

$C_{g4} = 3 \times 3 \times 0{,}7 = 6{,}3$ fF, para os dispositivos com tamanho mínimo

$C_{g4} = 10 \times 3 \times 0{,}7 = 21{,}0$ fF, para os dispositivos casados

Assim,

$C = 115{,}9$ fF, para os dispositivos com tamanho mínimo
$C = 134{,}1$ fF, para os dispositivos casados

Usando a Equação 13.13, t_{PHL} pode ser determinado como

$$t_{PHL} = \frac{1{,}6 \times 115{,}9 \times 10^{-15}}{40 \times 10^{-6} \times 5} = 0{,}93 \text{ ns, para os dispositivos com tamanho mínimo}$$

$$t_{PHL} = \frac{1{,}6 \times 134{,}1 \times 10^{-15}}{40 \times 10^{-6} \times 5} = 1{,}07 \text{ ns, para os dispositivos casados}$$

De forma similar, t_{PLH} pode ser determinado como

$$t_{PLH} = \frac{1{,}6 \times 115{,}9 \times 10^{-15}}{12 \times 10^{-6} \times 5} = 3{,}09 \text{ ns, para os dispositivos com tamanho mínimo}$$

$$t_{PLH} = \frac{1{,}6 \times 134{,}1 \times 10^{-15}}{\frac{10}{3} \times 12 \times 10^{-6} \times 5} = 1{,}07 \text{ ns, para os dispositivos casados}$$

Observamos que todos esses valores são cerca de metade dos valores computados pelo SPICE. Isso, embora desconcertante, não deve ser uma surpresa, já que utilizamos modelos simplificados para a análise manual. Note que o valor de C para dispositivos casados é maior que para dispositivos com dimensões mínimas por cerca de 16%, que justifica o aumento (cerca de 21%) em t_{PHL} computado pelo SPICE.

RESUMO

- Embora a tecnologia CMOS seja uma das quatro atualmente em uso (as outras são bipolar, BiCMOS e GaAs), ela é a mais popular. Isso se deve a sua dissipação nula de potência estática e suas excelentes características estáticas e dinâmicas. Além disso, avanços no processamento tecnológico CMOS tornaram possível a fabricação de transistores MOS com comprimento de canal de 0,15 μm. A alta impedância de entrada do transistor MOS permite o uso da técnica de armazenamento de carga em capacitores como forma de implementar memórias, uma técnica que é utilizada com sucesso tanto em lógica dinâmica quanto em lógica estática.
- O inversor CMOS é normalmente projetado usando as dimensões mínimas de canal para os transistores NMOS e PMOS. A largura do transistor NMOS é usualmente 1,5 a 2 vezes o valor de L e a largura do transistor PMOS é (μ_n/μ_p) vezes maior. Esta última condição (de casamento) garante que o inversor chaveará em $V_{DD}/2$ e possuirá igual capacidade de corrente em ambas as direções e, portanto, tempos de atraso na propagação simétricos.
- Uma técnica simples para determinar o atraso na propagação de uma porta lógica consiste em determinar a corrente média $I_{méd}$ disponível para carga (ou descarga) da capacitância de carga C.

...ção, t_{PLH} (ou t_{PHL}) será determinado como $C(V_{...}$ ...$I_{méd}$.

- Uma porta lógica CMOS complementar consiste em uma rede abaixadora PDN NMOS e de uma rede levantadora PUN PMOS. A rede PDN conduz para cada combinação de entrada que necessita de uma saída baixa. Como um transistor NMOS conduz quando a entrada é alta, a rede PDN é sintetizada mais rapidamente por meio da expressão para a saída baixa invertida $\overline{Y}$ como função das entradas não complementadas. De forma análoga, a rede PUN conduz para cada combinação de entrada que corresponde a uma saída alta. Como um PMOS conduz quando sua entrada é baixa, a rede PUN é sintetizada mais rapidamente a partir da expressão para saída alta Y como função das entradas complementares.
- Circuitos lógicos CMOS são usualmente projetados para fornecer uma capacidade de corrente igual em ambas as direções. Além disso, o valor para o pior caso das correntes de abaixamento e levantamento é igual àquele do inversor básico (casado). O ajuste do tamanho dos transistores é baseado nesse fato e utiliza as razões (W/L) dos dispositivos equivalentes em série e paralelo (Equações 13.27 e 13.28).
- A lógica CMOS complementar emprega um transistor NMOS e um transistor PMOS para cada variável de entrada. Assim, a complexidade do circuito, sua área de silício ocupada e a capacitância parasita crescem com o *fan-in*.
- Para reduzir o número de dispositivos, outras duas formas de CMOS estático, chamadas de pseudo-NMOS e de lógica de transistor de passagem (PTL), são empregas em aplicações especiais.
- A lógica pseudo-NMOS utiliza a mesma rede PDN da lógica CMOS complementar, mas substitui a rede PUN por um transistor PMOS simples com porta aterrada. Diferentemente da CMOS complementar, a pseudo-NMOS é uma forma que depende da razão r entre k_n e k_p para determinar V_{OL}. Normalmente, r é selecionado entre 4 e 10 e seu valor determina as margens de ruído.
- Pseudo-NMOS tem a desvantagem de dissipar potência estática quando a saída da porta lógica está em baixo. Potência estática pode ser eliminada conectando-se a carga PMOS apenas por um breve período, conhecido como intervalo de pré-carga, de forma a pré-carregar o nó de saída em V_{DD}. A seguir, as entradas são aplicadas e, dependendo da combinação de entrada, o nó de saída permanece em alto ou é descarregado através da rede PDN. Essa é a essência da lógica dinâmica.
- A lógica de transistor de passagem utiliza transistores NMOS simples ou portas de transmissão CMOS para implementar uma rede de chaves que são controladas pelas variáveis lógicas de entrada. Chaves implementadas por transistores NMOS simples, embora simples, resultam na redução de V_{OH} de V_{DD} para $V_{DD} - V_t$.
- Os *flip-flops* empregam um ou mais *latches*. O *latch* básico é um circuito biestável implementado usando dois inversores conectados em uma malha de realimentação positiva. O *latch* pode permanecer em cada estado indefinidamente.
- Como alternativa ao método da realimentação positiva, pode-se obter memórias usando-se armazenamento de cargas. Alguns *flip-flops* CMOS são implementados dessa forma, incluindo alguns *flip-flops* tipo D mestre–escravo.
- Um multivibrador monoestável tem um estado estável, no qual pode permanecer indefinidamente, e um estado instável, em que ele entra após um disparo e permanece por um tempo predeterminado T. Os circuitos monoestáveis podem ser usados para gerar sinais de pulso de largura e amplitude predeterminadas.
- Um multivibrador astável não tem estado estável. Tem dois estados instáveis, entre os quais oscila. O circuito astável é, em efeito, um gerador de onda retangular.
- Um oscilador em anel é implementado conectando-se um número ímpar (N) de inversores em uma malha fechada; $f_{osc} = 1/2Nt_p$.
- A memória de acesso aleatório (RAM) é aquela em que o tempo necessário para o armazenamento (escrita) de uma informação e para a recuperação (leitura) da informação é independente da localização física (dentro da memória) onde a informação está armazenada.
- A maior parte de uma pastilha (*chip*) de memória consiste em células nas quais os bits são armazenados e organizados em uma matriz quadrada. A célula é selecionada para leitura ou escrita pela ativação de sua linha via um decodificador de endereço de linha e de sua coluna via um decodificador de endereço de coluna. O amplificador detector detecta o conteúdo da célula selecionada e envia-o para o terminal de saída da pastilha.
- Há dois tipos de RAM MOS: a estática e a dinâmica. As RAMs estáticas (SRAMs) empregam

flip-flops como células de armazenagem. Em uma RAM dinâmica (DRAM), os dados são armazenados em um capacitor e, portanto, devem ser restaurados periodicamente. As pastilhas DRAM são as que oferecem a maior capacidade de armazenagem de dados possível.

- Embora amplificadores sensores sejam utilizados em memória SRAM para acelerar a operação, eles são essenciais em DRAMs. Um amplificador sensor típico é um circuito diferencial que emprega realimentação positiva para obter um sinal de saída que cresce exponencialmente em direção a V_{DD} ou a 0.
- A memória apenas de leitura (ROM) contém dados fixos que são armazenados no momento da fabricação e não podem ser mudados pelo usuário. Por outro lado, o conteúdo de uma ROM programável e apagável (EPROM) pode ser mudado pelo usuário. O processo de apagar e reprogramar é lento e deve ser realizado apenas ocasionalmente.
- Algumas EPROMs utilizam MOSFETs (Figura 13.67) como células de armazenagem. A célula é programada pela aplicação de uma tensão alta na porta selecionada. O apagamento é feito pela iluminação da pastilha com luz ultravioleta. As EEPROMs são mais versáteis e podem ser apagadas e reprogramadas eletricamente.

BIBLIOGRAFIA

S. D. Brown e J. Rose, FPGA e CPLD Architectures: A tutorial, *IEEE Design and Test of Computers*, vol. 13, nº 2, pp. 42-57, 1996.

M. I. Elmasry (ed.), *Digital MOS Integrated Circuits*, New York, IEEE Press, 1981. Também, *Digital MOS Integrated Circuits II*, 1992.

D. A. Hodges e H. G. Jackson, *Analysis and Design of Digital Integrated Circuits*, 2ª ed., New York, McGraw-Hill, 1988.

IEEE Journal of Solid-State Circuits. A edição de novembro de todos os anos é dedicada aos circuitos digitais.

S. M. Kang e Y. Leblebici, *CMOS Digital Integrated Circuits*, New York, McGraw-Hill, 1996.

C. Mead e L. Conway, *Introduction to VLSI Systems*, Reading, Mass., Addison-Wesley, 1980.

Motorola, *McMOS Handbook*, Phoenix, Ariz., Motorola Inc., 1974.

Motorola, *Memory Data*, Pheonix, Ariz., Motorola, Inc., 1989.

J. M. Rabaey, *Digital Integrated Circuits*, Englewood Cliffs, NJ, Prentice-Hall, 1996.

RCA, *COS/MOS Digital Integrated Circuits*, Publication nº SSD-203B, Somerville, NJ, RCA Solid-State Division, 1974.

G. W. Roberts e A. S. Sedra, *SPICE*, New York, Oxford University Press, 1992, 1997.

A. S. Sedra e K. C. Smith, *Microelectronic Circuits*, 1ª ed., Cap. 16, New York, Holt, Rinehart e Winston, 1982.

N. Weste e K. Eshraghian, *Principles of CMOS VLSI Design*, Reading, Mass, Addison-Wesley, 1985, 1993.

PROBLEMAS

Seção 13.1: Circuitos Lógicos Digitais – Alguns Conceitos Básicos

13.1 Para uma família lógica empregando uma fonte de alimentação de 3 V, sugira um conjunto ideal de valores para V_{th}, V_{IL}, V_{IH}, V_{OL}, V_{OH}, MR_L, MR_H. Também esboce a CTT. Que valor de ganho de tensão na região de transição resulta de sua especificação?

13.2 Para uma família lógica, o inversor-padrão tem um tempo de atraso na propagação de 1,2 ns quando carregado por um circuito similar:

(a) Se a corrente disponível para carregar a capacitância de carga é metade daquela disponível para descarregá-la, que valores de t_{PLH} e t_{PHL} você espera?

(b) Se o atraso na propagação aumenta em 70% quando uma capacitância externa de 1 pF é acoplada à saída do inversor, qual o valor da capacitância combinada interna de entrada e saída?

(c) Sem a capacitância externa de 1 pF e retirando-se o inversor de carga observa-se uma redução de 40% no atraso de propagação. Qual sua estimativa para os valores das capacitâncias internas de saída e de entrada?

P13.3 Uma família de circuitos lógicos com dissipação estática nula opera normalmente com $V_{DD} = 5$ V. Para reduzir sua dissipação de potência dinâmica, a qual está especificada na Equação 13.4, considera-se a operação em 3,3 V. Descobre-se, no entanto, que as correntes de carga e descarga das capacitâncias também diminuem. Se a corrente for (a) proporcional a V_{DD} e (b) proporcional a V_{DD}^2, qual a redução na máxima freqüência de operação que você espera para cada caso? Que variação percentual no produto atraso-potência você espera em cada caso?

Seção 13.2: Projeto e Análise do Desempenho do Inversor CMOS

13.4 Para um inversor CMOS operando em 3,3 V e uma tecnologia com $|V_t| = 0{,}8$ V e $k_n' = 3k_p' = 75\ \mu A/V^2$, determine a resistência dreno–fonte associada aos transistores de dimensões mínimas para os quais $W/L = 1{,}2\ \mu m/0{,}8\ \mu m$. Para que razão ($W_p/W_n$) terão Q_N e Q_P, que têm mesmo comprimento de canal, resistências iguais? Para $W_n = 1{,}2\ \mu m$, determine o valor de L_n que fornece uma resistência dreno–fonte de 100 kΩ.

13.5 Use a Equação 13.8 para explorar a variação de V_{th} com a razão $r \equiv k_n/k_p$. Especificamente, calcule V_{th} para o caso em que $V_{tn} = |V_{tp}| = 1$ V e $V_{DD} = 5$ V para $r = 0{,}5$, 1, 1,5, 2 e 3. Note que V_{th} não é muito dependente de r quando r está em torno de 1.

13.6 Um inversor CMOS casado fabricado em um processo com $C_{ox} = 1{,}4$ fF/μm², $\mu_n C_{ox} = 75\ \mu A/V^2$, $\mu_p C_{ox} = 25\ \mu A/V^2$, $V_{tn} = -V_{tp} = 0{,}8$ V e $V_{DD} = 3{,}3$ V usa $W_n = 1{,}5\ \mu m$ e $L_n = L_p = 0{,}8\ \mu m$. As capacitâncias de sobreposição de porta–dreno e efetiva de dreno–corpo são de 0,6 fF e 2,0 fF, respectivamente, por μm de largura de porta. A capacitância de fiação é de $C_w = 3$ fF. Determine t_{PLH}, t_{PHL} e t_p. Qual a capacitância adicional que se deve acrescentar para que o atraso na propagação aumente de 50%?

Seção 13.3: Circuitos com Portas CMOS

P13.7 Uma porta lógica CMOS deve fornecer uma saída $\overline{Y} = \overline{A}BC + A\overline{B}C + AB\overline{C}$. Quantos transistores são necessários? Esboce redes PUN e PDN adequadas, obtendo primeiro cada uma independentemente e depois usando a idéia de dualidade.

P13.8 Considere a porta lógica CMOS mostrada na Figura 13.14. Especifique W/L para todos os transistores em termos das razões n e p do inversor básico de tal forma que t_{PHL} e t_{PLH} da porta para o pior caso sejam iguais aos do inversor básico.

13.9 Considere uma porta lógica CMOS NE de quatro entradas para a qual a resposta transitória é dominada por uma capacitância de tamanho fixo entre o nó de saída e o terra. Compare os valores de t_{PHL} e t_{PLH}, obtidos quando os dispositivos são dimensionados como na Figura 13.17, com aqueles obtidos quando todos os dispositivos canal n têm $W/L = n$ e todos os dispositivos canal p têm $W/L = p$.

Seção 13.4: Circuitos Lógicos Pseudo-NMOS

13.10 O propósito deste problema é comparar o valor de t_{PLH} obtido com uma carga resis-

tiva [veja a Figura P13.10(a)] e aquele obtido com uma carga do tipo fonte de corrente [veja a Figura P13.10(b)]. Para uma comparação justa, seja a corrente de fonte $I = V_{DD}/R_D$, qual a corrente inicial disponível para carregar o capacitor no caso da carga resistiva. Determine t_{PLH} para cada caso e a redução percentual obtida quando se usa a fonte de corrente como carga.

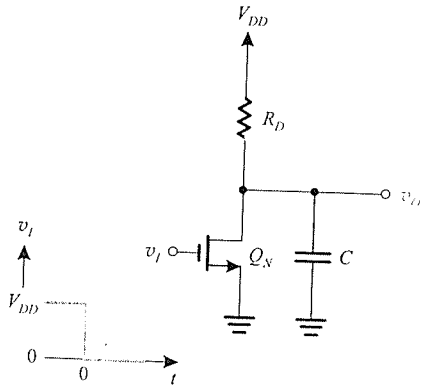
P13.11 Projete um inversor pseudo-NMOS que tenha $V_{OL} = 0{,}2$ V. Sejam $V_{DD} = 5$ V, $|V_t| = 0{,}8$ V, $k_n' = 3k_p' = 75\ \mu A/V^2$ e $(W/L)_n = 1{,}2\ \mu m/0{,}8\ \mu m$. Qual o valor de $(W/L)_p$? Calcule os valores de MR_L e da dissipação de potência estática.

Seção 13.5: Circuitos Lógicos com Transistores de Passagem

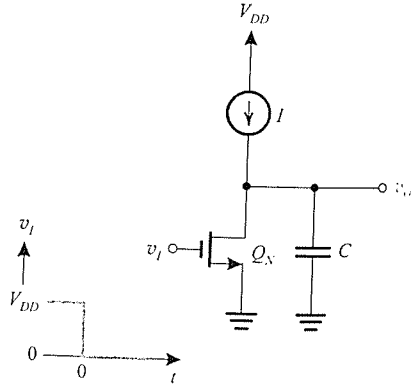
*P13.12 O propósito deste exercício é projetar o circuito de restauração de nível da Figura 13.28 e apreciar melhor sua operação. Assuma que $k_n' = 3k_p' = 75\ \mu A/V^2$, $V_{DD} = 3{,}3$ V, $|V_{tp}| = 0{,}8$ V, $\gamma = 0{,}5\ V^{1/2}$, $2\phi_f = 0{,}6$ V, $(W/L)_1 = (W/L)_n = 1{,}2\ \mu m/0{,}8\ \mu m$, $(W/L)_p = 3{,}6\ \mu m/0{,}8\ \mu m$ e $C = 20$ fF. Sejam $v_B = V_{DD}$.

(a) Considere primeiro a situação na qual $v_A = V_{DD}$. Determine o valor da tensão v_{O1} que faz v_{O2} cair abaixo da tensão de transição, isto é, para 2,5 V, de tal forma que Q_R conduz. Para esse valor de v_{O1}, determine V_t de Q_1. Qual a corrente de carregamento capacitiva disponível nesse momento? Qual seu valor para $v_{O1} = 0$? Qual a corrente média disponível para carregar C? Estime t_{PLH} da entrada até v_{O1}.

(b) Agora, para determinar uma razão W/L aceitável para Q_R, considere a situação quando v_A é levada a 0 V e Q_1 conduz e começa a descarregar C. A tensão v_{O1} iniciará uma queda. Enquanto isso, v_{O2} ainda é baixa e Q_R está conduzindo. A corrente que Q_R conduz se subtrai da corrente de Q_1, reduzindo a corrente disponível para descarregar C. Determine o valor de v_{O1} para o qual o inversor começa a chavear. Isso ocorre em $V_M = (5V_{DD} - 2V_t)/8$. Então determine a corrente que Q_1 conduz nesse valor de v_{O1}. Escolha W/L de Q_R para que essa corrente seja limitada à metade da corrente de Q_1. Qual W/L você escolheu? Estime t_{PHL} como o tempo para que v_{O1} caia de V_{DD} para V_M.



(a)



(b)

Figura P13.10

Seção 13.6: Circuitos com Lógica Dinâmica

13.13 Desejamos calcular a redução na tensão de saída de uma porta lógica dinâmica como resultado da redistribuição de cargas. Refira-se ao circuito da Figura 13.34(a) e assuma que em $t = 0$, $v_Y = V_{DD}$ e $v_{C1} = 0$. Em $t = 0$, ϕ fica alto, Q_P desliga e, simultaneamente, a tensão na porta de Q_1 fica alta (em V_{DD}) ligando Q_1. O transistor Q_1 permanecerá conduzindo até que a tensão em sua fonte (v_{C1}) alcance $V_{DD} - V_{tn}$ ou $v_Y = v_{C1}$, o que acontecer primeiro. Em ambos os casos, o valor final de v_Y pode ser determinado usando conservação de carga. Para $V_{tn} = 1$ V, $V_{DD} = 5$ V, $C_L = 30$ fF e desprezando o efeito de corpo em Q_1, determine a queda de tensão na saída para dois casos: (a) $C_1 = 5$ fF, (b) $C_1 = 10$ fF (tal que Q_1 permaneça na saturação durante todo o intervalo de condução).

13.14 Para a porta lógica NE dinâmica dos Exercícios 13.10 e 13.11, estime a máxima freqüência de relógio admissível.

Seção 13.7: Os *Flip-flops* e os *Latches* (Travas)

13.15 Considere o *flip-flop* SR da Figura 13.40 para o qual o projeto de área mínima é de interesse. Assim, Q_1, Q_2, Q_3 e Q_4 são dispositivos de dimensões mínimas para os quais $W/L = 2\ \mu m/1\ \mu m$. Todos os outros dipositivos devem ser dimensionados igualmente de forma a garantir marginalmente a regeneração. Para esse projeto $V_{DD} = 5$ V, $k_n' = 2{,}5k_p' = 100\ \mu A/V^2$ e $|V_t| = 1$ V. Calcule V_{th} para cada um dos inversores internos. Assumindo que toda a corrente do dispositivo P que está conduzindo (digamos Q_2) precisa ser mantida por um momento nessa tensão pela corrente em (Q_5, Q_6) enquando ambos, S e ϕ, estejam altos, determine W/L do transistor equivalente. Qual o W/L mínimo necessário para Q_5 e Q_6, e $W_5 = W_6$ para $L = 1\ \mu m$? Para garantir a operação com baixos tempos de chaveamento, dispositivos grandes devem normalmente ser usados.

13.16 Considere outra possibilidade para o circuito da Figura 13.42: chame a entrada R de S e a entrada S de R. Considere que S e R permaneçam normalmente em altas tensões sob controle de uma fonte de alta impedância que está associada à "leitura" do conteúdo do *flip-flop* sem alterá-lo. Para "escrever", isto é, setar ou resetar o *flip-flop*, S ou R é levado a 0 e ϕ é aumentado para $V_{DD} = 5$ V para forçar que Q ou $\overline{Q}$ caia para $V_{DD}/2$, em que a regeneração se processa rapidamente. Para Q_1, Q_2, Q_5 e Q_6, todos de dimensões mínimas com $(W/L)_n = 2$, determine $(W/L)_p$ tal que Q possa ser reduzido a 2,5 V quando S é levado a 0. Assuma que $|V_t| = 1$ V, $k_n' = 3\ k_p' = 75\ \mu A/V^2$.

Seção 13.8: Os Circuitos Multivibradores

*13.17 As formas de onda do circuito monoestável da Figura 13.47 são dadas na Figura 13.50. Seja $V_{DD} = 10$ V, $V_{th} = V_{DD}/2$, $R = 10\ k\Omega$, $C = 0{,}001\ \mu F$ e $R_{on} = 200\ \Omega$. Calcule os valores de T, ΔV_1 e ΔV_2. De quanto muda v_{O1} durante o estado quase-estável? Qual a corrente de pico que P_1 necessita drenar? E fornecer?

P13.18 (a) Use a expressão dada no Exercício 13.17 a fim de encontrar uma expressão para a freqüência de oscilação f_0 para o multivibrador astável da Figura 13.52 com a condição de que $V_{th} = V_{DD}/2$.

(b) Encontre os valores adequados para R e C a fim de obter $f_0 = 100$ kHz.

Seção 13.9: Memórias Semicondutoras: Tipos e Arquiteturas

13.19 Uma memória em forma de matriz com 1 Mbit tem seus circuitos periféricos reorganizados para permitir a leitura de palavras de 16 bits. De quantos bits de endereço o novo projeto necessitará?

13.20 Para a memória do Problema 13.19, quantas linhas de palavra devem ser fornecidas pelo decodificador de linha? Quantos amplificadores sensores/acionadores devem ser necessários em uma implementação imediata? Se a dissipação de potência da pastilha é de 500 mW para 5 V de alimentação em operação contínua com tempos de

ciclo de 200 ns, sendo toda dinâmica, estime a capacitância total ativada por ciclo. Se assumirmos que 90% da perda de potência ocorre no acesso à matriz e a maior contribuição à capacitância é a linha de bits, calcule a capacitância por linha de bits e por bit para esse projeto. Se um melhor controle de fabricação permite a operação em 3 V, em quanto pode ser aumentada a capacidade da matriz para o mesmo nível de dissipação de potência?

13.21 Uma DRAM experimental de 1,5 V e 1 Gbit da Hitachi usa um processo de 0,16 μm com uma área de célula de 0,38 × 0,76 μm² em uma pastilha de 19 × 38 mm². Que percentagem da pastilha é ocupada por conexões de entrada e saída, circuitos periféricos e interconexões?

Seção 13.10: Células de Memória de Acesso Aleatório (RAM)

13.22 Para uma célula DRAM usando uma capacitância de 20 fF, a restauração é necessária a cada 10 ms. Se uma perda de sinal no capacitor de 1 V pode ser tolerada, qual a maior fuga de corrente aceitável para essa célula?

Seção 13.11: Amplificadores Sensores e Decodificadores de Endereço

P13.23 Considere a operação do amplificador sensor diferencial da Figura 13.60 após o aumento do sinal de controle ϕ_s. Assuma que um sinal diferencial balanceado de 0,1 V surge entre as linhas de bits, sendo que cada uma tem uma capacitância de 1 pF. Para V_{DD} = 3 V, qual o valor de G_m de cada um dos inversores no amplificador que é necessário para que as saídas alcancem 0,1 V_{DD} e 0,9 V_{DD} (de valores iniciais de 0,5 V_{DD} + 0,1/2 e 0,5 V_{DD} − 0,1/2, respectivamente) em 2 ns? Se, para os inversores casados, $|V_t|$ = 0,8 V e $k'_n = 3k'_p$ = 75 μA/V², quais são as larguras dos dispositivos necessárias? Se o sinal de entrada é de 0,2 V, qual o novo tempo de resposta do amplificador?

P13.24 (a) Para o amplificador sensor da Figura 13.60, mostre que o tempo necessário para as linhas de bits atingirem 0,9 V_{DD} e 0,1 V_{DD} é dado por $t_d = (C_b/G_m)$ ln(0,8 $V_{DD}/\Delta V$), em que ΔV é a tensão de diferença inicial entre as duas linhas de bits.

(b) Se o tempo de resposta do amplificador sensor deve ser reduzido pela metade, por que fator se deve aumentar a largura dos transistores?

(c) Se em um caso particular, V_{DD} = 5 V e ΔV = 0,2 V, determine o fator pelo qual a largura de todos os transistores deve ser aumentada tal que ΔV seja reduzido por um fator de 4 enquanto t_d é mantido.

Seção 13.12: Memória Apenas de Leitura (ROM)

13.25 Considere a versão dinâmica da ROM na Figura 13.66, na qual as portas dos dispositivos PMOS são conectadas a um sinal de controle de pré-carga ϕ. Todos os dispositivos NMOS possuem W/L = 3 μm/1,2 μm e todos os dispositivos PMOS possuem W/L = 12 μm/1,2 μm. Assuma $k'_n = 3k'_p$ = 90 μA/V², $V_{tn} = -V_{tp}$ = 1 V e V_{DD} = 5 V.

(a) Durante o intervalo de pré-carga, ϕ vai para 0 V. Estime o tempo necessário para carregar uma linha de bits de 0 a 5 V. Use como corrente de carga média a corrente fornecida pelo transistor PMOS com uma tensão de linha de bits de 2,5 V. A capacitância da linha de bits é de 1 pF. Note que todos os transistores NMOS estão cortados nesse intervalo.

(b) Depois do intervalo de pré-carga, ϕ retorna a V_{DD} e o decodificador de linha aumenta a tensão da linha de palavra selecionada. Devido à capacitância e resistência finitas da linha de palavra, a tensão cresce exponencialmente em direção a V_{DD}. Se a resistência de cada uma das linhas de palavra de silício policristalino é de 5 kΩ e a capacitância entre a linha de palavra e o terra é de 2 pF, qual o tempo de subida (10% a 90%) da tensão na linha de palavra? Qual a tensão atingida ao final de uma constante de tempo?

(c) Se aproximarmos o crescimento exponencial da tensão da linha de palavra por um degrau igual à tensão alcançada em uma constante de tempo, determine o intervalo Δt necessário para um transistor NMOS descarregar a linha de bits de 1 V.

CAPÍTULO 14

MAKRON Books

Circuitos Digitais Bipolares e Tecnologias Avançadas

Introdução
14.1 Operação Dinâmica do TBJ como Chave
14.2 As Primeiras Formas de Circuitos Digitais com TBJ
14.3 A Lógica Transistor-Transistor (TTL ou T^2L)
14.4 Características da TTL Padrão
14.5 As Famílias TTL com Desempenho Melhorado
14.6 A Lógica Acoplada pelo Emissor (ECL)
14.7 Os Circuitos Digitais BiCMOS
14.8 Os Circuitos Digitais GaAs
14.9 Exemplo de Simulação com o SPICE
Resumo
Bibliografia
Problemas

INTRODUÇÃO

Este é o segundo capítulo dedicado aos circuitos digitais: no Capítulo 13 estudamos os circuitos digitais MOS; aqui estudaremos os circuitos implementados com os transistores bipolares de junção.

Apresentaremos também duas novas famílias de circuitos digitais baseadas em tecnologias de processamento avançadas: circuitos digitais em BiCMOS e em arseneto de gálio (GaAs).

Como no Capítulo 13, assumimos que o leitor está familiarizado com a introdução a sistemas digitais apresentada na Seção 1.7 e com as famílias e tecnologias de circuitos digitais apresentadas na Seção 13.1.

Além disso, a familiaridade com as propriedades do TBJ é um pré-requisito para estudar o material referente aos circuitos digitais bipolares.

Nosso estudo de circuitos digitais com TBJ começará com a operação dinâmica do TBJ, relacionando seus tempos de resposta à carga armazenada em sua base. Essa análise deixará claro qual a razão para o TBJ saturado apresentar uma resposta lenta, um ponto que enfatizamos várias vezes ao longo deste livro.

Seguindo breves comentários sobre as primeiras famílias de circuitos lógicos bipolares, estudaremos em detalhe duas famílias contemporâneas: a lógica transistor-transistor (TTL) e a lógica acoplada pelo emissor (ECL). Por muitos anos, a lógica TTL tem sido a tecnologia de circuitos integrados mais popular para a implementação de sistemas digitais usando densidades de integração SSI, MSI e VLSI. No presente momento, a lógica TTL continua sendo popular, embora venha perdendo terreno para sua principal rival, a lógica CMOS (Capítulo 13). Um fator importante que contribuiu para a longa vida da lógica TTL é a melhoria contínua que essa tecnologia de circuito foi sofrendo ao longo dos anos. Formas modernas da TTL apresentam, entre suas características, atrasos de porta tão baixos quanto 1,5 ns. Como veremos, nesses circuitos aperfeiçoados, os TBJs não operam na saturação. Isso é feito para evitar o atraso de tempo necessário para tirar o transistor fora da saturação. A outra família bipolar popular, a ECL, também evita a saturação do transistor durante sua operação.

Exceto para a tecnologia GaAs, ainda emergente (Seção 14.8), a lógica acoplada pelo emissor é a tecnologia de circuitos digitais mais rápida disponível, apresentando atrasos de porta inferiores a 1 ns em circuitos com densidades SSI e MSI e atrasos menores ainda nas implementações VLSI. A lógica ECL encontra aplicações em circuitos de comunicações digitais, assim como em circuitos de alta velocidade utilizados em supercomputadores.

Este capítulo inclui uma introdução a uma tecnologia de circuitos VLSI que está se tornando popular rapidamente, a BiCMOS. A lógica BiCMOS combina as vantagens dos circuitos CMOS e bipolares e fornece meios para a implementação de circuitos integrados de alta velocidade, baixa potência e com alta densidade de integração. Aplicações de circuitos BiCMOS são encontradas nos Capítulos 6 e 10.

Embora a ênfase neste capítulo seja para os circuitos lógicos, outros blocos fundamentais para sistemas digitais, como *flip-flops* e multivibradores, podem ser implementados na lógica TTL ou ECL seguindo procedimentos convencionais. As pastilhas de memória com densidade de integração muito alta, porém, mantêm-se sob o domínio exclusivo da tecnologia MOS, embora a lógica BiCMOS esteja sendo testada nesse caso.

Resumidamente, a intenção deste capítulo é de completar, para o estudante de circuitos digitais, o quadro que começamos a esboçar no Capítulo 13, apresentando tanto tecnologias de circuitos integrados consolidadas ao longo dos anos (TTL e ECL) como tecnologias de circuitos integrados emergentes (BiCMOS e GaAs).

14.1 OPERAÇÃO DINÂMICA DO TBJ COMO CHAVE

Começaremos nosso estudo de circuitos lógicos com TBJ analisando a operação dinâmica do TBJ em termos da aplicação como chave digital. Esse material pressupõe a familiarização com as Seções 4.12 a 4.15, nas quais estudamos as características dos transistores bipolares e sua operação como chave, particularmente no projeto de um inversor lógico.

Lógica Saturada e Lógica Não-saturada

Historicamente, o uso mais comum do TBJ em circuitos digitais é fazê-lo operar nos dois modos extremos: corte e saturação. Os circuitos lógicos resultantes são chamados de lógica **saturada** (ou **de saturação**). As vantagens desse modo de aplicação incluem excursões lógicas bem definidas, relativamente amplas, e dissipação de potência razoavelmente baixa. A principal desvantagem é a resposta relativamente lenta devido aos longos tempos para o desligamento (corte) dos transistores saturados.

Para obter uma lógica mais rápida, devemos modificar o projeto de modo que o TBJ não sature. Estudaremos duas formas de lógica não-saturada com TBJ – a lógica acoplada pelo emis-

sor (ECL), baseada no par diferencial estudado na Seção 6.1, e a lógica TTL Schottky, baseada no uso de diodos de silício especiais que apresentam baixas quedas de tensão, chamados diodos Schottky (introduzidos na Seção 3.9).

Os Tempos de Chaveamento do Transistor

Devido aos efeitos de suas capacitâncias internas, os transistores não comutam instantaneamente. A Figura 14.1 ilustra esse ponto mostrando a forma de onda da corrente no coletor i_C de um transistor inversor simples junto com as formas de onda da tensão na entrada v_I e da corrente na base i_B. Conforme indicado, quando a tensão na entrada v_I aumenta de um nível negativo (ou zero) V_1 para um nível positivo V_2, a corrente no coletor não responde imediatamente. Melhor dizendo, há um tempo de atraso t_d antes de começar a circular qualquer corrente de coletor apreciável. Esse tempo de atraso origina-se principalmente do processo de carregamento da capacitância de depleção[1] da junção EB em direção à tensão de polarização V_{BE} (aproximadamente 0,7 V). Completado esse processo de carga, a corrente no coletor começa a aumentar exponencialmente até seu valor final de βI_{B2}, no qual I_{B2} é a corrente forçada para a base,[2] e é dada como segue:

$$I_{B2} = \frac{V_2 - V_{BE}}{R_B} \tag{14.1}$$

A constante de tempo do aumento exponencial é determinada pelas capacitâncias das junções. De fato, é durante o intervalo de tempo da borda de subida de i_C que o excesso de cargas de portadores minoritários vai sendo armazenado na região da base (veja o Capítulo 4 e, em particular, a Seção 4.15).

Embora o aumento exponencial de i_C tenda para βI_{B2}, esse valor nunca será alcançado, visto que o transistor saturará e a corrente de coletor será limitada em I_{Csat}. Uma medida da velocidade de chaveamento do TBJ é o **tempo de subida** (*rise time*) t_r indicado na Figura 14.1(c). Outra medida é o **tempo de ligamento** (*turn-on time*) t_{on}, também mostrado na Figura 14.1(c).

A Figura 14.2(a) mostra o perfil do excesso de cargas de portadores minoritários armazenadas na base do transistor saturado. Diferentemente do caso do modo ativo, o excesso de concentração de minoritários não é zero na borda da JCB. Isso porque a JCB está agora diretamente polarizada. Temos agora um interesse especial na carga extra armazenada na base e representada pela área sombreada na Figura 14.2(a). Pelo fato de essa carga não contribuir para a inclinação do perfil de concentração, ela não resulta em uma correspondente componente de corrente do coletor. Ou melhor, essa carga extra armazenada origina-se da parcela da corrente de base injetada a mais do que aquela necessária para saturar o transistor. Quanto maior o fator de superexcitação (*overdrive factor*) usado, maior a quantidade de cargas extras armazenadas na base. De fato, a carga extra Q_s, chamada de **carga de saturação** ou **carga em excesso**, é proporcional ao excesso que aciona a base $I_{B2} - I_{Csat}/\beta$; isto é,

$$Q_s = \tau_s (I_{B2} - I_{Csat}/\beta) \tag{14.2}$$

em que τ_s é um parâmetro do transistor conhecido como **constante de tempo de armazenamento** (*storage time constant*).

Consideraremos, agora, o processo de desligamento. Quando a tensão de entrada v_I volta ao nível baixo V_1, a corrente no coletor não responde instantaneamente, na verdade permanece quase constante por um tempo t_s (Figura 14.1(c)).

1. Como durante t_d a corrente é zero, a capacitância de difusão será zero.
2. Usamos β e β_F indistintamente.

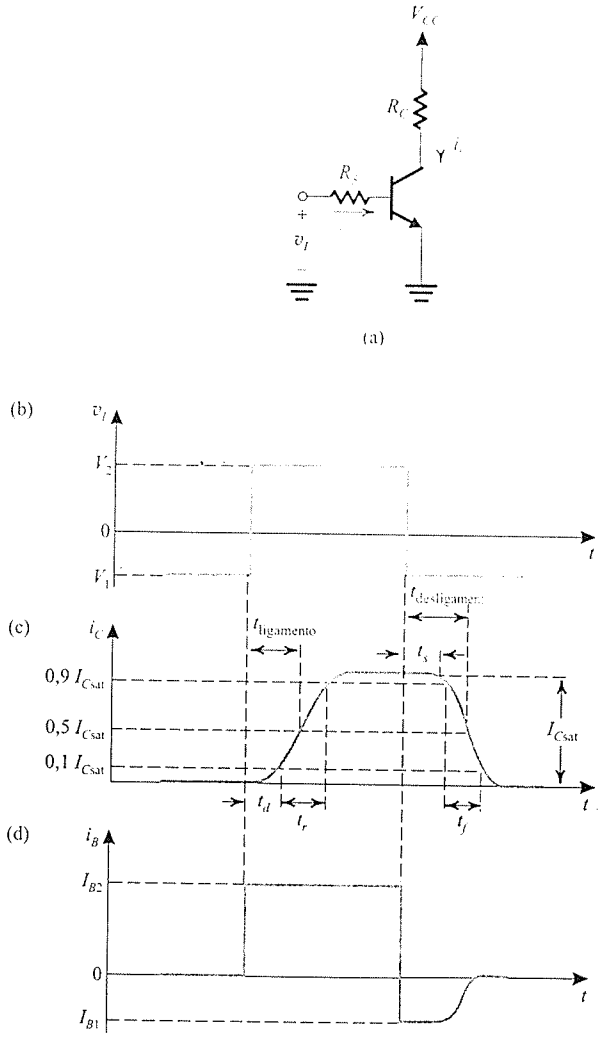


Figura 14.1 Tempos de chaveamento do TBJ no circuito inversor simples de (a) quando a entrada v_I é um pulso com a forma apresentada em (b). Os efeitos da carga em excesso armazenada na base observados após o retorno de v_I a V_1 são explicados com ajuda das Equações 14.2 e 14.3.

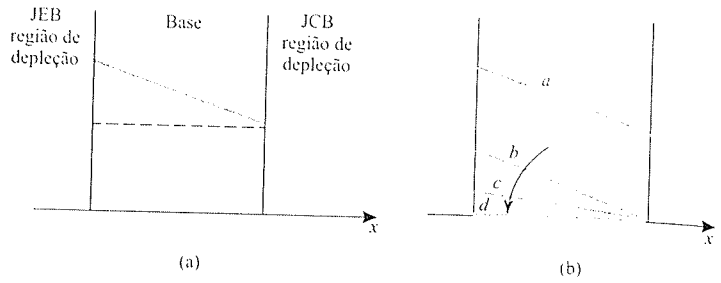


Figura 14.2 (a) Perfil de portadores minoritários em excesso na base para um transistor saturado. A área sombreada representa a carga extra (em excesso ou de saturação). (b) Para desligar o transistor, a carga em excesso deve ser primeiramente removida. Durante esse intervalo de tempo, o perfil se modifica da linha *a* para a linha *b*. A seguir, a inclinação do perfil diminui até zero (linha *d*) e a corrente de coletor cai exponencialmente até zero.

Esse é o tempo necessário para remover a carga em excesso da base. Durante o tempo t_s, chamado de **tempo de armazenamento** (*storage time*), o perfil de portadores minoritários armazenados na base mudará da linha *a* para a linha *b* na Figura 14.2(b). Conforme indicado na Figura 14.1(d), a corrente na base inverte o sentido porque v_{BE} permanece aproximadamente em 0,7 V enquanto v_I está no nível negativo (ou zero) V_1. A corrente reversa I_{B1} ajuda na "descarga da base" e remove a carga armazenada em excesso; na ausência da corrente reversa na base I_{B1}, a carga em excesso é totalmente removida por recombinação. Pode ser mostrado (veja Millman e Taub, 1965) que o tempo de armazenamento t_s é dado por

$$t_s = \tau_s \frac{I_{B2} - I_{Csat}/\beta}{I_{B1} + I_{Csat}/\beta} \tag{14.3}$$

Uma vez removida a carga extra armazenada, a corrente no coletor começa a cair exponencialmente com uma constante de tempo determinada pelas capacitâncias das junções. Durante o tempo de descida (*fall time*), a inclinação do perfil do excesso de cargas diminui até zero, conforme indicado na Figura 14.2(b). Finalmente, observe que a corrente invertida na base eventualmente diminui até zero quando a capacitância JEB carrega até a tensão de polarização reversa, V_1.

Tipicamente, t_d, t_r e t_f são da ordem de poucos nanossegundos até algumas dezenas de nanossegundos. O tempo de armazenamento t_s, contudo, é maior e geralmente constitui o fator limitante na velocidade de chaveamento do transistor. Conforme mencionado anteriormente, t_s aumenta com o fator de superexcitação (isto é, quão profundamente o transistor é colocado na saturação). Isso implica que, se desejarmos circuitos digitais de alta velocidade, então a operação na região de saturação deve ser evitada. Essa é a razão para estudarmos as duas formas de circuitos lógicos não-saturados – a TTL Schottky e a ECL.

Exercício

14.1 Desejamos usar o circuito equivalente do transistor na Figura 4.70 para encontrar uma expressão para o tempo de atraso t_d de um inversor simples com transistor alimentado por uma fonte de tensão em degrau com resistência R_B. Visto que durante o tempo de atraso o transistor não está conduzindo, a resistência r_π é infinita e C_π consistirá inteiramente na capacitância de depleção C_{je}. Como aproximação, C_{je} pode ser suposta como constante durante t_d. Além disso, visto que a tensão no coletor não muda durante t_d, o coletor pode ser considerado aterrado. Suponha que os dois níveis de v_I sejam V_1 e V_2 e que o final de t_d pode ser tomado como o tempo no qual $v_\pi = 0,7$ V.

Resposta $t_d = (R_B + r_\pi)(C_{je} + C_d) \ln[(V_2 - V_1)/(V_2 - 0,7)]$

14.2 AS PRIMEIRAS FORMAS DE CIRCUITOS DIGITAIS COM TBJ

A fim de colocar o conteúdo deste capítulo em uma perspectiva correta, examinaremos brevemente as duas primeiras formas das famílias de circuitos digitais bipolares.

O Inversor Básico com TBJ

A Figura 14.3 mostra o inversor lógico básico com TBJ junto a sua característica de transferência de tensão. Já estudamos em detalhes esse circuito na Seção 4.14. Além disso, na seção anterior estudamos sua operação dinâmica. Observe que, para uma entrada lógica 0, $v_I \le V_{IL}$, o transistor estará cortado e a tensão na saída será igual a V_{CC}; isto é, $V_{OH} = V_{CC}$. Para uma entrada lógica 1, $v_I \ge V_{IH}$, o TBJ estará saturado e a tensão de saída será igual a V_{CEsat}; isto é, $V_{OL} = V_{CEsat} = 0,1$ a 0,2 V.

A Lógica Resistor-Transistor (RTL)

Ligando as saídas de dois ou mais inversores básicos em paralelo obtemos o circuito da porta básica de uma família lógica precursora, conhecida como lógica resistor-transistor (RTL). A Figura 14.4 mostra uma porta NOU com duas entradas. O circuito funciona da seguinte maneira: se uma das entradas – digamos, A – for alta (1 lógico), então o transistor correspondente (Q_A) estará ligado e saturado. Isso resulta em $v_Y = V_{CEsat}$, que é baixa (0 lógico). Se a outra entrada (B) também for alta (1 lógico), então o transistor correspondente (Q_B) estará ligado e saturado, ajudando a manter a saída baixa. Pode ser observado que, para a saída ser alta ($v_Y = V_{CC}$), ambos os transistores Q_A e Q_B devem estar cortados (simultaneamente).

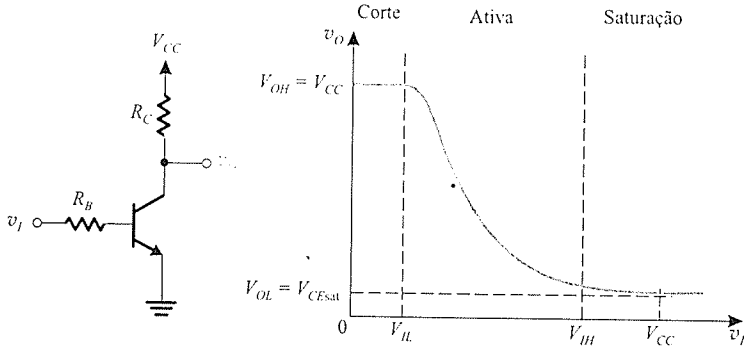


Figura 14.3 O inversor básico com TBJ e sua característica de transferência.

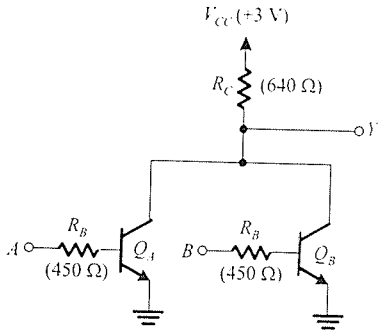


Figura 14.4 Uma porta lógica NOU com duas entradas da família RTL.

Obviamente, isso é obtido se as duas entradas A e B forem simultaneamente baixas. Ou seja, um nível lógico 1 aparecerá na saída somente em um caso: A e B baixas. Podemos, portanto, escrever a expressão booleana

$$Y = \overline{A}\,\overline{B}$$

que pode ser escrita também como

$$Y = \overline{A + B}$$

que é uma função NOU.

O *fan-in* da porta NOU RTL pode ser aumentado pela adição de mais transistores na entrada. Os valores dos resistores e da tensão de alimentação indicados são os usados no circuito integrado RTL tradicional (aproximadamente 1960).

Embora o nível alto de saída (V_{OH}) de uma porta simples seja V_{CC}, esse não é o caso quando a porta RTL estiver acionando outras portas similares. Como os transistores de entrada das portas acionadas conduzirão, a corrente total das bases será fornecida através do resistor R_C da porta de acionamento. Portanto, o valor de V_{OH} será consideravelmente reduzido para um valor dependente do *fan-out*, mas muito próximo de 1 V. Além do mais, esse valor será reduzido se o *fan-out* for aumentado. Como resultado, as margens de ruído da porta RTL são muito estreitas. Isso, além do fato de as portas RTL dissiparem muita potência (o produto atraso-potência, *DP*, é de cerca de 140 pJ), resultou no abandono da lógica RTL.

Um *Flip-flop* SR RTL

Antes de deixar a lógica RTL, desejamos ilustrar sua aplicação no circuito *flip-flop* SR, mostrado na Figura 14.5. Obviamente, esse circuito pode ser obtido conectando-se, com ligações cruzadas, duas portas NOU com duas entradas da família RTL. Esse circuito era muito popular em projetos com componentes discretos, antes do advento dos circuitos integrados no início dos anos 60. O funcionamento do circuito é direto e segue, aproximadamente, a descrição lógica do *flip-flop* SR na Seção 13.7.

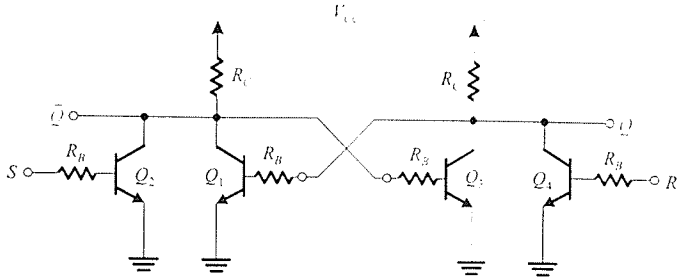


Figura 14.5 Um *flip-flop* SR obtido pela conexão com ligações cruzadas de duas portas NOU da família RTL.

A Lógica Diodo-Transistor (DTL)

Outra antiga família de circuitos lógicos com TBJ é a lógica diodo-transistor ou DTL, exemplificada por uma porta NE com duas entradas, como mostrado na Figura 14.6. A lógica DTL é de particular interesse para nós, pois, como veremos na próxima seção, foi a partir dela que se evoluiu para a lógica TTL.

O circuito DTL funciona como descrito a seguir: suponha que a entrada B esteja aberta. Se o nível lógico 0 ($\approx$ 0 V) for aplicado à entrada A, o diodo D_1 conduzirá e a tensão no nó X será a da queda de um diodo (0,7 V) acima do valor do nível lógico 0. Os dois diodos D_3 e D_4 conduzirão, fazendo com que a base do transistor Q esteja duas quedas de diodo abaixo da tensão no nó X. Portanto, a base estará em uma tensão negativa pequena e, conseqüentemente, Q estará em corte e $v_Y = V_{CC}$ (nível lógico 1).

Considere agora um aumento na tensão v_A. Podemos ver que inicialmente o diodo D_1 permanecerá em condução e, portanto, o potencial no nó X aumentará. Os diodos D_3 e D_4 permanecerão em condução e, conseqüentemente, a base também terá seu potencial aumentado. Essa situação ocorrerá até que a tensão na base alcance aproximadamente 0,5 V, em cujo ponto o transistor iniciará sua condução.

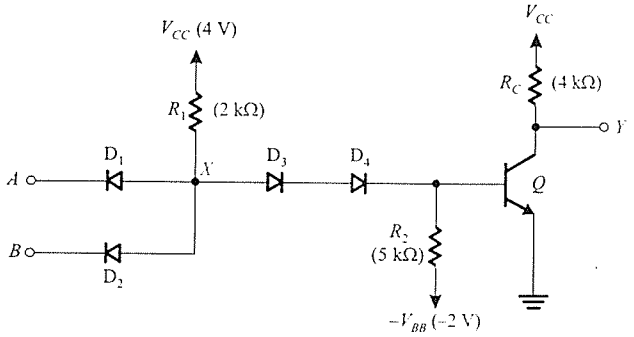


Figura 14.6 Uma porta lógica NE com duas entradas da família DTL.

Isso ocorrerá quando a tensão em A for

$$v_A = 0{,}5 + V_{D4} + V_{D3} - V_{D1} = 1{,}2 \text{ V}$$

Pequenos aumentos em v_A acima desse valor de limiar aparecerão como aumentos em v_{B2} e, conseqüentemente, em i_C. Nessa faixa, o transistor estará na região ativa. Eventualmente, a tensão na base atingirá 0,7 V e o transistor conduzirá plenamente. Nesse ponto, a tensão em X será grampeada com a queda de dois diodos acima de V_{BE} e qualquer outro aumento em v_A polarizará reversamente D_1. Podemos ver que a corrente em D_1 começará a diminuir quando v_A atingir cerca de 1,4 V. Como D_1 pára de conduzir, toda corrente através de R_1 será desviada (direcionada) através de D_3 e D_4 para a base do transistor. O circuito é normalmente projetado de tal modo que a corrente na base seja suficiente para levar o transistor à saturação. Portanto, quando A tiver o nível lógico 1, o transistor estará saturado e v_Y será igual a V_{CEsat} (≃ 0,2 V), correspondendo ao nível lógico 0 de saída.

Extrapolando a partir da discussão anterior, podemos ver que, se uma ou as duas entradas forem baixas, os diodos correspondentes (D_1, D_2 ou ambos) estarão em condução, o transistor estará em corte e a saída Y será alta. A saída será baixa se o transistor estiver em condução, o que acontecerá apenas para uma combinação particular na entrada, quando todas as entradas forem simultaneamente altas. Podemos, portanto, escrever a expressão booleana

$$\overline{Y} = AB$$

que pode ser reescrita como

$$Y = \overline{AB}$$

que é uma função NE. Isso não surpreende, visto que o circuito DTL consiste em uma porta E de diodos formado por D_1, D_2 e R_1 (veja a Seção 3.1), seguida por um transistor inversor. Finalmente, observamos que, devido a sua função de guiar a corrente para R_2 ou para a base do transistor, os diodos D_3 e D_4 são conhecidos como "diodos guia" (*steering diodes*).

A lógica DTL foi popular nos anos 60 e era implementada inicialmente usando componentes discretos e subseqüentemente na forma de CI. Contudo, foi substituída pela lógica transistor-transistor (TTL).

Exercícios

14.2 Considere a porta RTL da Figura 14.4 acionando N portas idênticas. Suponha que as entradas que alimentam a porta sejam baixas. Certifique-se de que a tensão de saída V_{OH} pode ser determinada usando o circuito equivalente mostrado na Figura E14.2. Conseqüentemente, mostre que

$$V_{OH} = V_{CC} - R_C \frac{V_{CC} - V_{BE}}{R_C + R_B/N}$$

Para $N = 5$, use os valores dados na Figura 14.4, junto com $V_{BE} = 0{,}7$ V para obter o valor de V_{OH}.

Resposta 1 V

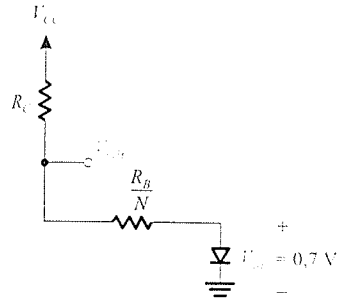


Figura E14.2

14.3 Para a porta DTL da Figura 14.6, suponha que todas as junções em condução tenham uma queda de 0,7 V: (a) Determine a corrente através de D_1 quando $v_A = 0{,}2$ V e $v_B = +4$ V. Determine também a tensão na base. (b) Com $v_A = v_B = +4$ V, calcule a corrente na base do transistor. Se $V_{CEsat} = 0{,}2$ V, calcule o valor de $\beta_{forçado}$.

Resposta (a) 1,25 mA, –0,5 V; (b) 0,41 mA, 2,3

14.3 A LÓGICA TRANSISTOR-TRANSISTOR (TTL OU T²L)

Por mais de duas décadas, a lógica TTL gozou de imensa popularidade (final dos anos 60 até final dos anos 80). É fato que a grande maioria das aplicações de sistemas digitais empregando tecnologias de integração SSI e MSI usou a lógica TTL.

Iniciaremos esta seção com o estudo da evolução da TTL a partir da DTL. Desse modo, explicaremos a função de cada um dos estágios do circuito completo da porta TTL. As características-padrão das portas TTL serão estudadas na Seção 14.4. O TTL padrão, porém, foi virtualmente substituído por formas TTL mais avançadas que apresentam melhor desempenho. Isso será discutido na Seção 14.5.

A Evolução da Lógica TTL a Partir da Lógica DTL

O circuito básico da porta DTL de forma discreta foi discutido na seção anterior (veja a Figura 14.6). A forma em circuito integrado da porta DTL está mostrada na Figura 14.7 com apenas uma entrada indicada. Como uma introdução preliminar à TTL, desenhamos o diodo de entrada como um transistor conectado como diodo (Q_1), que corresponde ao modo pelo qual os diodos são criados na forma de CI.

Esse circuito difere do circuito discreto DTL da Figura 14.6 em dois aspectos importantes. Primeiro, um dos diodos-guia é substituído pela junção base–emissor de um transistor (Q_2) que está em corte (quando a entrada é baixa) ou no modo ativo (quando a entrada é alta). Isso é feito para diminuir a corrente de entrada e aumentar a capacidade de *fan-out* da porta. Uma explicação detalhada desse ponto, contudo, não é relevante para nosso estudo da TTL. Segundo, a resistência R_B retorna para o terra em vez de retornar para o terminal negativo da fonte, como nos primeiros circuitos discretos. Uma vantagem óbvia é a eliminação da fonte de alimentação adicional. Contudo, a desvantagem é que a corrente reversa na base necessária para remover a carga em excesso armazenada na base de Q_3 é muito pequena. Trabalharemos a seguir com esse ponto.

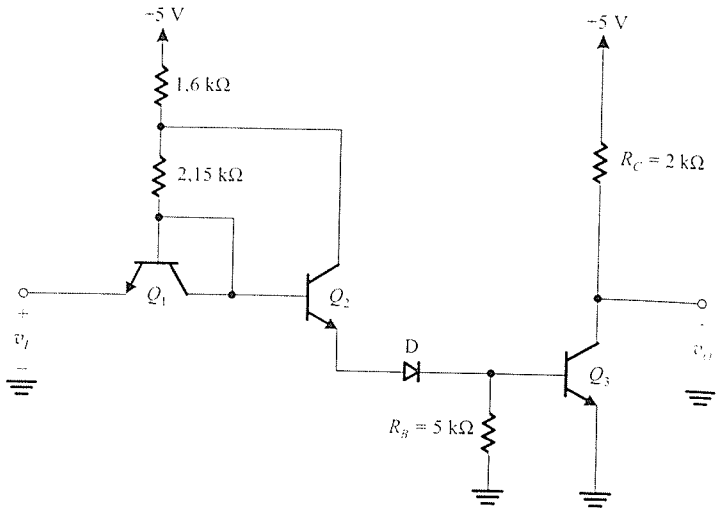


Figura 14.7 Porta DTL na forma de CI com o diodo de entrada implementado com um transistor conectado como diodo (Q_1). Apenas um terminal de entrada está mostrado.

Exercício

14.4 Considere o circuito da porta DTL mostrada na Figura 14.7 e suponha que $\beta(Q_2) = \beta(Q_3) = 50$. (a) Quando $v_I = 0{,}2$ V, calcule a corrente de entrada. (b) Quando $v_I = +5$ V, calcule a corrente da base de Q_3.

Resposta (a) 1,1 mA; (b) 1,6 mA

Razões para a Resposta Lenta da Lógica DTL

A porta DTL tem margens de ruído relativamente boas e sua capacidade de *fan-out* também é boa. Contudo, seu tempo de resposta é muito lento. Há duas razões para isso: primeiro, quando a entrada é baixa, Q_2 e D estão em corte e a carga armazenada na base de Q_3 deve escoar através de R_B para o terra. O valor inicial da corrente reversa na base que efetua esse processo de "descarga da base" é de aproximadamente 0,7 V/R_B, cerca de 0,14 mA. Pelo fato de essa corrente ser muito pequena quando comparada à corrente direta da base, o tempo necessário para a remoção da carga da base é muito longo, o que contribui para o aumento do tempo de atraso da porta.

A segunda razão para a resposta relativamente lenta dos dispositivos DTL é a natureza do circuito de saída da porta, que é simplesmente um transistor em emissor comum. A Figura 14.8 mostra o transistor de saída de uma porta DTL acionando uma carga capacitiva C_L. A capacitância C_L representa a capacitância de entrada de outra porta e/ou da fiação e capacitâncias parasitárias que estão inevitavelmente presentes em qualquer circuito. Quando Q_3 entra em condução, sua tensão de coletor não pode cair instantaneamente por causa da existência de C_L.

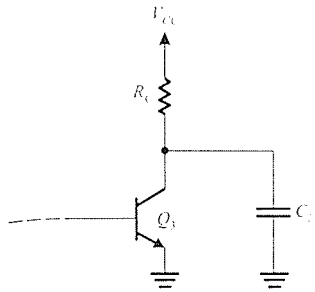


Figura 14.8 O circuito de saída de uma porta DTL acionando uma carga capacitiva C_L.

Logo, Q_3 não saturará imediatamente, mas, em vez disso, operará na região ativa. O coletor de Q_3 agirá, portanto, como uma fonte de corrente constante e drenará uma corrente relativamente alta (βI_B). Essa corrente alta descarregará rapidamente C_L. Vemos, portanto, que o estágio de saída em emissor comum tem por característica um curto tempo de ligamento. Contudo, o desligamento é um outro problema.

Considere, a seguir, a operação do estágio de saída em emissor comum quando Q_3 está no corte (desligado). A tensão de saída não aumentará imediatamente até o nível alto (V_{CC}). Antes, C_L irá se carregar até V_{CC} através de R_C. Esse processo é muito lento e contribui significativamente para o aumento do tempo de atraso da porta DTL (e de modo similar para o tempo de atraso da porta RTL).

Uma vez identificadas as duas razões para a lentidão na resposta da lógica DTL, veremos a seguir como esses problemas foram contornados na lógica TTL.

O Circuito de Entrada da Porta TTL

A Figura 14.9 mostra uma porta TTL conceitual com apenas um terminal de entrada indicado. A característica mais importante a ser observada é que o diodo de entrada foi substituído por um transistor. Podemos simplesmente imaginar que o curto-circuito entre a base e o coletor de Q_1 na Figura 14.7 foi retirado.

Para observar como o circuito conceitual TTL da Figura 14.9 funciona, suponha que a entrada v_I seja alta (digamos, $v_I = V_{CC}$). Nesse caso, uma corrente circulará de V_{CC} através de R, polarizando diretamente a junção base–coletor de Q_1.

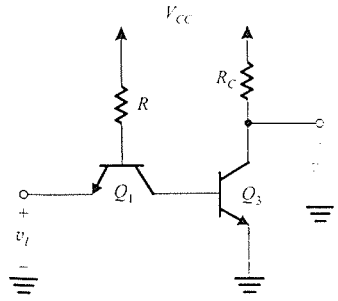


Figura 14.9 A forma conceitual do circuito da porta TTL. Apenas um terminal de entrada está mostrado.

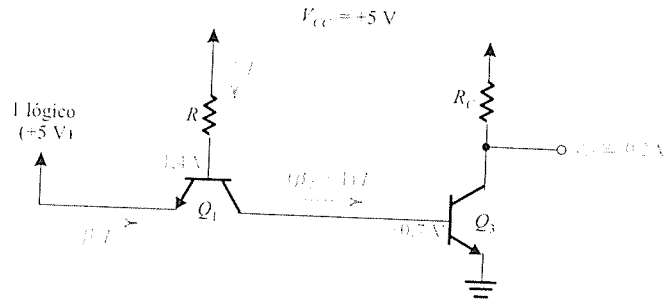


Figura 14.10 Análise da porta TTL conceitual quando a entrada é alta.

Enquanto isso, a junção emissor–base de Q_1 estará polarizada reversamente. Logo, Q_1 estará operando no **modo ativo reverso** – isto é, no modo ativo, mas com a função do emissor trocada com a função do coletor. As tensões e as correntes estão indicadas na Figura 14.10, na qual a corrente I pode ser calculada por

$$I = \frac{V_{CC} - 1{,}4}{R}$$

Nos circuitos TTL reais, Q_1 é projetado para ter um β reverso muito baixo ($\beta_R \simeq 0{,}02$). Portanto, a corrente de entrada da porta será muito pequena e a corrente da base de Q_3 será aproximadamente igual a I. Essa corrente será suficiente para levar Q_3 à saturação e a tensão de saída será baixa (0,1 a 0,2 V).

Suponha, a seguir, que a entrada da porta seja levada ao nível lógico 0 (baixo), digamos, $v_I \simeq 0.2$ V. A corrente I será, então, desviada para o emissor de Q_1. A junção emissor–base de Q_1 ficará diretamente polarizada e a tensão da base de Q_1 cairá para 0,9 V. Como Q_3 *estava* em saturação, sua tensão na base permanecerá em +0,7 V até que seja removido o excesso de carga armazenada na região da base. A Figura 14.11 indica os vários valores de tensões e correntes imediatamente após a entrada ter mudado para o nível baixo. Vemos que Q_1 estará funcionando no modo ativo normal[3] e seu coletor terá uma corrente elevada ($\beta_F I$). Essa corrente elevada descarrega rapidamente a base de Q_3 e leva-o ao corte. Vemos, então, que a ação de Q_1 torna o processo de corte mais rápido.

Com o corte de Q_3, a tensão em sua base fica reduzida e Q_1 entra no modo de saturação. Eventualmente, a corrente do coletor de Q_1 se tornará muito pequena, o que implica que V_{CEsat} será aproximadamente de 0,1 V e a base de Q_3 será cerca de 0,3 V, que mantém Q_3 no corte.

O Circuito de Saída da Porta TTL

A discussão anterior ilustra como um dos dois problemas que tornam lenta a operação da lógica DTL é resolvido na lógica TTL. O segundo problema, o longo tempo de subida da forma de onda de saída, é resolvido pela modificação do estágio de saída, como será explicado a seguir.

3. Embora a tensão do coletor de Q_1 seja menor do que a de sua base em 0,2 V, a junção coletor–base estará na verdade operando no corte e Q_1 estará funcionando no modo ativo.

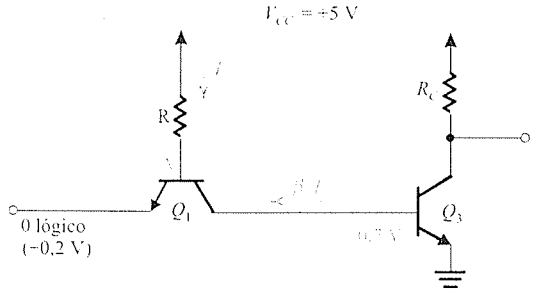


Figura 14.11 Valores de corrente e de tensão no circuito TTL conceitual imediatamente após a tensão de entrada ir para nível baixo.

Primeiro, lembre-se de que o estágio de saída em emissor comum descarrega com rapidez a capacitância da carga, mas é muito lento em sua carga. O oposto é obtido no estágio de saída com o seguidor de emissor mostrado na Figura 14.12. Nessa figura, quando v_I é alta, o transistor conduz e fornece uma baixa resistência de saída (característica do seguidor de emissor), que resulta em uma carga rápida de C_L. Por outro lado, quando v_I é baixa, o transistor corta e C_L descarrega lentamente através de R_E.

Um estágio de saída ótimo pode ser obtido combinando-se as configurações emissor comum e seguidor de emissor. Esse estágio de saída, mostrado na Figura 14.13, deve ser acionado por dois sinais *complementares*, v_{I1} e v_{I2}. Quando v_{I1} é alta, v_{I2} é baixa e, nesse caso, Q_3 conduzirá e será levado à saturação e Q_4 estará em corte. O transistor Q_3 em emissor comum proporcionará, então, uma descarga rápida da capacitância de carga e proporcionará, em estado estável, uma baixa resistência (R_{CEsat}) em relação ao terra. Portanto, quando a saída é baixa, a porta pode *drenar* uma corrente substancial através do transistor saturado Q_3.

Quando v_{I1} é baixa e v_{I2} é alta, Q_3 estará em corte e Q_4, em condução. O seguidor de emissor Q_4 proporcionará, portanto, uma carga rápida da capacitância de carga. Ele proporciona também, à porta, uma baixa resistência de saída no estado alto e, conseqüentemente, a capacidade de *fornecer* uma quantidade substancial de corrente de carga.

Por causa da aparência do circuito na Figura 14.13, com Q_4 em cima de Q_3, o circuito foi denominado como **estágio de saída em *totem-pole*** (poste de totem).

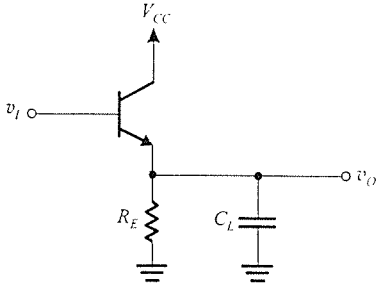


Figura 14.12 Um estágio de saída seguidor acoplado pelo emissor a uma carga capacitiva.

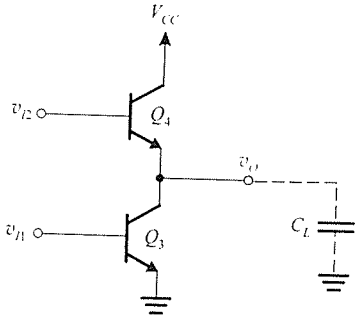


Figura 14.13 O estágio de saída *totem-pole*.

Além disso, por causa da ação de Q_4 em *puxar* a tensão de saída *para o nível alto*, Q_4 é referido como o **transistor levantador** (***pull-up***). Como o levantador é obtido aqui por um elemento ativo (Q_4), é dito que o circuito possui um **levantador ativo**. Isso está em constraste com o **levantador passivo** das portas RTL e DTL. Naturalmente, o transistor em emissor comum Q_3 fornece ao circuito um **abaixador ativo**. Finalmente, observe que é necessário um **circuito acionador** (***driver***) especial para gerar dois sinais complementares v_{I1} e v_{I2}.

EXEMPLO 14.1

Desejamos analisar o circuito mostrado na Figura 14.14 junto com suas formas de onda de acionamento para determinar a forma de onda do sinal de saída v_O. Suponha que Q_3 e Q_4 tenham $\beta = 50$.

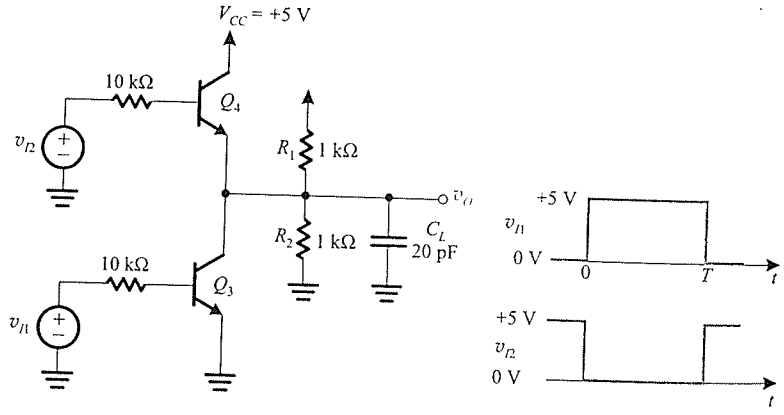


Figura 14.14 Circuito e formas de onda de entrada para o Exemplo 14.1.

SOLUÇÃO

Considere primeiro a situação antes de v_{I1} ser alta – isto é, no instante $t < 0$. Nesse caso, Q_3 está em corte e Q_4 em condução, e o circuito pode ser simplificado para aquele mostrado na Figura 14.15. Nesse circuito simplificado, substituímos o divisor de tensão (R_1, R_2) por seu equivalente Thévenin. No estado estável, C_L será carregado com a tensão de saída v_O, cujo valor pode ser obtido como segue:

$$5 = 10 \times I_B + V_{BE} + I_E \times 0{,}5 + 2{,}5$$

Substituindo $V_{BE} = 0{,}7$ V e $I_B = I_E/(\beta + 1) = I_E/51$, obtemos $I_E = 2{,}59$ mA. Portanto, a tensão de saída v_O é dada por

$$v_O = 2{,}5 + I_E \times 0{,}5 = 3{,}79 \text{ V}$$

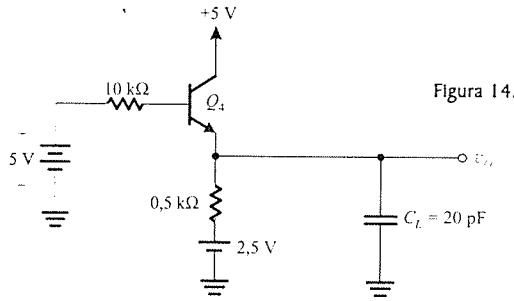


Figura 14.15 Circuito da Figura 14.14 quando Q_3 está cortado.

Consideraremos a seguir o circuito quando v_{I1} é alta e v_{I2} é baixa. O transistor Q_3 conduz, Q_4 corta e o circuito é simplificado para o da Figura 14.16. Estamos usando novamente o circuito equivalente Thévenin para o divisor (R_1, R_2). Devemos supor também que os tempos de chaveamento dos transistores sejam desprezivelmente pequenos. Portanto, em $t = 0+$, a corrente na base de Q_3 torna-se

$$I_B = \frac{5 - 0{,}7}{10} = 0{,}43 \text{ mA}$$

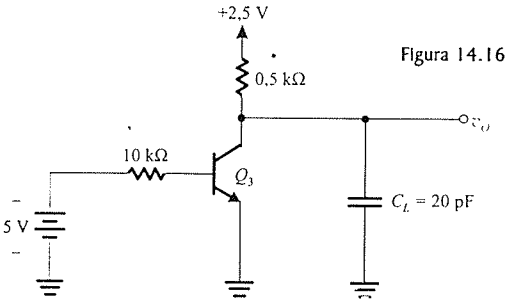


Figura 14.16 Circuito da Figura 14.14 quando Q_4 está cortado.

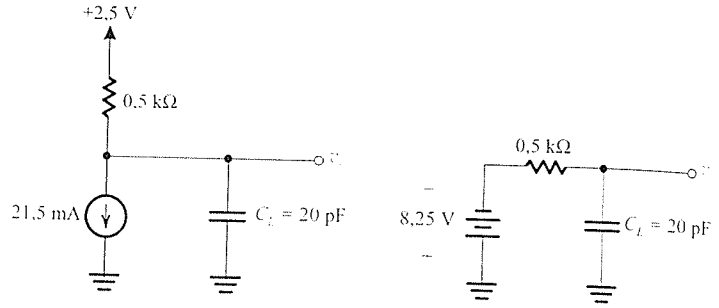


Figura 14.17 **(a)** Circuito equivalente para o circuito da Figura 14.16 quando Q_3 está no modo ativo **(b)** Versão simplificada do circuito em (a) obtido pela utilização do teorema de Thévenin.

Visto que em $t = 0$ a tensão no coletor de Q_3 é 3,79 V e visto que esse valor não pode mudar imediatamente por causa de C_L, vemos que em $t = 0+$ o transistor Q_3 estará no modo ativo. A corrente no coletor de Q_3 será de βI_B, que é de 21,5 mA, e o circuito equivalente está mostrado na Figura 14.17(a). Uma versão simplificada desse circuito equivalente, obtida usando o teorema de Thévenin, está mostrada na Figura 14.17(b).

O circuito equivalente da Figura 14.17 se aplica enquanto Q_3 permanecer no modo ativo. Essa condição persiste enquanto C_L está sendo descarregada e até que v_O atinja cerca de +0,3 V, em cujo instante Q_3 entra em saturação; isso está ilustrado pela forma de onda na Figura 14.18. O tempo necessário para que a tensão de saída caia de +3,79 V para +0,3 V pode ser considerado o **tempo de descida** t_f, obtido a partir de

$$-8{,}25-(-8{,}25-3{,}79)e^{-t_f/\tau} = 0{,}3$$

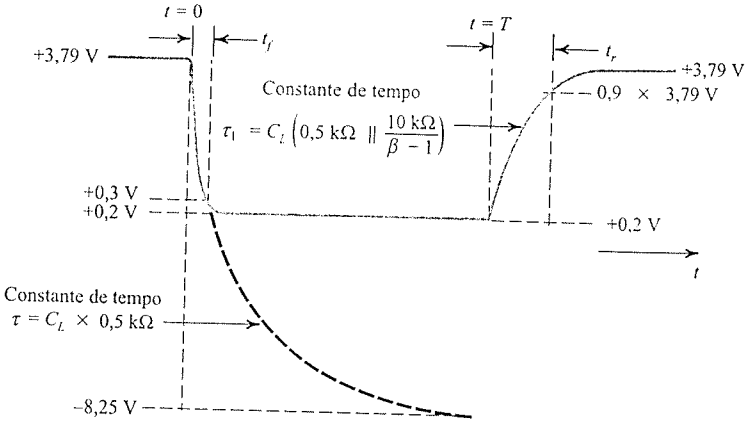


Figura 14.18 Detalhes da forma de onda da tensão de saída para o circuito da Figura 14.14.

que resulta em

$$t_f \simeq 0{,}34\tau$$

em que

$$\tau = C_L \times 0{,}5\ \text{k}\Omega = 10\ \text{ns}$$

Portanto, $t_f = 3{,}4$ ns.

Após Q_3 ter entrado em saturação, o capacitor descarrega até o valor final, o valor do estado estável, de V_{CEsat} (≃ 0,2 V). O modelo de transistor que se aplica durante esse intervalo é mais complexo; visto que o intervalo em questão é muito curto, não continuaremos além disso.

Considere, a seguir, a situação em que v_{I1} fica baixa e v_{I2}, alta em $t = T$. O transistor Q_3 corta e Q_4 conduz. Vamos supor que isso ocorra imediatamente e, portanto, em $t = T+$ o circuito fica simplificado, conforme mostrado na Figura 14.15. Já fizemos a análise desse circuito no estado estável e sabemos que, eventualmente, v_O atingirá +3,79 V. Portanto, v_O aumenta exponencialmente de +0,2 V até +3,79 V com uma constante de tempo de $C_L\{0{,}5\ \text{k}\Omega//[10\ \text{k}\Omega/(\beta + 1)]\}$, em que estamos desprezando a resistência de emissor r_e. Representando essa constante de tempo por τ_1, obtemos $\tau_1 = 2.8$ ns. Definindo o tempo de subida t_r como o tempo para que v_O atinja 90% do valor final, obtemos $3{,}79 - (3{,}79 - 0{,}2)e^{-t_r/\tau_1} = 0{,}9 \times 3{,}79$, que resulta em $t_r = 6{,}4$ ns. A Figura 14.18 ilustra os detalhes da forma de onda da tensão de saída.

O Circuito Completo da Porta TTL

A Figura 14.19 mostra o circuito completo da porta TTL.

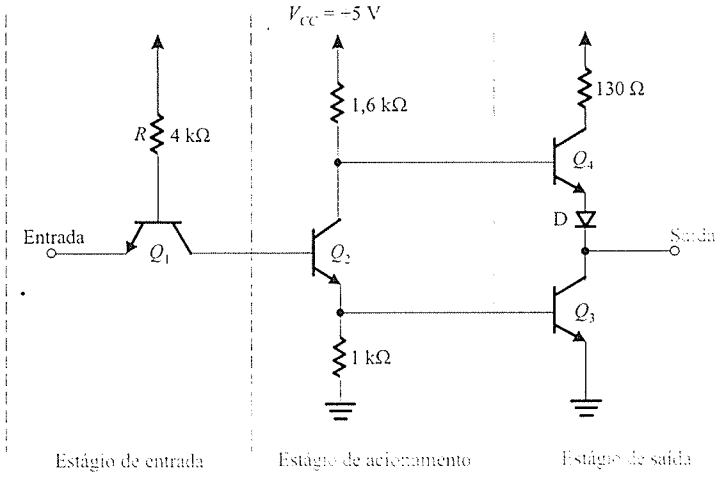


Figura 14.19 O circuito completo da porta TTL com apenas um terminal de entrada indicado.

Ele consiste em três estágios: o transistor de entrada Q_1, cujo funcionamento já foi explicado, o estágio de acionamento (*driver*) Q_2, cuja função é gerar dois sinais de tensão complementares necessários para acionar o circuito *totem-pole*, que é o terceiro estágio (saída) da porta. O circuito *totem-pole* dessa porta TTL tem dois componentes adicionais: uma resistência de 130 Ω no circuito do coletor de Q_4 e o diodo D no circuito do emissor de Q_4. A função desses dois componentes adicionais será explicada a seguir. Observe que a porta TTL é mostrada apenas com um terminal de entrada. A inclusão de terminais de entrada adicionais será considerada na Seção 14.4.

Devido ao fato de o estágio de acionamento Q_2 fornecer dois sinais complementares (isto é, fora de fase), ele é denominado um **desdobrador de fase** (*phase splitter*).

Forneceremos agora uma análise detalhada do circuito da porta TTL em seus dois estados extremos: um quando a entrada é alta e outro quando a entrada é baixa.

Análise Quando a Entrada é Alta

Quando a entrada é alta (digamos, +5 V), os vários valores de tensão e corrente do circuito TTL estão indicados na Figura 14.20. A análise ilustrada na Figura 14.20 é direta e a seqüência de análise está indicada por meio dos círculos numerados. Conforme previsto, o transistor de entrada está funcionando no modo ativo reverso e a corrente de entrada, chamada de **corrente de entrada alta** (*input-high current*), I_{IH}, é pequena; isto é,

$$I_{IH} = \beta_R I \simeq 15\ \mu A$$

em que estamos supondo $\beta_R \simeq 0{,}02$.

A corrente de coletor de Q_1 circula pela base de Q_2 e seu valor é suficiente para saturar o transistor desdobrador de fase Q_2.

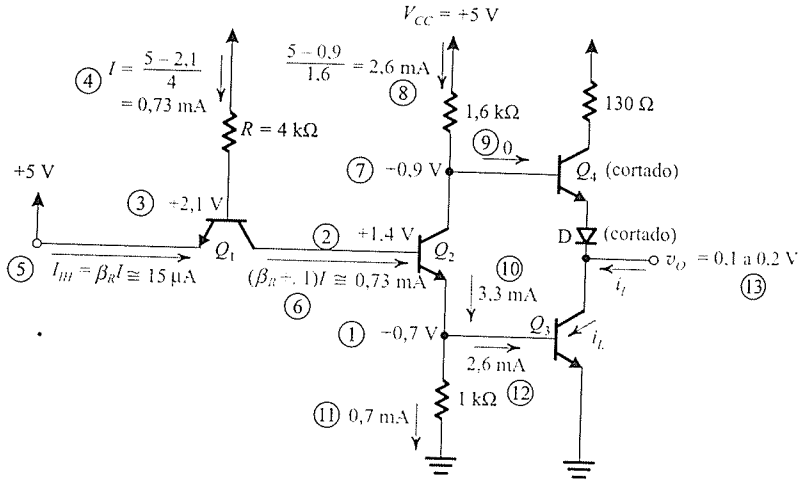


Figura 14.20 Análise da porta TTL quando a entrada é alta. Os círculos numerados indicam a seqüência de análise.

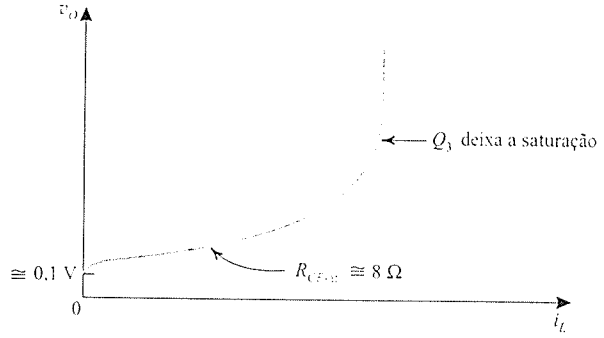


Figura 14.21 A característica v_O–i_L da porta TTL quando a saída é baixa.

Esse último fornece a corrente da base de Q_3 com corrente suficiente para levá-lo à saturação e baixar sua tensão de saída para $V_{CE\,sat}$ (0,1 a 0,2 V). A tensão no coletor de Q_2 é $V_{BE3} + V_{CE\,sat}$ (Q_2), que é aproximadamente +0,9 V. Se o diodo D não for incluído, essa tensão será suficiente para levar Q_4 à saturação, que é contrário ao funcionamento correto do circuito totem-pole. A inclusão do diodo D garante que ambos, Q_4 e D, permaneçam em corte. O transistor saturado Q_3 estabelece a tensão baixa de saída da porta ($V_{CE\,sat}$) e proporciona uma baixa impedância para o terra.

No estado de saída baixo, a porta pode drenar uma corrente i_L da carga, desde que o valor de i_L não exceda $\beta \times 2{,}6$ mA, que é a corrente de coletor máxima que Q_3 pode suportar enquanto permanecer na saturação. Obviamente, quanto maior o valor de i_L, maior a tensão na saída. Para manter o nível lógico 0 abaixo de um certo limite especificado, deve ser imposto um limite correspondente para a corrente da carga i_L. Como veremos resumidamente, é esse limite que determina o valor máximo de *fan-out* da porta TTL.

A Figura 14.21 mostra um esboço da tensão de saída v_O *versus* a corrente da carga i_L da porta TTL quando a saída é baixa. Isso é simplesmente a curva característica v_{CE}–i_C de Q_3 medida com uma corrente de base de 2,6 mA. Observe que, com $i_L = 0$, v_O é a tensão de *offset*, que é cerca de 100 mV.

Exercício

14.5 Suponha que a porção saturada da característica v_O–i_L mostrada na Figura 14.21, possa ser aproximada por uma linha reta (de inclinação igual a 8 Ω) que intercepta o eixo v_O em 0,1 V. Calcule a corrente máxima na carga que a porta pode drenar se o nível lógico 0 for especificado como ≤ 0,3 V.

Resposta 25 mA

Análise Quando a Entrada é Baixa

Considere a seguir o funcionamento da porta TTL no caso em que a entrada está no nível lógico 0 (≈ 0,2 V). A análise pode ser vista na Figura 14.22, na qual a junção emissor–base de Q_1 está diretamente polarizada e a tensão na base é de aproximadamente +0,9 V.

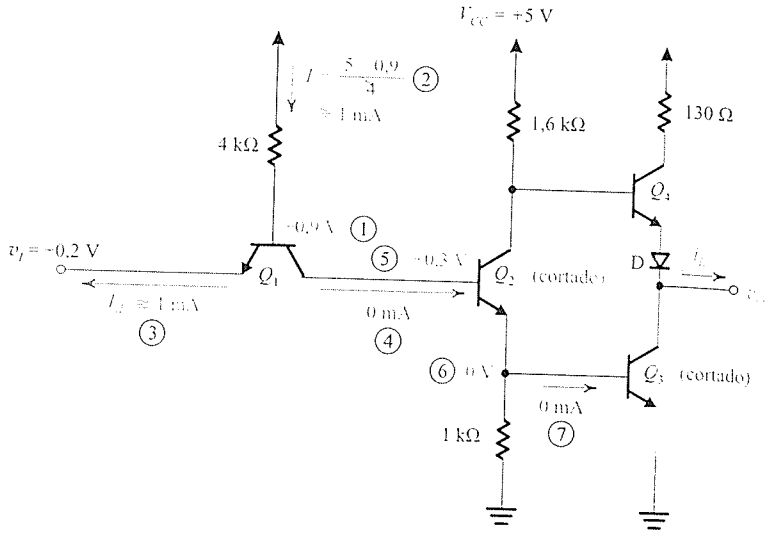


Figura 14.22 Análise da porta TTL quando a entrada é baixa. Os círculos numerados indicam a seqüência de análise.

Portanto, a corrente I pode ser calculada como sendo de 1 mA aproximadamente. Visto que 0,9 V é insuficiente para polarizar diretamente a combinação em série da junção coletor–base de Q_1 e a junção emissor–base de Q_2 (seria necessário pelo menos 1,2 V), esta última estará em corte. Portanto, a corrente do coletor de Q_1 será quase zero e Q_1 estará saturado, com $V_{CEsat} \simeq 0,1$ V. Logo, a base de Q_2 será aproximadamente +0,3 V, realmente insuficiente para levar Q_2 à condução.

A corrente de entrada na porta no estado baixo, chamada de **corrente de entrada baixa** (*input-low current*), I_{IL}, é aproximadamente igual à corrente I (≈ 1 mA) e circula saindo do emissor de Q_1. Se a porta TTL for acionada por outra porta TTL, a saída do transistor Q_3 da porta que está acionando a outra deve drenar essa corrente I_{IL}. Como a corrente de saída que a porta TTL pode drenar é limitada em um certo valor máximo, o *fan-out* máximo da porta é determinado diretamente pelo valor de I_{IL}.

Exercícios

14.6 Considere a porta TTL analisada no Exercício 14.5. Calcule o *fan-out* máximo permitido usando o valor de I_{IL} calculado anteriormente.

Resposta 25

14.7 Use a Equação 4.114 para calcular V_{CEsat} do transistor Q_1 quando a entrada da porta for baixa (0,2 V). Suponha $\beta_F = 50$ e $\beta_R = 0,02$.

Resposta 98 mV

Continuaremos nossa análise da porta TTL. Quando a entrada é baixa, vemos que Q_2 e Q_3 estão em corte. O transistor Q_4 conduzirá e alimentará a carga com uma corrente i_L. Dependendo do valor de i_L, Q_4 estará no modo ativo ou no modo de saturação.

Com o terminal de saída da porta aberto, a corrente i_L será muito pequena (composta praticamente por fugas) e as duas junções (a junção emissor–base de Q_2 e o diodo D) estarão conduzindo levemente. Supondo que cada junção tenha uma queda de 0,65 V e desprezando a queda de tensão na resistência de 1,6 kΩ, encontramos que a tensão na saída será

$$v_O = 5 - 0,65 - 0,65 = 3,7 \text{ V}$$

Com o aumento de i_L, Q_4 e D conduzirão mais intensamente, mas, para uma certa faixa de i_L, Q_4 permanece no modo ativo e v_O é dada por

$$v_O = V_{CC} - \frac{i_L}{\beta + 1} \times 1,6 \text{ k}\Omega - V_{BE4} - V_D \qquad (14.4)$$

Se i_L continuar a aumentar, será alcançado um valor que levará Q_4 à saturação. Assim, a tensão na saída será determinada pela resistência de 130 Ω de acordo com a relação aproximada:

$$v_O \simeq V_{CC} - i_L \times 130 - V_{CEsat}(Q_4) - V_D \qquad (14.5)$$

A Função da Resistência de 130 Ω

A esta altura, a razão da inclusão da resistência de 130 Ω deve estar evidente: ela simplesmente limita a corrente que circula através de Q_4, especialmente se o terminal de saída entrar acidentalmente em curto-circuito com o terra. Essa resistência limita também a corrente fornecida pela fonte de alimentação em uma outra circunstância, quando Q_4 conduz enquanto Q_3 ainda está na saturação. Para observar como isso ocorre, considere o caso em que a tensão na porta era alta e depois foi levada rapidamente para o nível baixo. O transistor Q_2 entrará em corte relativamente rápido por causa de uma corrente reversa alta fornecida para seu terminal de base pelo coletor de Q_1. Por outro lado, a base de Q_3 terá de descarregar através da resistência de 1 kΩ e, portanto, Q_3 levará algum tempo para cortar. Enquanto isso, Q_4 conduzirá e um grande pulso de corrente circulará através da combinação em série de Q_4 e Q_3. Parte dessa corrente terá a útil função de carregar qualquer capacitância de carga para o nível lógico 1. A amplitude do pulso de corrente será limitada pela resistência de 130 Ω em cerca de 30 mA.

A ocorrência desses pulsos de corrente de curta duração, chamados **picos de corrente** (*spikes*), dá origem a outro aspecto importante. Os picos de corrente devem ser fornecidos pela fonte V_{CC} e, por causa da resistência finita da fonte, resultarão em picos de tensão (ou *glitches*) superpostos a V_{CC}. Esses picos de tensão podem ser acoplados às outras portas e *flip-flops* do sistema digital e, portanto, produzir um chaveamento falso nas outras partes do sistema. Esse efeito, que pode ser denominado genericamente de ***crosstalk*** (ligação cruzada), é um problema no sistema TTL. Para reduzir o valor dos picos de tensão em placas de circuito impresso com CIs TTL, devem ser conectados capacitores (chamados capacitores de desvio, supressão de ruídos ou *bypass*) entre a trilha de alimentação de cada circuito integrado e o terra. Esses capacitores abaixam a impedância da fonte de alimentação e, conseqüentemente, reduzem a amplitude dos picos de tensão. Alternativamente, podemos pensar nos capacitores de desvio como supressores de picos de corrente.

Exercícios

14.8 Supondo que Q_4 tenha $\beta = 50$ e que no limite da saturação $V_{CEsat} = 0,3$ V, calcule o valor de i_L que satura Q_4.

Resposta 4,16 mA

14.9 Supondo que uma corrente de 1 mA provoque uma queda de tensão na junção emissor–base de Q_4 e no diodo D de 0,7 V para cada um, calcule v_O quando $i_L = 1$ mA e 10 mA. (Observe o resultado do exercício anterior.)

Resposta 3,6 V; 2,7 V

14.10 Calcule a corrente máxima que pode ser fornecida por uma porta TTL, garantindo que a saída no nível alto (V_{OH}) permaneça maior do que o valor mínimo garantido de 2,4 V.

Resposta 12,3 mA; ou, mais precisamente, levando em conta a corrente de base de Q_4, 13,05 mA

14.4 CARACTERÍSTICAS DA TTL PADRÃO

Devido à sua importância e popularidade, a família TTL será estudada nesta e na próxima seção. Nesta seção, consideraremos algumas características-padrão importantes das portas TTL. Formas especiais melhoradas da TTL serão tratadas na Seção 14.5.

A Característica de Transferência

A Figura 14.23 mostra a porta TTL junto com o esboço de sua característica de transferência de tensão aproximada por segmentos lineares. A característica real, claro, é uma curva. Explicaremos agora a característica de transferência e calcularemos os vários pontos notáveis e as inclinações. Será suposto que o terminal de saída da porta esteja aberto.

O segmento AB é obtido quando o transistor Q_1 está saturado, Q_2 e Q_3 estão em corte e Q_4 e D estão em condução. A tensão de saída está aproximadamente duas quedas de diodo abaixo de V_{CC}. No ponto B, o desdobrador de fase (Q_2) inicia sua condução porque sua base atinge 0,6 V (0,5 V + V_{CEsat} de Q_1).

Sobre o segmento BC, o transistor Q_1 permanece saturado, mas cada vez mais sua corrente de base I desvia para sua junção coletor–base e para a base de Q_2, que funciona como um amplificador linear.

O transistor Q_4 e o diodo D permanecem conduzindo, com Q_4 agindo como um seguidor de emissor. Enquanto isso, a tensão na base de Q_3, embora esteja aumentando, permanece insuficiente para levar Q_3 à condução (menos de 0,6 V).

Calcularemos agora a inclinação do segmento BC da característica de transferência. Suponha que a entrada v_I aumente por um incremento Δv_I. Esse incremento aparece no coletor de Q_1, já que Q_1 saturado se comporta (aproximadamente) como um curto-circuito de três terminais no que diz respeito a sinais. Portanto, a base de Q_2 terá um sinal Δv_I. Desprezando o efeito de carga do seguidor de emissor Q_4 sobre o coletor de Q_2, podemos calcular o ganho do desdobrador de fase por

$$\frac{v_{c2}}{v_{b2}} = \frac{-\alpha_2 R_1}{r_{e2} + R_2} \tag{14.6}$$

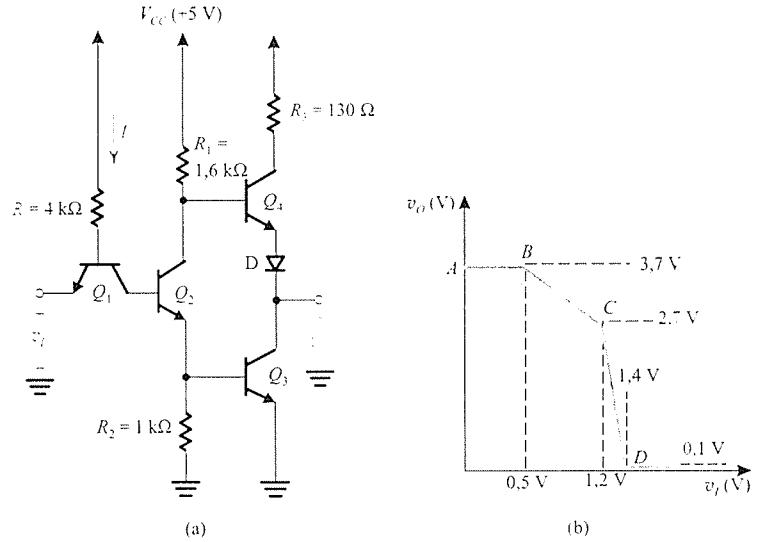


Figura 14.23 A porta TTL e sua característica de transferência de tensão.

O valor de r_{e2} será, obviamente, dependente da corrente em Q_2. Essa corrente será na faixa de zero (com Q_2 iniciando sua condução) até o valor que resultar em uma tensão de cerca de 0,6 V no emissor de Q_2 (a base de Q_3). Esse valor é cerca de 0,6 mA e corresponde ao ponto C na característica de transferência. Supondo uma corrente média em Q_2 de 0,3 mA, obtemos $r_{e2} \simeq 83\ \Omega$. Para $\alpha = 0,98$, a Equação 14.6 resulta em um valor de ganho de 1,45. Como o ganho na saída do seguidor Q_4 é próximo da unidade, o ganho total da porta, que é a inclinação do segmento BC, é cerca de –1,45.

Conforme sugerido, o ponto notável C é determinado pelo início da condução de Q_3. A tensão de entrada correspondente pode ser calculada por

$$v_I(C) = V_{BE3} + V_{BE2} - V_{CEsat}(Q_1)$$
$$= 0,6 + 0,7 - 0,1 = 1,2 \text{ V}$$

Nesse ponto, a corrente do emissor de Q_2 é de aproximadamente 0,6 mA. A corrente no coletor de Q_2 também é aproximadamente de 0,6 mA; desprezando a corrente na base de Q_4, a tensão no coletor de Q_2 é

$$v_{C2}(C) = 5 - 0,6 \times 1,6 \cong 4 \text{ V}$$

Portanto, Q_2 ainda está no modo ativo. A tensão de saída correspondente é

$$v_O(C) = 4 - 0,65 - 0,65 = 2,7 \text{ V}$$

Como v_I aumenta além do valor de $v_I(C) = 1,2$ V, Q_3 começa a conduzir e opera no modo ativo. Por outro lado, Q_1 permanece saturado e Q_2 e Q_4 permanecem no modo ativo. O circuito

comporta-se como um amplificador até que Q_2 e Q_3 saturem e Q_4 entre em corte. Isso ocorre no ponto D da característica de transferência, que corresponde à tensão de entrada $v_I(D)$ dada por

$$v_I(D) = V_{BE3} + V_{BE2} + V_{CEsat} - V_{BE1}$$
$$= 0,7 + 0,7 + 0,7 - 0,7 = 1,4 \text{ V}$$

Observe que estamos supondo que no ponto D o transistor Q_1 ainda está saturado, mas com $V_{CEsat} = 0$. Para observar como isso ocorre, note que, a partir do ponto B em diante, a corrente na base de Q_1 desvia-se cada vez mais para sua junção coletor–base. Desse modo, enquanto a queda na junção coletor–base aumenta, a queda na junção emissor–base diminui. No ponto D, essas quedas de tensão ficam quase iguais. Para $v_I > v_I(D)$, a junção base–emissor de Q_1 corta; portanto, Q_1 sai da saturação e entra no modo ativo inverso.

Calcular o ganho sobre o segmento CD é uma tarefa complexa. Essa complexidade se deve ao fato de que há dois caminhos da entrada para a saída: um através de Q_3 e outro através de Q_4. Uma aproximação simples, mas rudimentar, para o ganho desse segmento pode ser obtida pelas coordenadas dos pontos C e D na Figura 14.23(b), como a seguir:

$$\text{Ganho} = \frac{v_O(C) - v_O(D)}{v_I(D) - v_I(C)}$$
$$= -\frac{2,7 - 0,1}{1,4 - 1,2} = -13 \text{ V/V}$$

A partir da curva de transferência da Figura 14.23(b), podemos determinar os pontos notáveis e as margens de ruído: $V_{OH} = 3,7$ V; V_{IL} está em uma faixa de 0,5 a 1,2 V, assim podemos estimar 0,5 V; $V_{OL} = 0,1$ V; $V_{IH} = 1,4$ V; $MR_H = V_{OH} - V_{IH} = 2,3$ V; e $MR_L = V_{IL} - V_{OL} = 0,4$ V. Devemos observar que esses valores são computados supondo que a porta esteja sem carga e sem levarmos em consideração as variações na tensão da fonte de alimentação ou variações de temperatura.

Exercício

14.11 Levando em consideração o fato de que a tensão na junção *pn* diretamente polarizada muda cerca de –2 mV/°C, calcule as coordenadas dos pontos *A*, *B*, *C* e *D* da característica de transferência da porta para –55°C e para +125°C. Suponha que a característica na Figura 14.23(b) se aplique para 25°C e despreze o pequeno coeficiente de temperatura de V_{CEsat}.

Resposta Para –55°C: (0, 3,38), (0,66, 3,38), (1,52, 2,16), (1,72, 0,1); para +125°C: (0, 4,1), (0,3, 4,1), (0,8, 3,46), (1,0, 0,1)

As Especificações dos Fabricantes

Os fabricantes de TTL geralmente fornecem curvas para a característica de transferência de porta, para a característica de entrada *i–v* e para a característica de saída *i–v*, medidas nos limites especificados da faixa de temperatura de operação. Além disso, são dados geralmente valores garantidos para os parâmetros V_{OL}, V_{OH}, V_{IL} e V_{IH}.

Para o TTL padrão (conhecido como série 74), esses valores são $V_{OL} = 0,4$ V, $V_{OH} = 2,4$ V, $V_{IL} = 0,8$ V e $V_{IH} = 2$ V. Esses valores são garantidos para uma certa tolerância (especificada) na tensão da fonte de alimentação e para um *fan-out* máximo de 10. Por nossa discussão na Seção 14.3, sabemos que o *fan-out* é determinado pela corrente máxima que Q_3 pode drenar enquanto permanecer na saturação e enquanto mantiver a tensão de saturação abaixo do valor máximo garantido ($V_{OL} = 0,4$ V). Os cálculos executados na Seção 14.3 indicam a possibilidade de um *fan-out* de 20 a 30. Portanto, o valor especificado pelo fabricante é adequado.

Os parâmetros V_{OL}, V_{OH}, V_{IL} e V_{IH} podem ser usados para calcular as margens de ruído como segue:

$$MR_H = V_{OH} - V_{IH} = 0,4 \text{ V}$$
$$MR_L = V_{IL} - V_{OL} = 0,4 \text{ V}$$

Exercícios

14.12 Na Seção 14.3, encontramos que, quando a entrada da porta é alta, a corrente na base de Q_3 é de aproximadamente 2,6 mA. Suponha que esse valor se aplique para 25°C e que nessa temperatura $V_{BE} \cong 0,7$ V. Levando em consideração o coeficiente de temperatura de –2 mV/°C para V_{BE} e desprezando todos os outros, calcule a corrente na base de Q_3 para –55°C e para +125°C.

Resposta 2,2 mA; 3 mA

14.13 A Figura E14.13 mostra o esboço das características de transferência i_L–v_O de uma porta TTL quando a saída é baixa. Use essas características junto com os resultados obtidos no Exercício 14.12 para calcular o valor de β do transistor Q_3 para –55°C, +25°C e +125°C.

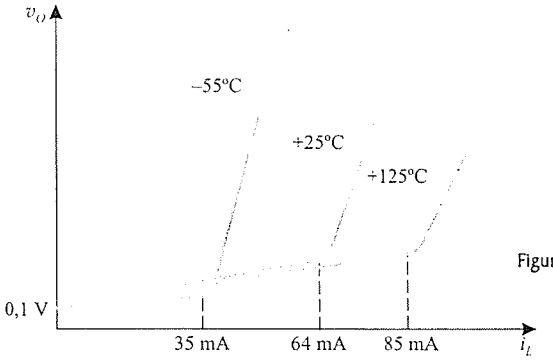


Figura E14.13

Resposta 16; 25; 28

O Tempo de Atraso na Propagação

O tempo de atraso na propagação das portas TTL é definido usualmente como o intervalo de tempo entre os pontos de 1,5 V das bordas correspondentes das formas de ondas de entrada e de saída. Para o TTL padrão (conhecido como TTL de *velocidade média*), t_P é tipicamente da ordem de 10 ns.

Em relação à potência dissipada, podemos mostrar (veja o Exercício 14.14 a seguir) que, quando a saída da porta é alta, ela dissipa 5 mW e, quando a saída da porta é baixa, ela dissipa 16,7 mW. Portanto, a dissipação média é de 11 mW, resultando em um produto atraso-potência de cerca de 100 pJ.

Exercício

14.14 Calcule o valor da corrente de alimentação (I_{CC}) e, conseqüentemente, a potência dissipada na porta TTL, quando o terminal de saída está aberto e a entrada é (a) baixa com 0,2 V (veja a Figura 14.22) e (b) alta com +5 V (veja a Figura 14.20).

Resposta (a) 1 mA, 5 mW; (b) 3,33 mA, 16,7 mW

A Dissipação de Potência Dinâmica

Na Seção 14.3 foi explicada a ocorrência dos picos de corrente (*spikes*) na fonte de alimentação. Esses picos dão origem a uma potência adicional drenada da fonte V_{CC}. Essa **potência dinâmica** também é dissipada pelo circuito da porta.

Ela pode ser calculada pela multiplicação da corrente média provocada pelos picos de V_{CC} conforme ilustrado pela solução do Exercício 14.15.

Exercício

14.15 Considere a porta TTL que está sendo chaveada a uma taxa de 1 MHz. Suponha que, cada vez que a porta seja desligada (isto é, a saída vai para o nível alto), a corrente de alimentação tenha um pico de 30 mA de amplitude e 2 ns de largura. Suponha também que não haja pico de corrente quando a porta é ligada (quando a saída vai para o nível baixo). Calcule a corrente de alimentação média devida aos picos e à dissipação de potência dinâmica.

Resposta 60 μA; 0,3 mW

A Porta NE TTL

A Figura 14.24 mostra a porta TTL básica. Sua característica mais importante é o **transistor multiemissor** Q_1 usado na entrada. A Figura 14.25 mostra a estrutura do transistor multiemissor.

Pode ser facilmente verificado que a porta da Figura 14.24 executa a função NE. A saída será alta se pelo menos uma das entradas for baixa. A saída será baixa em apenas um caso: quando todas as entradas forem altas. A extensão para mais de duas entradas é direta e obtida pela difusão de regiões de emissor adicionais.

Embora, teoricamente, um terminal de entrada sem uso possa ser deixado aberto, isso geralmente não é aconselhável na prática. Um terminal de entrada em circuito aberto age como uma "antena" que "pega" os sinais de interferência e pode provocar chaveamentos errados. Um terminal de entrada, quando não estiver em uso, deve, portanto, ser conectado ao terminal positivo da fonte de alimentação *por meio de uma resistência* (digamos de 1 kΩ). Desse modo, a junção

emissor–base correspondente de Q_1 será polarizada reversamente e não terá efeito na operação da porta. A resistência em série é incluída a fim de limitar a corrente no caso de uma ruptura da junção emissor–base devida aos transientes da fonte de alimentação.

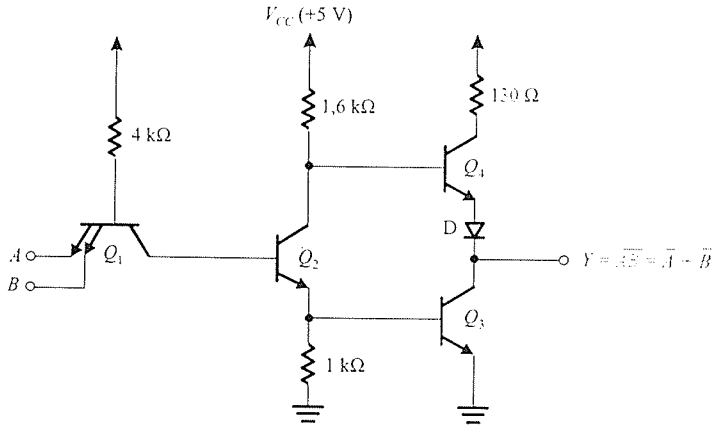


Figura 14.24 A porta NE da família TTL padrão.

Outros Circuitos Lógicos TTL

Em uma pastilha TTL de média escala de integração (MSI) há muitos casos em que as funções lógicas são implementadas usando-se versões condensadas das portas TTL básicas. Como exemplo, mostramos na Figura 14.26 a implementação TTL de uma função E-OU-INVERSOR. Os transistores desdobradores de fase das duas portas são conectados em paralelo e é usado um único estágio de saída. O leitor é aconselhado a verificar que a função lógica é aquela mencionada.

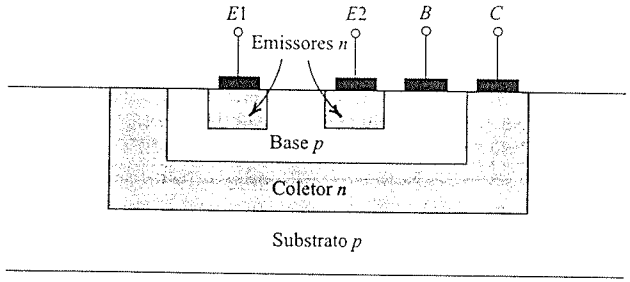


Figura 14.25 Estrutura do transistor multiemissor Q_1.

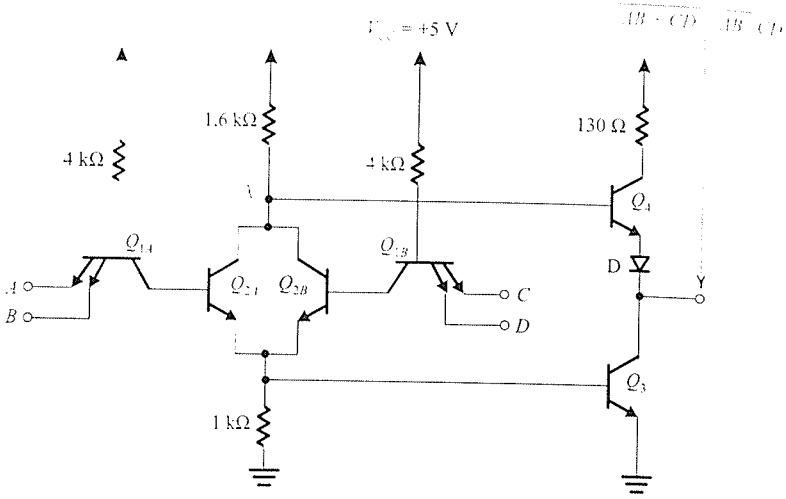


Figura 14.26 Uma porta E-OU-INVERSORA da família TTL padrão.

Observe que o estágio de saída totem-pole da TTL *não* permite a conexão dos terminais de saída de duas portas para realizar a função E de suas saídas (conhecida como conexão E por fio = *wired-AND*). Para entender a razão disso, considere duas portas cujas saídas estão conectadas juntas e suponha que uma porta tenha uma saída alta e a outra tenha uma saída baixa. A corrente circulará de Q_4 da primeira porta através de Q_3 da segunda porta. O valor da corrente, felizmente, será limitado pela resistência de 130 Ω. Obviamente, não será realizada nenhuma função lógica útil por essa conexão.

A falta de uma capacidade E por fio é uma desvantagem da TTL padrão. Entretanto, o problema é resolvido de várias maneiras, inclusive pela conexão em paralelo do estágio desdobrador de fase, conforme ilustrado na Figura 14.26. Outra solução consiste em eliminar totalmente o transistor seguidor de emissor. O resultado é um estágio de saída consistindo apenas no transistor Q_3 em emissor comum, sem uma resistência de coletor. Obviamente, podemos conectar juntas as saídas dessas portas por meio de uma resistência comum de coletor e implementar uma porta E por fio. Esse tipo de porta TTL é conhecido como **TTL com coletor aberto** (*open-collector*). A desvantagem óbvia é o tempo de subida lento da forma de onda de saída.

Outra variante útil da TTL é o arranjo de saída em **triestado** (*tristate*), explicado no Exercício 14.16.

Exercício

14.16 O circuito mostrado na Figura E14.16 é denominado TTL triestado. Verifique que, quando o terminal denominado Terceiro estado é alto, a porta funciona normalmente, e que, quando esse terminal é baixo, ambos os transistores, Q_3 e Q_4, cortam e a saída da porta torna-se um circuito aberto. Esse último é o terceiro estado ou estado de alta impedância de saída.

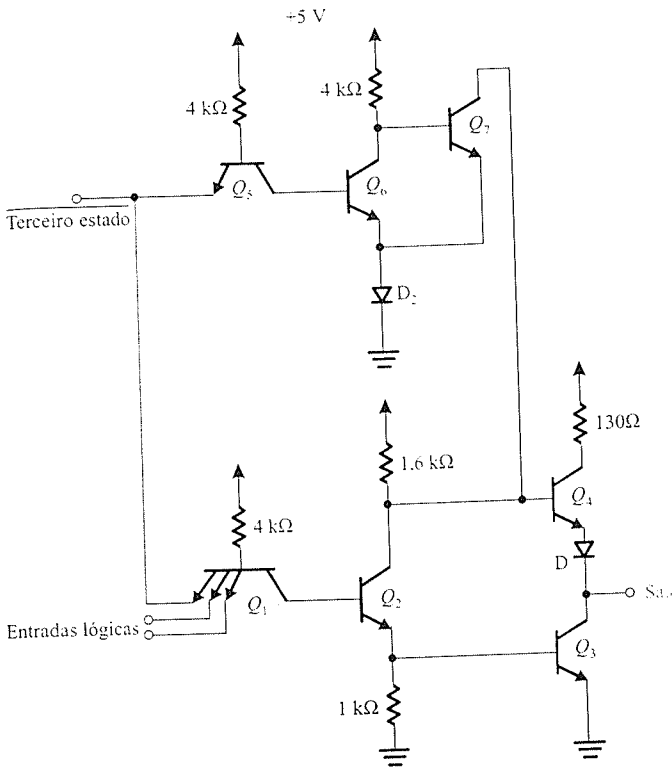


Figura E14.16

A TTL triestado permite a conexão de várias portas TTL em uma linha de saída comum (barramento de saída ou *bus* de saída). Em qualquer instante particular, o sinal do barramento será determinado pela porta TTL que for *habilitada* (*enabled*), colocando seu terminal de terceiro estado em alto. Todas as outras portas estarão no terceiro estado e, portanto, fora do controle da barra.

14.5 AS FAMÍLIAS TTL COM DESEMPENHO MELHORADO

Os circuitos TTL padrões estudados nas duas seções anteriores foram introduzidos em meados da década de 1960. Desde então, várias versões melhoradas foram desenvolvidas. Nesta seção, discutiremos algumas dessas famílias TTL melhoradas. Como veremos, os melhoramentos são em dois sentidos: aumento da velocidade e redução da dissipação de potência.

A velocidade da porta TTL padrão da Figura 14.24 é limitada por dois mecanismos. Primeiro, os transistores Q_1, Q_2 e Q_3 saturam e, conseqüentemente, temos de nos contentar com seu tempo de armazenamento finito.

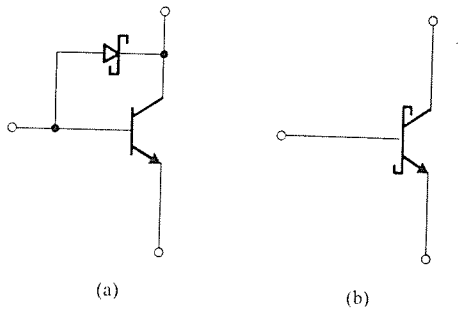


Figura 14.27 (a) Um transistor com um diodo Schottky de grampeamento. (b) Símbolo de circuito para a conexão em (a), conhecido como transistor Schottky.

Embora Q_2 seja descarregado razoavelmente rápido por causa da operação de Q_1 no modo ativo, como explicado, isso não é verdadeiro para Q_3, cuja carga na base deve escoar através da resistência de 1 kΩ de seu circuito de base. Segundo, as resistências no circuito, junto com as várias capacitâncias do transistor e da fiação, formam constantes de tempo relativamente altas, que contribuem para aumentar o tempo de atraso da porta.

Isso significa que há dois modos para aumentar a velocidade de operação do TTL. O primeiro é evitar a saturação do transistor e o segundo é reduzir os valores de todas as resistências. Esses dois modos são utilizados na família de circuitos TTL Schottky.

A Família TTL Schottky

Na família TTL Schottky, evita-se que os transistores entrem em saturação empregando-se um diodo com baixa queda de tensão entre a base e o coletor, conforme mostrado na Figura 14.27. Esse diodo, formado a partir de uma junção metal–semicondutor, é chamado de diodo Schottky e tem uma queda de tensão direta de cerca de 0,5 V. Apresentamos brevemente o diodo Schottky na Seção 3.9. Os diodos Schottky[4] são facilmente fabricados e não aumentam a área utilizada da pastilha. Na verdade, o processo de fabricação do TTL Schottky é concebido para fornecer transistores com áreas menores e, portanto, maiores β e f_T que aqueles produzidos em processos TTL padrão. A Figura 14.27 também mostra o símbolo usado para representar a combinação de um transistor e um diodo Schottky, que é conhecido com transistor Schottky.

O *transistor* Schottky não satura, já que parte de sua corrente destinada à base é desviada da mesma através do diodo Schottky. Este último então, conduz e grampeia a tensão da junção base–coletor em cerca de 0,5 V. Essa tensão é menor que o valor necessário para polarizar diretamente a junção coletor–base desses transistores de pequenas dimensões.

Note que o transistor Schottky começa a conduzir quando seu v_{BE} é de cerca de 0,7 V e conduz plenamente quando v_{BE} é de cerca de 0,8 V. Com o diodo Schottky grampeando v_{BC} em 0,5 V aproximadamente, a tensão emissor–coletor é de 0,3 V aproximadamente e o transistor ainda

4. Observe que diodos Schottky de silício exibem quedas de tensão de cerca de 0,5 V enquanto diodos Schottky de GaAs (Seção 5.12) exibem quedas de tensão de cerca de 0,7 V.

opera no modo ativo. Evitando a saturação, o transistor Schottky grampeado exibe um tempo de desligamento muito pequeno.

A Figura 14.28 mostra uma porta NE TTL grampeada por Schottky ou simplesmente porta NE TTL Schottky. Comparando esse circuito com o TTL padrão da Figura 14.24, observamos algumas modificações. A primeira, e mais notável, é que todos os transistores são Schottky grampeados, exceto Q_4. Como será visto a seguir, o transistor Q_4 nunca pode saturar e, portanto, não necessita de um grampo Schottky. Segunda, todos os resistores foram reduzidos para aproximadamente a metade dos valores do circuito-padrão. Essas duas modificações resultam em uma porta com tempo de atraso muito menor. A redução nos valores das resistências, contudo, aumenta a dissipação de potência (por um fator de dois).

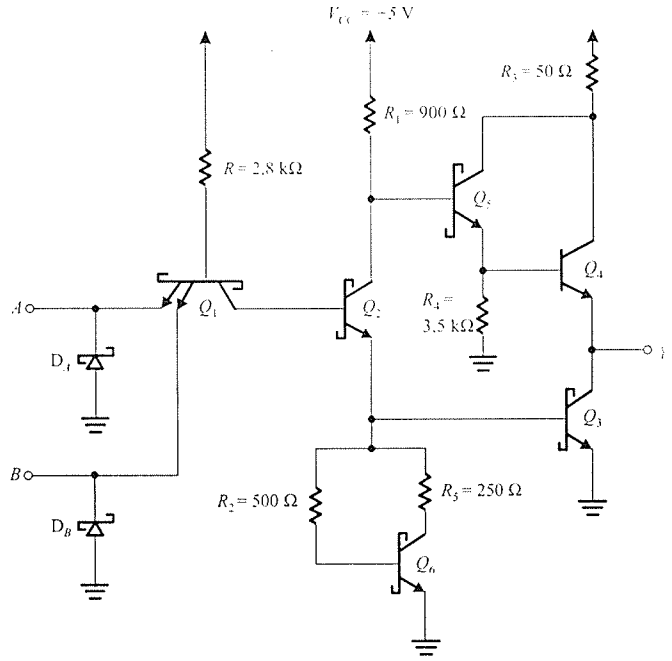


Figura 14.28 Uma porta NE TTL Schottky (conhecida como NE STTL).

A porta TTL Schottky apresenta três outras técnicas de circuitos que melhoram ainda mais seu desempenho. São as seguintes:

1. O diodo D, necessário para evitar a condução de Q_4 quando a saída da porta for baixa, é substituído pelo transistor Q_5, que, junto com Q_4, forma um par Darlington. Esse estágio Darlington proporciona um aumento no ganho de corrente e, conseqüentemente, aumenta a capacidade de fornecimento de corrente. Isso, junto com a baixa resistência de saída da porta (no estado alto de saída), produz uma redução no tempo

necessário para o carregamento da capacitância da carga até o nível alto. Observe que o transistor Q_4 nunca satura, pois

$$V_{CE4} = V_{CE5} + V_{BE4}$$
$$\approx 0{,}3 + 0{,}8 = 1{,}1 \text{ V}$$

2. Foram incluídos os diodos de grampeamento na entrada D_A e D_B.[5] Esses diodos conduzem somente quando as tensões nas entradas estiverem abaixo do nível do terra. Isso pode acontecer devido à "ressonância" (*ringing*) nos fios conectando a entrada da porta à saída de outra porta. A ressonância ocorre porque fios condutores se comportam como *linhas de transmissão* que não são corretamente terminadas. Sem os diodos de grampo, a ressonância pode causar uma tensão de entrada com transiente suficientemente negativo, de modo que a junção substrato–coletor de Q_1 (veja a Figura 14.25) fique diretamente polarizada. Isso, por sua vez, implicaria a operação errônea da porta. Além disso, a ressonância pode fazer com que a tensão de entrada seja suficientemente positiva para resultar em um falso chaveamento. Os diodos na entrada grampeiam excursões negativas de sinais de ressonância na entrada (de até –0,5 V). Sua condução provoca também uma perda de potência na linha de transmissão, que resulta em um *amortecimento* (*damping*) da forma de onda da ressonância e, portanto, uma redução em sua parte positiva.

3. A resistência entre a base de Q_3 e o terra foi substituída por uma resistência não-linear implementada pelo transistor Q_6 e pelos resistores R_2 e R_5. Essa resistência não-linear é conhecida como **abaixador ativo** (*active pull-down*), em analogia com o levantador ativo (*active pull-up*) fornecido pelo seguidor de emissor do estágio de saída totem-pole. Essa característica é engenhosa e vamos discuti-la em mais detalhes.

O Abaixador Ativo (Active Pull-Down). A Figura 14.29 mostra um esboço da característica i–v da rede não-linear composta por Q_6 e seus dois resistores associados R_1 e R_5. Mostra-se também, para comparação, a característica i–v linear de um resistor que seria conectado entre a base de Q_3 e o terra se o abaixador ativo não fosse usado.

A primeira característica a ser observada no abaixador ativo é que ele conduz uma corrente desprezível (comportando-se, portanto, como uma resistência elevada) até que a queda de tensão sobre ele alcance V_{BE}. Logo, o ganho do desdobrador de fase (como um amplificador linear) permanecerá desprezivelmente pequeno até que uma queda V_{BE} surja entre o emissor e o terra, a qual marca o início da condução de Q_3. Em outras palavras, Q_2, Q_3 e Q_6 entrarão em condução quase simultaneamente. Portanto, o segmento BC da característica de transferência (veja a Figura 14.23(b)) estará ausente e a característica de transferência da porta se tornará mais inclinada, como na Figura 14.30. Visto que o circuito abaixador ativo faz a característica de transferência ficar "quadrada", ele é conhecido também como "circuito quadrador". O resultado é um aumento nas margens de ruído.

O circuito abaixador ativo também aumenta a velocidade de chaveamento de Q_3. Para observar como isso ocorre, note que o abaixador ativo drena uma corrente desprezível em boa parte de sua característica. Portanto, a corrente fornecida pelo desdobrador de fase inicialmente será desviada para a base de Q_3, aumentando a velocidade de ligamento de Q_3.

5. Alguns circuitos TTL padrão incluem também diodos de grampeamento de entrada. Porém, observe que, na TTL Schottky, os diodos de grampeamento de entrada são do tipo Schottky, que operam em tensões menores e não possuem cargas portadoras minoritárias armazenadas.

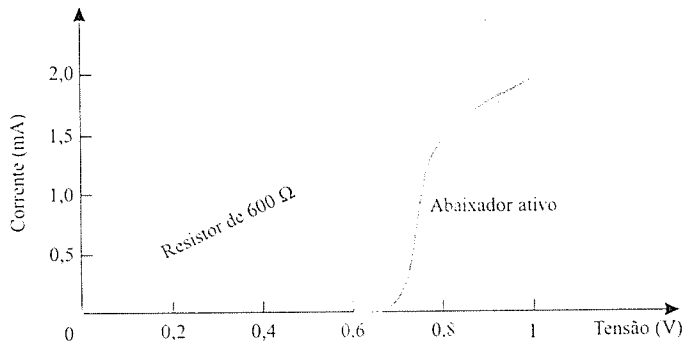


Figura 14.29 Comparação entre a característica i–v do abaixador ativo (*active pull-down*) e a característica i–v de um resistor de 600 Ω.

Por outro lado, durante o desligamento, o transistor Q_6 do abaixador ativo opera no modo ativo. Sua corrente de coletor elevada fluirá através da base de Q_3 no sentido inverso, descarregando rapidamente a capacitância emissor–base de Q_3 e levando-a rapidamente para o corte (desligamento).

Finalmente, deve ser observada a função da resistência de 250 Ω do coletor de Q_3: sem ela a tensão emissor–base de Q_3 seria grampeada em V_{CE6}, que é cerca de 0,3 V.

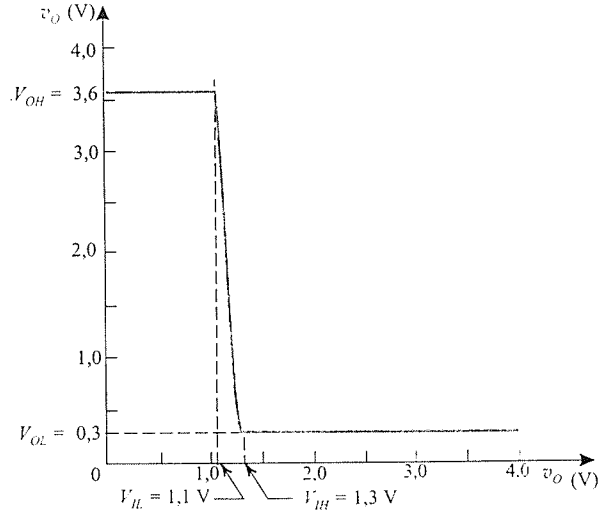


Figura 14.30 Característica de transferência de tensão de uma porta TTL Schottky.

Exercícios

14.17 Mostre que os valores de V_{OH}, V_{IL}, V_{IH} e V_{OL} da porta TTL Schottky são aqueles dados na Figura 14.30. Suponha que a corrente de saída da porta seja pequena e que o transistor Schottky esteja conduzindo com $v_{BE} = 0{,}7$ V e sua condução plena se dê com 0,8 V. (*Sugestão*: V_{IL} é a tensão de entrada na qual Q_2 e Q_3 iniciam a condução; V_{IH} é a tensão de entrada na qual Q_2 e Q_3 estão conduzindo plenamente.)

14.18 Calcule a corrente de entrada de uma porta TTL Schottky com a tensão de entrada baixa (em 0,3 V).

Resposta 1,4 mA

14.19 Para uma porta TTL Schottky, calcule a corrente drenada da fonte de alimentação com a entrada baixa em 0,3 V (lembre-se de incluir a corrente no resistor de 3,5 kΩ) e com a entrada alta em 3,6 V. Depois, calcule a dissipação de potência da porta em ambos os estados e a dissipação média de potência.

Resposta 2,6 mA; 5,4 mA; 13 mW; 27 mW; 20 mW

As Características de Funcionamento. Uma família TTL Schottky (conhecida como Série 74S) é especificada como tendo os seguintes parâmetros para o pior caso:

$$V_{OH} = 2{,}7 \text{ V} \quad V_{OL} = 0{,}5 \text{ V}$$
$$V_{IH} = 2{,}0 \text{ V} \quad V_{IL} = 0{,}8 \text{ V}$$
$$t_P = 3 \text{ ns} \quad P_D = 20 \text{ mW}$$

Observe que o produto atraso–potência é de 60 pJ, que pode ser comparado com o de 100 pJ para a TTL padrão.

Exercício

14.20 Use os valores dados anteriormente para calcular as margens de ruído MR_H e MR_L para uma porta TTL Schottky.

Resposta 0,7 V; 0,3 V

A Família TTL Schottky de Baixa Potência

Embora a família TTL Schottky tenha um tempo de atraso na propagação muito baixo, a dissipação de potência na porta é relativamente alta. Isso limita o número de portas que podem ser incluídas por encapsulamento. Há, assim, a necessidade de uma versão modificada com baixa dissipação, possivelmente às custas de um aumento no tempo de atraso da porta. Isso foi obtido com a subfamília TTL Schottky de baixa potência (LS), representada na Figura 14.31 pela porta NE com duas entradas.

O circuito Schottky de baixa potência da Figura 14.31 é diferente da TTL Schottky normal da Figura 14.28 em vários aspectos: a diferença mais importante é que as resistências usadas são cerca de dez vezes maiores, o que implica uma dissipação de potência de um décimo daquela do

circuito Schottky (2 mW *versus* 20 mW). Contudo, como era esperado, o uso de resistências de altos valores é acompanhado de uma redução na velocidade de operação. Para compensar a redução da velocidade, algumas inovações foram empregadas no projeto do circuito: primeira, o transistor de entrada multiemissor Q_1 foi eliminado para dar lugar aos diodos Schottky, os quais ocupam menores áreas de silício e, conseqüentemente, têm menores capacitâncias parasitárias. Deve ser lembrado que a principal vantagem do transistor multiemissor é que ele remove rapidamente a carga armazenada na base de Q_2. Nos circuitos grampeados Schottky, contudo, o transistor Q_2 não satura, eliminando da necessidade de Q_1 sob esse aspecto.

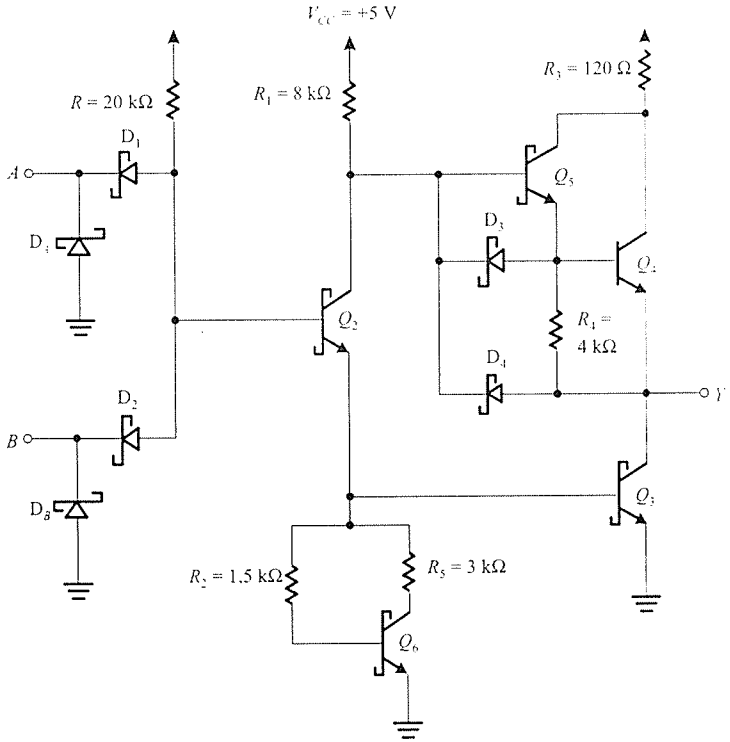


Figura 14.31 Uma porta NE TTL Schottky de baixa potência (conhecida por LSTTL).

Segunda, dois diodos Schottky, D_3 e D_4, são adicionados ao estágio de saída para auxiliar no corte de Q_4 e na condução de Q_3 e, conseqüentemente, na transição da saída de alta para baixa. Especificamente, aumentando a tensão na entrada da porta, Q_2 inicia sua condução e parte de sua corrente de coletor circulará através do diodo D_3. Essa corrente constitui a corrente reversa na base de Q_4 e ajuda a cortar Q_4 mais rapidamente. Simultaneamente, a corrente no emissor de Q_2 será aplicada à base de Q_3, fazendo-o entrar em condução mais rapidamente. Parte da corrente

de coletor de Q_2 circulará também através de D_4. Essa corrente ajuda na descarga da capacitância de carga da porta, diminuindo, assim, o tempo de transição de alto para baixo. Tanto D_3 como D_4 estarão em corte sob condições estáticas.

Finalmente, observe que o outro terminal do resistor de emissor de Q_5 agora está conectado na saída da porta. Isso significa que, quando a saída da porta for alta, a corrente de saída será fornecida primeiro por Q_5 através de R_4. O transistor Q_4 entrará em condução somente quando surgir uma queda de 0,7 V em R_4, caso em que ele passa a fornecer uma corrente adicional para a carga. Porém, quando a porta estiver alimentando a carga com uma pequena corrente, Q_4 estará em corte e a tensão na saída será aproximadamente

$$V_{OH} = V_{CC} - V_{BE5}$$

que é maior do que o valor obtido na porta TTL Schottky normal.

Exercícios

14.21 A característica de transferência da tensão da porta TTL Schottky de baixa potência da Figura 14.31 tem a mesma forma que aquela da porta TTL Schottky normal, mostrada na Figura 14.30. Calcule os valores de V_{OH}, V_{IL}, V_{IH} e V_{OL}. Suponha que um transistor Schottky tenha $v_{BE} = 0{,}7$ V em condução e $v_{BE} = 0{,}8$ V quando em plena condução e que o diodo Schottky tenha uma queda direta de 0,5 V. Suponha também que a corrente de saída da porta seja muito pequena.

Resposta 4,3 V; 0,9 V; 1,1 V; 0,3 V

14.22 Para a porta TTL Schottky de baixa potência, usando as especificações dadas no Exercício 14.21, calcule a corrente de alimentação em ambos os estados. Depois, calcule a dissipação média de potência.

Resposta 0,21 mA; 0,66 mA; 2 mW

Embora os níveis de tensão garantidos e as margens de ruído da TTL Schottky de baixa potência (conhecida como Série 74LS) sejam similares aos da TTL Schottky normal, o tempo de atraso e a dissipação de potência da porta são

$$t_P = 10 \text{ ns} \qquad P_D = 2 \text{ mW}$$

Logo, embora a dissipação de potência tenha sido reduzida por um fator de 10, o tempo de atraso foi aumentado por um fator de 3. O que implica um produto atraso-potência de apenas 20 pJ.

Outras Famílias TTL Melhoradas

Há outras famílias TTL cujas características foram melhoradas. Vale mencionar as famílias Schottky avançada (Série 74AS) e Schottky de baixa potência avançada (Série 74ALS). Não discutiremos em detalhes os circuitos dessas famílias. A Tabela 14.1 fornece uma comparação em termos de tempo de atraso e dissipação de potência na porta para várias famílias TTL.

Observe que a Schottky de baixa potência avançada oferece um produto atraso-potência muito pequeno. Como conclusão, observamos que, atualmente, embora a TTL não seja mais tão popular, ela ainda é usada em circuitos lógicos que utilizam pastilhas SSI e MSI. Isso é especialmente verdade para a família TTL Schottky avançada, em que a velocidade de chaveamento encontra rival apenas na família de lógica acoplada pelo emissor (ECL).

Tabela 14.1 Comparação de desempenho das famílias TTL.

	TTL padrão (Série 74)	TTL Schottky (Série 74S)	TTL Schottky baixa potência (Série 74LS)	TTL Schottky avançada (Série 74AS)	TTL Schottky avançada de baixa pot. (Série 74ALS)
t_P, ns	10	3	10	1,5	4
P_D, mW	10	20	2	20	1
DP, pJ	100	60	20	30	4

14.6 A LÓGICA ACOPLADA PELO EMISSOR (ECL)

A lógica acoplada pelo emissor (*emitter coupled logic* – ECL) é a família de circuitos lógicos mais rápida.[6] A alta velocidade é obtida pela operação de todos os transistores fora da saturação, evitando, portanto, atrasos devidos a cargas armazenadas, e pela manutenção do sinal lógico com excursão relativamente baixa (cerca de 0,8 V), reduzindo, assim, o tempo necessário para a carga e descarga das várias capacitâncias envolvidas (parasitárias e de carga).

Diferentemente da TTL Schottky, na qual a saturação é evitada pelo desvio da corrente da base em excesso pelo grampo Schottky, a saturação na ECL é evitada pelo uso de um par diferencial com TBJ como uma chave de corrente. Uma introdução ao par diferencial com TBJ foi dada na Seção 6.1, que aconselhamos o leitor rever antes de prosseguir o estudo da ECL.

O Princípio Básico

A lógica acoplada pelo emissor (ECL) baseia-se no uso da chave de direcionamento de corrente introduzida na Seção 1.7. Essa chave pode ser implementada eficientemente utilizando-se um par diferencial, como mostrado na Figura 14.32.

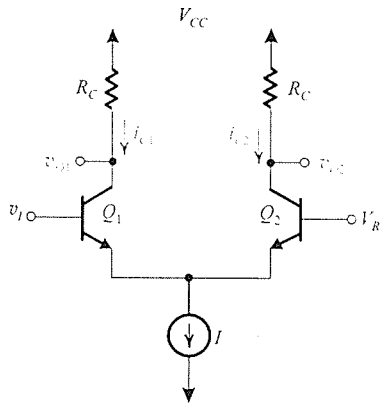


Figura 14.32 O elemento básico da família ECL é o par diferencial, e V_R é uma tensão de referência.

6. Embora velocidades de operação mais rápidas possam ser obtidas com circuitos lógicos GaAs, estes últimos não estão disponíveis como componentes comerciais convencionais para o projeto de circuitos lógicos.

O par é polarizado por meio de uma fonte de corrente constante I, sendo um lado conectado a uma fonte de tensão de referência V_R. Como visto na Seção 6.1, a corrente I pode ser desviada tanto para Q_1 como para Q_2 por meio do sinal de controle de entrada v_I. Quando v_I é maior que V_R em cerca de $4V_T$ (≅ 100 mV), praticamente toda a corrente I é conduzida por Q_1 e, portanto, para $\alpha_1 \cong 1$, $v_{O1} = V_{CC} - IR_C$. No mesmo instante, a corrente por Q_2 será praticamente zero e, portanto, $v_{O2} = V_{CC}$. No outro extremo, quando v_I é menor que V_R por cerca de $4V_T$, praticamente toda corrente I é conduzida por Q_2 e a corrente por Q_1 será praticamente zero. Logo, $v_{O1} = V_{CC}$ e $v_{O2} = V_{CC} - IR_C$.

A descrição anterior sugere que o par diferencial executa uma função de inversão em v_{O1} do ponto de vista de um elemento lógico.

Além disso, ele fornece o sinal de saída complementar em v_{O2}. Os níveis lógicos de saída são $V_{OH} = V_{CC}$ e $V_{OL} = V_{CC} - IR_C$ e, portanto, a excursão lógica de saída é IR_C. Alguns outros comentários podem ser feitos a respeito desse circuito:

1. A natureza diferencial desse circuito fazem-no menos susceptível a ruídos. Note que um sinal de interferência (ruído) tende a afetar igualmente ambos os lados do par diferencial e, portanto, não resultará em um chaveamento indesejado. Esta é a propriedade de rejeição de modo comum do par diferencial apresentada na Seção 6.1.
2. A corrente drenada da fonte de alimentação permanece constante durante o chaveamento. Logo, diferente das lógicas TTL e CMOS, não ocorrem picos de corrente no barramento de alimentação de um circuito ECL, eliminando-se uma fonte de ruídos extremamente nociva em circuitos digitais. Esta é uma vantagem muito importante, visto que circuitos ECL operam com excursões de sinal relativamente pequenas e possuem, assim, margens de ruído baixas.
3. Ambos os níveis de saída são definidos em relação a V_{CC} e podem ser feitos efetivamente estáveis impondo-se $V_{CC} = 0$ ou, em outras palavras, utilizando-se uma fonte negativa de tensão, com V_{CC} conectado ao terra. Nesse caso, $V_{OH} = 0$ e $V_{OL} = -IR_C$.
4. De alguma forma, deve-se fazer os níveis de saída compatíveis com os níveis de entrada, possibilitando a uma porta acionar a outra. Como veremos logo a seguir, portas ECL reais empregam um circuito de deslocamento de nível que faz os níveis de saída centrarem-se em torno do valor V_R.
5. A disponibilidade de saídas complementares simplifica consideravelmente o projeto lógico com ECL.

Exercício

14.23 Para o circuito da Figura 14.32, considere $V_{CC} = 0$, $I = 4$ mA, $R_C = 220\ \Omega$, $V_R = -1{,}32$ V e suponha $\alpha \cong 1$. Determine V_{OH} e V_{OL}. Qual o valor do deslocamento nos níveis de saída para que eles fiquem centrados em torno de V_R? Quais seriam esses valores deslocados de V_{OH} e V_{OL}?

Resposta 0; −0,88 V; −0,88 V; −0,88 V, −1,76 V

As Famílias ECL

Há atualmente duas formas populares de ECL – ECL 10K e ECL 100K. A ECL 100K tem por característica um tempo de atraso da ordem de 0,75 ns e dissipa cerca de 40 mW/porta, com um produto atraso-potência de 30 pJ. Embora sua dissipação de potência seja relativamente alta, a Série 100K tem o menor tempo de atraso de porta disponível.

A Série ECL 10K é ligeiramente mais lenta; tem por característica um tempo de atraso na propagação de 2 ns e uma dissipação de potência de 25 mW, com um produto atraso-potência de 50 pJ. Embora o valor da *DP* seja maior do que o obtido com a Série 100K, a Série 10K é mais fácil de ser usada. Isso se deve ao fato de os tempos de subida e de descida dos sinais de pulso serem feitos deliberadamente maiores, reduzindo, portanto, o acoplamento entre sinais de conexões adjacentes (conhecido como *crosstalk*). A ECL 10K tem uma "velocidade de borda" de cerca de 3,5 ns; compare com a ECL 100K, que tem aproximadamente 1 ns. Estudaremos a seguir, com alguns detalhes, a versão ECL 10K que é muito popular.

Além de seu uso em circuitos SSI e MSI, a ECL é empregada também em aplicações LSI e VLSI. Uma variação ECL mais recente conhecida como **lógica de modo de corrente** (*current-mode logic* – CML) tem-se tornado popular em aplicações VLSI (veja Treadway (1989) e Wilson (1990)).

O Circuito da Porta Básica

O circuito da porta básica da família ECL 10K está mostrado na Figura 14.33. Esse circuito consiste em três partes. A malha, composta por Q_3, D_1, D_2, R_1, R_2 e R_3, gera uma tensão de referência V_R cujo valor à temperatura ambiente é −1,32 V. Como será mostrado, o valor dessa tensão de referência acompanha a variação da temperatura de modo predeterminado, mantendo assim quase constantes as margens de ruído. Além disso, a tensão de referência V_R é feita relativamente insensível às variações na tensão da fonte de alimentação V_{EE}.

Exercício

14.24 A Figura E14.24 mostra o circuito que gera a tensão de referência V_R. Supondo que a queda de tensão em D_1, D_2 e na junção emissor–base de Q_1 seja de 0,75 V para cada um, calcule o valor de V_R. Despreze a corrente da base de Q_1.

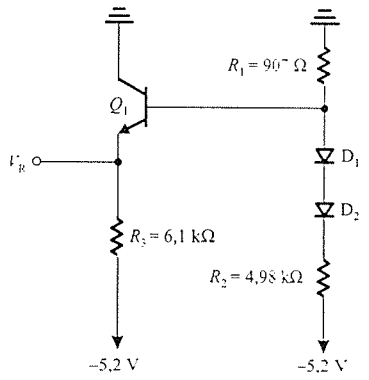


Figura E14.24

Resposta −1,32 V

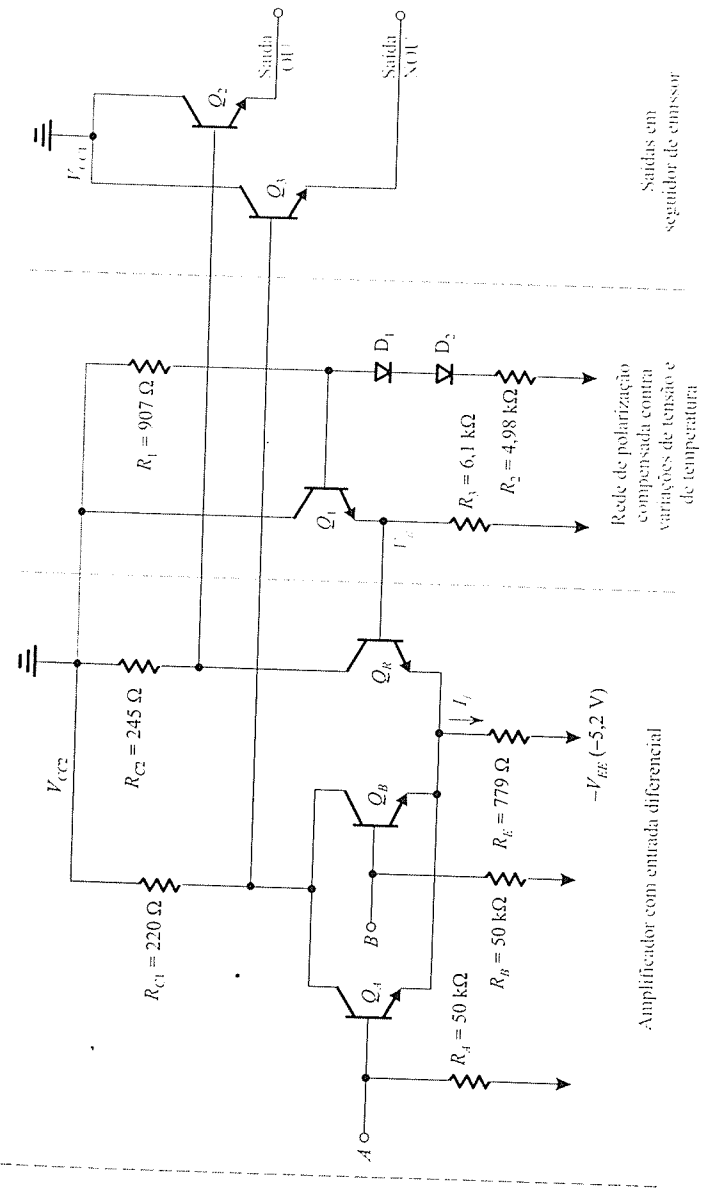


Figura 14.33 Circuito de uma porta lógica básica da família ECL 10K.

A segunda parte, e principal, é o amplificador diferencial formado por Q_R e por Q_A ou Q_B. Esse amplificador diferencial não é polarizado com uma fonte de corrente constante, como foi feito na Figura 14.32, mas com uma resistência R_E conectada ao terminal negativo da fonte de alimentação $-V_{EE}$. Apesar disso, veremos que a corrente em R_E permanece aproximadamente constante para a faixa de operação normal da porta. Um lado do amplificador diferencial consiste em um transistor de referência Q_R, cuja base está conectada na tensão de referência V_R. O outro lado consiste em alguns transistores (dois, nesse caso) conectados em paralelo, com cada base conectada separadamente a cada uma das entradas da porta. Se as tensões aplicadas em A e B forem de nível lógico 0, que será próximo de 0,4 V abaixo de V_R, como veremos a seguir, os transistores Q_A e Q_B estarão cortados e a corrente i_E em R_E circulará através do transistor de referência Q_R. A queda de tensão resultante em R_{C2} fará com que seja baixa a tensão no coletor de Q_R.

Por outro lado, quando a tensão aplicada em A ou B for de nível lógico 1, o qual, como veremos, é aproximadamente 0,4 V acima de V_R, o transistor Q_A ou Q_B, ou ambos, estarão em condução e Q_R estará em corte. Logo, a corrente I_E circulará através de Q_A ou Q_B, ou ambos, e uma corrente quase igual circulará através de R_{C1}. A queda de tensão resultante em R_{C1} fará cair a tensão no coletor. Entretanto, visto que Q_R está em corte, sua tensão no coletor aumenta. Vemos, portanto, que a tensão no coletor de Q_R será alta se A ou B, ou ambas, forem altas e, então, no coletor de Q_R será realizada a função lógica OU, $A + B$. Por outro lado, no coletor comum de Q_A e Q_B, será realizada a função lógica $\overline{A} + \overline{B} = \overline{A + B}$. Concluímos, portanto, que a porta com duas entradas da Figura 14.33 realiza tanto a função OU quanto seu complemento, a função NOU. A disponibilidade de saídas complementares é uma vantagem importante da ECL; ela simplifica o projeto lógico e evita o uso de inversores adicionais com tempos de atraso associados.

Deve ser observado que a resistência conectada em cada terminal de entrada da porta para o terminal negativo da fonte permite ao usuário deixar o terminal de entrada aberto, sem uso. Um terminal de entrada aberto será, então, *empurrado para baixo*, para a tensão negativa da alimentação, e seu transistor associado estará em corte.

Exercício

14.25 Com os terminais de entradas A e B abertos, calcule a corrente I_E através de R_E. Calcule também as tensões no coletor de Q_R e no coletor comum dos transistores de entrada Q_A e Q_B. Use $V_R = -1.32$ V, V_{BE} de $Q_R \cong 0{,}75$ V e suponha que β de Q_R seja muito alto.

Resposta 4 mA; −1 V; 0 V

A terceira parte do circuito da porta ECL é composta de dois seguidores de emissor, Q_2 e Q_3. Os seguidores de emissor não têm cargas na pastilha do CI, visto que, em muitas aplicações de circuitos lógicos de altas velocidades, a porta de saída aciona uma linha de transmissão terminada no outro final, como indicado na Figura 14.34.

Os seguidores de emissor têm duas funções. Primeira, deslocar o nível dos sinais de saída por uma queda V_{BE}. Portanto, usando os resultados do Exercício 14.25, vemos que os níveis de saída se tornam −1,75 V e −0,75 V.

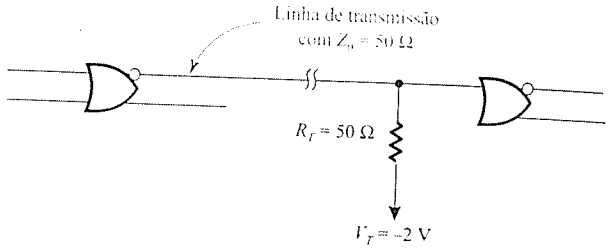


Figura 14.34 A forma correta de conectar portas lógicas de alta velocidade como a ECL. A terminação adequada à linha de transmissão que conecta as duas portas elimina a "ressonância" (*ringing*) que poderia alterar os níveis lógicos.

Esses níveis estão centrados em torno do nível de referência ($V_R = -1{,}32$ V), o que significa que uma porta pode acionar outra. Essa compatibilidade de níveis lógicos na entrada e na saída é sempre essencial no projeto de circuitos lógicos.

A segunda função dos seguidores de emissor é deixar a porta com uma baixa resistência de saída e com uma corrente alta de saída, necessária para a carga das capacitâncias. Como essas altas correntes de transientes podem causar picos (*spikes*) na tensão da fonte de alimentação, os coletores dos seguidores de emissor são conectados a uma linha separada da fonte de alimentação, V_{CC1}, que não alimenta o amplificador diferencial e o circuito de referência, estes alimentados por uma linha V_{CC2}. Observamos aqui que a corrente de alimentação do amplificador diferencial e do circuito de referência é quase constante. O uso de linhas separadas para a fonte de alimentação evita o acoplamento dos picos da fonte de alimentação da saída do circuito para o circuito da porta, diminuindo, conseqüentemente, a possibilidade de falsos chaveamentos na porta. Ambas as linhas, V_{CC1} e V_{CC2}, são conectadas em um mesmo sistema de terra externo à pastilha.

As Características de Transferência de Tensão

Após uma descrição qualitativa do funcionamento da porta ECL, determinaremos suas características de transferência. Isso será feito para os casos em que as saídas são terminadas do modo indicado na Figura 14.34. Supondo que a entrada B seja baixa e, portanto, com Q_B em corte, o circuito fica simplificado para aquele da Figura 14.35. Desejamos analisar o circuito para determinar v_{OU} *versus* v_I e v_{NOU} *versus* v_I (em que $v_I \equiv v_A$).

Na análise a seguir, faremos uso da característica exponencial i_C–v_{BE} do TBJ. Como os TBJs usados nos circuitos ECL têm áreas pequenas (para obter pequenas capacitâncias e, conseqüentemente, altos f_T), suas correntes de escala I_S são pequenas. Assumiremos, portanto, que, com uma corrente de emissor de 1 mA, um transistor ECL tem uma queda de tensão de 0,75 V.

A Curva de Transferência da Porta OU

A Figura 14.36 mostra um esboço da característica de transferência da porta OU, v_{OU} *versus* v_I, com os parâmetros V_{OL}, V_{OH}, V_{IL} e V_{IH} indicados. Contudo, a fim de simplificar os cálculos de V_{IL} e V_{IH}, usaremos uma definição alternativa para o ganho unitário. Especificamente, faremos a suposição de que no ponto x o transistor Q_A está conduzindo 1% de I_E, enquanto Q_B está conduzindo 99% de I_E.

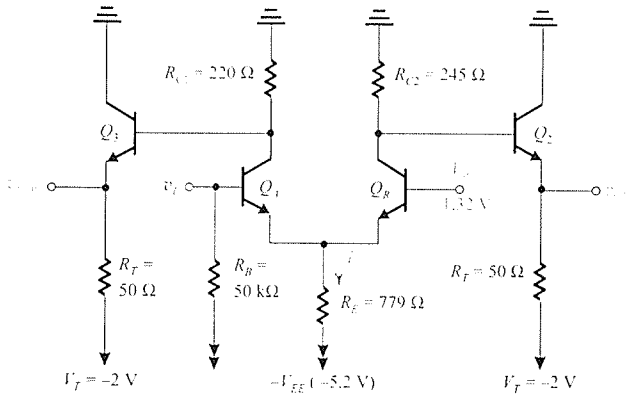


Figura 14.35 Versão simplificada da porta ECL para determinar sua característica de transferência.

Faremos a suposição inversa para o ponto y. Portanto, para o ponto x, temos

$$\frac{I_E\big|_{Q_B}}{I_E\big|_{Q_A}} = 99$$

Usando a relação exponencial i_E–v_{BE}, obtemos

$$V_{BE}\big|_{Q_B} - V_{BE}\big|_{Q_A} = V_T \ln 99 = 115 \text{ mV}$$

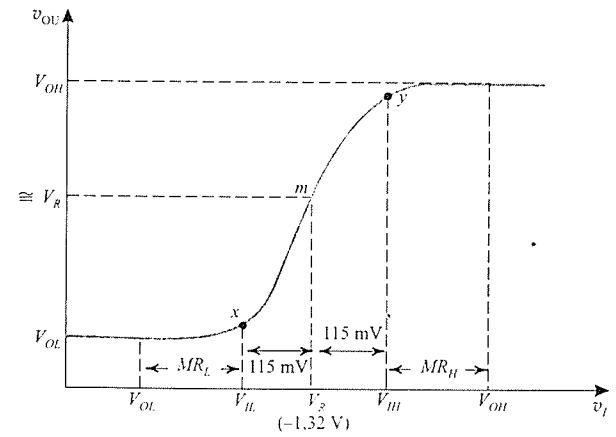


Figura 14.36 A característica de transferência da porta OU, v_{OU} *versus* v_I, para o circuito da Figura 14.35.

que fornece

$$V_{IL} = -1{,}32 - 0{,}115 = -1{,}435 \text{ V}$$

Supondo Q_A e Q_R casados, podemos escrever

$$V_{IH} - V_R = V_R - V_{IL}$$

que pode ser usado para calcular V_{IH} como

$$V_{IH} = -1{,}205 \text{ V}$$

Para obter V_{OL}, observamos que Q_A está em corte e Q_R conduz toda a corrente I_E, dada por

$$I_E = \frac{V_R - V_{BE}\big|_{Q_R} + V_{EE}}{R_E}$$

$$= \frac{-1{,}32 - 0{,}75 + 5{,}2}{0{,}779}$$

$$\simeq 4 \text{ mA}$$

(Se desejarmos, poderemos fazer iterações para determinar um valor otimizado de $V_{BE}|_{Q_R}$ e depois de I_E.) Supondo que Q_R tenha um valor elevado de β, de modo que seu $\alpha \simeq 1$, sua corrente de coletor será aproximadamente de 4 mA. Se desprezarmos a corrente na base de Q_2, obtemos para a tensão no coletor de Q_R

$$V_C\big|_{Q_R} \simeq -4 \times 0{,}245 = -0{,}98 \text{ V}$$

Portanto, uma primeira aproximação para o valor da tensão de saída V_{OL} é

$$V_{OL} = V_C\big|_{Q_R} - V_{BE}\big|_{Q_2}$$

$$\simeq -0{,}98 - 0{,}75 = -1{,}73 \text{ V}$$

Podemos usar esse valor para calcular a corrente de emissor de Q_2 e depois fazer iterações para determinar um valor otimizado de sua tensão emissor–base. O resultado é $V_{BE2} \simeq 0{,}79$ V e, correspondentemente,

$$V_{OL} \simeq -1{,}77 \text{ V}$$

Com esse valor de tensão na saída, Q_2 fornece uma corrente de carga de cerca de 4,6 mA.

Para calcular o valor de V_{OH}, partimos da suposição de que Q_R esteja completamente cortado (pois $v_I > V_{IH}$). Portanto, o circuito para determinação de V_{OH} fica simplificado, conforme mostrado na Figura 14.37. A análise desse circuito, supondo $\beta_2 = 100$, resulta em $V_{BE2} \simeq 0{,}83$ V, $I_{E2} = 22{,}4$ mA e

$$V_{OH} \simeq -0{,}88 \text{ V}$$

Exercício

14.26 Para o circuito na Figura 14.35, determine os valores de I_E obtidos quando $v_I = V_{IL}$, V_R e V_{IH}. Calcule também o valor de v_{OU} correspondente a $v_I = V_R$. Suponha $v_{BE} = 0{,}75$ V, com uma corrente de 1 mA.

Resposta 3,97 mA; 4,00 mA; 4,12 mA; –1,31 V

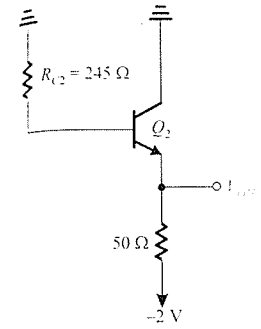


Figura 14.37 Circuito para determinar v_{OH}.

As Margens de Ruído

Os resultados do Exercício 14.26 indicam que a corrente de polarização I_E permanece aproximadamente constante. Além disso, a tensão de saída correspondente a $v_I = V_R$ é aproximadamente igual a V_R. Observe, além disso, que esse valor é aproximadamente o ponto médio da excursão lógica; especificamente,

$$\frac{V_{OL} + V_{OH}}{2} = -1{,}325 \simeq V_R$$

Portanto, os níveis lógicos na saída estão centralizados em torno do ponto médio da faixa de transição da entrada. Essa é a situação ideal do ponto de vista das margens de ruído e é uma das razões para a escolha aparentemente arbitrária dos valores das tensões de referência e de alimentação ($V_R = -1{,}32$ V e $V_{EE} = 5{,}2$ V).

As margens de ruído podem ser calculadas agora como segue:

$$MR_H = V_{OH} - V_{IH} = -0{,}88 - (-1{,}205) = 0{,}325 \text{ V}$$

$$MR_L = V_{IL} - V_{OL} = -1{,}435 - (-1{,}77) = 0{,}335 \text{ V}$$

Observe que esses valores são aproximadamente iguais.

A Curva de Transferência da Porta NOU

A característica de transferência da porta NOU, que é v_{NOU} *versus* v_I para o circuito da Figura 14.35, está esboçada na Figura 14.38. Os valores de V_{IL} e V_{IH} são idênticos aos encontrados para a característica da porta OU. Para enfatizar isso, denominamos os pontos de limiar como x e y, usando as mesmas letras da Figura 14.36.

Para $v_I < V_{IL}$, Q_A está em corte e a tensão na saída v_{NOU} pode ser calculada pela análise do circuito composto por R_{C1}, Q_3, e pela terminação da linha de transmissão de 50 Ω. Exceto por R_{C1} ser ligeiramente menor do que R_{C2}, esse circuito é idêntico ao da Figura 14.37. Portanto, o valor da tensão de saída será apenas ligeiramente maior que o valor V_{OH} encontrado anteriormente. No esboço da Figura 14.38, havíamos suposto que a tensão na saída era aproximadamente igual a V_{OH}.

Para $v_I > V_{IH}$, Q_A conduz toda a corrente de polarização. O circuito fica, então, simplificado como o da Figura 14.39. Esse circuito pode ser analisado facilmente para obter v_{NOU} *versus* v_I na faixa $v_I \geq V_{IH}$.

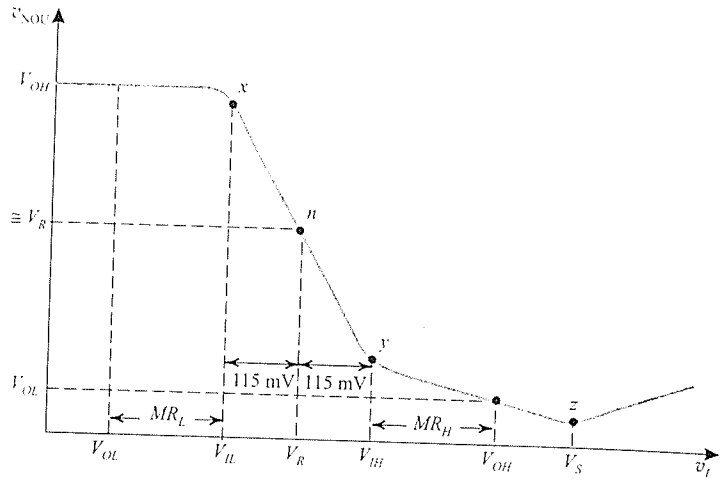


Figura 14.38 A característica de transferência da porta NOU, v_{NOU} *versus* v_I, para o circuito da Figura 14.35.

Algumas observações se fazem necessárias. Primeiro, note que $v_I = V_{IH}$ resulta em uma tensão de saída ligeiramente maior do que V_{OL}. Isso ocorre porque R_{C1} é menor do que R_{C2}. De fato, R_{C1} é escolhido menor do que R_{C2}, de modo que, quando v_I for igual ao valor normal do nível lógico 1 (isto é, V_{OH}, que é aproximadamente –0,88 V), a saída será igual ao valor V_{OL} encontrado anteriormente para a saída da porta OU.

Segundo, quando v_I excede V_{IH}, o transistor Q_A funciona no modo ativo e o circuito da Figura 14.39 pode ser utilizado para calcular o ganho desse amplificador, que é a inclinação do segmento *yz* da característica de transferência. No ponto *z*, o transistor Q_A satura. Mais incrementos em v_I (além do ponto $v_I = V_S$) fazem aumentar a tensão no coletor e, conseqüentemente, em v_{NOU}.

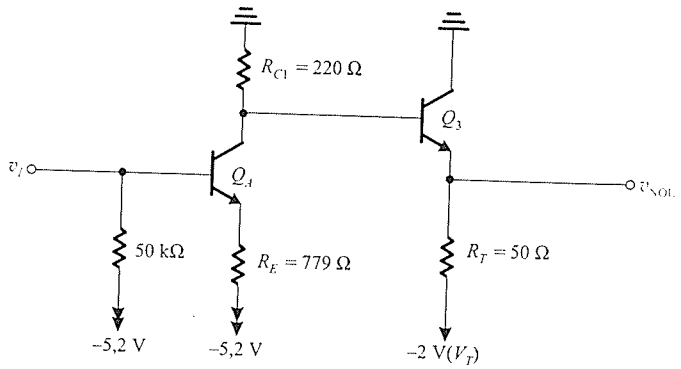


Figura 14.39 Circuito para determinar v_{NOU} *versus* v_I quando $v_I > V_{IH}$.

A inclinação do segmento da característica de transferência além do ponto *z*, porém, não é unitária, mas cerca de 0,5, pois, quando Q_A entra fortemente na saturação, uma parcela do incremento em v_I aparece como um incremento na tensão de polarização direta coletor–base. O leitor é aconselhado a resolver o Exercício 14.27, que trata com mais detalhes da característica de transferência da porta NOU.

Exercício

14.27 Considere o circuito na Figura 14.39. (a) Para $v_I = V_{IH} = -1{,}205$ V, calcule v_{NOU}. (b) Para $v_I = V_{OH} = -0{,}88$ V, calcule v_{NOU}. (c) Determine a inclinação da característica de transferência no ponto $v_I = V_{OH} = -0{,}88$ V. (d) Calcule o valor de v_I capaz de saturar Q_A (isto é, V_S). Suponha $V_{BE} = 0{.}75$ V com uma corrente de 1 mA, $V_{CE,sat} = 0{,}3$ V e $\beta = 100$.

Resposta (a) –1.70 V; (b) –1.79 V; (c) –0.24 V/V; (d) –0.58 V

As Especificações dos Fabricantes

Os fabricantes das famílias ECL fornecem as características de transferência da porta, conforme mostrado nas Figuras 14.36 e 14.38. Geralmente, fornecem essas curvas medidas para algumas temperaturas.

Além disso, para cada temperatura relevante, são dados os valores dos parâmetros V_{IL}, V_{IH}, V_{OL} e V_{OH} para os piores casos. Esses valores para o pior caso são especificados levando-se em consideração as tolerâncias inevitáveis das componentes. Como exemplo, a Motorola especifica para a MECL 10.000, na temperatura de 25°C, os seguintes valores para o pior caso:[7]

$$V_{IL\text{máx}} = -1{,}475\ \text{V} \qquad V_{IH\text{mín}} = -1{,}105\ \text{V}$$
$$V_{OL\text{máx}} = -1{,}630\ \text{V} \qquad V_{OH\text{mín}} = -0{,}980\ \text{V}$$

Esses valores podem ser usados para determinar as margens de ruído para o pior caso:

$$MR_L = 0{,}155\ \text{V} \qquad MR_H = 0{,}125\ \text{V}$$

que são aproximadamente metade dos valores *típicos* calculados anteriormente.

O leitor interessado em informações adicionais sobre a MECL deve consultar as especificações da Motorola (1988, 1989) listadas na bibliografia no final deste capítulo.

O *Fan-out*

Quando o sinal de entrada em uma porta ECL é baixo, a corrente na entrada é a que circula no resistor abaixador de 50 kΩ. Portanto,

$$I_{IL} = \frac{-1{,}77 + 5{,}2}{50} \cong 69\ \mu A$$

7. A MECL é a marca registrada usada pela Motorola para ECL.

Quando a entrada é alta, a corrente na entrada é maior por causa da corrente de base do transistor de entrada. Logo, supondo um transistor com $\beta = 100$, obtemos

$$I_{IH} = \frac{-0{,}88 + 5{,}2}{50} + \frac{4}{101} = 126\ \mu A$$

Esses dois valores de correntes são tão pequenos que, acrescido ao fato de a resistência de saída da porta ECL ser muito pequena, garantem como resultado apenas uma pequena degradação nos níveis lógicos do sinal devido às correntes de entrada das portas de *fan-out*. Isso implica que o *fan-out* das portas ECL não é limitado pelos valores dos níveis lógicos, mas sim pela degradação da velocidade do circuito (tempos de subida e de descida). Esse último efeito é devido à capacitância que cada porta de *fan-out* apresenta como carga para a porta de acionamento (aproximadamente, 3 pF). Logo, enquanto o *fan-out cc* pode ser de até 90 e, portanto, não representa um problema para o projeto, o *fan-out ca* é limitado pelas considerações de velocidade em cerca de 10.

A Velocidade de Operação

A velocidade de operação de uma família lógica é medida pelo tempo de atraso de sua porta lógica básica e pelos tempos de subida e descida das formas de ondas na saída. Valores típicos desses parâmetros já foram dados para a família ECL. Devemos observar aqui que, como o circuito de saída é um seguidor de emissor, o tempo de subida do sinal de saída é menor do que o tempo de descida, visto que, na borda de subida do pulso de saída, o seguidor de emissor está operando e fornece a corrente de saída necessária para carregar as capacitâncias parasitárias e de carga. Por outro lado, quando o sinal na base do seguidor de emissor cai, o seguidor de emissor entra em corte e a capacitância de carga descarrega por meio da combinação das resistências de carga e do abaixador. Esse ponto foi explicado em detalhes na Seção 14.3.

A Transmissão do Sinal

Para usufruir de todas as vantagens possíveis da velocidade de operação muito alta da família ECL, deve ser dada atenção especial ao método de interconexão das várias portas lógicas para formar o sistema desejado. Para entender esse ponto, discutiremos brevemente o problema da transmissão de sinal.

A ECL funciona com sinais cujos tempos de subida podem ser de 1 ns e até menos; esse é o tempo que a luz leva para viajar apenas 30 cm. Para esses sinais, um fio e suas vizinhanças tornam-se um elemento de circuito relativamente complexo, no qual os sinais se propagam com velocidade finita (talvez metade da velocidade da luz – isto é, 15 cm/ns). A não ser que cuidados especiais sejam tomados, a energia que chega até o final desse fio não será absorvida, mas, ao contrário, retornará como uma *reflexão* para o ponto de transmissão, no qual (sem um cuidado especial) ela pode refletir novamente. Esse processo de reflexões sucessivas é o que origina a **ressonância (ringing)** dos sinais, que é vista normalmente como uma oscilação amortecida do sinal até seu valor final.

Infelizmente, a ECL é particularmente sensível à ressonância, em razão dos níveis de sinal serem muito pequenos. Portanto, é importante que a transmissão dos sinais seja bem controlada e que a energia em excesso seja absorvida para evitar reflexões. A técnica mais usada é limitar a característica natural dos fios de conexão de algum modo. Um modo é garantir que eles sejam muito "curtos", em que curto diz respeito ao tempo de subida do sinal. A razão para isso é que, se o fio de conexão for tão curto que reflexões retornem enquanto a entrada ainda está subindo, o resultado final será apenas uma borda de subida um pouco mais lenta e "acidentada".

Se, porém, a reflexão voltar *após* a subida da borda, ela produz não apenas uma modificação na borda inicial, mas um *segundo evento independente*. Isso, obviamente, é ruim. A restrição é fazer, então, com que o tempo que o sinal leva para ir de um extremo ao outro da linha e voltar seja menor do que o tempo de subida do sinal fornecido, por um fator de, digamos, 5. Portanto, para um sinal com tempo de subida de 1 ns e propagação com a velocidade da luz (30 cm/ns), o dobro do comprimento deve ser percorrido em apenas 0,2 ns ou 6 cm, correspondendo no limite a um fio de apenas 3 cm de ponta a ponta.

Essa é a restrição da porta ECL 100K. Porém, a ECL 10K tem um tempo de subida intencional de cerca de 3,5 ns. Usando as mesmas regras, os fios podem ter comprimentos de cerca de 10 cm para a ECL 10K.

Se forem necessários comprimentos maiores, devem ser usadas linhas de transmissão. Essas são simplesmente fios cuidadosamente construídos, em que a distância a um plano de terra de referência ou a um segundo fio é altamente controlada. Portanto, podem ser simplesmente pares de fios torcidos, em que um deles é aterrado, ou fitas de fios em paralelo, em que entre cada um deles um seja aterrado, ou o que chamamos de linhas em microtiras (*microstrip lines*) sobre uma placa de circuito impresso. Estas são simplesmente fitas de cobre com dimensões e geometrias controladas de um lado da placa de circuito impresso; do outro lado está o plano aterrado.

Essas linhas de transmissão têm uma *impedância característica* R_0, que vai desde algumas dezenas até centenas de ohms. Os sinais propagam-se nessas linhas com velocidade menor do que a da luz, cerca da metade. Quando uma linha de transmissão termina em um receptor com uma resistência igual à impedância característica R_0, toda a energia da linha é absorvida no receptor (carga) e não ocorre a reflexão. Portanto, o sinal é mantido integralmente. Essas linhas de transmissão são chamadas *com terminação adequada* ou *casadas*. Uma linha adequadamente terminada aparece em seu extremo inicial como um resistor de valor R_0. Os seguidores da ECL 10K com seus emissores abertos e baixas resistências de saída (especificadas como sendo de no máximo 7 Ω) são idealmente apropriados para acionar linhas de transmissão. A ECL é também apropriada como receptor para linhas de transmissão. A porta simples, com seu alto valor (50 kΩ) do resistor abaixador de entrada, representa uma resistência muito alta para a linha. Portanto, algumas portas podem ser facilmente conectadas ao final da linha.

Mais informações sobre o assunto de transmissão de sinais lógicos por portas ECL podem ser encontradas em Taub e Schilling (1977) e Motorola (1988).

A Dissipação de Potência

Devido à natureza de amplificador diferencial da ECL, a corrente da porta permanece aproximadamente constante e é simplesmente direcionada de um lado da porta para o outro, dependendo dos sinais lógicos de entrada. Portanto, diferente da TTL, a corrente de alimentação e, conseqüentemente, a dissipação de potência da porta ECL descasada (sem terminação adequada) permanecem constantes independentemente do estado lógico da porta. Isso significa que não serão introduzidos os picos de tensão (*spikes*) na linha de alimentação. Esses picos são perigosas fontes de ruído em um sistema digital, conforme explicado na seção sobre TTL. Isso significa que na ECL a necessidade de supressores de linha não é tão grande quanto no caso da TTL. Essa é uma outra vantagem da ECL.

Neste momento, devemos enfatizar que, embora uma porta ECL possa operar com $V_{EE} = 0$ e $V_{CC} = +5{,}2$ V, a escolha de $V_{EE} = -5{,}2$ V e $V_{CC} = 0$ é recomendada porque no circuito todos os níveis de sinais são referenciados matematicamente a V_{CC} e o terra é, certamente, uma excelente referência.

Exercício

14.28 Para a porta ECL, na Figura 14.33, calcule um valor aproximado para a potência dissipada no circuito na condição em que todas as entradas sejam baixas e os emissores dos seguidores de saída estejam abertos. Suponha que o circuito de referência alimenta quatro portas idênticas e, conseqüentemente, apenas um quarto da potência dissipada no circuito de referência deve ser atribuída à porta.

Resposta 22,4 mW

Os Efeitos Térmicos

Em nossa análise da porta ECL da Figura 14.33, encontramos que a tensão de referência na temperatura ambiente V_R é −1,32 V. Mostramos também que o ponto médio da excursão da saída lógica excursiona em tensões aproximadamente iguais, que é uma situação ideal para termos margens de ruído baixa e alta iguais. No Exemplo 14.2, determinaremos as expressões para os coeficientes de temperatura da tensão de referência e das tensões de saída alta e baixa. Desse modo, será mostrado que o ponto médio de excursão da saída lógica varia com a temperatura na mesma taxa que a tensão de referência. Isso significa que, embora as amplitudes das margens de ruído do 1 e do 0 lógico variem com a temperatura, seus valores permanecem iguais. Essa é uma vantagem adicional da ECL e é uma demonstração do grau de otimização do projeto desse circuito de porta.

EXEMPLO 14.2

Desejamos determinar os coeficientes de temperatura da tensão de referência V_R e do ponto médio entre V_{OL} e V_{OH}.

SOLUÇÃO

Para determinar o coeficiente de temperatura de V_R, considere o circuito na Figura E14.23 e suponha que a temperatura varie em +1°C. Representando o coeficiente de temperatura das quedas de tensões do diodo e do transistor por δ, em que $\delta \cong -2$ mV/°C, obtemos o circuito equivalente mostrado na Figura 14.40. Nesse circuito, as variações nas quedas de tensão dos dispositivos são consideradas como sinais; conseqüentemente, a fonte de alimentação está substituída por um sinal de terra.

No circuito da Figura 14.40, temos dois geradores de sinais e desejamos analisar o circuito para determinar ΔV_R, a variação em V_R. Faremos isso usando o princípio da superposição. Considere o ramo R_1, D_1, D_2, 2δ e R_2, desprezando o sinal de corrente da base de Q_1. O sinal de tensão na base de Q_1 pode ser facilmente obtido por

$$v_{b1} = \frac{2\delta \times R_1}{R_1 + r_{d1} + r_{d2} + R_2}$$

em que r_{d1} e r_{d2} representam as resistências dinâmicas dos diodos D_1 e D_2, respectivamente. A corrente de polarização *cc* através de D_1 e D_2 é de aproximadamente 0,64 mA e, portanto, $r_{d1} = r_{d2} \cong 39{,}5\ \Omega$. Conseqüentemente, $v_{b1} \cong 0{,}3\delta$.

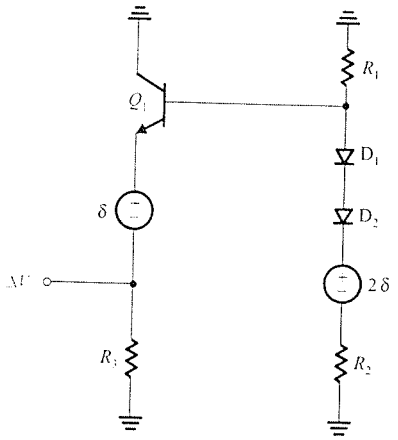


Figura 14.40 Circuito equivalente para determinação do coeficiente de temperatura da tensão de referência V_R.

Visto que o ganho do seguidor de emissor Q_1 é aproximadamente unitário, isso implica que a componente de V_R devida ao gerador é aproximadamente igual a v_{b1}, isto é, $\Delta V_{R1} = 0{,}3\delta$.

Considere a seguir a componente de ΔV_R devida ao gerador δ. A reflexão da resistência total do circuito da base, $[R_1 \| (r_{d1} + r_{d2} + R_2)]$, no circuito emissor pela divisão por $\beta + 1$ ($\beta \cong 100$) resulta na seguinte componente de ΔV_R:

$$\Delta V_{R2} = \frac{\delta \times R_3}{[R_B/(\beta+1)] + r_{e1} + R_3}$$

em que R_B representa a resistência total no circuito da base e r_{e1} representa a resistência do emissor de Q_1 ($\cong 40\ \Omega$). Esses cálculos produzem $\Delta V_{R2} \cong -\delta$. Adicionando esse valor àquele devido ao gerador 2δ obtemos $\Delta V_R \cong -0{,}7\delta$. Logo, para $\delta = -2$ mV/°C, o coeficiente de temperatura de V_R é +1,4 mV/°C.

Consideraremos a seguir a determinação do coeficiente de temperatura de V_{OL}. O circuito no qual faremos essa análise está mostrado na Figura 14.41. Temos aqui três geradores cujas contribuições podem ser consideradas separadamente e as componentes resultantes de ΔV_{OL}, somadas. O resultado é

$$\Delta V_{OL} \cong \Delta V_R \frac{-R_{C2}}{r_{eR} + R_E} \frac{R_T}{R_T + r_{e2}} - \delta \frac{-R_{C2}}{r_{eR} + R_E} \frac{R_T}{R_T + r_{e2}} - \delta \frac{R_T}{R_T + r_{e2} + R_{C2}/(\beta+1)}$$

Substituindo os valores dados e aqueles obtidos pela análise desta seção, calculamos $\Delta V_{OL} \cong -0{,}43\delta$.

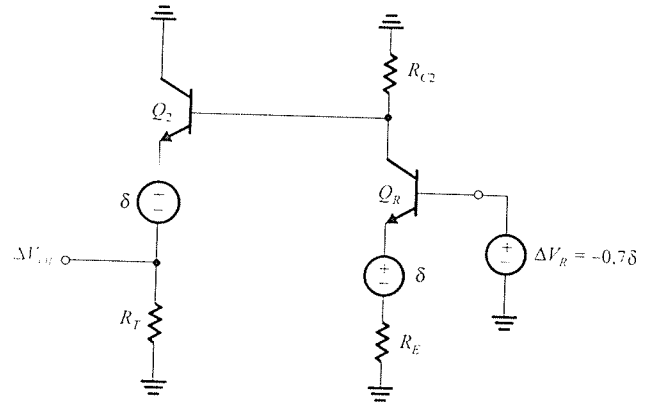


Figura 14.41 Circuito equivalente para determinação do coeficiente de temperatura de V_{OH}.

O circuito para a determinação do coeficiente de temperatura de V_{OH} está mostrado na Figura 14.42, da qual obtemos

$$\Delta V_{OH} = -\delta \frac{R_T}{R_T + r_{e2} + R_{C2}/(\beta+1)} \simeq -0{,}93\delta$$

Podemos obter agora a variação do ponto médio da excursão lógica como

$$\frac{\Delta V_{OL} + \Delta V_{OH}}{2} = -0{,}68\delta$$

que é aproximadamente igual à da tensão de referência V_R $(-0{,}7\delta)$.

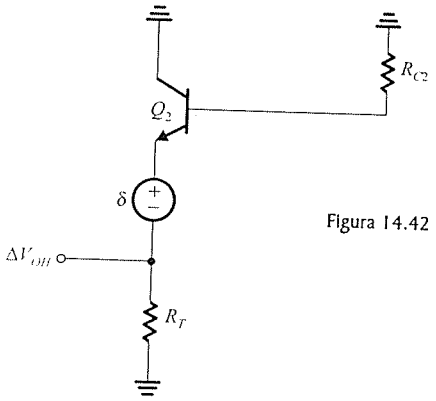


Figura 14.42 Circuito equivalente para determinação do coeficiente de temperatura de V_{OH}.

A Implementação da Porta OU por Fio (Wired OR)

O seguidor de emissor do estágio de saída da família ECL permite que um nível de lógica adicional seja executado com baixo custo pela simples conexão de várias portas em paralelo. Isso está ilustrado na Figura 14.43, na qual as saídas das duas portas são ligadas juntas. Observe que os diodos emissor–base dos seguidores de saída proporcionam uma função OU positiva; essa conexão **OU por fio** (*wired-OR*) pode ser usada para fazer com que as portas tenham um elevado *fan-in* e aumentem a flexibilidade da família ECL no projeto lógico.

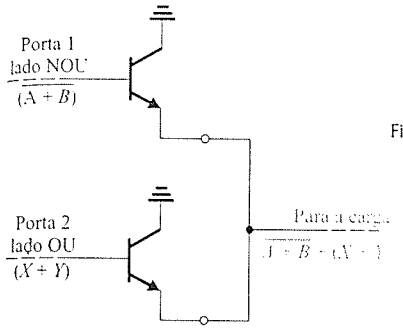


Figura 14.43 A implementação OU por fio (*wired-OR*) da família ECL.

Observações Finais

Escolhemos estudar a família ECL por meio de circuitos disponíveis comercialmente. Como foi demonstrado, desenvolveu-se um nível de otimização de circuitos muito grande para criar famílias de circuitos lógicos SSI e MSI. Como dito anteriormente, a família ECL e algumas de suas variantes também são utilizadas em circuitos VLSI. Incluem-se nessas aplicações processadores de altíssimo desempenho como aqueles empregados em supercomputadores e sistemas de comunicação de alta velocidade para altas freqüências. Quando utilizada em projetos VLSI, emprega-se quase sempre a polarização por fonte de corrente. Além disso, variantes da ECL também são utilizadas [veja Rabaey (1996)].

14.7 OS CIRCUITOS DIGITAIS BiCMOS

Nesta seção, introduziremos uma tecnologia de circuitos VLSI que está se tornando cada vez mais popular. Conforme seu nome indica, a tecnologia BiCMOS combina os circuitos *Bi*polar e *CMOS* na mesma pastilha de CI. Os circuitos resultantes apresentam baixa potência, alta impedância de entrada e amplas margens de ruído do CMOS aliadas à alta capacidade de corrente de acionamento e à alta velocidade de operação dos transistores bipolares. Embora a tecnologia CMOS apresente características praticamente ideais em termos de circuitos lógicos, ela possui limitada capacidade de fornecer corrente. Esse não é um problema grave quando uma porta CMOS necessita acionar algumas poucas outras portas CMOS. No entanto, isso se torna um problema sério na presença de cargas capacitivas elevadas (mais que 0,5 pF). Nesses casos, deve-se utilizar complexos circuitos *buffer* CMOS ou, então, aceitar as conseqüências desastrosas de imensos tempos de propagação. Por outro lado, sabemos que, devido às suas maiores transcondutâncias, os tran-

sistores TBJ são capazes de fornecer corrente de saída maiores. Vimos casos práticos que utilizavam essa característica, como o estágio totem-pole da família TTL e o seguidor de emissor da família ECL. Na verdade, a capacidade de corrente mais elevada da família ECL a torna cerca de 2 a 5 vezes mais rápida que a CMOS – naturalmente à custa de maior dissipação de potência. Em suma, a família BiCMOS procura combinar o melhor das tecnologias CMOS e bipolar para obter uma classe de circuitos que é muito útil principalmente quando se necessita de capacidades de fornecimento de corrente superiores às disponíveis na tecnologia CMOS. Além do mais, visto que a tecnologia BiCMOS é apropriada para a implementação de circuitos analógicos de alto desempenho (Seções 6.8 e 10.8), ela torna possível a realização de funções analógicas e digitais na mesma pastilha de CI, tornando o "sistema em uma pastilha" (*system on a chip*) um objetivo possível. O preço a pagar é uma tecnologia de processamento mais complexa e mais cara que a CMOS.

O Inversor BiCMOS

Uma grande variedade de circuitos inversores BiCMOS foram propostos e estão em uso. Todos eles são baseados no uso de transistores *npn* para aumentar a capacidade de corrente de um inversor CMOS. Isso pode ser obtido cascateando cada um dos transistores Q_N e Q_P do inversor CMOS com um transistor *npn*, como mostra a Figura 14.44(a). Observe que esse circuito pode ser entendido como um par complementar de dispositivos compostos CMOS-TBJ, como mostra a Figura 14.44(b). Esses dispositivos compostos[8] retêm a caracterísica de alta impedância de entrada do transistor MOS e apresentam um g_m melhorado pela multiplicação do g_m do MOS pelo β do TBJ.

Também é interessante observar que o estágio de saída formado por Q_1 e Q_2 possui a configuração totem-pole utilizada pela família TTL. No presente caso, a inversão lógica e a separação de fase são obtidas pelo inversor CMOS formado por Q_N e Q_P.

O circuito da Figura 14.44(a) opera da seguinte maneira: quando v_I é baixa, tanto Q_N quanto Q_2 estão cortados enquanto Q_P conduz e fornece corrente de base para Q_1 que, portanto, conduz. O transistor Q_1 fornece, então, uma elevada corrente de saída para carregar a capacitância de carga. O resultado é uma rápida carga dessa capacitância e, portanto, um pequeno atraso na propagação de baixo para alto, t_{PLH}. O transistor Q_1 corta quando v_O atinge cerca de $V_{DD} - V_{BE1}$ e, portanto, o nível alto de saída é menor que V_{DD}, uma desvantagem. Quando v_I é alta, Q_P e Q_1 cortam e Q_N conduz, direcionando sua corrente de dreno para a base de Q_2. O transistor Q_2, então, conduz e drena uma elevada corrente de saída que descarrega rapidamente a capacitância de carga. Novamente, o resultado é um pequeno tempo de propagação, nesse caso de alto para baixo, t_{PHL}. Como ponto negativo, veja que Q_2 corta quando v_O atinge o valor de cerca de V_{BE2} e, portanto, o nível baixo de saída é maior que zero.

Portanto, enquanto o circuito da Figura 14.44(a) apresenta alta capacidade de corrente na saída e pequenos tempos de propagação, ele tem a desvantagem de uma excursão lógica reduzida e, portanto, margens de ruído reduzidas. Há também outra desvantagem, em muitos casos mais séria: os atrasos de desligamento relativamente longos de Q_1 e Q_2, pois não há caminhos elétricos para o escoamento das cargas de base. Esse problema pode ser resolvido adicionando-se um resistor entre cada base de Q_1, Q_2 e o terra, como mostrado na Figura 14.44(c). Nesse caso, quando Q_1 ou Q_2 corta, suas cargas armazenadas de base são removidas para o terra via resistores R_1 ou R_2, respectivamente.

8. É interessante observar que esses dispositivos compostos já tinham sido propostos em 1969 [veja Lin *et al.* (1969)].

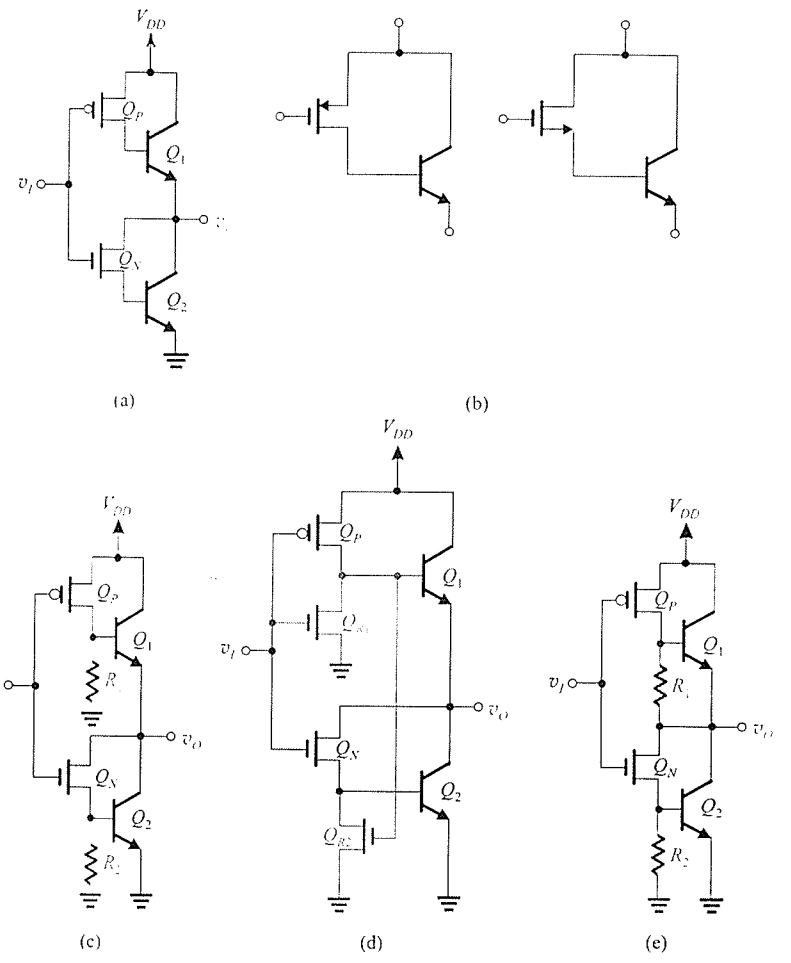


Figura 14.44 Aprimoramento do circuito inversor BiCMOS: **(a)** o conceito básico utiliza um transistor bipolar adicional para aumentar a capacidade de fornecer corrente tanto de Q_N quanto de Q_P do inversor CMOS; **(b)** o circuito em (a) pode ser visto como empregando esses dois dispostivos compostos; **(c)** para reduzir os tempos de desligamento de Q_1 e Q_2, os "resistores de sangramento" (*bleed*) R_1 e R_2 são adicionados; **(d)** implementação do circuito em (e) usando transistores NMOS para obter os resistores; **(e)** uma versão melhorada do circuito em (c) obtida conectando-se o terminal inferior de R_1 ao nó de saída.

O resistor R_2 traz um benefício adicional: com v_I alta e depois do corte de Q_2, v_O continua a cair abaixo de V_{BE2} e o nó de saída é puxado para o terra por meio do caminho em série entre Q_N e R_2. Assim, R_2 funciona como um resistor abaixador. O caminho Q_N–R_2, no entanto, é de alta impedância e, portanto, v_O vai para o terra com relativa lentidão. Por outro lado, colocar o resistor R_1 é desvantajoso do ponto de vista de dissipação estática de potência: quando v_I é baixa, há um caminho cc entre V_{DD} e o terra através de Q_P conduzindo e R_1. Finalmente, note que R_1 e R_2 drenam parte das correntes de Q_N e Q_P destinadas às bases de Q_1 e Q_2 e, assim, reduz um pouco a capacidade de corrente de saída de porta para carregar e descarregar a capacitância de carga.

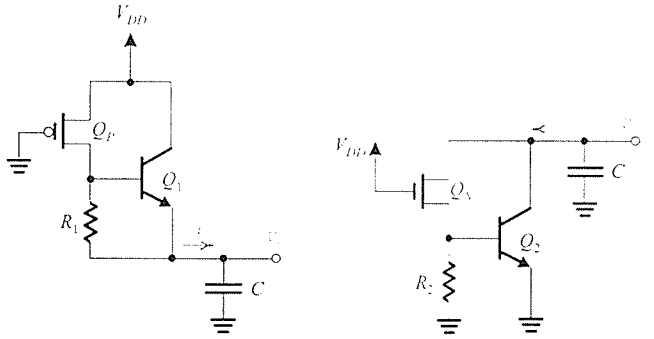
A Figura 14.44(d) mostra a forma pela qual R_1 e R_2 são implementados na prática. Como indicado, os dispositivos NMOS Q_{R1} e Q_{R2} são utilizados para implementar R_1 e R_2. Como inovação adicional, esses dois transistores são projetados para conduzir apenas quando necessário. Assim, Q_{R1} conduzirá apenas quando v_I aumentar e, nesse caso, sua corrente de dreno se constituirá em uma corrente reversa de base para Q_1, acelerando seu corte. Da mesma forma, Q_{R2} conduzirá apenas quando v_I cair e conseqüentemente, Q_P conduz puxando a porta de Q_{R2} para cima. A corrente de dreno de Q_{R2} torna-se então uma corrente reversa de base para Q_2, acelerando seu corte.

Como circuito final para o inversor BiCMOS, mostramos o assim chamado circuito-R, apresentado na Figura 14.44(e). Esse circuito difere daquele da Figura 14.44(c) em um aspecto apenas: em vez de retornar R_1 para o terra, ele é agora conectado ao nó de saída do inversor. Esta pequena modificação tem duas vantagens. Primeiro, o problema de dissipação estática de potência está agora resolvido. Segundo, R_1 funciona agora como um resistor levantador, puxando a tensão do nó de saída para V_{DD} (através de Q_P que está conduzindo) depois que Q_1 corta. Assim, o circuito-R na Figura 14.44(e) possui os níveis lógicos de saída praticamente em V_{DD} e terra.

Como observação final sobre o inversor BiCMOS, veja que o circuito é projetado de tal forma que Q_1 e Q_2 nunca conduzem simultaneamente, além de nunca saturarem. Infelizmente, a saturação pode ocorrer devido à resistência da região de coletor do TBJ em conjunto com correntes de saída elevadas. Especificamente, para elevadas correntes de saída, a tensão sobre r_C (que pode ser da ordem de 100 Ω) pode reduzir a tensão intrínseca interna no terminal de coletor e provocar a polarização direta da JCB. Como o leitor deve se recordar, a saturação é indesejada por duas razões: ela limita a corrente de coletor para valores menores que βI_B e reduz a velocidade de corte do transistor.

Operação Dinâmica

Uma análise detalhada da operação dinâmica do circuito inversor BiCMOS é trabalhosa. Por outro lado, uma estimativa de seu atraso na propagação pode ser obtida considerando-se apenas o tempo necessário para carregar e descarregar uma capacitânica de carga C. Essa aproximação justifica-se quando C é relativamente elevada e seu efeito na resposta dinâmica do inversor é preponderante, isto é, quando podemos desprezar as capacitâncias internas parasitárias do circuito da porta lógica. Felizmente, na prática, esse é o caso usual, pois em caso contrário o projetista utilizaria o inversor CMOS tradicional. Embabi *et al.* (1993) mostrou que a vantagem em velocidade de uma porta BiCMOS em relação a CMOS torna-se evidente somente quando a porta precisa acionar um *fan-out* elevado ou uma capacitância de carga elevada. Por exemplo, para uma capacitância de carga de 50-100 fF, as portas BiCMOS e CMOS apresentam tipicamente atrasos iguais. No entanto, para uma capacitância de carga de 1 pF, t_P de um inversor BiCMOS é de 0,3 ns, enquanto para um inversor CMOS ele é de 1 ns.



(a) (b)

Figura 14.45 Circuitos equivalentes para carregamento e descarregamento da capacitância C de carga. Note que C inclui todas as capacitâncias presentes no nó de saída.

Finalmente, na Figura 14.45, apresentamos circuitos equivalentes simplificados que podem ser empregados na obtenção aproximada de t_{PLH} e t_{PHL} para o inversor BiCMOS do tipo R.

Portas Lógicas BiCMOS

Na família BiCMOS, a lógica é realizada pela parte CMOS da porta, sendo que a parte bipolar opera como estágio de saída.

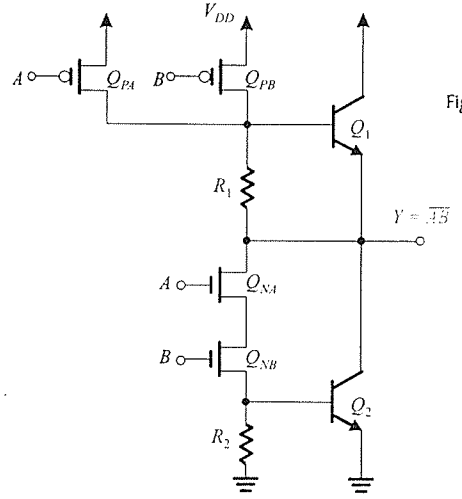


Figura 14.46 Uma porta NE com duas entradas da família BiCMOS.

Logo, [illegible] circuitos de portas lógicas BiCMOS podem ser [illegible]os seguindo o mesmo procedimento da família CMOS. Como exemplo, a Figura 14.46 mo[illegible] o circuito de uma porta NE[illegible] com duas entradas da família BiCMOS.

A tecnologia BiCMOS está sendo aplicada atualmente em um[illegible]riedade de produtos, incluindo microprocessadores, RAMs estáticas e matrizes de portas (*ga[illegible]ays*) [veja Alvarez (1993)]

Exercício

P14.29 A tensão de transição do inversor BiCMOS da Figura 14.43(e) é o valor de v_I em que Q_N e Q_P estão conduzindo correntes iguais e funcionando na saturação. Com esse valor de v_I, Q_2 conduzirá, fazendo com que a tensão na fonte de Q_N seja aproximadamente 0,7 V. Necessita-se projetar o circuito de modo que a tensão de limiar seja igual a $V_{DD}/2$. Para $V_{DD} = 5$ V, $|V_t| = 0,6$ V e supondo comprimentos iguais de canal para Q_N e Q_P e $\mu_n \cong 2,5\,\mu_p$, calcule a razão das larguras W_p/W_n necessárias.

Resposta 1

14.8 OS CIRCUITOS DIGITAIS EM GaAs

Concluiremos nosso estudo das famílias de circuitos digitais com a discussão de circuitos lógicos implementados empregando-se a tecnologia de fabricação em arseneto de gálio. Uma introdução a essa tecnologia e seus dois dipositivos básicos, o MESFET e o diodo de barreira Schottky (SBD), foi apresentada na Seção 5.12. O leitor deve rever essa seção antes de prosseguir.

A maior vantagem que a tecnologia GaAs apresenta é uma alta velocidade de operação quando comparada à tecnologia em silício. Atrasos de porta da ordem de 10 a 100 ps já foram obtidos para circuitos em GaAs. As desvantagens comparativas são uma dissipação de potência elevada por porta (1 mW a 10 mW); excursões de tensão pequenas e baixas margens de ruído; baixa densidade de compactação, principalmente devido à elevada dissipação de potência; e um rendimento de fabricação baixo. Atualmente, apenas um grupo especializado de empresas produz circuitos digitais GaAs SSI, MSI e alguns LSI para executar funções bem específicas, com custo por porta consideravelmente maior que aquele para CIs digitais em silício. Apesar disso, as velocidades de operação extremamente elevadas dos circuitos em GaAs tornam essa tecnologia muito importante e promissora.

Diferentemente dos circuitos lógicos CMOS, que estudamos no Capítulo 13, e das famílias bipolares, que estudamos nas seções anteriores deste capítulo, não há famílias-padrão de circuitos lógicos GaAs. A falta de padronização não se aplica apenas à topologia das portas básicas, mas também aos valores de tensão de alimentação empregados. A seguir, apresentaremos alguns exemplos dos circuitos de portas lógicas GaAs mais populares.

A Lógica de FET Diretamente Acoplada (DCFL)

A lógica de FET diretamente acoplada (*direct-coupled FET logic* – DCFL) é a forma mais simples de circuito lógico digital em GaAs. A porta básica é mostrada na Figura 14.47. A porta utiliza MESFETs tipo enriquecimento, Q_1 e Q_2, como transistores de chaveamento de entrada e um MESFET tipo depleção como transistor de carga Q_L. Essa porta assemelha-se muito ao agora obsoleto circuito MOSFET de carga tipo depleção. O circuito GaAs da Figura 14.47 implementa uma função NOU com duas entradas.

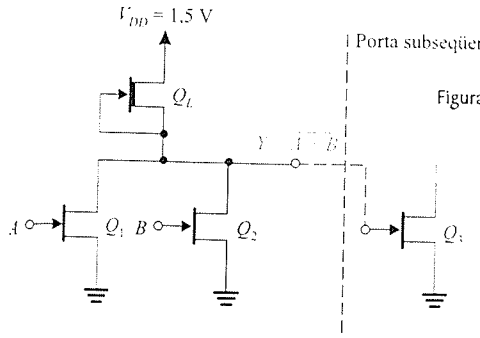


Figura 14.47 Uma porta DCFL implementando uma função NOU com duas entradas. A porta está mostrada acionando o transistor Q_3 de outra porta.

Para ver como o circuito da Figura 14.47 opera, ignore a entrada B e considere o inversor básico formado por Q_1 e Q_L. Enquanto a tensão de entrada aplicada ao nó A, v_I, for menor que a tensão de limiar do transistor MESFET Q_1 tipo enriquecimento, chamada de V_{tE}, o transistor Q_1 permanecerá cortado. Lembre-se de que V_{tE} é positiva e, para MESFETs em GaAs, ela é tipicamente de 0,1 V a 0,3 V. Se a saída Y da porta está em aberto, a tensão de saída será muito próxima de V_{DD}. Na prática, no entanto, a porta estará acionando outra porta, como indicado na Figura 14.47, na qual Q_3 é o transistor de entrada da porta subseqüente. Nesse caso, fluirá corrente de V_{DD} através de Q_L para o terminal de porta de Q_3. Lembrando que da porta para a fonte de um MESFET GaAs temos um diodo de barreira Schottky com queda de tensão de 0,7 V em condução, percebemos que a condução da porta de Q_3 grampeará a tensão de saída de nível alto (V_{OH}) em torno de 0,7 V. Isso contrasta com o caso do MOSFET, no qual não há condução de corrente pela porta.

A Figura 14.48 mostra o inversor DCFL em estudo com a entrada da porta subseqüente representada pelo diodo Schottky Q_3. Para $v_I < V_{tE}$, $i_1 = 0$ e i_L flui através de Q_3, resultando em $v_O = V_{OH} = 0,7$ V. Como V_{DD} é usualmente pequeno (1,2-1,5 V) e a tensão de limiar de Q_L, V_{tD}, é de −0,7 V a −1 V tipicamente, Q_L operará na região de triodo. (Para simplificar, podemos ignorar o efeito de saturação antecipada existente em MESFETs GaAs.)

Aumentando-se v_I acima de V_{tE}, Q_1 é ligado conduzindo uma corrente que chamaremos de i_1. Inicialmente, Q_1 estará na região de saturação. A corrente i_1 é subtraída de i_L, reduzindo, portanto, a corrente em Q_3.

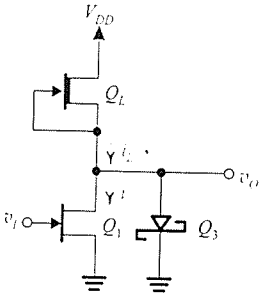


Figura 14.48 A porta DCFL com a entrada da porta subseqüente representada por um diodo Schottky Q_3.

A tensão sobre Q_3, v_O, diminui um pouco. No entanto, para a presente discussão assumiremos v_O constante e próxima de 0,7 V enquanto Q_3 conduzir. Isso continuará até que v_I atinja o valor que resulta em $i_1 = i_L$. Nesse ponto, Q_3 pára de conduzir e pode ser ignorado. Um aumento subseqüente em v_I resulta no aumento de i_1, redução de v_O e $i_L = i_1$. Quando $(V_{DD} - v_O)$ excede $|V_{tD}|$, Q_L satura; quando v_O cai abaixo de v_I por V_{tE}, Q_1 entra na região de triodo. Eventualmente, quando $v_I = V_{OH} = 0,7$ V, $v_O = V_{OL}$, que é tipicamente 0,1-0,2 V.

Vemos, a partir dessa análise, que a excursão da tensão de saída de uma porta DCFL é limitada pela condução da porta a um valor de cerca de 0,7 V (tipicamente 0,5 V). Mais detalhes sobre sua operação são apresentados no exemplo seguinte.

EXEMPLO 14.3

Considere uma porta DCFL fabricada em GaAs para a qual $L = 1$ μm, $V_{tD} = -1$ V, $V_{tE} = 0,2$ V, β (para largura de 1 μm) $= 10^{-4}$ A/V^2 e $\lambda = 0,1$ V^{-1}. Sejam as larguras dos MESFETs de entrada iguais a 50 μm e as larguras dos MESFETs de carga iguais a 6 μm. Para $V_{DD} = 1,5$ V, usando um modelo de queda de tensão constante para o diodo Schottky de porta-fonte ($V_D = 0,7$ V) e desconsiderando o efeito de saturação antecipada do MESFET GaAs (isto é, usando a Equação 5.120 para descrever a operação do MESFET), determine V_{OH}, V_{OL}, V_{IH}, MR_H, MR_L, a dissipação estática de potência e o atraso na propagação para a capacitância total equivalente na saída da porta de 30 fF.

SOLUÇÃO

Da descrição apresentada para a porta DCFL, determinamos que $V_{OH} = 0,7$ V. Para obter V_{OL}, consideramos o circuito inversor da Figura 14.48 e assumimos $v_I = V_{OH} = 0,7$ V. Como esperamos que a tensão $v_O = V_{OL}$ seja pequena, assumimos Q_1 na região de triodo e Q_L na de saturação. (Q_3 está cortado.) Igualando-se i_1 a i_L fornece a equação

$$\beta_1[2(0,7-0,2)V_{OL} - V_{OL}^2](1+0,1\,V_{OL}) = \beta_L[0-(-1)]^2[1+0,1(1,5-V_{OL})]$$

Para simplificar, desprezamos os termos 0,1 V_{OL} e substituímos $\beta_L/\beta_1 = W_L/W_1 = 6/50$ para obter uma equação quadrática em V_{OL} que fornece $V_{OL} = 0,17$ V.

Para determinarmos o valor de V_{IL} devemos determinar o valor de v_I para o qual $i_1 = i_L$, o diodo Q_3 corta e v_O inicia a queda. Uma vez que nesse ponto $v_O = 0,7$ V, assumimos Q_1 na saturação. O transistor Q_L possui um v_{DS} de 0,8 V, que é menor que $|V_{tD}|$ e está, portanto, na região de triodo. Igualando-se i_1 a i_L obtemos:

$$\beta_1(v_I-0,2)^2(1+0,1\times 0,7) = \beta_L[2(1)(1.5-0,7)-(1,5-0,7)^2][1+0,1(1,5-0,7)]$$

Substituindo $\beta_L/\beta_1 = W_L/W_1 = 6/50$ e resolvendo a equação resultante, obtemos $v_I = 0,54$ V. A Figura 14.49 mostra um esboço da característica de transferência do inversor. A inclinação dv_O/dv_I no ponto A é −14,2 V/V. Podemos considerar o ponto A como o ponto em que o inversor começa a sair do estado com saída alta; assim $V_{IL} = 0,54$ V.

Para obter V_{IH}, determinaremos as coordenadas do ponto B nas quais $dv_O/dv_I = -1$. Isso pode ser feito usando um procedimento similar àquele empregado para os inversores MOSFETs e assumindo Q_1 na região de triodo e Q_L na região de saturação.

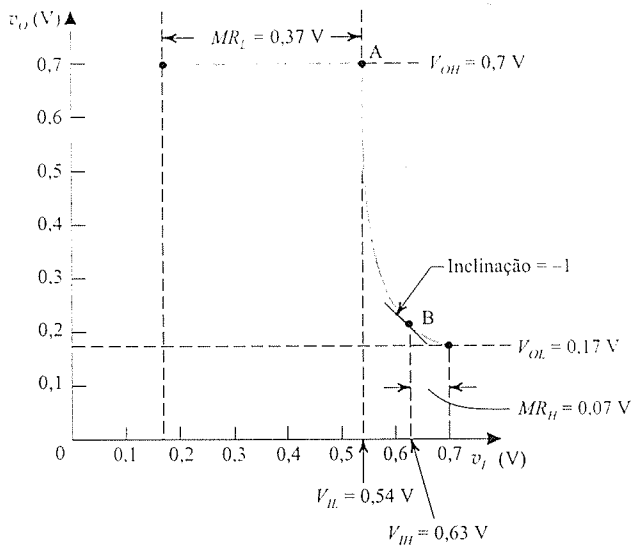


Figura 14.49 Característica de transferência do inversor DCFL da Figura 14.48.

Desprezando os termos 0,1 v_O, o resultado é $V_{IH} = 0,63$ V. As margens de ruído podem ser obtidas como:

$$MR_H \equiv V_{OH} - V_{IH} = 0,7 - 0,63 = 0,07 \text{ V}$$
$$MR_L \equiv V_{IL} - V_{OL} = 0,54 - 0,17 = 0,37 \text{ V}$$

A dissipação estática de potência pode ser determinada a partir do valor da corrente de alimentação I_{DD} nos casos em que a saída é alta e a saída é baixa. Quando a saída é alta (0,7 V), Q_L está na região de triodo e a corrente de alimentação é

$$I_{DD} = \beta_L[2(0+1)(1,5-0,7)-(1,5-0,7)^2][1+0,1(1,5-0,7)]$$

Substituindo-se $\beta_L = 10^{-4} \times W_L = 0.6$ mA/V^2 resulta em

$$I_{DD} = 0,61 \text{ mA}$$

Quando a saída é baixa (0,17 V), Q_L está em saturação e a corrente de alimentação é

$$I_{DD} = \beta_L(0+1)^2[1+0,1(1,5-0,17)] = 0,68 \text{ mA}$$

Portanto, a corrente de alimentação média é

$$I_{DD} = \tfrac{1}{2}(0,61+0,68) = 0,645 \text{ mA}$$

e a dissipação estática de potência é

$$P_D = 0{,}645 \times 1{,}5 = 1 \text{ mW}$$

O atraso na propagação t_{PHL} é o tempo para a tensão de saída do inversor cair de $V_{OH} = 0{,}7$ V para $1/2(V_{OH} + V_{OL}) = 0{,}435$ V. Durante esse período de tempo, v_I está em nível alto, 0,7 V, e a capacitância C (de 30 fF) é descarregada por $(i_1 - i_L)$, como mostra a Figura 14.50(a). A corrente média de descarga é determinada calculando-se i_1 e i_L no início e no fim do intervalo de descarga. O resultado é que i_1 cai de 1,34 mA para 1,28 mA e i_L vai de 0,61 mA para 0,66 mA. Logo, a corrente de descarga $(i_1 - i_L)$ muda de 0,73 mA para 0,62 mA, tendo valor médio de 0,675 mA. Assim,

$$t_{PHL} = \frac{C\Delta V}{I} = \frac{30 \times 10^{-15}(0{,}7 - 0{,}435)}{0{,}675 \times 10^{-3}} = 11{,}8 \text{ ps}$$

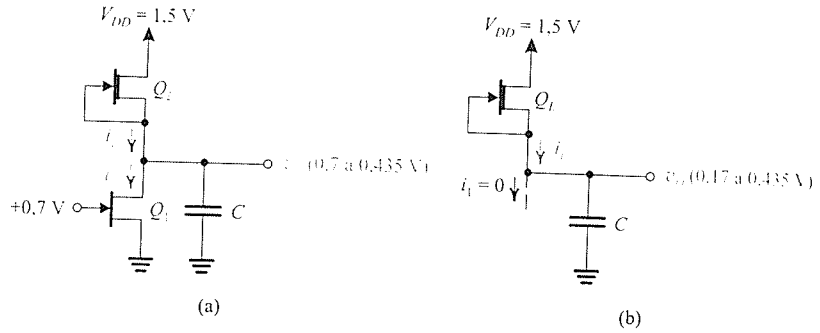


Figura 14.50 Circuitos para calcular os atrasos de propagação do inversor DCFL: (a) t_{PHL}; (b) t_{PLH}.

Para determinar t_{PLH}, considere o circuito da Figura 14.50(b) e note que, durante t_{PLH}, v_O muda de $V_{OL} = 0{,}17$ V para $1/2(V_{OH} + V_{OL}) = 0{,}435$ V. A corrente de carregamento é o valor médio de i_L, que varia de 0,8 mA para 0.66 mA. Assim, $i_L|_{\text{médio}} = 0{,}73$ mA e

$$t_{PLH} = \frac{30 \times 10^{-15}(0{,}435 - 0{,}17)}{0{,}73 \times 10^{-3}} = 10{,}9 \text{ ps}$$

O atraso na propagação da porta DCFL pode agora ser obtido como

$$t_P = \tfrac{1}{2}(t_{PHL} + t_{PLH}) = 11{,}4 \text{ ps}$$

Como observação final, salientemos que a análise anterior foi feita usando modelos simplificados para os dispositivos; nosso objetivo é mostrar como o circuito opera e não determinar com precisão parâmetros de desempenho. Essa última análise pode ser feita usando a simulação SPICE que emprega modelos mais elaborados [veja Roberts e Sedra (1997)].

Portas Lógicas Usando MESFETs Tipo Depleção

Os circuitos DCFL estudados nesta seção necessitam tanto de dispositivos tipo enriquecimento quanto tipo depleção e, portanto, são um pouco difíceis de fabricar. Além disso, como a excursão de tensão e as margens de ruído são pequenas, um controle cuidadoso do valor de V_{tE} é necessário durante a fabricação. Como alternativa, agora apresentaremos circuitos que utilizam apenas dispositivos tipo depleção.

A Figura 14.51 mostra um inversor básico de uma família de circuitos lógicos GaAs, conhecida como lógica FET (*FET logic* – FL). O coração do inversor FL é formado pelo transistor Q_S e por sua carga Q_L – ambos MESFETs tipo depleção. Como a tensão de limiar de um MESFET tipo depleção, V_{tD}, é negativa, uma tensão negativa < V_{tD} é necessária para cortar Q_S. Por outro lado, a tensão de saída baixa em Q_S será sempre positiva. Logo, os níveis lógicos no dreno de Q_S não são compatíveis com os níveis necessários na entrada da porta. O problema de incompatibilidade é resolvido simplesmente deslocando-se o nível de tensão v'_O para baixo por duas quedas de diodo, aproximadamente 1,4 V. Esse deslocamento de nível é obtido por dois diodos Schottky, D_1 e D_2. Para garantir que Q_{PD} opere na região de saturação durante todo o tempo, sua fonte é conectada a uma fonte negativa de tensão $-V_{SS}$ e o valor de V_{SS} é selecionado para ser igual ou maior que o menor nível de v_O (V_{OL}) mais o módulo da tensão de limiar, $|V_{tD}|$. O transistor Q_{PD} também fornece a corrente necessária para descarregar a carga capacitiva quando a tensão de saída da porta é baixa, portanto esse transistor é abaixador (*pull-down* – PD), justificando o índice *PD* utilizado.

Para ver como o inversor da Figura 14.51 opera, analise sua característica de transferência mostrada na Figura 14.52. O circuito é normalmente projetado usando MESFETs com comprimentos de canal iguais (tipicamente 1 μm) e possuindo larguras $W_S = W_L = 2W_{PD}$. A característica de transferência mostrada é para o caso $V_{tD} = -0{,}9$ V. Para v_I menor que V_{tD}, Q_S corta e Q_L opera na saturação, fornecendo uma corrente constante I_L para D_1 e D_2. O transistor Q_{PD} também operará na região de saturação com uma corrente constante $I_{PD} = 1/2I_L$.

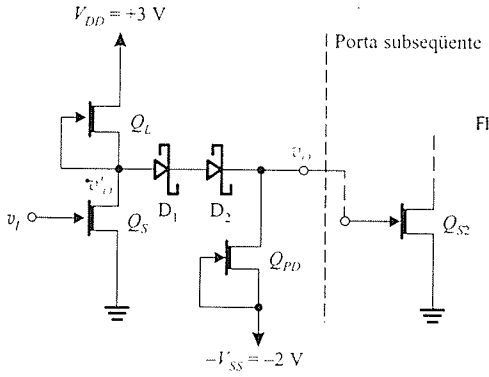


Figura 14.51 Um circuito inversor utilizando apenas dispositivos tipo depleção. Diodos Schottky são empregados para deslocar os níveis lógicos de saída para valores compatíveis com os níveis de entrada necessários para ligar e desligar o transistor MESFET tipo depleção Q_S. Esse circuito é conhecido como lógica FET (*FET logic* – FL).

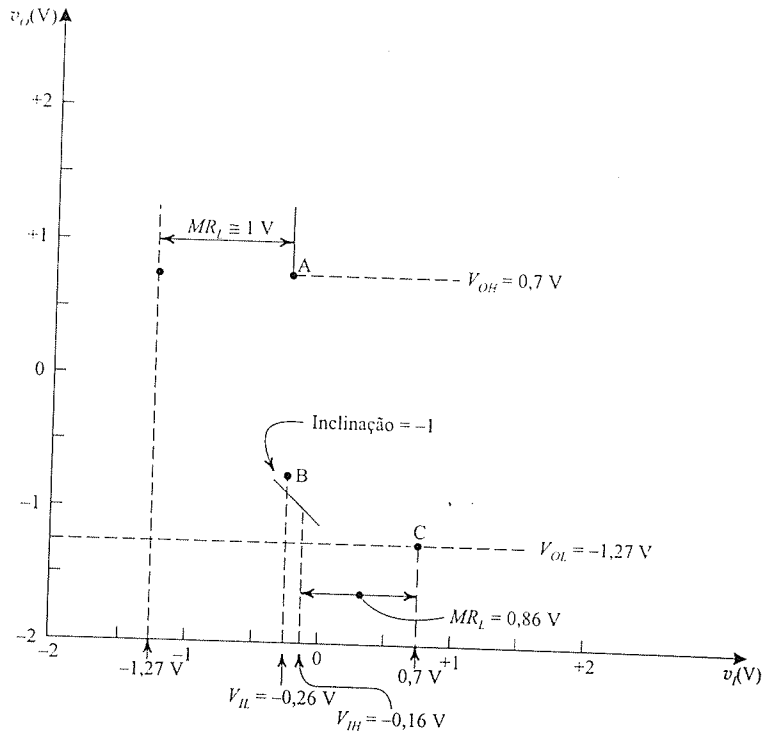


Figura 14.52 Característica de transferência do inversor FL da Figura 14.51.

A diferença entre as duas correntes fluirá através do terminal de porta do transistor de entrada da próxima porta na cadeia, Q_{S2}. Logo, o diodo Schottky de Q_{S2} grampeia a tensão de saída v_O em aproximadamente 0,7 V, que é o valor do nível alto na saída, V_{OH}. (Note que para essa discussão podemos desprezar a resistência de saída finita na saturação.)

Quando v_I é maior que V_{tD}, Q_S conduz. Uma vez que seu dreno se encontra em +2,1 V, Q_S operará na região de saturação e consumirá um pouco da corrente fornecida por Q_L. Portanto, a corrente fluindo para a porta de Q_{S2} diminui. Se continuarmos a aumentar v_I, em um certo valor, a corrente em Q_S iguala-se a $1/2I_L$, não havendo nesse caso corrente disponível para fluir pela porta de Q_{S2}. Isso corresponde ao ponto denominado A na curva de transferência. Aumentando-se um pouco mais v_I, v_O cai para o ponto B, no qual Q_S entra na região de triodo. O segmento AB da característica de transferência representa a região de operação com ganho elevado, tendo uma

inclinação igual a $-g_{mS} R$, em que R indica a resistência total equivalente no nó do dreno. Esse segmento é mostrado como vertical, na Figura 14.52, porque desprezamos a resistência de saída na saturação.

O segmento BC da curva de transferência corresponde a Q_S operando na região de triodo. Nesse caso, Q_L e Q_{PD} continuam a operar na saturação e D_1 e D_2 permanecem conduzindo. Finalmente, para $v_I = V_{OH} = 0{,}7$ V e $V_{tD} = -0{,}9$ V, $v_O = V_{OL}$ pode ser determinado como −1,3 V.

Exercício

14.30 Verifique que as coordenadas dos pontos A, B e C da característica de transferência são aquelas indicadas na Figura 14.52. Sejam $V_{tD} = -0{,}9$ V e $\lambda = 0$.

Como indicado na Figura 14.52, o inversor FL apresenta margens de ruído maiores que aquelas para o circuito DCFL. O inversor FL, no entanto, necessita de duas fontes de alimentação.

O inversor FL pode ser usado para construir uma porta NOU pela simples adição de transistores com drenos e fontes conectados em paralelo com aqueles de Q_S.

A Lógica FET Diodo Schottky (SDFL)

Se a rede de deslocamento de nível com diodos é conectada ao lado da entrada da porta, em vez de na saída, obtemos o circuito da Figura 14.53(a). Esse inversor opera praticamente da mesma forma que o inversor FL. O circuito modificado, no entanto, possui uma característica interessante: a função NOU pode ser implementada conectando-se simplesmente diodos adicionais, como mostrado na Figura 14.53(b).

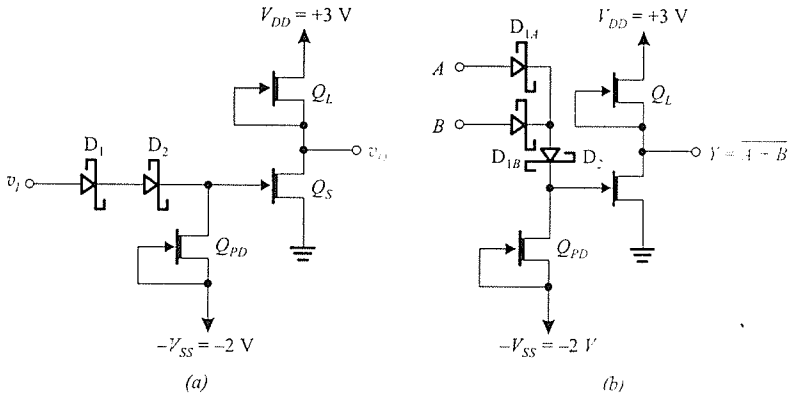


Figura 14.53 (a) Um inversor SDFL. (b) Uma porta NOU SDFL.

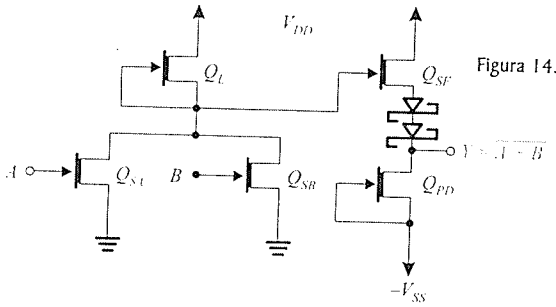


Figura 14.54 Uma porta NOU BFL com duas entradas. A porta é formada inserindo-se um transistor seguidor de fonte Q_{SF} entre o estágio inversor e o estágio de deslocamento de nível.

Essa lógica é conhecida como lógica FET com diodos Schottky (Schottky diode FET logic – SDFL). A lógica SDFL permite maior compactação que as outras lógicas empregando MESFETs porque apenas um diodo adicional é necessário por entrada a mais, em contraste com transistores nas outras lógicas, e os diodos necessitam de menor área que os transistores.

A Lógica FET com Buffer (BFL)

Outra variante do inversor FL básico da Figura 14.51 é possível. Um seguidor de fonte pode ser inserido entre o dreno de Q_S e a rede com diodos para deslocamento de nível. A porta resultante, mostrada para o caso de uma porta NOU com duas entradas, é mostrada na Figura 14.54.

Essa forma de circuito lógico GaAs é conhecida como lógica FET com buffer (*buffered FET logic* – BFL). O transistor seguidor de fonte Q_{SF} aumenta a capacidade de fornecer corrente na saída, diminuindo, portanto, o tempo de propagação de baixo para alto. As lógicas FL, SDFL e BFL apresentam atrasos na propagação da ordem de 100 ps e dissipação de potência da ordem de 10 mW/porta.

14.9 EXEMPLO DE SIMULAÇÃO COM O SPICE

Concluímos este capítulo apresentando um exemplo que ilustra o uso do SPICE na análise de circuitos digitais bipolares. Especificamente, utilizaremos o SPICE para investigar a operação estática e dinâmica da lógica acoplada pelo emissor. Exemplos tratando dos outros tipos de circuito discutidos neste capítulo (por exemplo, TTL, BiCMOS e GaAs) podem ser encontrados em Roberts e Sedra (1992 e 1997).

EXEMPLO 14.4: OPERAÇÃO ESTÁTICA E DINÂMICA DE UMA PORTA ECL

A Figura 14.55 mostra a porta ECL que estudamos na Seção 14.6. Desejamos empregar o SPICE para determinar a característica de transferência de tensão (CTT) dessa porta lógica, isto é, v_{OU} e v_{NOU} *versus* v_A, em que v_A é a entrada no terminal A. Para essa análise, o outro terminal de entrada é desativado aplicando-se uma tensão $v_B = V_{OL} = -1{,}77$ V.

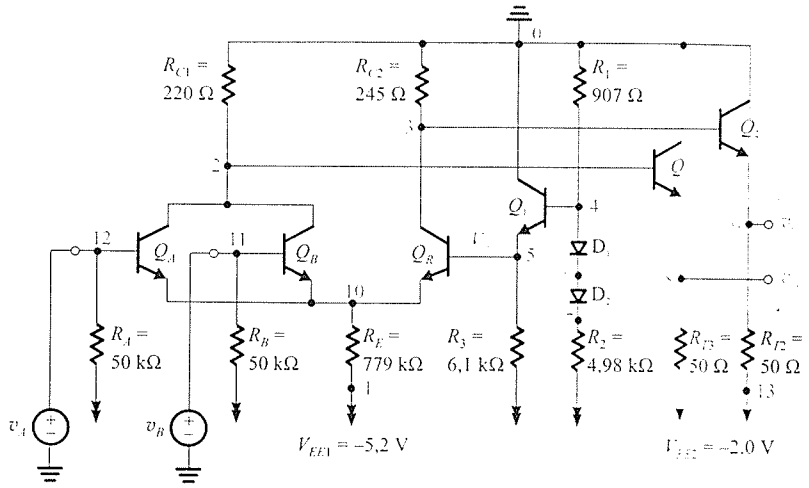


Figura 14.55 Porta ECL com duas entradas para o Exemplo 14.4 (de Roberts e Sedra, 1997).

Como não temos acesso aos valores dos parâmetros dos modelos de TBJ empregados em circuitos ECL reais, selecionamos valores para os parâmetros que são representativos da tecnologia utilizada e que, por nossa experiência, levam a valores razoáveis para a simulação quando confrontados com os resultados medidos pelos fabricantes. Deve ser observado que esse problema não será encontrado por um projetista de CIs que utiliza o SPICE: o projetista normalmente tem acesso aos parâmetros dos modelos de dispositivos e correspondentes parâmetros de processo. De qualquer forma, para nosso caso, utilizamos os seguintes valores para os parâmetros do modelo para o TBJ: $I_S = 0{,}26$ fA, $\beta_F = 100$; $\beta_R = 1$, $\tau_F = 0{,}1$ ns, $C_{je} = 1$ pF; $C_{jc}(C_\mu) = 1{,}5$ pF e $|V_A| = 100$ V.

A listagem do arquivo de entrada SPICE para esse circuito é apresentada no Apêndice D. Nossa primeira análise varia a entrada v_A de –2 V a 0 V em incrementos de 10 mV, plotando v_{OU} e v_{NOU} *versus* v_A. Os resultados estão apresentados na Figura 14.56. Reconhecemos imediatamente as CTTs como aquelas que vimos anteriormente e verificamos parcialmente por análise manual na Seção 14.6. As duas CTTs são simétricas em torno da tensão de entrada de –1,32 V. O SPICE também indica que a tensão V_R na base do transistor de referência Q_R possui exatamente esse valor (–1,32 V), que também é idêntico ao valor que determinamos pela análise manual do circuito que gerou a tensão de referência.

Utilizando a facilidade Probe do PSPICE (ou facilidades similares em outras versões comerciais do SPICE) podemos determinar os valores para os pontos notáveis da CTT. Os valores seguintes foram determinados:

saída OU: $V_{OL} = -1{,}77$ V, $V_{OH} = -0{,}88$ V, $V_{IL} = -1{,}41$ V e $V_{IH} = -1{,}22$ V; assim, $MR_H = 0{,}399$ V e $MR_L = 0{,}358$ V

saída NOU: $V_{OL} = -1{,}78$ V, $V_{OH} = -0{,}879$ V, $V_{IL} = -1{,}41$ V e $V_{IH} = -1{,}22$ V; assim, $MR_H = 0{,}345$ V e $MR_L = 0{,}377$ V

Esses valores são muito próximos dos valores obtidos pelo cálculo manual da Seção 14.6.

A seguir, empregamos o SPICE para investigar a dependência com a temperatura das CTTs. Na Seção 14.6, discutimos esse aspecto e fizemos cálculos manuais no Exemplo 14.2. Aqui, solicitamos ao SPICE para determinar as CTTs em 0°C e 70°C (as CTTs mostradas na Figura 14.56 foram obtidas a 27°C) para dois casos diferentes: o primeiro caso com V_R gerado como na Figura 14.55 e o segundo com o circuito de referência de tensão suprimido e colocando em seu lugar uma fonte de tensão constante de −1,32 V diretamente aplicada à base de Q_R. Os resultados da análise estão mostrados na Figura 14.57. Os gráficos na Figura 14.57(a) são para o caso em que o circuito de referência é utilizado e os da Figura 14.57(b), para o caso da fonte constante. Os gráficos na Figura 14.57(a) indicam que V_R varia com a temperatura, variando também V_{OH} e V_{OL}, que, porém, permanecem centrados em torno de V_R. Em outras palavras, as margens de ruído de níveis alto e baixo permanecem praticamente iguais. Como mencionado na Seção 14.6 e demonstrado na análise do Exemplo 14.2, esse é o objetivo básico quando se projeta V_R para variar com a temperatura. Quando V_R não varia com a temperatura, a simetria de V_{OL} e V_{OH} em torno de V_R não se mantém, como demonstrado na Figura 14.57(b).

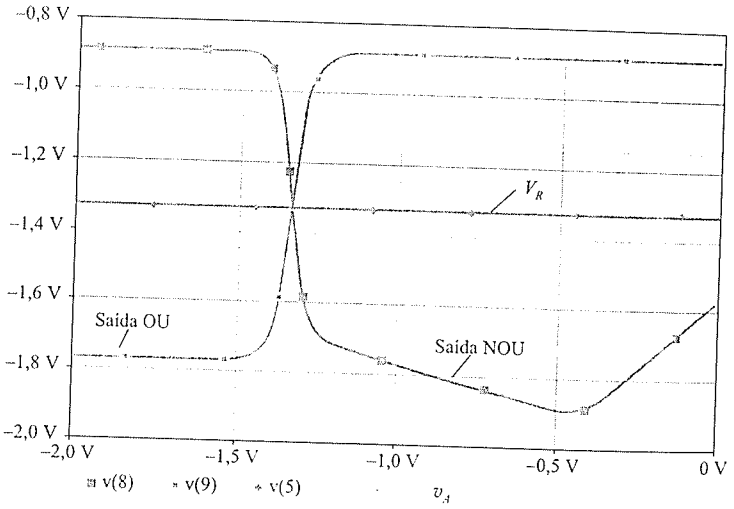
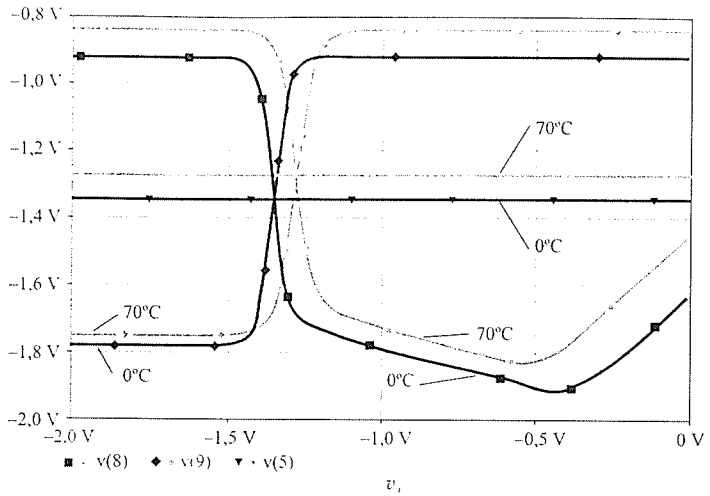
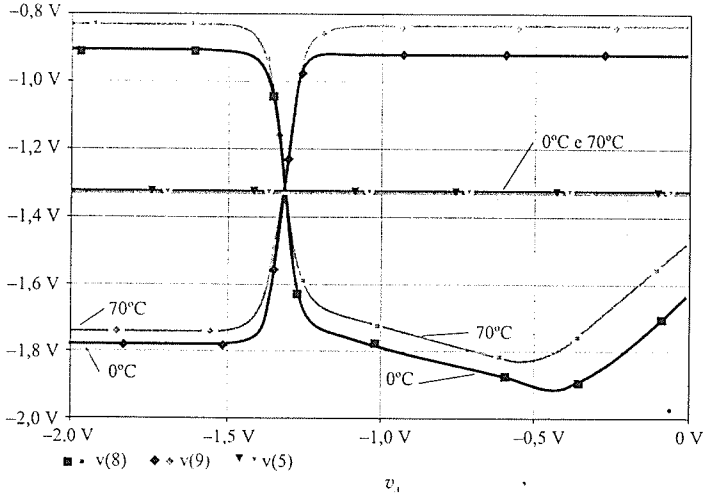


Figura 14.56 Características de transferência de tensão (entrada-saída) para as saídas OU e NOU, como determinadas pelo SPICE, para a porta ECL mostrada na Figura 14.54. Também está indicada a tensão de referência, $V_R = -1{,}32$ V.



(a)



(b)

Figura 14.57 Comparando as características de transferência de tensão (entrada-saída) para as saídas OU e NOU da porta ECL mostrada na Figura 14.54 com a tensão de referência V_R gerada por (a) uma rede de polarização com compensação de temperatura e (b) uma fonte de tensão independente da temperatura.

Finalmente, mostramos na Tabela 14.2, os valores obtidos. Observe que, para o caso com compensação de temperatura, o valor médio de V_{OL} e V_{OH} permanece próximo a V_R. O leitor é encorajado a comparar esses resultados àqueles obtidos no Exemplo 14.2.

Tabela 14.2 Valores dos parâmetros determinados pelo SPICE para uma porta ECL, com e sem compensação de temperatura, para duas temperaturas diferentes.

		Compensado termicamente		Sem compensação térmica	
Temperatura	Parâmetro	OU	NOU	OU	NOU
0°C	V_{OL}	−1,779 V	−1,799 V	−1,786 V	−1,799 V
	V_{OH}	−0,9142 V	−0,9092 V	−0,9142 V	−0,9092 V
	$V_{médio} = \frac{V_{OL} + V_{OH}}{2}$	−1,3466 V	−1,3541 V	−1,3501 V	−1,3541 V
	V_R	−1,345 V	−1,345 V	−1,32 V	−1,32 V
	$\lvert V_{médio} - V_R \rvert$	1,6 mV	9,1 mV	30,1 mV	34,1 mV
70°C	V_{OL}	−1,742 V	−1,759 V	−1,729 V	−1,759 V
	V_{OH}	−0,8338 V	−0,8285 V	−0,8338 V	−0,8285 V
	$V_{médio} = \frac{V_{OL} + V_{OH}}{2}$	−1,288 V	−1,294 V	−1,2814 V	−1,294 V
	V_R	−1,271 V	−1,271 V	−1,32 V	−1,32 V
	$\lvert V_{médio} - V_R \rvert$	17 mV	23 mV	38 mV	26,2 mV

A operação dinâmica da porta ECL é investigada usando o arranjo da Figura 14.58. Nele, duas portas são conectadas por um cabo coaxial de 1,5 m de comprimento que possui impedância característica (Z_0) de 50 Ω. O fabricante especifica que os sinais propagam-se ao longo do cabo (quando *adequadamente terminado*) com metade da velocidade da luz, ou 15 cm/ns. Assim, devemos esperar que um cabo de 1,5 m introduza um atraso de 10 ns. Observe que, nesse circuito (Figura 14.58), o resistor R_{T1} serve como terminação para o cabo. O cabo não introduz perdas e é descrito no SPICE usando a declaração para o elemento *linha de transmissão*. O arquivo de entrada para o SPICE está listado no Apêndice D.

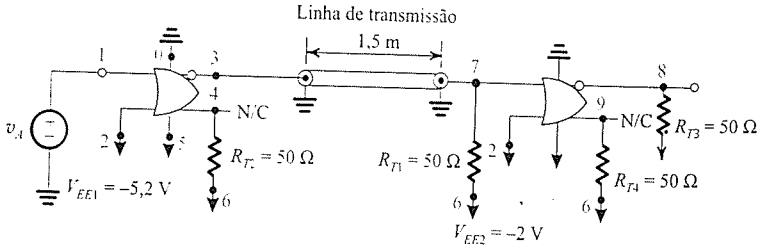


Figura 14.58 Arranjo de circuito para analisar a operação dinâmica da porta ECL. Duas portas são conectadas em cascata via um cabo coaxial de 1,5 m de comprimento. O resistor R_{T1} (50 Ω) serve como terminação para o cabo.

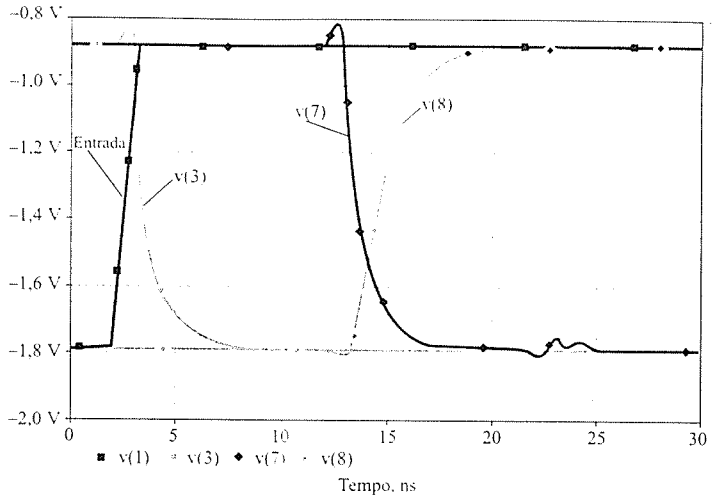


Figura 14.59 Resposta transiente para a cascata de duas portas ECL interconectadas por um cabo coaxial com impedância característica de 50 Ω (veja a Figura 14.58).

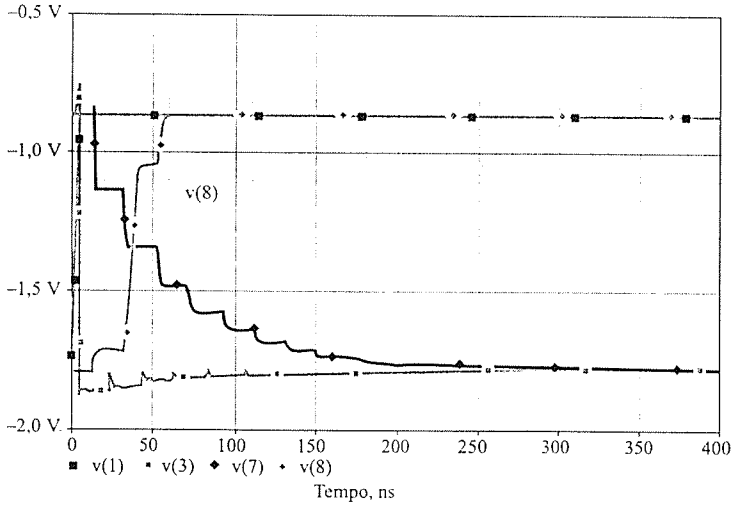


Figura 14.60 Resposta transiente para a cascata de duas portas ECL interconectadas por um cabo coaxial com impedância característica de 300 Ω. A resistência de terminação foi mantida constante em 50 Ω. Note a mudança na escala de tempo do gráfico.

Um degrau de tensão, subindo de –1,77 V para –0,884 V em 1 ns, é aplicado à entrada da primeira porta e é solicitada uma análise transiente para um intervalo de 30 ns.

A Figura 14.59 mostra os gráficos das formas de onda da tensão de entrada, da tensão na entrada da segunda porta e na saída. Observe que, apesar das transições abruptas nas bordas, as formas de onda são razoavelmente limpas e livres de ressonâncias excessivas e de reflexões. Isso é particularmente significativo, pois o sinal é transportado por uma distância relativamente grande. Um exame detalhado revela que o atraso ao longo do cabo é realmente de 10 ns e que o atraso da segunda porta é de 1,06 ns.

Finalmente, para verificarmos a importância de uma terminação adequada da linha de transmissão, a análise dinâmica é repetida, só que para um cabo com impedância característica de 300 Ω (como um cabo de par trançado) mantendo-se a terminação de 50 Ω. Os resultados na Figura 14.60 mostram tempos de subida e descida lentos e formas de onda com longos atrasos. (Note no gráfico a diferente escala de tempo.)

RESUMO

- Antes de um transistor saturado entrar no corte, a carga armazenada em sua base deve ser removida. O tempo de armazenamento de cargas pode ser reduzido evitando-se uma saturação profunda e fazendo uma corrente circular reversamente na base. Para operação em altas velocidades, deve-se evitar totalmente a saturação.
- A lógica transistor-transistor (TTL) foi desenvolvida a partir da lógica diodo-transistor (DTL).
- A porta TTL consiste em três seções: o primeiro estágio, que implementa a função E e utiliza um transistor multiemissor (na TTL padrão) ou diodos Schottky (nas TTL modernas); o desdobrador de fase, que gera um par de sinais complementares para acionar o estágio de saída; e o estágio de saída, que utiliza a configuração totem-pole e proporciona a inversão lógica. A porta básica implementa a função NE.
- Na família TTL padrão, quando a entrada da porta vai para nível baixo, o transistor multiemissor da entrada funciona no modo ativo normal e fornece uma corrente elevada para rapidamente descarregar a base do desdobrador de fase.
- O estágio de saída totem-pole consiste em um transistor em emissor comum que pode drenar correntes elevadas da carga, descarregando, portanto, a capacitância da carga rapidamente, e um seguidor de emissor, que pode fornecer correntes elevadas para a carga e descarregar a capacitância da carga rapidamente.
- Para aumentar a velocidade da família TTL, evitamos a saturação dos transistores. Isso é conseguido pela conexão de um diodo Schottky entre a base e o coletor. Os diodos Schottky são formados pelas junções metal–semicondutor e exibem uma baixa queda de tensão direta. O diodo Schottky desvia uma parte da corrente da base do TBJ, mantendo-o, portanto, fora da saturação.
- O estado da arte nos circuitos TTL é representado pela TTL Schottky avançada, tendo t_P = 1,5 ns, P_D = 20 mW e DP = 30 pJ; e a TTL Schottky de baixa potência avançada, tendo t_P = 4 ns, P_D = 1 mW e DP = 4 pJ.
- A lógica acoplada pelo emissor (ECL) é a família de circuito lógico mais rápida. Essa alta velocidade é obtida evitando-se a operação dos transistores na saturação e pela utilização de pequenas excursões dos sinais lógicos.
- Na família ECL, os sinais de entrada são usados para direcionar uma corrente de polarização constante entre o transistor de referência e o transistor de entrada. A configuração básica da porta é o amplificador diferencial.
- Há dois tipos populares de ECL: a ECL 10K, tendo t_p = 2 ns, P_D = 25 mW e DP = 50 pJ; e a ECL 100K, tendo t_p = 0,75 ns, P_D = 40 mW e DP = 30 pJ.

A ECL 10K é fácil de ser usada devido a seus tempos de subida e de descida dos sinais serem feitos deliberadamente longos (cerca de 3,5 ns).

- Devido às altíssimas velocidades de operação da ECL, devemos tomar cuidado na conexão da saída de uma porta com a entrada de outra porta. Geralmente, são empregadas técnicas de linhas de transmissão.
- O projeto da porta ECL é otimizado de modo que as margens de ruído sejam iguais e permaneçam iguais com a variação da temperatura.
- A porta ECL fornece duas saídas complementares realizando as funções OU e NOU.
- As saídas das portas ECL podem ser ligadas diretamente para realizar a função OU de suas saídas individuais e, nesse caso, é conhecida como porta OU por fio (*wired OR*).
- A BiCMOS combina a baixa potência de saída e as largas margens de ruído da CMOS com a alta capacidade de fornecimento de corrente e, portanto, os tempos curtos de atraso da porta) dos TBJs para obter uma tecnologia capaz de uma implementação muito densa, com baixa dissipação de potência, aceitável para circuitos VLSI de alta velocidade que podem, inclusive, implementar funções analógicas.
- A tecnologia GaAs dispõe de circuitos lógicos com altíssimas velocidades de operação e tempos de atraso de porta entre 10 ps e 100 ps. A dissipação de potência, por outro lado, é razoavelmente elevada (1 mW a 10 mW por porta), limitando o nível de integragação a circuitos LSI. Também, o baixo rendimento de fabricação resulta em custos por porta razoavelmente elevados.
- A lógica FET diretamente acoplada (DCFL) utiliza MESFETs do tipo enriquecimento. A excursão do sinal de saída é limitada a menos de 0,7 V pela condução da porta dos transistores. Melhores margens de ruído são obtidas em circuitos que empregam MESFETs tipo depleção. Estes, no entanto, necessitam de circuitos de deslocamento de nível e duas fontes de alimentação.

BIBLIOGRAFIA

A. R. Alvarez (ed.). *BiCMOS Technology and Applications*, 2ª ed., Boston, Kluwer Academic Publishers, 1993.

S. H. K. Embabi, A. Bellaour e M. I. Elmasry, *Digital BiCMOS Integrated Circuit Design*, Boston, Kluwer Academic Publishers, 1993.

Fairchild. *TTL Data Book*, Mountain View, Calif., Fairchild Camera and Instrument Corp., 1978.

L. S. Garrett, "Integrated-circuit digital logic families", artigo publicado na *IEEE Spectrum*, outubro, novembro e dezembro de 1970.

I. Getreu. *Modeling the Bipolar Transistor*. Beaverton, Ore., Tektronix Inc., 1976.

J. N. Harris, P. E. Gray e C. L. Searle. *Digital Transistor Circuits*, vol. 6 of the SEEC Series, New York, Wiley, 1966.

D. A. Hodges e H. G. Jackson, *Analysis and Design of Digital Integrated Circuits*, 2ª ed., New York, McGraw-Hill, 1988.

IEEE Journal of Solid-State Circuits. A edição de novembro de cada ano é dedicada aos circuitos digitais.

H. C. Lin, J. C. Ho, R. R. Iyer e K. Kwong, "CMOS Bipolar Transistor Structure", *IEEE Trans. Electron Devices*, vol ED-6, nº 11, pp. 945-951, novembro de 1969.

S. L. Long e S. L. Butner, *Gallium-Arsenide Digital Integrated Circuits*, New York, McGraw-Hill, 1990.

J. Millman e H. Taub, *Pulse, Digital, and Switching Waveforms*, Cap. 20, New York, McGraw-Hill, 1965.

Motorola, *MECL System Design Handbook*, Phoenix, Ariz., Motorola Semiconductor Products Inc., 1988.

Motorola, *MECL Device Data*, Phoenix, Ariz., Motorola Semiconductor Products Inc., 1989.

J. M. Rabaey. *Digital Integrated Circuit*, Englewood-Cliffs, NJ, Prentice-Hall. 1996.

G. R. Roberts e A. S. Sedra, *SPICE*, New York, Oxford University Press, 1997.

M. Shur, *GaAs Devices and Circuits*, New York, Plenum Press, 1987.

L. Strauss, *Wave Generation and Shaping*, 2ª ed., New York, McGraw-Hill, 1970.
H. Taub e D. Schilling, *Digital Integrated Electronics*, New York, McGraw-Hill, 1977.
Texas Instruments Staff, *Designing with TTL Integrated Circuits*, New York, McGraw-Hill, 1971.
R. L. Treadway, "DC analysis of current-mode logic", *IEEE Circuits and Devices*, vol. 5, nº 2, pp. 21-35, março de 1989.
G. R. Wilson, "Advances in bipolar VLSI", *Proceedings of the IEEE*, vol. 78, nº 11, pp. 1707-1719, novembro de 1990.

PROBLEMAS

Seção 14.1: Operação Dinâmica do TBJ como Chave

14.1 Um TBJ cuja constante de tempo de armazenamento é de 10 ns e $\beta = 50$ opera em um circuito em que $I_{C_{sat}} = 10$ mA e a corrente da base para condução I_{B2} é de 2 mA. Calcule o tempo de armazenamento quando a corrente da base para corte, I_{B1}, é (a) 0 mA, (b) 1 mA e (c) 2 mA.

14.2 Um TBJ, quando operando no circuito da Figura 14.1 com $R_B = 1$ kΩ, $R_C = 1$ kΩ, $V_{CC} = V_2 = 3$ V e $V_1 = 0$ V com $V_{CE_{sat}} = 0$ V, tem um tempo de armazenamento de 10 ns. Que valor de tempo de armazenamento você espera se $V_{CC} = V_2$ aumenta para 5 V? Suponha $V_{BE} = 0.7$ V e $\beta = 50$.

Seção 14.2: As Primeiras Formas de Circuitos Digitais com TBJ

14.3 Para a porta DTL da Figura 14.6, cuja operação está descrita no texto, calcule V_{OH}, V_{OL}, V_{IL}, V_{IH} e as margens de ruído. Suponha que a queda de tensão de uma junção em condução seja constante em 0,7 V. V_{IL} pode ser tomada como a tensão de entrada cujo Q começa a conduzir (V_{BE} atinge 0,5 V) e V_{IH} pode ser tomada como o valor da entrada cuja tensão no diodo de entrada atinge 0,5 V. Para encontrar V_{OL}, calcule $\beta_{forçado}$ e use a Equação 14.114 para calcular V_{CEsat}, supondo $\beta_F = 50$ e $\beta_R = 0,1$.

14.4 Qual a função lógica implementada pelo circuito mostrado na Figura P14.4?

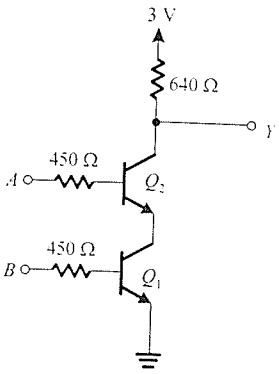


Figura P14.4

Seção 14.3: A Lógica Transistor-Transistor (TTL ou T²L)

P14.5 Considere a porta DTL da Figura 14.7 quando a saída é baixa e a porta está acionando N portas idênticas. Q_3 possui $\beta_F = 50$ e $\beta_R = 0,1$. Utilize os resultados do Exercício 14.4 para determinar:
(a) a tensão na saída para $N = 0$ e
(b) o *fan-out* N máximo permitido sob a condição de que a tensão na saída não exceda o dobro do valor calculado em (a).

14.6 Considere o circuito da Figura 14.9 com $V_{CC} = 3$ V, $R = 3$ kΩ e $R_C = 1$ kΩ, em que a entrada aumenta lentamente a partir de 0 V. Se V_{CEsat} de Q_1 for 0,1 V e se Q_3 conduzir quando seu V_{BE} atingir 0,6 V, com que valor da tensão de entrada Q_3 inicia sua condução? Essa é uma boa estimativa do valor de V_{IL}?

Seção 14.4: Características da TTL Padrão

14.7 Usando os dados fornecidos nas respostas para o Exercício 14.11, calcule as margens de ruído da porta T²L para −55°C e +125°C.

P14.8 Um projetista, desejando aumentar o limiar da entrada da porta TTL mostrada na Figura 14.23, acrescenta dois diodos, um em série com o emissor de Q_2, outro em série com D. Por que esse segundo diodo se faz necessário? Esboce a característica de transferência e calcule V_{OH}, V_{OL}, V_{IH}, V_{IL} e as margens de ruído.

Seção 14.5: As Famílias TTL com Desempenho Melhorado

14.9 Considere um transistor Schottky cujo emissor está aterrado, cuja base está conectada a uma fonte de sinal de +5 V via um resistor de 10 kΩ e cujo coletor está conectado a uma alimentação de +5 V via um resistor de 1 kΩ. Suponha que $V_{BE} = 0,8$ V, a queda de tensão do diodo Schottky é 0,5 V e $\beta = 50$. Calcule as correntes da base e do coletor do TBJ intrínseco e a corrente através do diodo Schottky.

*14.10 O TBJ no circuito mostrado na Figura P14.10 começa a conduzir com $v_{BE} = 0,7$ V e está na condução plena com $v_{BE} = 0,8$ V. O mesmo se aplica para D_7. Os diodos Schottky têm quedas de tensão de 0,5 V.
(a) Qual a função lógica executada?
(b) Calcule V_{OL} e V_{OH}.
(c) Calcule V_{IL} e V_{IH}.
(d) Calcule as margens de ruído.
(e) Calcule a corrente drenada da fonte de alimentação quando A é alta, B é alta e C é baixa.

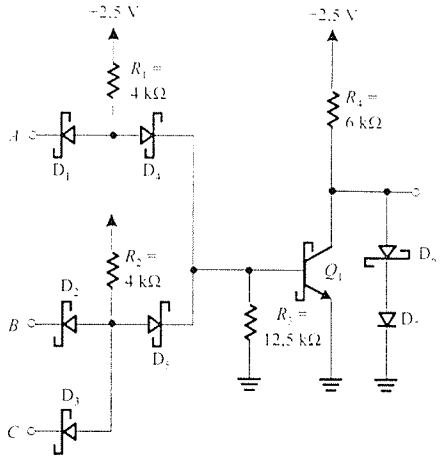


Figura P14.10

Seção 14.6: A Lógica Acoplada pelo Emissor (ECL)

*14.11 Três inversores lógicos estão conectados em anel. As especificações para essa família de portas indicam um tempo de atraso na propagação de 3 ns para a transição da saída de nível alto para baixo e de 7 ns para transições de nível baixo para alto. Suponha que, por alguma razão, a entrada de uma das portas sofre uma transição de nível baixo para alto. Esboçando as formas de onda nas saídas das três portas e considerando suas posições relativas, mostre que o circuito funciona como um oscilador. Qual a freqüência de oscilação desse **oscilador em anel**? Em cada ciclo, por quanto tempo a saída é alta? E baixa?

14.12 Para sinais cujos tempos de subida e de descida forem de 3,5 ns, que comprimento de fio sem terminação deve ser conectado de porta a porta se a razão desejada do tem-

po de subida para o tempo de retorno é de 5 para 1? Suponha que o ambiente em que o fio esteja imerso seja tal que o sinal propaga na velocidade de dois terços da velocidade da luz (que é de 30 cm/ns).

Seção 14.7: Os Circuitos Digitais BiCMOS

P14.13 Considere a escolha de valores para R_1 e R_2 no circuito mostrado na Figura 14.44(c). Uma consideração importante nessa escolha é limitar a perda da corrente de acionamento de base. Essa perda é particularmente séria quando a corrente através de Q_N e Q_P se torna pequena. Isso, por sua vez, ocorre próximo do ponto na excursão de saída, no qual o dispositivo MOS está profundamente na região de triodo (digamos, $|v_{DS}| = |V_t|/3$). Determine valores para R_1 e R_2 tais que a perda na corrente de base seja limitada a 50%. Qual a razão R_1/R_2? Repita para 20%.

14.14 Para o circuito da Figura 14.44(a), sendo $V_{DD} = 5$ V, $|V_t| = 1$ V, $V_{BE} = 0{,}7$ V, $\beta = 100$, $k_n' = 2{,}5\ k_p' = 100\ \mu A/V^2$ e $(W/L)_n = (W/L)_p$, estime os tempos de propagação t_{PLH}, t_{PHL} e t_P para uma capacitância de carga de 2 pF. Assuma que as capacitâncias internas do circuito são desprezíveis. Utilize correntes médias de carga e descarga para o capacitor.

Seção 14.8: Os Circuitos Digitais GaAs

**14.15 Para a porta DCFL do Exemplo 14.3 com V_{tE} mudado para 0,1 V, determine V_{OH}, V_{OL}, V_{IL}, V_{IH} e as margens de ruído. Compare os resultados com aqueles encontrados no Exemplo 14.3 e comente o efeito de V_{tE} nas margens de ruído.

14.16 Para a porta FL da Figura 14.51, considere que todos os comprimentos de canal são de 1 μm. $W_S = W_L = 20$ μm, $W_{PD} = 10$ μm, β (por 1 μm de largura) $= 10^{-4}$ A/V², $V_{tD} = -0{,}9$ V e $\lambda = 0$. Calcule a dissipação estática de potência da porta.

APÊNDICE A

MAKRON Books

Tecnologia de Fabricação de Circuitos Integrados

INTRODUÇÃO

O objetivo deste apêndice é familiarizar o leitor com a terminologia de circuitos integrados, utilizando como exemplo os processos VLSI (*very large scale integrated-circuits*). Serão apresentadas as etapas-padrão de fabricação de circuitos integrados. Serão apresentadas também as características dos dispositivos fabricados utilizando-se as tecnologias **CMOS** e **BiCMOS**. Isso foi feito para auxiliar o leitor na compreensão de certos aspectos do projeto de circuitos integrados que são distintos do projeto de circuitos discretos. A fim de obter economia de escala com o uso de circuitos integrados, os projetistas tiveram de superar algumas sérias limitações dos dispositivos (como o pouco controle sobre a tolerância dos resistores, que impede obter precisamente um valor absoluto) enquanto exploravam as vantagens desses mesmos dispositivos (como um bom casamento de valores entre componentes, que permite obter valores idênticos para componentes fabricados conjuntamente). O conhecimento das características dos dispositivos é, portanto, essencial para o projeto de bons circuitos integrados e também para a aplicação comercial de circuitos integrados em projetos de sistemas.

Este apêndice considerará apenas a tecnologia de silício (Si). Embora o germânio (Ge) e o arseneto de gálio (GaAs) sejam também usados na produção de dispositivos semicondutores integrados, o silício é ainda o material mais popular e continuará sendo por algum tempo. O silício é um material abundante e ocorre normalmente na forma de areia.[1] Ele pode ser refinado usando técnicas simples de purificação e crescimento de cristais. Ele também apresenta propriedades físicas adequadas para a fabricação de dispositivos ativos com boas características elétricas. Além disso, o silício pode ser facilmente oxidado para formar uma excelente camada isolante, SiO_2 (vidro). Esse óxido nativo é usado para fabricar capacitores e MOSFETs. Ele serve também como uma boa barreira de difusão contra impurezas indesejáveis, as quais se podem difundir para o silício com alto grau de pureza. Como veremos adiante, essa propriedade de mascaramento permite alterar localizadamente as propriedades elétricas do silício, formando, em um mesmo pedaço

1. N.T.: Deve ser mencionado que a areia de praia não é adequada para a fabricação de lâminas de silício.

de material (substrato), diferentes tipos de elementos ativos e passivos que podem ser interconectados para formar um circuito monolítico completo e funcional.

AS ETAPAS DE FABRICAÇÃO DE CIRCUITOS INTEGRADOS

As etapas básicas envolvidas na fabricação dos circuitos integrados serão descritas na seção seguinte. Algumas dessas etapas podem ser repetidas várias vezes, em diferentes combinações e condições de operação, durante o processo completo de fabricação de um circuito integrado.

A Preparação da Lâmina de Silício

O material inicial para fabricação dos modernos circuitos integrados é o silício com alto grau de pureza. O material é crescido como um cristal na forma de tarugo. Ele toma a forma de um cilindro sólido de 10 a 30 cm de diâmetro por 1 m de comprimento e sua cor é cinza-metálica. Esse cristal é, então, cortado (como um pão de forma) para que sejam produzidas lâminas de 10 a 30 cm de diâmetro com espessura de 400 μm a 600 μm (um micrômetro ou mícron é um milionésimo do metro); veja a Figura A.1. A superfície da lâmina é, então, polida até ficar com o acabamento de um espelho, utilizando técnicas de polimento mecânico-químico (*chemical mechanical polishing* – CMP). Os fabricantes de semicondutores usualmente compram lâminas de silício já prontas.

As propriedades elétricas e mecânicas básicas da lâmina dependem da orientação cristalina adotada durante o crescimento, da concentração e do tipo de impurezas presentes. Essas variáveis são estritamente controladas durante o crescimento do cristal. Impurezas podem ser adicionadas intencionalmente ao silício puro por meio de um processo conhecido como dopagem. A dopagem permite uma alteração controlada das propriedades elétricas do silício, em particular a resistividade. É possível controlar também o tipo dos portadores usados para produzir a condução elétrica, criando-se, portanto, durante o crescimento, tanto lacunas (silício tipo *p*) como elétrons (silício tipo *n*). Se um grande número de impurezas for adicionado, então o silício é considerado fortemente dopado. É comum o uso de símbolos + e – para representar concentrações relativamente mais altas e mais baixas de dopagem nos desenhos dos dispositivos. Portanto, uma lâmina de silício tipo *n* fortemente dopada (baixa resistividade) é conhecida como material tipo *n*+ enquanto uma região levemente dopada é conhecida como *n*–. Essa habilidade de controlar a dopagem do silício permite a formação de diodos, transistores e resistores em circuitos integrados.

A Oxidação

A **oxidação** é o processo químico de reação do silício com o oxigênio para formar o dióxido de silício, SiO_2. Para acelerar a reação, é necessário aquecer a lâmina a temperaturas na faixa de 1000°C a 1200°C. O aquecimento é feito em fornos especiais de altas temperaturas, ultralimpos.

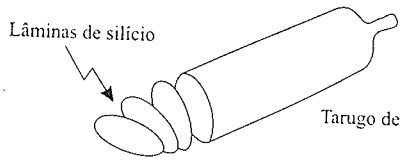


Figura A.1 Tarugo e lâminas de silício.

Para evitar a introdução de até mesmo pequenas quantidades de contaminantes (que podem alterar significativamente as propriedades elétricas do silício), é necessário manter o ambiente muito limpo para o processamento. Isso é válido para todas as etapas envolvidas na fabricação de circuitos integrados. Ar especialmente filtrado circula em toda a área de processamento e todo o pessoal deve vestir roupas feitas de materiais especiais.

O oxigênio usado na reação pode ser introduzido tanto como um gás de alta pureza (em que o processo é conhecido como oxidação seca) quanto como vapor de água (em que o processo é conhecido como oxidação úmida). Em geral, a oxidação úmida tem uma taxa de crescimento maior, mas a oxidação seca apresenta melhores características elétricas. A camada de óxido crescida termicamente tem excelentes propriedades de isolamento elétrico. Ela possui uma constante dielétrica de cerca de 3,9 e pode ser usada para formar excelentes capacitores. Ela serve também como uma boa máscara contra impurezas e, portanto, pode ser usada para permitir a introdução de dopantes no silício apenas nas regiões que não estão cobertas por um óxido. Essa propriedade de mascaramento permite a fabricação dos circuitos integrados de maneira conveniente. O dióxido de silício pode também ser usado para proteger a superfície do silício de contaminantes que se podem introduzir após a pastilha (*chip*) ter sido fabricada.

A camada de dióxido de silício é fina e transparente e a superfície do silício é altamente reflexiva. Se uma luz branca incidir sobre uma lâmina oxidada, ocorrerão efeitos de interferência construtivos e destrutivos no óxido, fazendo com que certas cores sejam fortemente absorvidas. Os comprimentos de onda absorvidos dependem da espessura da camada de óxido, produzindo diferentes cores em diferentes regiões da lâmina processada. As cores podem ser muito vivas e podem ser apreciadas a olho nu. Entretanto, precisa ser lembrado que a cor se deve a um efeito ótico entre a camada de óxido transparente e o silício cor cinza-metálico.

A Difusão

A **difusão** é o processo pelo qual os átomos se movem através da rede cristalina. É um processo semelhante ao fenômeno de dispersão de uma gota de tinta em um copo com água, exceto que em sólidos ele ocorre muito mais lentamente. Na fabricação, a difusão se relaciona com a introdução de átomos de impureza (dopantes) no silício para mudar sua resistividade. A velocidade em que ocorre a difusão de dopantes no silício é uma função muito dependente da temperatura. A difusão de impurezas dopantes é feita usualmente em altas temperaturas (1000 a 1200°C) para obter o perfil de dopagem desejado. A seguir, quando a lâmina é resfriada e atinge a temperatura ambiente, as impurezas são essencialmente "congeladas" na posição. O processo de difusão é executado em fornos similares aos usados para oxidação. A profundidade com que as impurezas se difundem depende da temperatura e do tempo do processo.

As impurezas mais comuns usadas como dopantes são o boro, o fósforo e o arsênio. O boro é um dopante tipo *p* e o fósforo e o arsênio são dopantes tipo *n*. Esses dopantes são efetivamente mascarados por finas camadas de óxido. Difundindo-se boro em um substrato tipo *n*, forma-se uma junção *pn* (diodo). Se a concentração da dopagem for alta, a camada de difusão pode também ser usada como um condutor.

A Implantação de Íons

A **implantação de íons** é outro método utilizado para introduzir impurezas no silício. Um implantador de íons produz íons da impureza desejada, acelera-os através de um campo elétrico e faz com que eles se choquem contra a superfície do silício. Os íons ficam encravados no silí-

cio. A profundidade de penetração está relacionada com a energia do feixe de íons, que pode ser controlada pela tensão de aceleração. A quantidade de íons implantados pode ser controlada pela variação da corrente do feixe (fluxo de íons). Como corrente e tensão podem ser ambas precisamente medidas e controladas, a implantação de íons resulta em um perfil de impurezas muito mais acurado e reprodutível que aquele obtido por difusão. Além disso, a implantação de íons pode ser executada à temperatura ambiente. A implantação de íons é normalmente usada quando um controle preciso dos dopantes é essencial para a operação do dispositivo.

A Deposiçao por Vapor Químico

A **deposição por vapor químico** (*chemical vapor deposition* – CVD) é um processo pelo qual os gases ou vapores reagem quimicamente, levando à formação de um sólido sobre o substrato. O método CVD pode ser usado para depositar dióxido de silício sobre o substrato de silício. Por exemplo, se o gás silana (SiH_4) e oxigênio forem misturados no ambiente acima do substrato de silício, dióxido de silício se deposita como um sólido sobre o silício. A camada de óxido formada não é tão boa quanto aquela crescida termicamente, mas é boa o suficiente para agir como um isolante elétrico. A vantagem do método CVD é que o óxido se deposita mais rápido e a temperaturas mais baixas (abaixo de 500°C).

Se o gás silana for usado sozinho, uma camada de silício se deposita sobre a lâmina. Se a temperatura de reação for alta o suficiente (acima de 1000°C), então a camada é depositada como uma camada cristalina (supondo que o substrato seja silício cristalino). Isso ocorre porque os átomos têm energia suficiente para se alinharem nos sentidos próprios do cristal. Essa camada é chamada de **epitaxial** e o processo de deposição é chamado de **epitaxia**, em vez de CVD. Em baixas temperaturas ou se o substrato não for silício monocristalino, os átomos não se alinham no mesmo sentido cristalino. Essa camada é chamada de silício policristalino (si–poli), visto que ela consiste em pequenos cristais de silício alinhados em vários sentidos. Normalmente, essas camadas são fortemente dopadas para formar uma região de alta condutividade que pode ser usada para interconectar dispositivos.

A Metalização

O objetivo da metalização é interconectar vários componentes do circuito integrado (transistores, resistores etc.) para formar o circuito desejado. A metalização envolve a deposição de um metal (em geral alumínio) sobre toda a superfície do silício. O traçado necessário para a interconexão é, então, seletivamente delineado (corroído). O alumínio é depositado por seu aquecimento em vácuo até que ele vaporize. Os vapores, então, em contato com a superfície de silício, se condensam para formar uma camada sólida de alumínio.

A Fotolitografia

A geometria de superfície (traçado) de vários componentes do circuito integrado é definida por um processo fotolitográfico: a superfície do silício é revestida com uma camada fotossensível chamada de fotorresiste ou simplesmente resiste. Quando uma placa fotográfica (máscara) contendo o traçado mestre é posicionada sobre a superfície do silício e exposta à luz, o fotorresiste torna-se solúvel (resiste positivo) nas regiões atingidas (não mascaradas) pela luz. A camada é, então, revelada para produzir o traçado desejado sobre a lâmina. Traçados geométricos diminutos (menores que 1 μm) podem ser precisamente produzidos por essa técnica. A camada resultante não sofre corrosão dos

agentes químicos usados para corroer o dióxido de silício ou o alumínio e, portanto, forma uma máscara efetiva (*resiste* à corrosão). Isso permite que "janelas" sejam abertas ou corroídas na camada de óxido na preparação para os processos subseqüentes de difusão. Esse processo é usado para definir as regiões do transistor e para isolar um transistor do outro.

Em processos de alta resolução, utiliza-se luz no ultravioleta profundo (deep UV light – DUV) para expor o fotorresiste. Alternativamente, um feixe de elétrons pode ser utilizado para varrer ou "escrever" os traçados diretamente sobre o resiste, sem o uso de uma máscara.

O Encapsulamento

Uma lâmina de silício acabada pode conter centenas de circuitos ou pastilhas finalizadas. Cada pastilha contém entre 10 e 10^9 transistores e tem uma forma retangular, tipicamente entre 1 e 10, mm em cada extremidade. Os circuitos são primeiro testados eletricamente (ainda em forma de lâmina) usando uma estação de testes automática. Circuitos com defeito são marcados para mais tarde serem identificados. Os circuitos são, então, separados uns dos outros (por cortes), dando origem às pastilhas (*chips*), e os circuitos em bom estado (acabados) são montados em suportes para serem encapsulados. Fios finos de ouro são tradicionalmente usados para interconectar os suportes do encapsulamento aos pontos de contato do circuito acabado. Finalmente, o suporte é encapsulado (selado) sob vácuo ou em uma atmosfera inerte. A Figura A.2 mostra um encapsulamento de CI muito popular.

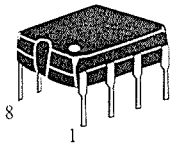


Figura A.2 Um encapsulamento típico de CI do tipo 8 pinos em linha dupla (*dual-in-line package* – DIP).

PROCESSOS VLSI

A tecnologia de fabricação de circuitos integrados foi originalmente dominada pela tecnologia bipolar. No final dos anos 70, a tecnologia MOS (metal-óxido-semicondutor) tornou-se mais promissora para a implementação de circuitos VLSI que exigiam maior densidade de empacotamento e menor consumo de potência. Desde o início dos anos 80, a tecnologia CMOS (MOS complementar) praticamente dominou o cenário VLSI, de tal forma que a tecnologia bipolar passou a ser utilizada apenas para executar funções específicas, como circuitos analógicos de alta velocidade ou de RF. A tecnologia CMOS continuou evoluindo e, no final dos anos 80, a incorporação de dispositivos bipolares em CMOS levou ao surgimento dos processos de fabricação de alto desempenho BiCMOS (bipolar-CMOS) que oferecem o melhor das duas tecnologias. No entanto, processos BiCMOS são, normalmente, muito complicados e onerosos, pois necessitam de mais de 15 a 20 níveis de máscaras por implementação – processos CMOS padrão necessitam de 10 a 12 níveis apenas. Além disso, a diferença no desempenho de processos CMOS e BiCMOS é cada dia menor, pois o desempenho da tecnologia CMOS melhora com o uso de técnicas litográficas de maior resolução e outras técnicas modernas. Por essas razões, a tecnologia CMOS continuará sendo o carro-chefe dos sistemas VLSI e mais avançados.

Nesta seção, examinaremos a seqüência de fabricação de um processo CMOS convencional, o desempenho dos componentes assim obtidos e, por fim, a inclusão de dispositivos bipolares para formar um processo BiCMOS.

O Processo CMOS Cavidade *n*

Dependendo da escolha do material de partida para o substrato, os processos CMOS podem ser identificados como **cavidade *n*** (*n*-well), **cavidade *p*** (*p*-well) ou **cavidade gêmea** (*twin-well*). Este último é o mais complicado, porém o mais flexível, na otimização tanto dos dispositivos tipo *n* como dos dispositivos tipo *p*.

Um processo CMOS cavidade *n* foi escolhido para este texto pois ele pode ser facilmente adaptado para representar um processo BiCMOS. A seqüência típica de processamento está mostrada na Figura A.3. Um mínimo de sete níveis de máscaras é necessário. No entanto, na prática, muitos processos CMOS necessitam de camadas adicionais, como anéis de guarda *n* e *p*, para melhor imunidade a disparos parasitários (*latchup*) ou uma segunda camada de silício policristalino para capacitores ou, então, multiníveis de metal para conexões de alta densidade. Por simplicidade, essas camadas não são discutidas neste apêndice.

O processo cavidade *n* começa com uma difusão para formar a cavidade *n* [Figura A.3(a)]. A cavidade *n* é necessária sempre que se deseja fabricar MOSFETs tipo *p*. Uma camada espessa de dióxido de silício é corroída para expor as regiões onde se deseja fazer a difusão dentro da cavidade *n*. As regiões não expostas ou recobertas com o dióxido de silício são protegidas do fósforo dopante. Fósforo é usualmente utilizado em difusões profundas por possuir um coeficiente de difusão elevado, difundindo-se mais rapidamente pelo substrato que o arsênio.

A segunda etapa, ou passo, é definir a região ativa (a região onde serão colocados os transistores) usando uma técnica conhecida como **oxidação local** (*local oxidation* – LOCOS). Uma camada de nitreto de silício (Si_3N_4) é depositada e o traçado das regiões a serem oxidadas é alinhado em relação às regiões das cavidades *n* preexistentes [Figura A.3(b)]. As regiões cobertas pelo nitreto não serão oxidadas. Depois de um passo de oxidação úmida de longa duração, regiões de óxido espesso aparecem entre os transistores [Figura A.3(c)]. Esse óxido espesso é necessário para isolar os transistores. Ele também permite que camadas de interconexão sejam feitas sobre ele sem formar acidentalmente uma região de canal condutivo na superfície do silício, como em um transistor MOS.

A próxima etapa é a formação da porta de silício policristalino [Figura A.3(d)]. Essa é uma das etapas mais críticas do processo CMOS. A fina camada de óxido da região ativa é primeiramente removida usando corrosão líquida seguida do crescimento de um óxido fino de porta de altíssima qualidade. Os processos atuais de 0,25 μm e 0,5 μm utilizam óxidos de 200 Å (1 angstrom = 0,1 nm = 10^{-7} mm). Uma camada de silício policristalino, usualmente dopada com arsênio (tipo *n*), é depositada e tem seu traçado delineado. A fotolitografia é mais crítica nessa etapa por precisar definir as menores dimensões de todo o processo MOS. A menor dimensão necessária é representada pela tira de silício policristalino mais fina que se deseja produzir. A porta de silício policristalino é uma estrutura auto-alinhada e é preferida em relação ao modelo antigo de porta metálica.

Uma implantação de arsênio de alta dopagem pode ser usada para formar as regiões *n*+ de dreno e fonte dos MOSFETs tipo *n*. A porta de silício policristalino também atua como uma barreira contra essa implantação, protegendo a região de canal. Uma camada de fotorresiste pode ser usada para bloquear as regiões onde os MOSFETs tipo *p* serão formados [Figura A.3(e)]. O óxido espesso de campo barra a implantação e evita que regiões *n*+ sejam formadas fora da região ativa.

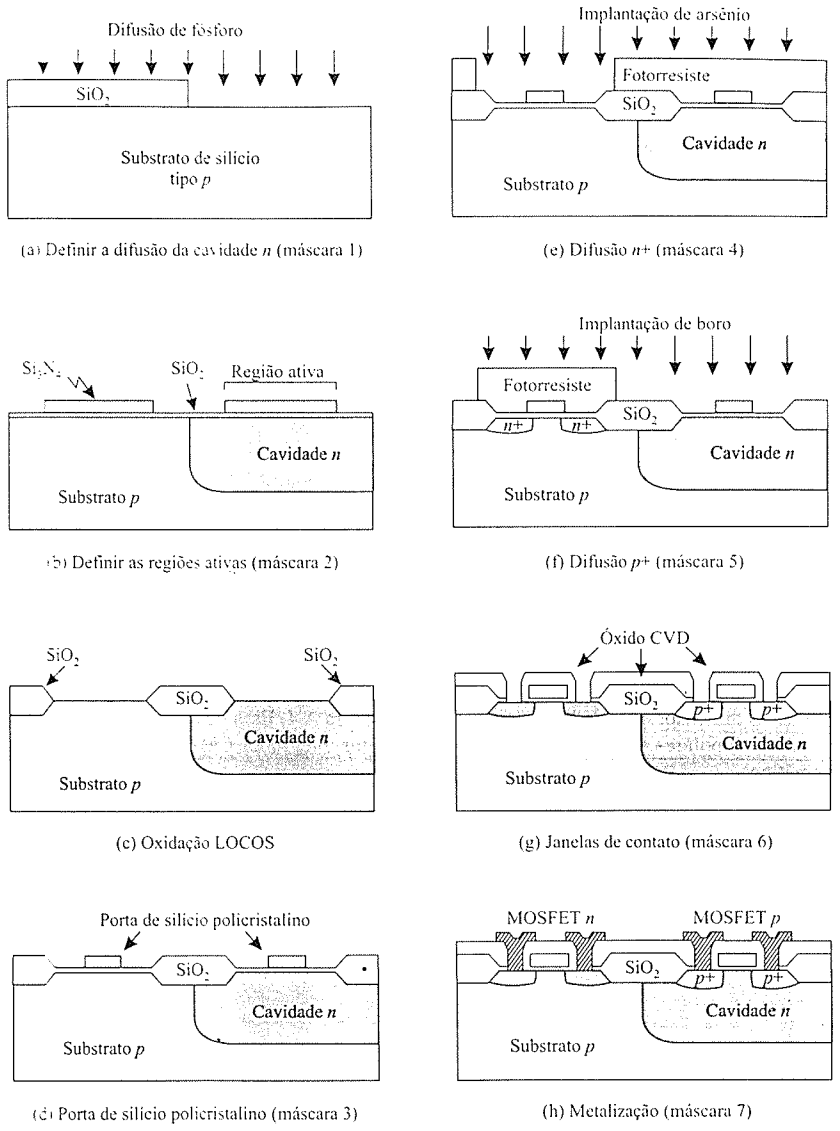


Figura A.3 Uma seqüência de etapas de um processo CMOS típico.

Uma etapa fotolitográfica reversa (complementar) pode ser usada para proteger os MOSFETs tipo *n* durante a implantação de boro *p*+ de dreno e fonte [Figura A.3(f)]. Observe que em ambos os casos a separação entre as difusões de fonte e dreno – isto é, o comprimento do canal – é definido pelo tamanho da porta de silício policristalino, daí o termo auto-alinhado.

Antes das janelas de contato serem abertas, uma camada espessa de óxido CVD é depositada sobre toda a lâmina. Uma fotomáscara é usada para definir as janelas de contato [Figura A.3(g)], seguida de uma corrosão úmida ou seca do óxido. Uma fina camada de alumínio é evaporada ou depositada por espirramento (*sputtering*) sobre a lâmina. Uma etapa final de mascaramento e corrosão é utilizada para delinear as interconexões [Figura A.3(h)].

Não foi mostrada na seqüência do processo a etapa final de passivação realizada antes do encapsulamento e soldagem de fios (*wire bonding*). Um óxido CVD espesso ou vidro pyrox é usualmente depositado sobre a lâmina para servir como camada de proteção.

Dispositivos CMOS

Além dos MOSFETs canal-*n* e canal-*p*, outros dispositivos podem ser fabricados pela manipulação das diversas camadas de mascaramento. Isso inclui diodos de junção *pn*, capacitores MOS e resistores.

MOSFETs

Utilizam-se mais MOSFETs canal-*n* que MOSFETs canal-*p* porque a mobilidade superficial dos elétrons é duas a três vezes maior que a das lacunas. Portanto, para as mesmas dimensões *W* e *L*, um transistor MOSFET canal-*n* é capaz de comandar corrente maior (ou apresentar menor resistência de ligamento) e, portanto, apresentar maior transcondutância.

MOSFETs integrados são caracterizados por suas dimensões e suas tensões de limiar. Usualmente, os dispositivos canal-*n* e canal-*p* são projetados para possuírem tensões de limiar iguais em módulo e fixas para um determinado processo. A transcondutância pode ser ajustada modificando-se as dimensões *W* e *L* do dispositivo; veja a Figura A.4. Essa possibilidade não existe para transistores bipolares e, portanto, o projeto de circuitos integrados CMOS é muito mais direto e sistemático.

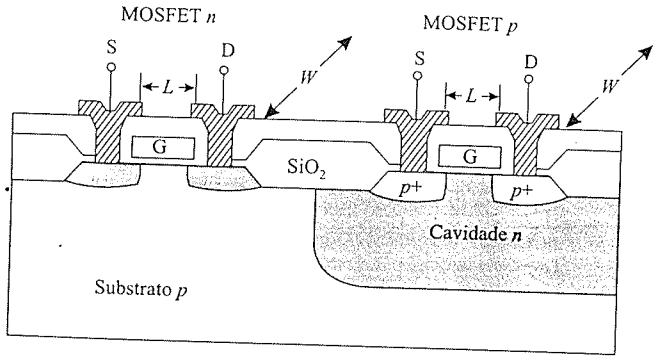


Figura A.4 Diagrama da seção transversal para transistores MOSFET canal-*n* e canal-*p* fabricados pelo processo CMOS de cavidade gêmea.

Resistores

Resistores na forma integrada não são muito precisos. Eles podem ser feitos a partir de vários tipos de difusões, como mostrado na Figura A.5. Regiões com diferentes difusões possuem resistividades diferentes. A cavidade *n* normalmente é usada para resistores de valores médios, enquanto as regiões de difusão *n*+ e *p*+ são usadas para resistores de valores baixos. O valor dos resitores pode ser definido ajustando-se o comprimento e a largura das regiões de difusão. A tolerância obtida para os resistores é muito ruim (20% a 50%), porém a coincidência de valores (ou casamento) para resistores similares é razoavelmente boa (5%). Logo, projetistas devem utilizar circuitos que explorem o casamento dos resistores e evitar circuitos que dependem de valores específicos de resistores. Observe também que o coeficiente de temperatura desses resistores costuma ser elevado.

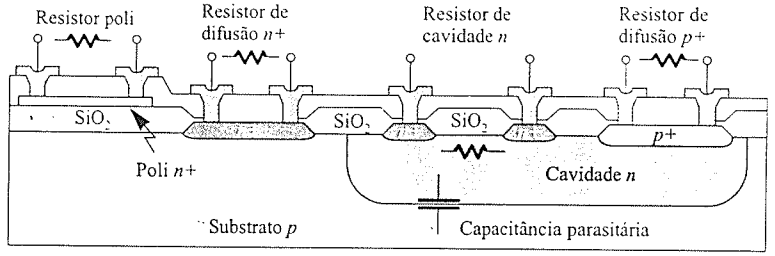


Figura A.5 Seções transversais de vários tipos de resistores disponíveis a partir de um processo CMOS de cavidade *n* típico.

Todos os resistores difundidos são auto-isolados pelas junções *pn* reversamente polarizadas. Um problema sério desses resistores é que eles possuem uma capacitância parasitária de junção substancial, tornando-os pouco adequados a aplicações de alta freqüência.

Um resistor mais útil pode ser fabricado usando a camada de silício policristalino colocada sobre o óxido espesso de campo. Uma fina camada possibilita uma relação mais consistente entre área superficial e a razão entre resistores. Além disso, resistores em silício policristalino são fisicamente separados do substrato e, portanto, apresentam capacitâncias parasitárias menores.

Capacitores

Dois tipos de estrutura de capacitor são encontrados em processos CMOS, os capacitores MOS e os capacitores interpoli. A Figura A.6 mostra a seção transversal dessas estruturas. O capacitor MOS, mostrado na estrutura central, é basicamente a capacitância de porta-fonte do MOSFET. O valor da capacitânica é dependente da área de porta. A espessura do óxido é a mesma da porta do MOSFET. Esse capacitor é fortemente dependente da tensão aplicada. Para eliminar esse problema, acrescenta-se uma implantação *n*+ para formar a placa inferior do capacitor, como mostrado na estrutura da direita. Esses dois tipos de capacitores estão fisicamente em contato com o substrato, resultando em capacitâncias parasitárias de junção *pn* grandes.

O capacitor interpoli apresenta características praticamente ideais, mas necessita da adição de uma segunda camada de silício policristalino ao processo CMOS. Como esse capacitor é construído sobre o óxido espesso de campo, efeitos parasitários são mínimos.

Um terceiro tipo de capacitor, muito menos utilizado, é o capacitor de junção. Qualquer junção *pn* reversamente polarizada produz uma região de depleção que funciona como um dielétrico entre as regiões *p* e *n*. A capacitância é determinada pela geometria e níveis de dopagem, com um coeficiente de tensão elevado. O fato de esse capacitor operar apenas em polarização reversa torna-o de pouca utilidade.

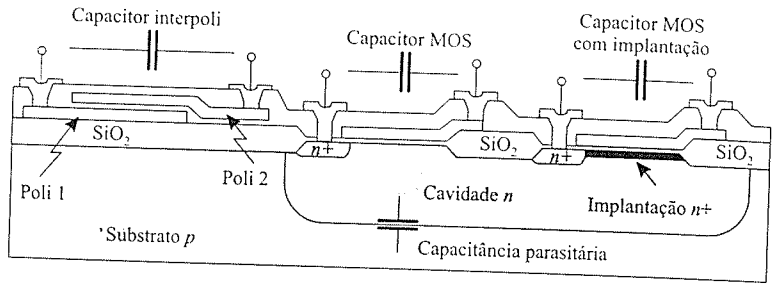


Figura A.6 Capacitores MOS e interpoli fabricados em um processo CMOS de cavidade *n*.

Para capacitores MOS e interpoli, os valores de capacitância podem ser controlados dentro de 1%. Valores práticos de capacitâncias situam-se na faixa de 0,5 pF a poucas dezenas de pF. O casamento entre capacitores similares pode ser de até 0,1%. Essa propriedade é extremamente útil para projetar circuitos CMOS analógicos de precisão.

Diodos de Junção *pn*

Sempre que regiões difundidas tipo *n* e tipo *p* são postas em proximidade, chega-se a uma junção *pn*. Uma estrutura útil é o diodo de cavidade *n* mostrado na Figura A.7. O fato de o diodo ser fabricado em uma cavidade *n* implica uma tensão de ruptura elevada. Esses diodos são essenciais para os circuitos de grampeamento de entrada utilizados na proteção contra descargas eletrostáticas. Monitorando-se a variação de sua tensão direta, o diodo também é muito útil como um sensor de temperatura integrado.

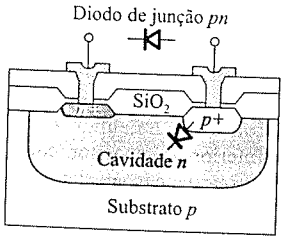


Figura A.7 Diodo de junção *pn* em um processo CMOS cavidade *n*.

O Processo BiCMOS

Um transistor *npn* vertical pode ser integrado em um processo CMOS com a adição de uma região difundida de base *p* (veja a Figura A.8). As características desse dispositivo dependem da largura de base e da área de emissor. A largura de base é determinada pela diferença de profundidades das difusões *n*+ e de base *p*. A área de emissor é determinada pela área da junção da difusão *n*+ no emissor. A cavidade *n* serve como um coletor para o transistor *npn*. Tipicamente, o transistor *npn* tem um β de 50 a 100 e uma freqüência de corte maior que 10 GHz.

Normalmente, uma camada *n*+ enterrada é usada para reduzir a resistência série do coletor, uma vez que a cavidade *n* possui resistividade extremamente elevada. No entanto, isso complica ainda mais a seqüência de processamento, introduzindo uma epitaxia tipo *p* e mais uma máscara. Outras variantes de transistores bipolares incluem o emissor policristalino e o contato de base auto-alinhado para minimizar efeitos parasitários.

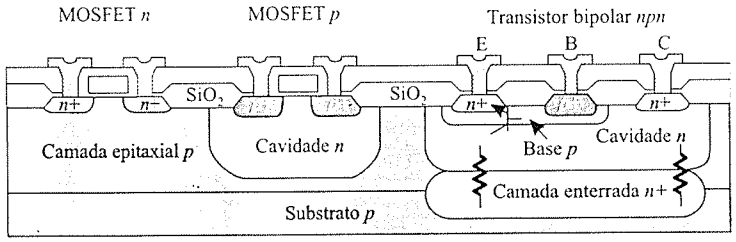


Figura A.8 Diagrama da seção transversal de um processo BiCMOS.

Transistor *pnp* Lateral

Devido ao fato de a maioria dos processos BiCMOS não ter transistores *pnp* otimizados, os projetos de circuito se tornam mais difíceis. No entanto, em situações pouco críticas, um transistor *pnp* lateral parasitário pode ser utilizado (Figura A.9).

Nesse caso, a cavidade *n* serve como a região *n* de base, com as difusões *p*+ servindo de coletor e emissor. A largura da base é determinada pela separação entre as duas difusões *p*+. Já que os perfis de dopantes não são otimizados para formar as junções de coletor–base e a largura da base é limitada pela resolução da etapa fotoligráfica, o desempenho desse dispositivo não é muito bom e, tipicamente, β fica em torno de 10 com uma baixa freqüência de corte.

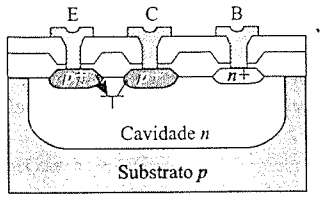


Figura A.9 Um transistor *pnp* lateral.

Resistores de Base *p* e de Base Estrangulada

Com a difusão de base *p* adicional do processo BiCMOS, duas estruturas adicionais de resistores se tornam disponíveis. A difusão de base *p* pode ser usada para formar diretamente um resistor de base *p*, como mostrado na Figura A.10. Como a região de base usualmente possui um baixo nível de dopagem e uma profundidade de junção moderada, ela é adequada para formar resistores de valores médios (poucos kΩ). Se for necessário fabricar resistores de valores elevados, o resistor de base estrangulada pode ser utilizado. Nessa estrutura, a região de base *p* é comprimida pela difusão *n*+, restringindo o caminho de condução. Resistores de valores entre 10 kΩ e 100 kΩ podem ser fabricados. Como no caso dos resistores difundidos, discutidos anteriormente, esses resistores exibem tanto tolerâncias quanto coeficientes de temperatura ruins.

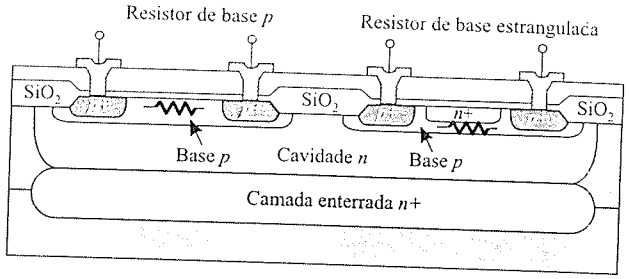


Figura A.10 Resistores de base *p* e de base estrangulada.

PROJETOS DE CIRCUITOS VLSI

O circuito projetado esquematicamente precisa ser transformado em um layout que consiste nas representações geométricas de componentes de circuito e suas interconexões. Com o advento das ferramentas para projeto auxiliado por computador (*computer aided design* – CAD), muitos dos passos de conversão entre o diagrama esquemático e o layout podem ser realizados de forma semi-automática ou totalmente automática. No entanto, um bom projetista de CIs deve ser capaz de realizar *layouts* totalmente sob medida (*full custom layouts*). Um exemplo de um inversor CMOS pode ser usado para ilustrar esse procedimento (veja as Figuras A.11 e A.12).

O circuito precisa ser "planarizado" e redesenhado para eliminar cruzamentos entre interconexões, de forma similar à confecção de placas de circuito impresso. Cada processo é feito a partir de um conjunto específico de máscaras. Nesse caso, são utilizadas sete máscaras ou níveis de mascaramento. Normalmente, atribui-se a cada nível de mascaramento uma cor e um padrão de enchimento das estruturas bem específicos, de forma a torná-lo facilmente identificável em uma tela de computador ou em uma impressão. O layout começa pelo posicionamento dos transistores. A fim de facilitar a ilustração, os MOSFETs *n* e *p* estão dispostos de forma semelhante ao arranjo do diagrama esquemático. Na prática, o projetista procura optar pelo layout que melhor otimize a ocupação de área. Os MOSFETs são definidos pelas áreas ativas sobrepostas pela camada "poli 1". O comprimento e a largura do canal MOS são definidos pela largura da tira "poli 1" e pela largura da região ativa, respectivamente.

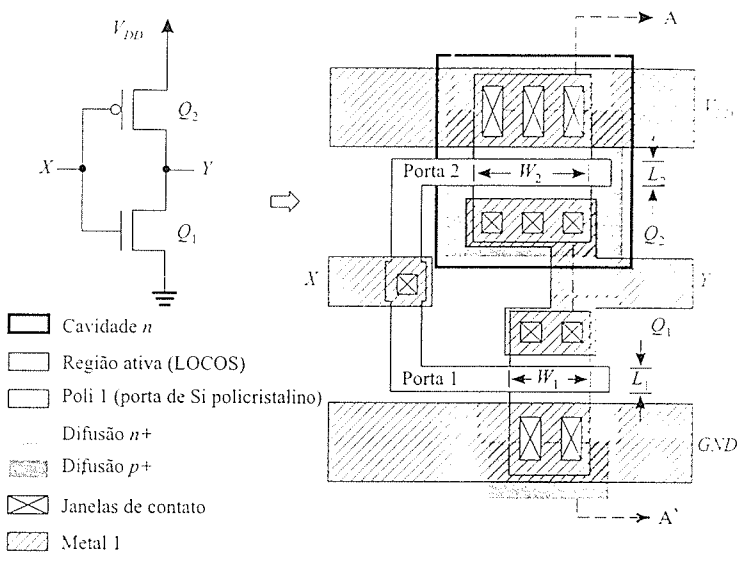


Figura A.11 Diagrama esquemático de um inversor CMOS e seu *layout*.

O MOSFET *p* é fabricado dentro da cavidade *n*. Para circuitos mais complexos, múltiplas cavidades *n* podem ser empregadas para diferentes grupos de MOSFETs *p*. O MOSFET *n* é circundado pela máscara de difusão *n*+, que forma a fonte e o dreno, enquanto o MOSFET *p* é circundado pela máscara de difusão *p*+. Janelas de contato são colocadas em regiões onde são necessárias conexões com a camada de metal. Finalmente, a camada "metal 1" completa as interconexões.

A seção transversal do inversor CMOS correspondente ao plano de corte *AA*' está mostrada na Figura A.12. As portas de silício policristalino para ambos os transistores estão conectadas de maneira a formar o terminal de entrada *X*. Os drenos de ambos os transistores são ligados juntos via "metal 1", formando o terminal de saída *Y*. As fontes dos MOSFETs *p* e *n* são ligadas ao terra (*ground* – GND) e V_{DD}, respectivamente. Note que contatos justapostos (*butting contacts*) consistem em difusões *n*+/*p*+ lado a lado e são usados para fixar o potencial de corpo dos MOSFETs *n* e *p* nos valores apropriados.

Uma vez completado o *layout*, o circuito deve ser conferido usando ferramentas de CAD, como extrator de circuitos, verificador de regras de projeto (*design rule checker* – DRC) e simulador de circuitos. Uma vez feitas essas verificações, o projeto, na forma de *layout*, pode ser "enviado" facilmente para fabricação de máscaras. Um equipamento gerador de traçados (*pattern generator* – PG) pode, então, escrever as geometrias em uma fotomáscara de vidro ou quartzo utilizando obturadores comandados eletronicamente. As camadas são transferidas uma a uma para as diferentes fotomáscaras. Após a revelação/corrosão dessas fotomáscaras, surgirão nelas traçados claros e escuros semelhantes às geometrias do layout. Um conjunto de fotomáscaras para o exemplo do inversor CMOS está mostrado na Figura A.13. Se as geometrias traçadas nas

fotomáscaras forem abertas como janelas ou então permanecerem opacas como traçados, as máscaras são ditas de campo **escuro** ou campo **claro**. Observe que cada uma dessas camadas deve ser processada em seqüência. Logo, as fotomáscaras devem ser alinhadas com muita precisão para formar os transistores e as interconexões. Naturalmente, quanto maior o número de camadas, mais difícil é manter o alinhamento. Isso também exige melhores equipamentos litográficos e possivelmente implica rendimentos menores. Portanto, cada máscara adicional implicará um aumento no custo final da pastilha de CI.

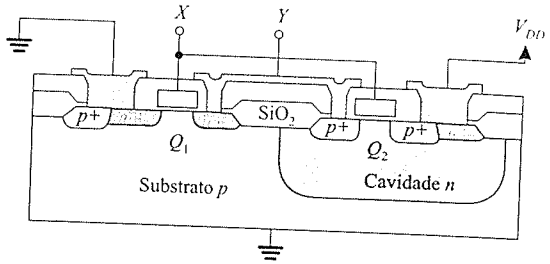


Figura A.12 Seção transversal para o plano *AA'* de um inversor CMOS.

Resumo

Este apêndice apresentou uma visão geral de vários aspectos da tecnologia de fabricação de circuitos integrados, incluindo-se características de componentes, seqüência de processamento e *layouts*. Não houve aqui a pretensão de abordar o estado da arte em termos de tecnologias de fabricação de CIs. Leitores interessados devem consultar livros de referência sobre este assunto para uma abordagem mais detalhada.

Bibliografia

R. S. Muller e T. I. Kamins, *Device Electronics for Integrated Circuits*, 2ª ed., New York, John Wiley & Sons, 1986.

W. R. Runyan e K. E. Bean, *Semiconductor Integrated Circuit Processing Technology*, New York, Addison Wesley, 1990.

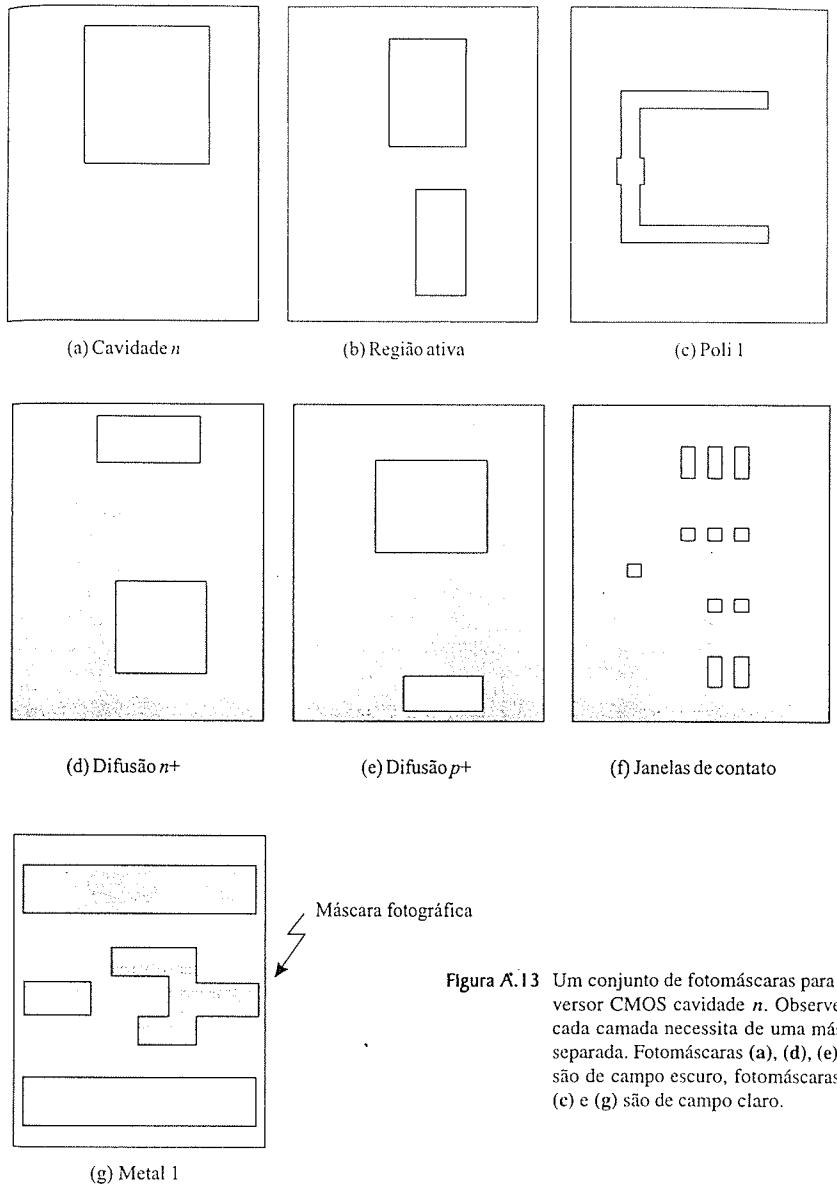


Figura A.13 Um conjunto de fotomáscaras para o inversor CMOS cavidade *n*. Observe que cada camada necessita de uma máscara separada. Fotomáscaras **(a)**, **(d)**, **(e)** e **(f)** são de campo escuro, fotomáscaras **(b)**, **(c)** e **(g)** são de campo claro.

APÊNDICE B

MAKRON Books

Parâmetros de Quadripolos

INTRODUÇÃO

Em vários pontos no decorrer deste texto, fizemos uso de algumas das diferentes formas de caracterizar um quadripolo. Um resumo desse tópico é apresentado neste apêndice.

A CARACTERIZAÇÃO DOS QUADRIPOLOS

Uma rede de dois acessos, ou quadripolo, tem quatro variáveis de acesso (Figura B.1): V_1, I_1, V_2 e I_2. Se a rede de dois acessos for linear, podemos usar duas das variáveis como variáveis de excitação e as outras duas como variáveis de resposta. Por exemplo, a rede pode ser excitada por uma tensão V_1 no acesso 1 e uma tensão V_2 no acesso 2 e as duas correntes, I_1 e I_2, podem ser medidas e representam as respostas da rede. Nesse caso, V_1 e V_2 são as variáveis independentes e I_1 e I_2 são as variáveis dependentes e a operação da rede pode ser descrita por duas equações

$$I_1 = y_{11}V_1 + y_{12}V_2 \tag{B.1}$$

$$I_2 = y_{21}V_1 + y_{22}V_2 \tag{B.2}$$

Aqui, os quatro parâmetros y_{11}, y_{12}, y_{21} e y_{22} são admitâncias e seus valores caracterizam completamente o quadripolo.

Dependendo de quais duas variáveis, entre as quatro variáveis de acesso, forem usadas para representar a excitação, um conjunto diferente de equações (e, correspondentemente, um conjunto de parâmetros diferentes) é obtido para caracterizar a rede. Apresentaremos a seguir os quatro conjuntos de parâmetros comumente usados em eletrônica.

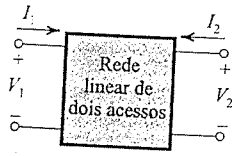


Figura B.1 Os sentidos de referência das quatro variáveis em uma rede linear com dois acessos.

Os Parâmetros *y*

A caracterização pela admitância de curto-circuito (ou parâmetros *y*) é baseada na excitação da rede por V_1 e V_2, conforme mostrado na Figura B.2(a). As equações que descrevem esse caso são as Equações B.1 e B.2. Os quatro parâmetros de admitância podem ser definidos analisando-se as Equações B.1 e B.2.

Especificamente, a partir da Equação B.1, vemos que y_{11} é definido como

$$y_{11} = \left.\frac{I_1}{V_1}\right|_{V_2 = 0} \tag{B.3}$$

Portanto, y_{11} é a admitância do acesso 1 com o acesso 2 curto-circuitado. Essa definição está ilustrada na Figura B.2(b), a qual proporciona também um método conceitual para medição da admitância y_{11} em curto-circuito.

A definição de y_{12} pode ser obtida a partir da Equação B.1 como

$$y_{12} = \left.\frac{I_1}{V_2}\right|_{V_1 = 0} \tag{B.4}$$

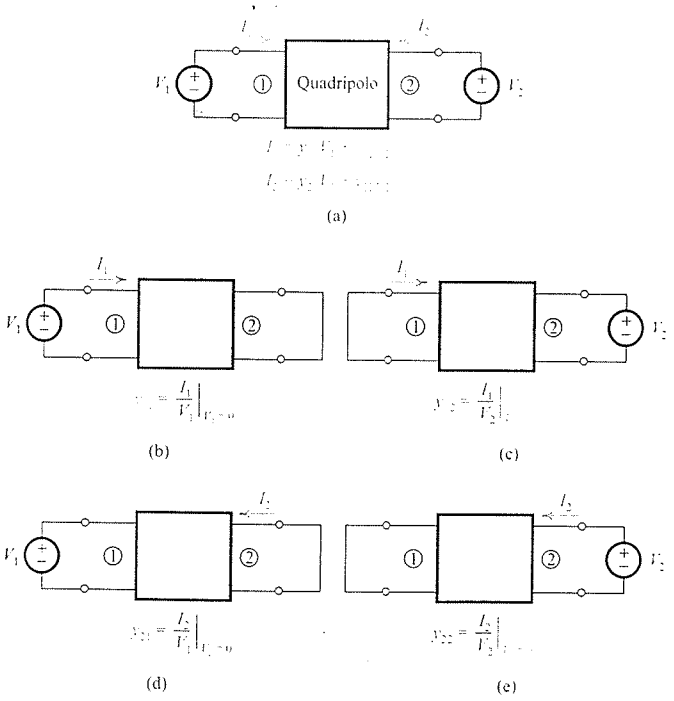


Figura B.2 Definição e circuitos conceituais para medição dos parâmetros *y*.

Portanto, y_{12} representa a transmissão do acesso 2 para o acesso 1. Como nos amplificadores o acesso 1 representa o acesso de entrada e o acesso 2 representa o acesso de saída, y_{12} representa a *realimentação* interna na rede. A Figura B.2(c) ilustra a definição e o método de medição de y_{12}.

A definição de y_{21} pode ser obtida pela Equação B.2 como

$$y_{21} = \left.\frac{I_2}{V_1}\right|_{V_2=0} \tag{B.5}$$

Portanto, y_{21} representa a transmissão do acesso 1 para o acesso 2. Se o acesso 1 for o acesso de entrada e o acesso 2 for o acesso de saída de um amplificador, então y_{21} representa uma medida do ganho direto ou da transmissão. A Figura B.2(d) ilustra a definição e o método de medição de y_{21}.

O parâmetro y_{22} pode ser definido, baseado na Equação B.2, como

$$y_{22} = \left.\frac{I_2}{V_2}\right|_{V_1=0} \tag{B.6}$$

Portanto, y_{22} é a admitância vista do acesso 2 enquanto o acesso 1 é curto-circuitado. Para amplificadores, y_{22} é a admitância de saída em curto-circuito. A Figura B.2(e) ilustra a definição e o método de medição de y_{22}.

Os Parâmetros *z*

A caracterização da impedância em circuito aberto (ou parâmetros *z*) da rede de dois acessos é baseada na excitação da rede por I_1 e I_2, conforme mostrado na Figura B.3(a). As descrições das equações são

$$V_1 = z_{11}I_1 + z_{12}I_2 \tag{B.7}$$

$$V_2 = z_{21}I_1 + z_{22}I_2 \tag{B.8}$$

Devido à dualidade entre as caracterizações dos parâmetros *z* e *y*, não faremos uma discussão detalhada dos parâmetros *z*. A definição e os métodos de medição de cada um dos quatro parâmetros *z* são dados na Figura B.3.

Os Parâmetros *h*

A caracterização híbrida (ou parâmetros *h*) da rede de dois acessos é baseada na excitação da rede por I_1 e V_2, conforme mostrado na Figura B.4(a) (observe a razão do nome *híbrida* dado anteriormente). As descrições das equações são

$$V_1 = h_{11}I_1 + h_{12}V_2 \tag{B.9}$$

$$I_2 = h_{21}I_1 + h_{22}V_2 \tag{B.10}$$

das quais a definição dos quatro parâmetros pode ser obtida como

$$h_{11} = \left.\frac{V_1}{I_1}\right|_{V_2=0} \qquad h_{21} = \left.\frac{I_2}{I_1}\right|_{V_2=0}$$

$$h_{12} = \left.\frac{V_1}{V_2}\right|_{I_1=0} \qquad h_{22} = \left.\frac{I_2}{V_2}\right|_{I_1=0}$$

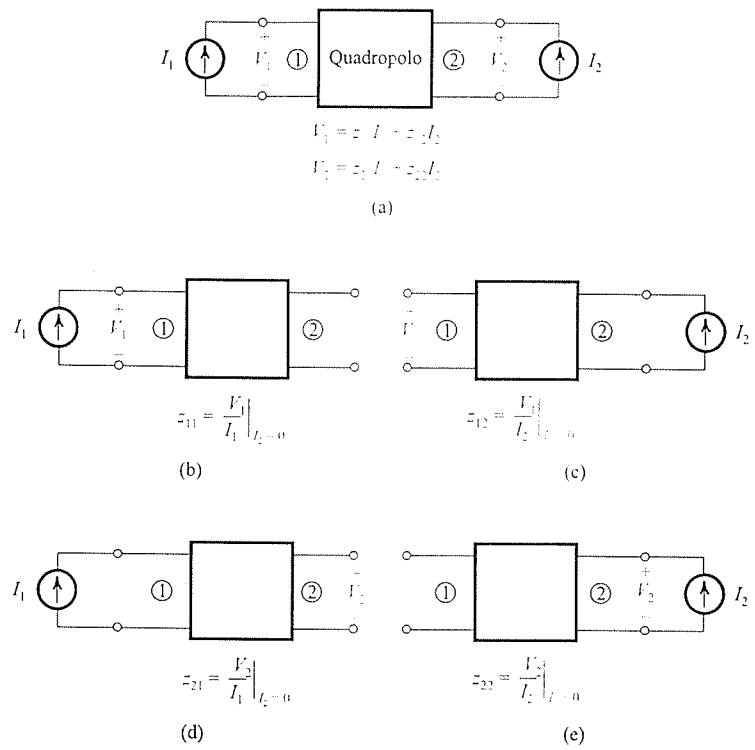


Figura B.3 Definição e circuitos conceituais para medição dos parâmetros *z*.

Portanto, h_{11} é a impedância de entrada no acesso 1 com o acesso 2 curto-circuitado. O parâmetro h_{12} representa a razão de tensão reversa ou de realimentação da rede, medida com o acesso de entrada em circuito aberto. O parâmetro h_{21} representa o ganho de corrente da rede com o acesso de saída curto-circuitado; por essa razão, h_{21} é chamado de *ganho de corrente em curto-circuito*. Finalmente, h_{22} é a admitância de saída com o acesso de entrada em circuito aberto.

As definições e os métodos conceituais de medição dos parâmetros *h* são apresentados na Figura B.4.

Os Parâmetros *g*

A caracterização híbrida inversa (ou parâmetros *g*) da rede de dois acessos é baseada na excitação da rede por V_1 e I_2, conforme mostrado na Figura B.5(a). As descrições das equações são

$$I_1 = g_{11}V_1 + g_{12}I_2 \tag{B.11}$$

$$V_2 = g_{21}V_1 + g_{22}I_2 \tag{B.12}$$

As definições e os métodos conceituais de medição são dados na Figura B.5.

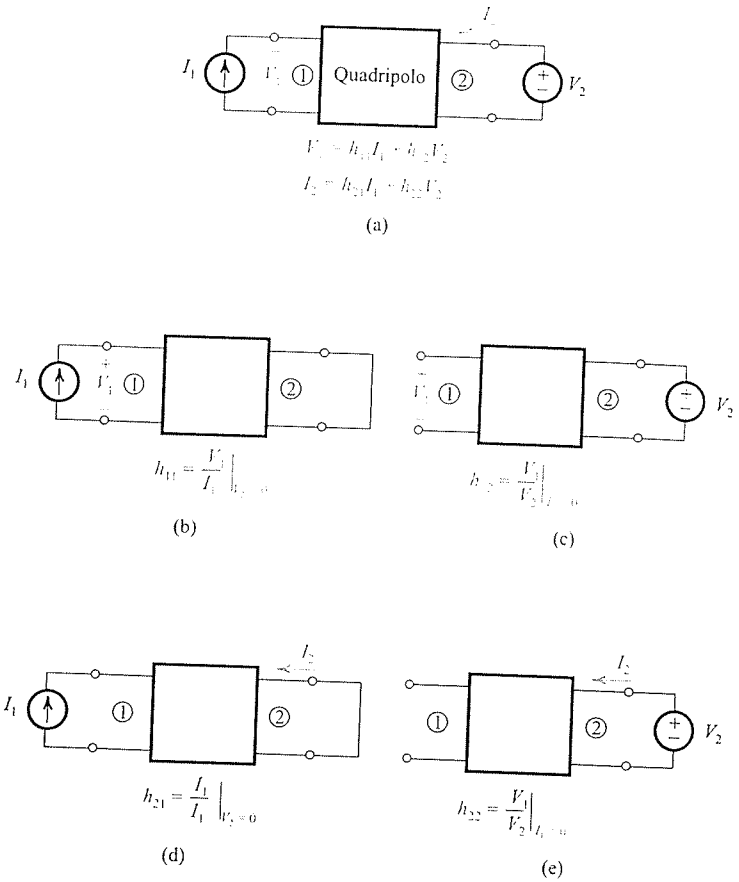


Figura B.4 Definição e circuitos conceituais para medição dos parâmetros *h*.

A Representação por Circuitos Equivalentes

Uma rede de dois acessos pode ser representada por um circuito equivalente baseado no conjunto de parâmetros usado em sua caracterização. A Figura B.6 mostra quatro circuitos equivalentes possíveis correspondendo aos quatro tipos de parâmetros discutidos anteriormente. Cada um desses circuitos equivalentes é uma representação pictórica direta das duas equações descritivas da rede em termos de um conjunto particular de parâmetros.

Finalmente, deve ser mencionado que há outros conjuntos de parâmetros para caracterização de quadripolos, mas eles não serão discutidos ou usados neste livro.

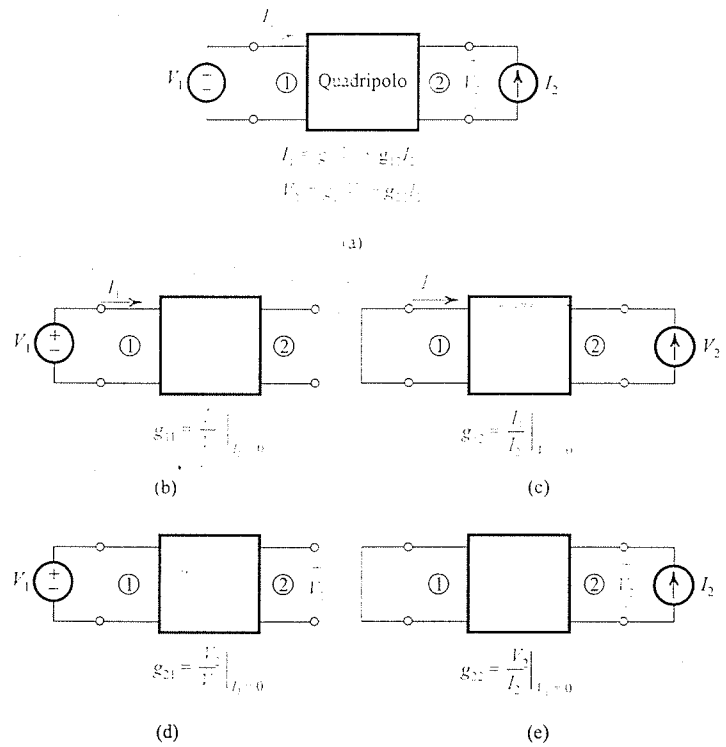


Figura B.5 Definição e circuitos conceituais para medição dos parâmetros *g*.

Exercício

B.1 A Figura EB.1 mostra o modelo de circuito equivalente para pequenos sinais de um transistor. Calcule os valores dos parâmetros *h*.

Resposta $h_{11} = 2{,}6\ \text{k}\Omega$; $h_{12} = 2.5 \times 10^{-4}$; $h_{21} = 100$; $h_{22} = 2 \times 10^{-5}\ \text{℧}$

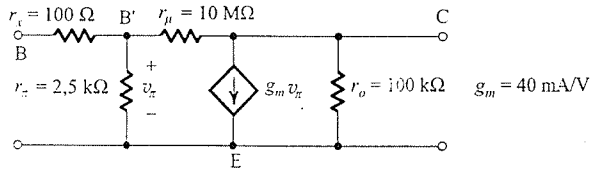


Figura EB.1

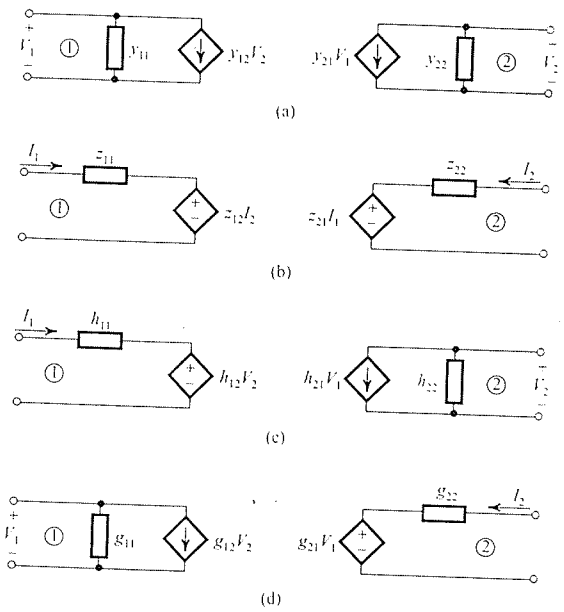


Figura B.6 Circuitos equivalentes para os parâmetros (a) y, (b) z, (c) h e (d) g.

PROBLEMAS

B.1 (a) Um amplificador caracterizado pelo circuito equivalente com parâmetros h da Figura B.6(c) é estimulado por uma fonte tendo uma tensão V_s, uma resistência R_s e está acoplado a uma resistência de carga R_L. Mostre que o ganho de tensão é dado por

$$\frac{V_2}{V_s} = \frac{-h_{21}}{(h_{11} + R_s)(h_{22} + 1/R_L) - h_{12}h_{21}}$$

(b) Use a expressão deduzida em (a) para calcular o ganho de tensão do transistor no Exercício B.1 para $R_s = 1\ \text{k}\Omega$ e $R_L = 10\ \text{k}\Omega$.

B.2 As propriedades terminais de uma rede de dois acessos são medidas com os seguintes resultados: com a saída curto-circuitada e uma corrente de entrada de 0,01 mA, a corrente de saída é de 1,0 mA e a tensão medida na entrada é de 26 mV. Com a entrada em aberto e uma tensão de 10 V aplicada na saída, a corrente de saída é de 0,2 mA e a tensão média na entrada é de 2,5 mV. Encontre valores para os parâmetros h dessa rede.

B.3 A Figura PB.3 mostra o circuito equivalente de um TBJ para altas freqüências. (Por simplicidade, r_x foi omitida.) Encontre os parâmetros y.

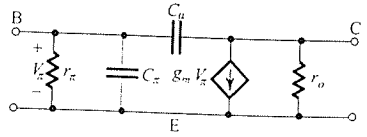


Figura PB.3

APÊNDICE C

MAKRON Books

Uma Introdução ao SPICE

INTRODUÇÃO

Neste apêndice apresentaremos uma breve introdução ao SPICE, mostrando como descrever um circuito para realizar a simulação. O objetivo deste apêndice é auxiliar o leitor a se iniciar no SPICE, mas ele *não* é um substituto às consultas a livros e manuais sobre o tema, como aqueles listados na seção de bibliografia.

Exemplos de como utilizar o SPICE na análise e projeto de uma grande variedade de circuitos eletrônicos foram apresentados na última seção de cada um dos Capítulos 3-14. Nessas seções, procuramos indicar como utilizar o SPICE adequadamente no processo de projeto de circuitos. Também descrevemos os modelos empregados pelo SPICE para os três dispositvos semicondutores básicos (Capítulos 3-5).

O QUE É O SPICE?

O SPICE é um programa de computador que pode ser utilizado para analisar a operação de um circuito eletrônico contendo uma variedade de componentes, por exemplo, transistores, diodos, resistores, capacitores etc. Utilizando as especificações do usuário para os parâmetros dos modelos de componentes, o SPICE pode realizar uma análise *cc* para determinar a polarização *cc* ou ponto de operação de cada componente, utilizar essa informação para calcular os parâmetros dos modelos para pequenos sinais dos dispositivos e utilizar estes últimos modelos para determinar o ganho de tensão, a resposta em freqüência etc. Ele também pode realizar uma análise transiente não-linear para circuitos como uma porta lógica e também outros tipos de análise.

Para que o SPICE possa realizar a simulação de um certo circuito, o usuário deve fornecer os seguintes dados:

a) *Descrição do circuito*: uma descrição completa do circuito a ser analisado; seus elementos de circuito, as fontes de sinal e de polarização presentes e como interligar os elementos. Também, deve fornecer os parâmetros dos modelos empregados para descrever os componentes eletrônicos utilizados (geradores, componentes passivos e ativos).
b) *Especificação das análises*: os tipos de análises, por exemplo, *cc*, pequenos sinais, transiente etc., que o usuário deseja que o SPICE realize.
c) *Especificação dos resultados*: o tipo de resultado que se deseja, por exemplo, uma tabela contendo correntes e tensões *cc*, um gráfico da CTT de uma porta lógica etc.

A seguir, descreveremos como essa informação deve ser apresentada ao SPICE. Antes, porém, devemos mencionar que toda essa informação é apresentada ao SPICE em uma seqüência de linhas de descrição armazendas em um arquivo chamado de **arquivo de entrada do SPICE** (*SPICE input file*).

Nesse arquivo (*.cir), a primeira linha é o **título** (title), que identifica o circuito, e a última linha é o comando .End, que indica o final do arquivo para o SPICE. A seqüência das linhas restantes é arbitrária, embora seja conveniente adicionar comentários ao longo do arquivo para facilitar a interpretação pelo usuário. Esses comentários são identificados por um asterisco como primeiro caracter no início da linha, que passa a ser uma linha de comentário. Para exemplos de arquivos de entrada SPICE, o leitor pode analisar o Apêndice D, que inclui um bom número desses arquivos, correspondendo aos exemplos apresentados no texto. (Esses arquivos também podem ser obtidos a partir do site Internet).

DESCRIÇÃO DO CIRCUITO

Cada elemento no circuito é especificado por uma **declaração de elemento** (*element statement*) contendo o nome do elemento, os nós de circuito aos quais ele está conectado e o(s) valor(es) do(s) parâmetro(s) elétrico(s). A primeira letra de um elemento indica o tipo de elemento (por exemplo, R para resistor) e o nome pode possuir de um a oito caracteres alfanuméricos. Os nós de circuito são especificados por meio de números inteiros não-negativos, mas não precisam ser numerados seqüencialmente.

O nó de terra precisa ser numerado com zero. Cada nó deve possuir, pelo menos, duas conexões, exceto os nós de substrato dos MOSFETs e as linhas de transmissão sem terminação. Formatos de especificação básicos (incompletos) são apresentados na Tabela C.1, na qual:

Tabela C.1 Sintaxes para declarações de elementos.

Componentes	Nome	Nós e valores		
Resistor	Rxxxxxxxx	N+	N–	VALOR
Capacitor	Cxxxxxxxx	N+	N–	VALOR
Indutor	Lxxxxxxxx	N+	N–	VALOR
GCCT (VCCS)	Gxxxxxxxx	N+	N–	NC + NC – VALOR
GTCT (VCVS)	Exxxxxxxx	N+	N–	NC + NC – VALOR
GCCC (CCCS)	Fxxxxxxxx	N+	N–	VNOM VALOR
GTCC (CCVS)	Hxxxxxxxx	N+	N–	VNOM VALOR
Fonte de tensão	Vxxxxxxxx	N+	N–	QUAL
Fonte de corrente	Ixxxxxxxx	N+	N–	QUAL

1. O nome do componente começa com uma letra específica (como indicado) e possui de um a oito caracteres alfanuméricos.
2. N+ e N– indicam os nós de ligação no circuito, o primeiro sendo positivo (se isso for importante). Observe que a corrente de uma fonte de corrente flui de N+ para N–.
3. VALOR está nas unidades de ohms, farads, henries, A/V, V/V, A/A, V/A, respectivamente, para os sete componentes listados anteriormente. Por conveniência, prefixos de unidades podem ser usados, como indicado na Tabela C.2.

Tabela C.2 Abreviaturas para fatores de escala reconhecidos pelo SPICE.

Sufixo indicativo da potência de dez	Prefixo métrico	Fator multiplicador
T	tera	10^{12}
G	giga	10^{9}
Meg	mega	10^{6}
K	quilo	10^{3}
M	mili	10^{-3}
U	micro	10^{-6}
N	nano	10^{-9}
P	pico	10^{-12}
F	fento	10^{-15}

4. NC+ e NC– são os nós aos quais a tensão de controle está ligada.
5. VNOM é a fonte de tensão através da qual a corrente de controle flui.
6. QUAL é um conjunto de atributos da fonte, tanto *cc* quanto transientes (incluindo pulso, senóide, exponencial ou linear por partes) com amplitudes e outros atributos ou *ca* com magnitude e fase.
7. Uma fonte de tensão com valor zero é usada para indicar a localização de uma medida de corrente.

Como exemplo, um resistor de 2.2 MW, com o nome R_{B2}, conectado entre os nós 4 e 5, pode ser descrito ao SPICE pela seguinte declaração de elemento (note o ponto em vez da vírgula e o MEG – e não M – para indicar mega):

RB2 4 5 2.2 MEG

Como outro exemplo, um capacitor de 1,0 μF (CC_1) conectado entre os nós 3 e 4 e tendo uma tensão inicial de 5 V pode ser descrito pela seguinte declaração:

CC1 3 4 1.0M IC = 5

em que IC indica "condição inicial". Como exemplo final, um gerador de tensão controlado por tensão, representando o ganho diferencial de tensão de um amp op, pode ser descrito como:

EOUT 3 0 2 1 100K

em que EOUT indica o GTCT cujo terminal de saída está no nó 3, tendo como referência o terra (nó 0), e cujos terminais de entrada estão ligados aos nós 2 e 1, sendo o fator de controle 10^5 V/V.

Descrever um dispositivo semicondutor para o SPICE exige uma declaração de elemento e de uma **declaração de modelo** (*model statement*). A Tabela C.3 apresenta a sintaxe das declarações de elemento para o diodo, o TBJ e o MOSFET. Os comentários a seguir são apropriados:

1. A declaração inicia-se com o nome do dispositivo, do qual a primeira letra indica o tipo de dispositivo.
2. Para um diodo, N+ é o nó ao qual se liga o anodo e N– é o nó ao qual se liga o catodo.
3. Para um TBJ, NC, NB, NE e NS são os nós de circuito aos quais se ligam o coletor, a base, o emissor e o substrato (para TBJs de CIs).

Tabela C.3 Declarações de elemento para dispositivos semicondutores.

Componentes	Nome	Nós e modelos				
Diodo	Dxxxxxxxx	N+	N–		MNOME	AREA
TBJ	Qxxxxxxxx	NC	NB	NE	NS	MNOME AREA
MOSFET	Mxxxxxxxx	ND	NG	NS	NB	MNOME L W

4. Para um MOSFET, ND, NG, NS e NB são os nós aos quais se ligam o dreno, a porta, a fonte e o corpo (substrato).
5. MNOME indica o nome do modelo para o dispositivo em particular (por exemplo, Q2N2222A para o TBJ do tipo 2N2222A). Os valores dos parâmetros do modelo são especificados separadamente na declaração do modelo; veja o exemplo a seguir.
6. AREA é um fator de escala de área (opcional); é o número de diodos ou TBJs do tipo em questão que devem ser conectados em paralelo para formar o dispositivo desejado.
7. L e W indicam o comprimento e a largura do canal do MOSFET, em metros.

Finalmente, a Tabela C.4 apresenta as sintaxes das declarações de modelos para os diodos, TBJs e MOSFETs.

Tabela C.4 Sintaxes para as declarações de modelos.

Componentes	Declaração de modelo
Diodo	.Model M NOME D(IS = ... n = ... etc.)
TBJ	.Model MNOME NPN (ou PNP)(IS = ... βF = ... etc.)
MOSFET	.Model MNOME NMOS (ou PMOS)(kP = ... Vt0 = ... etc.)

Aqui, novamente, MNOME refere-se ao nome do modelo. Obviamente, para cada tipo de dispositivo no circuito deve haver uma declaração de modelo, especificando os valores dos parâmetros do modelo a serem usados para aquele dispositivo em particular. Dispositivos do mesmo tipo (digamos, TBJs do tipo 2N2222A) utilizam o mesmo modelo; não se pode repetir a declaração de modelo. Após a identificação do dispositivo (D para diodo, NPN para um TBJ *npn*, PNP para um TBJ *pnp* etc.), segue uma lista de valores para os parâmetros do modelo. Para outras informações a esse respeito, o leitor deve consultar as seções SPICE dos Capítulos 3, 4 e 5.

ESPECIFICANDO AS ANÁLISES

Uma vez descrito o circuito para o SPICE por meio do arquivo de entrada, o usuário deve, então, especificar o tipo de análise desejada para a simulação. Há três tipos principais: ponto de operação *cc* (DC operating point), resposta *ca* em freqüência (*AC frequency response*) e resposta transiente (*transient response*). A Tabela C.5 apresenta a sintaxe dessas análises e também do comando de varredura *cc* (*DC sweep command*). Note que cada um desses comandos inicia com um ponto (.), que informa o SPICE que se trata de uma linha de comando solicitando uma ação e não parte da descrição do circuito.

Tabela C.5 Principais comandos de análise.

Análise solicitada	Comando SPICE
Ponto de operação	.OP
Varredura *cc*	.DC *nome_da_fonte valor_inicial valor_final valor_do_passo*
Resposta *ca* em freqüência	.AC DEC *pontos_por_decada freq_inicial freq_final*
	.AC OCT *pontos_por_oitava freq_inicial freq_final*
	.AC LIN *total_de_pontos freq_inicial freq_final*
Resposta transiente	.TRAN *passo_de_tempo tempo_final*
	[*tempo_sem_imprimir tamanho_maximo_do_passo*] [UIC]

O comando de ponto de operação *cc*, .OP, calcula e apresenta em um arquivo de saída todas as tensões nodais *cc*, correntes *cc* nos ramos e as dissipações de potência das fontes *cc*.

Embora a curva característica de transferência *cc* possa ser determinada executando-se várias análises .OP alterando-se o valor da fonte *cc* de entrada, o SPICE apresenta uma alternativa: o comando de varredura *cc* (.DC), que executa essa tarefa automaticamente. A sintaxe desse comando inclui o nome da fonte *cc* de entrada que deve ser variada (*nome_da_fonte*), o valor em que ela começa (*valor_inicial*), o incremento ou decremento em seu valor (*valor_do_passo*) e o valor final a ser atingido (*valor_final*).

Com o comando de resposta *ca* em freqüência (.AC), o SPICE executa uma análise da resposta em freqüência para pequenos sinais (portanto, resposta linear). Ele calcula automaticamente o ponto de operação *cc*, por meio do qual ele define os valores dos parâmetros a serem empregados nos circuitos de modelos equivalentes para pequenos sinais de todos os elementos não-lineares. O circuito linear equivalente para pequenos sinais completo é então analisado para freqüências iniciando-se em (*freq_inicial*) e terminando em (*freq_final*). Os pontos intermediários são espaçados logaritmicamente, ou por década (DEC) ou por oitava (OCT). O número de pontos em um dado intervalo de freqüências é especificado pelo usuário (*pontos_por_decada* ou *pontos_por_oitava*). Podemos especificar uma varredura linear em freqüência (LIN) e o número total de pontos calculados (*total_de_pontos*). Usualmente, utiliza-se a varredura linear em freqüência quando a faixa de freqüências de interesse é estreita e a varredura logarítmica quando a faixa de freqüências de interesse é larga.

Finalmente, com o comando de resposta transiente (.TRAN), o SPICE calcula as variáveis de circuito em função do tempo para um intervalo de tempo especificado. O intervalo de tempo inicia-se em $t = 0$ e prossegue a passos lineares de *passo_de_tempo* até que *tempo_final* seja atingido. Embora toda análise transiente inicie-se em $t = 0$, pode-se iniciar a impressão ou plotagem dos resultados de saída após um certo intervalo de tempo especificado por *tempo_sem_imprimir*. Essa é uma forma conveniente de pular a etapa transiente inicial de uma rede e de visualizar apenas sua resposta em estado estável.

Antes do início de qualquer análise transiente, o SPICE precisa determinar os valores iniciais das variáveis de circuito, usualmente a partir de uma análise *cc* do circuito. Se o parâmetro opcional UIC (*use initial conditions*) for especificado no comando .TRAN, o SPICE não realizará a análise *cc* e usará apenas a informação contida no parâmetro "IC =" que acompanha cada declaração de capacitor ou indutor. Todos os elementos sem uma especificação "IC =" são considerados com condição inicial igual a zero.

ESPECIFICANDO OS RESULTADOS

Simulações de circuito produzem uma enorme quantidade de dados e seria impraticável apresentar todos eles ao usuário. Em vez disso, o SPICE possui ferramentas de apresentação de resultados que possibilitam ao usuário especificar que variáveis de circuito ele deseja visualizar e qual o melhor formato de apresentação para elas. É o equivalente a colocar uma ponta de prova de um osciloscópio em um determinado ponto do circuito. A Tabela C.6 apresenta as sintaxes dos formatos de impressão e plotagem.

Tabela C.6 Principais comandos de análise.

Saída solicitada	Comando SPICE
Imprima os pontos calculados	.PRINT DC *variaveis_saida* .PRINT AC *variaveis_saida* .PRINT TRAN *variaveis_saida*
Plote os pontos calculados	.PLOT DC *variaveis_saida* [*limite_inferior, limite_superior*] .PLOT AC *variaveis_saida* [*limite_inferior, limite_superior*] .PLOT TRAN *variaveis_saida* [*limite_inferior, limite_superior*]

Notas:

1. *variaveis_saida* no SPICE podem ser quaisquer tensões nodais V(*nó*), tensões diferenciais entre dois nós V(*nó*$_1$, *nó*$_2$) ou a corrente através de uma fonte de tensão I(V*nome*).
2. *variaveis_saida* em *ca* também podem ser
   Vr, Ir: parte real
   Vi, Ii: parte imaginária
   Vm, Im: magnitude
   Vp, Ip: fase
   Vdb, Idb: em decibéis
3. O programa comercial PSPICE permite uma maior flexibilidade na especificação de *variaveis_saida*.

O comando .PRINT imprime as variáveis desejadas na forma tabular como função da variável independente associada a cada tipo de análise. Com ele, precisamos especificar o tipo de análise (DC, AC ou TRAN) em questão. A seguir, especificamos uma lista de variáveis (tensões ou correntes, indicadas por *variaveis_saida*). Geralmente, uma variável do tipo tensão é especificada como a tensão diferencial entre dois nós, digamos *nó*$_1$ e *nó*$_2$, na forma V(*nó*$_1$, *nó*$_2$). Quando um dos nós é omitido, assume-se o nó do terra (0).

O SPICE permite que apenas as correntes fluindo através de fontes independentes de tensão sejam observadas. Tais correntes são especificadas na forma I(V*nome*), em que V*nome* é o nome da fonte independente de tensão através da qual a corrente está fluindo. Se desejamos observar uma corrente em um ramo no qual não há uma fonte de tensão, devemos adicionar uma fonte de tensão de valor zero em série com o ramo e solicitar que a corrente através dessa fonte seja impressa ou plotada.

Para uma análise do tipo DC, as variáveis de saída são grandezas senoidais ou fasoriais em função da freqüência e são representadas por números complexos. O SPICE trabalha com esses números na notação retangular ou polar. A magnitude pode ser expressa também em decibéis, caso seja conveniente. Para obter um tipo específico de variável, as notas de rodapé da Tabela C.6 indicam como proceder.

Os resultados de uma análise do tipo TRAN são as tensões nodais e correntes nos ramos calculadas como função do tempo.

As ferramentas gráficas do SPICE geram gráficos com os pontos conectados por linhas em função da variável independente. As sintaxes para o comando de plotagem são idênticas àquelas do comando de impressão.

UM COMENTÁRIO FINAL

Para adquirir experiência em escrever programas SPICE, o leitor é aconselhado a confrontar as listagens SPICE do Apêndice D com os circuitos correspondentes dos exemplos apresentados na última seção de cada um dos Capítulos 3 a 14. O próximo passo é, naturalmente, tentar simular outros circuitos deste livro com o SPICE. Os problemas de final de capítulo apresentam um número considerável de circuitos que se prestam a esse propósito.

BIBLIOGRAFIA

M. Rashid, *SPICE for Circuits and Electronics Using PSPICE*. Englewood Cliffs, NJ, Prentice-Hall, 1990.

G. W. Roberts e A. Sedra, *SPICE*, New York, Oxford University Press, 1992 e 1997.

P. Tuinenga, *A Guide to Circuit Simulation and Analysis Using PSPICE*, 2ª ed., Englewood Cliffs, NJ, Prentice-Hall, 1992.

A. Vladimirescu, *The SPICE Book*, New York, John Wiley, 1994.

APÊNDICE D

MAKRON Books

Listagens dos Arquivos de Entrada SPICE para os Exemplos de Simulação

Este Apêndice contém listagens completas dos arquivos de entrada para os exemplos de simulação SPICE dos Capítulos 3-14. O sftware SPICE, que possui várias versões comerciais, pode ser obtido gratuitamente (versão estudantil) por exemplo em `http://www.orcad.com/products/products_f.htm` com o nome de ORCAD PSpice®.

```
** Uma Fonte Regulada de Tensao **

* subcircuito do diodo zener
.subckt diodo_zener 1 2
* conexoes:          | |
*                anodo |
*                  catodo
Ddireto  1 2 diodo_1mA
Dreverso 2 4 diodo_ideal
Vz0 4 3 DC 4.9V
Rz  1 3 10
* declaracoes dos modelos dos diodos
.model diodo_1mA    D (Is=100pA n=1.679)
.model diodo_ideal  D (Is=100pA n=0.01)
.ends diodo_zener

** Circuito Principal **
* tensao ca de entrada - rede eletrica
Vac 1 0 sin(0 169V 60Hz)
Rs 1 2 0.5
* transformador com derivacao central (center-tap)
Lp   2 0 10mH
Ls1  3 4 51uH
Ls2  4 5 51uH
K12 Lp  Ls1 0.999
K13 Lp  Ls2 0.999
K23 Ls1 Ls2 0.999
* resistor de isolacao
Risola  4 0 100Meg
* circuito retificador de onda completa de pico
D1 3 6 D1N4148
D2 5 6 D1N4148
C 6 4 583uF
```

Figura D.1 Listagem PSPICE de entrada para o circuito da Figura 3.52.


```
R 6 7 140
* diodo zener
XZ1 4 7 diodo_zener
* carga
Rcarga 7 4 500
* declaracao do modelo do diodo
.model D1N4148 D (Is=0.1pA Rs=16 CJO=2p Tt=12n BV=100 Ibv=0.1p)
** Analises Solicitadas **
.OPTIONS ITL5=0
.TRAN 0.5ms 200ms 0ms 0.5ms UIC
** Saidas solicitadas **
.plot TRAN V(7,4) V(6,4)
.probe
.end
```

Figura D.1 *(continuação)*

```
** Um Circuito Dobrador de Tensao **

** Descricao do Circuito **
Vi 1 0 sin ( 0 10V 1kHz )
C1 1 2 1u
C2 3 0 1u
D1 2 0 D1N4148
D2 3 2 D1N4148
* declaracao do modelo do diodo
.model D1N4148 D (Is=0.1pA Rs=16 CJO=2p Tt=12n BV=100 Ibv=0.1p)

** Analises Solicitadas **
.TRAN 100u 10m 0m 100u
** Saidas solicitadas **
.PLOT TRAN V(1) V(2) V(3)
.probe
.end
```

Figura D.2 Listagem PSPICE de entrada para o circuito da Figura E3.33(a).

```
** Investigando a Sensibilidade da Corrente de Emissor como Funcao
* dos Componentes do Amplificador **

** Descricao do Circuito **
* fonte de alimentacao
Vcc 1 0 DC +12V
* circuito amplificador
Q1 2 3 4 Q2N2222A
Rc 1 2 4k
R1 1 3 80k
R2 3 0 40k
Re 4 5 3.3k
Vemissor 5 0 0
* declaracao do modelo do transistor para o transistor 2N2222A
.model Q2N2222A NPN (Is=14.34f Xti=3 Eg=1.11 Vaf=74.03 Bf=255.9 Ne=1.307
+     Ise=14.34f Ikf=.2847 Xtb=1.5 Br=6.092 Nc=2 Isc=0 Ikr=0 Rc=1
+     Cjc=7.306p Mjc=.3416 Vjc=.75 Fc=.5 Cje=22.01p Mje=.377 Vje=.75
+     Tr=46.91n Tf=411.1p Itf=.6 Vtf=1.7 Xtf=3 Rb=10)
** Analises Solicitadas **
.SENS I(Vemissor)
** Saidas Solicitadas **
* nao necessita de nenhuma
.end
```

Figura D.3 Listagem PSPICE de entrada para o circuito da Figura 4.75.

```
** Estagio Amplificador Emissor Comum **

** Descricao do Circuito **
* fontes de alimentacao
Vcc 1 0 DC +10V
Vee 6 0 DC -10V
* sinal de entrada
* para determinar a resistencia de saida, varie Vout de 10mV a 0V
Vs 5 0 AC 10mV
Rs 5 6 10k
* amplificador
C1 4 5 1GF
Rb 4 0 100k
XQ1 2 4 3 t2n2222a
Rc 1 2 10k
Re 3 6 10k
C2 2 7 1GF
C3 3 10 1GF
* resistor de degeneracao de emissor(variar como necessario)
Rdegen 10 0 100
* carga + medidor de corrente
Rl 7 9 10k
* para determinar a resistencia de saida, varie Vout de 0 ate 10mV
* Vout 9 0 AC 10mV
Vout 9 0 0
* declaracao HSpice do modelo do transistor para o 2N2222A
* betaf=100 neste exemplo: tambem pode variar de 153 a 255
  .macro t2n2222a 1 2 3 betaf=100 tauf=5.1e-10
*02-870918
  q2n2222a 1 2 3 t2n2222a
    .model t2n2222a npn
     + iss   =   0.           xtf     =   1.          ns      =    1.00000
     + cjs   =   0.           vjs     =   0.50000     ptf     =    0.
     + mjs   =   0.           eg      =   1.10000     af      =    1.
     + itf   =   0.50000      vtf     =   1.00000     bf      =  betaf
     + br    =  42.00000      is      =   1.6339e-14  vaf     = 103.40529
     + var   =  17.77498      ikf     =   1.00000     ise     =    4.6956e-15
     + ne    =   1.31919      ikr     =   1.00000     isc     =    3.6856e-13
     + nc    =   1.10024      irb     =   4.3646e-05  nf      =    1.00531
     + nr    =   1.00688      rbm     =   1.0000e-02  rb      =   71.82988
     + rc    =   0.42753      re      =   3.0503e-03  mje     =    0.32339
     + mjc   =   0.34700      vje     =   0.67373     vjc     =    0.47372
     + tf    =   tauf         tr      = 380.00e-9     cje     =    2.6734e-11
     + cjc   =   1.4040e-11   fc      =   0.95000     xcjc    =    0.94518
     + subs  =   1
.eom
** Analises Solicitadas **
*   calcula os parametros do ponto de polarizacao CC
.OP
.AC LIN 1 1kHz 1kHz
** Saidas Solicitadas **
*   ganho de tensao Av=Vo/Vs
.PRINT AC Vm(6) Vp(6) Vm(7) Vp(7)
*   ganho de corrente Ai=Io/Ii
.PRINT AC Im(Vs) Ip(Vs) Im(Vout) Ip(Vout)
*   resistencia de entrada Ri=Vi/Ii
.PRINT AC Vm(4) Vp(4) Im(Vs) Ip(Vs)
*   para a resistencia de saida, imprima tambem estes valores
*   .PRINT AC Vm(7) Vp(7) Im(Vout) Ip(Vout)
.end
```

Figura D.4 Listagem HSPICE de entrada para o circuito da Figura 4.76.


```
** Um Amplificador CMOS **

** Descricao do Circuito **
* fontes cc
VDD  1 0 DC +10V
Iref 2 0 DC 100uA
* sinal de entrada
Vi  4 0 DC 0V
* circuito amplificador
M1  3 4 0 0 nmos L=10u W=100u
M2  3 2 1 1 pmos L=10u W=100u
M3  2 2 1 1 pmos L=10u W=100u
* descricao do modelo mosfet (por default, nivel 1)
.model nmos nmos (kp=20u Vto=+1V lambda=0.02)
.model pmos pmos (kp=10u Vto=-1V lambda=0.02)
** Analises Solicitadas **
* calcule a caracteristica de transferencia CC
.DC Vi 0V +10V 10mV
** Saidas Solicitadas **
.PLOT DC V(3)
.probe
.end
```

Figura D.5 Listagem PSPICE de entrada para o circuito da Figura 5.75.

```
** O Inversor CMOS **

** Descricao do Circuito **
* fontes cc
VDD 1 0 DC 5V
* sinal digital de entrada
Vi  3 0 DC 0V
* Circuito Inversor MOSFET
M1 2 3 0 0 MN L=3um W=3um
M2 2 3 1 1 MP L=3um W=9um
* BNR 3um declaracoes dos modelos dos transistores (nivel 3)
.MODEL MN nmos level=3 vto=.7 kp=4.e-05 gamma=1.1 phi=.6
+ lambda=.01 rd=40 rs=40 pb=.7 cgso=1.e-10 cgdo=3.e-10
+ cgbo=5.e-10 rsh=25 cj=.0144 mj=.5 mjsw=4.e-10 mjsw=.3
+ js=1.e-05 tox=5.e-08 nsub=1.7e+16 nss=0 nfs=0 tpg=1 xj=6.e-07
+ ld=3.5e-07 uo=775 vmax=100000 theta=.11 eta=.05 kappa=1
.MODEL MP pmos level=3 vto=-.8 kp=1.2e-05 gamma=.6 phi=.6
+ lambda=.03 rd=100 rs=100 pb=.6 cgso=2.5e-10 cgdo=2.5e-10
+ cgbo=5.e-10 rsh=80 cj=.0115 mj=.6 mjsw=4.e-10 mjsw=.6
+ js=1.e-05 tox=5.e-08 nsub=5.e+15 nss=0 nfs=0 tpg=1 xj=5.e-07
+ ld=2.5e-07 uo=250 vmax=70000 theta=.13 eta=.3 kappa=1
** Analises Solicitadas **
.DC Vi 0 5 50mV
** Saidas Solicitadas **
.PLOT DC V(2) ID(M1)
.probe
.end
```

Figura D.6 Listagem PSPICE de entrada para o circuito da Figura 5.77.

```
** Um Amplificador Operacional Simples **

* armazene os resultados de simulacao solicitados em um arquivo grafico
.options post

** Descricao do Circuito **
```

Figura D.7 Listagem HSPICE de entrada para o circuito da Figura 6.52.

```
* fontes de alimentacao
Vcc 4 0 DC +15V
Vee 5 0 DC -15V
* nivel de sinal de modo diferencial
Vd 101 0 DC 0V
* para parametros de pequenos sinais, polarize com -Vos entre os terminais de
* entrada
* Vd 101 0 DC -178.5uV AC 1
Rd  101 0 1
EV+ 1 100 101 0 +0.5
EV- 2 100 101 0 -0.5
* nivel de sinal de modo comum
Vcm 100 0 DC 0V
* primeiro estagio
R1 4 7 20k
R2 4 8 20k
Q1 7 1 6 transistor_npn
Q2 8 2 6 transistor_npn
Q3 6 9 5 transistor_npn
* segundo estagio
R3 4 11 3k
Q4 4  7 10 transistor_npn
Q5 11 8 10 transistor_npn
Q6 10 9  5 transistor_npn  4
* terceiro estagio ou estagio de saida
R4 4 12 2.3k
Q7 13 11 12 transistor_pnp
R5 13 5 15.7k
Q8 4 13 3 transistor_npn
R6 3 5 3k
* estagio de polarizacao
Rb 0 9 28.6k
Q9 9 9 5 transistor_npn
* declaracao dos modelos dos transistores
.model transistor_npn  npn ( Is=1.ffA Bf=100 VAf=100V )
.model transistor_pnp  pnp ( Is=1.ffA Bf=100 VAf=100V )
** Analises Solicitadas **
* determine o ponto de operacao CC usando as seguintes valores estimados
iniciais
.OP
.NODESET  V(3)=0V V(6)=-0.7V V(7)=-10V V(8)=+10V V(9)=-14.3V V(10)=+9.3V
+         V(11)=+12V V(12)=+12.7V V(13)=+0.7V
* determine a caracteristica de transferencia do amplificador
* (entrada diferencial) para grandes sinais
.DC Vd -15V +15V 100mV
* visao expandida da regiao de ganho elevado
* .DC Vd -5mV +5mV 10uV
** Saidas Solicitadas **
.PLOT DC V(3)
* determine os parametros para pequenos sinais do amplificador
* .tf v(3) vd
* .ac lin 1 1Hz 1Hz
* .print ac Im(ev+) Im(ev-) vm(1,2)
* para a faixa de entrada em modo comum (com Vd=-178.5uV)
* .DC Vcm -15V +15V 0.1V
.end
```

Figura D.7 *(continuação)*


```
** Um Amplificador Emissor Comum **

** Descricao do Circuito **
* fontes de alimentacao
Vcc 1 0 DC -12V
* sinal de entrada
Vs 7 0 AC 1V
Rs 7 6 4k
* Estagio EC
Cc1 6 3 1uF
R1 1 3 8k
R2 3 0 4k
Q1 2 3 4 Q2N3904
Re 4 0 3.3k
Rc 1 2 6k
Ce 4 0 10uF
Cc2 2 5 1uF
* carga de saida
Rl 5 0 4k
*
* declaracao do modelo do transistor para o 2N3904
.model Q2N3904 NPN (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259
+                  Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+                  Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593
+                  Vje=.75 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
** Analises Solicitadas **
.OP
.AC DEC 10 1Hz 100MegHz
** Saidas Solicitadas **
.PLOT AC VdB(5)
.probe
.end
```

Figura D.8 Listagem PSPICE de entrada para o circuito da Figura 7.13.

```
** Um Amplificador Cascode **

** Descricao do Circuito **
* fontes de alimentacao
Vcc 1 0 DC +15V
* sinal de entrada
Vs 9 0 AC 1V
Rs 9 8 4k
* Estagio EC (estagio de entrada)
Cc1 6 8 1uF
R1 1 3 18k
R2 3 6 4k
R3 6 0 8k
Q1 4 6 7 Q2N3904
Re 7 0 3.3k
Ce 7 0 10uF
* Estagio BC (estagio superior)
Q2 2 3 4 Q2N3904
Rc 1 2 6k
Cb 3 0 10uF
Cc2 2 5 1uF
* carga de saida
Rl 5 0 4k
*
* declaracao do modelo para o transistor 2N3904
```

Figura D.9 Listagem PSPICE de entrada para o circuito da Figura E7.17.

```
.model Q2N3904 NPN (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259
+                  Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+                  Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593
+                  Vje=.75 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
** Analises Solicitadas **
.OP
.AC DEC 10 1Hz 100MegHz
** Saidas Solicitadas **
.PLOT AC VdB(5)
.probe
.end
```

Figura D.9 *(continuação)*

```
*Amplificador Diferencial com Resistores de Emissor **

* impoe acout=0 tal que o HSPICE calcula vdb(x,y) como uma "magnitude de
* diferencas" e não uma "diferenca de magnitudes"
.options post acout=0

** Descricao do Circuito **
* fontes de alimentacao
Vcc 1 0 DC +10V
* sinal de entrada
Vs 4 0 AC 1V
Rs 4 5 5k
* par diferencial
Rc1 1 2 10k
Rc2 1 3 10k
Q1 2 5 7 Q2N3904
Q2 3 77 8 Q2N3904
Rs2 77 0 5k
* resistores de emissor
* resistencia zero
Re1 7 4 0.00001
Re2 8 4 0.00001
* corrente de polarizacao
Ibias 4 0 1mA
*
* declaracao do modelo para o transistor  2N3904
.model Q2N3904 NPN (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259
+                  Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+                  Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593
+                  Vje=.75 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
** Analises Solicitadas **
.OP
.ac DEC 10 1Hz 100MegHz
** Saidas Solicitadas **
.print vdb(3,2)

* ressimule para valores de resistores de 100, 200 e 300
.alter
Rel 7 4 100
Re2 8 4 100

.alter
Rel 7 4 200
Re2 8 4 200
```

Figura D.10 Listagem HSPICE de entrada para o circuito do Exemplo 7.10.


```
.alter
Rel 7 4 300
Re2 8 4 300

.end
```

Figura D.10 *(continuação)*

```
** Fede de Alimentacao Direta com Amplificador com Amostragem de Corrente e
   Comparacao de Tensao **

** Descricao do Circuito **
* sinal de entrada source
Ii 1 10 DC 0A AC 1A
Rs 11 0 10M
* corrente de saida (corrente de coletor de Q2)
Vout 60 6 DC 0V AC 0V
* fonte de alimentacao
Vcc 1 0 DC -12V
* circuito amplificador
* primeiro estagio
Q1 2 3 4 Q2N3904
Rc1 1 2 10M
Re1 4 0 877
Ce  4 0 1GF
Rb1 1 3 101k
Rb2 3 0 15k
* segundo estagio
Q2 5 2 60 Q2N3904
Rc2 1 5 8k
* capacitores de desacoplamento
Cc1 10 3 1GF
Cc2 5 8 1GF
* carga
Rl 8 0 1k
* circuito com realimentacao em aberto
* do lado da entrada
Rfi   3 72 10k
Cfi  73 72 1GF
Re2i 73 0 3.4k
* do lado da saida
Rfo 71 0 10k
Cfo 6 71 1GF
Re2o 6 0 3.4k
* declaracao do modelo para o transistor  2N3904
.model Q2N3904 NPN (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259
+                  Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+                  Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593
+                  Vje=.75 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
** Analises Solicitadas **
.OP
.AC LIN 1 1Hz 1Hz
** Saidas Solicitadas **
.PRINT AC Im(Vout) Ip(Vout) Vm(10) Vp(10)
.end
```

Figura D.11 Listagem PSPICE de entrada para o circuito da Figura 8.41(b).

```
** Determinando a Resistencia de Terminacao do elo, Rt **

** Descricao do Circuito **
* fonte de entrada ajustada em zero para calculo da impedancia de saida
Vs 11 0 DC 0 AC 0
Rs 11 10 10k
* terminais de saida de curto-circuito
Vout 0 9 0
* fonte de alimentacao
Vcc 1 0 DC +12V
* circuito amplificador
* primeiro estagio
Rc1 1 2 10k
Q1  2 3 4 Q2N3904
Re1 4 0 870
Ce1 4 0 1GF
Rb1 1 3 100k
Rb2 3 0 15k
* segundo estagio
Rc2 1 5 8k
Q2  5 21 6 Q2N3904
* capacitores de desacoplamento
Cc1 10 3 1GF
Cc2  5 8 1GF
* carga
Rl 8 9 1k
* circuito de realimentacao
Re2 6 0 3.4k
Rf  3 7 10k
Cf  6 7 1GF
* injetando o sinal no elo de realimentacao sem alterar a polarizacao CC
Lt   2 21 1GH
Ctl 21 22 1GF
Vt  22 0 AC 1V
* declaracao do modelo para o transistor  2N3904
.model Q2N3904 NPN (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259
+                   Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+                   Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593
+                   Vje=.75 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
** Analises Solicitadas **
.AC LIN 1 1Hz 1Hz
** Saidas Solicitadas **
* Imprima a resistencia vista por Vt: Rt=V(22)/I(Vt)
.PRINT AC Vm(22) Vp(22) Im(Vt) Ip(Vt)
.end
```

Figura D.12 Listagem PSPICE de entrada para o circuito da Figura 8.42(a).

```
** Determinando a Funcao de Transferencia de Corrente de Curto-Circuito  **

** Descricao do Circuito **
* fonte de alimentacao
Vcc 1 0 DC +12V
* fonte de entrada ajustada em zero para calculo da impedancia de saida
Vs 11 0 DC 0 AC 0
Rs 11 10 10k
* circuito amplificador
* primeiro estagio
Rc1 1 2 10k
Q1  2 3 4 Q2N3904
Re1 4 0 870
```

Figura D.13 Listagem PSPICE de entrada para o circuito da Figura 8.42(b).


```
Ce1 4 0 1GF
Rb1 1 3 100k
Rb2 3 0 15k
* segundo estagio
Rc2 1 5 8k
Q2  5 21 6 Q2N3904
* capacitores de desacoplamento
Cc1 10 3 1GF
Cc2 5  8 1GF
* carga
Rl 8 9 1k
* corrente de saida
Vout 0 9 DC 0
* circuito de realimentacao
Re2 6 0 3.4k
Rf  3 7 10k
Cf  6 7 1GF
* injetando o sinal no elo de realimentacao
Lt 2 21 1GH
It 0 21 AC 1A
* no coletor de Q1
Cto 2 23 1GF
Vsc 23 0 0
* declaracao do modelo para o transistor  2N3904
.model Q2N3904 NPN (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.25
+                   Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+                   Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593
+                   Vje=.7 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
** Analises Solicitadas **
.AC LIN 1 1Hz 1Hz
** Saidas Solicitadas **
* imprima o ganho de corrente de curto-circuito
.PRINT AC Im(Vsc) Ip(Vsc)
.end
```

Figura D.13 *(continuação)*

```
** Estagio de Saida Classe B **

** Descricao do Circuito **
* fontes de alimentacao
Vcc+ 1 0 DC +23V
Vcc- 2 0 DC -23V
* sinal de entrada
Vi 3 0 sin ( 0V 17.9V 1kHz )
* buffer de saida
Qn 1 3 4 NA51
Qp 2 3 4 NA52
* resistencia de carga
Rl 4 0 8
* declaracao do modelo para os transistores para casado NA51 e NA52
* da National Semiconductor
.model NA51 NPN (Is=10f Xti=3 Eg=1.11 Vaf=100 Bf=100 Ise=0 Ne=1.5 Ikf=3
+       Nk=.5 Xtb=1.5 Br=1 Isc=0 Nc=2 Ikr=0 Rc=0 Cjc=76.97p Mjc=.2272
+       Vjc=.75 Fc=.5 Cje=5p Mje=.3333 Vje=.75 Tr=10n Tf=1n Itf=1 Xtf=0
+       Vtf=10)
.model NA52 PNP (Is=10f Xti=3 Eg=1.11 Vaf=100 Bf=100 Ise=0 Ne=1.5 Ikf=3
+       Nk=.5 Xtb=1.5 Br=1 Isc=0 Nc=2 Ikr=0 Rc=0 Cjc=112.6p Mjc=.1875
+       Vjc=.75 Fc=.5 Cje=5p Mje=.3333 Vje=.75 Tr=10n Tf=1n Itf=1 Xtf=0
+       Vtf=10)
** Analises Solicitadas **
.Tran 10us 3ms 0ms 10us
```

Figura D.14 Listagem PSPICE de entrada para o circuito da Figura 9.39.

```
** Saidas Solicitadas **
.plot Tran V(1) i(Vcc-)
.plot Tran V(2) i(Vcc-)
.plot Tran V(4) i(Rl)
.plot Tran V(1,4) i(Vcc+)
.plot Tran V(2,4) i(Vcc-)
* para a Analise Fourier (e THD)
* .FOUR 1kHz V(4)
* para CTV, substitua a Analise transiente por uma varredura DC
* .DC Vi -10V +10V 50mV
* .plot DC V(4)
.probe
.end
```

Figura D.14 *(continuação)*

```
** Um Amplificador Operacional CMOS (Modelo CMOS 5um)

** Descricao do Circuito **
* fontes de alimentacao
Vdd 4 0 DC +5V
Vss 5 0 DC -5V
* nivel de sinal de modo diferencial
Vd 101 0 DC 0V
* para varrer o nivel de tensao de entrada de modo comum em CC, coloque um
offset diferencial na entrada de -220uV
* Vd 101 0 DC +220.0uV
Rd 101 0 1
EV+ 2 100 101 0 +0.5
EV- 1 100 101 0 -0.5
* nivel de sinal de modo comum
Vcm 100 0 DC 0V
* estagio de entrada
M1 7 1 6 4 transistor_pmos L=8u W=120u
M2 8 2 6 4 transistor_pmos L=8u W=120u
M3 7 7 5 5 transistor_nmos L=10u W=50u
M4 8 7 5 5 transistor_nmos L=10u W=50u
M5 6 9 4 4 transistor_pmos L=10u W=150u
* segundo estagio de ganho
M6 3 8 5 5 nmos_trancistor L=10u W=100u
M7 3 9 4 4 transistor_pmos L=10u W=150u
* estagio de corrente de polarizacao
M8 9 9 4 4 transistor_pmos L=10u W=150u
Iref 9 5 25uA
* malha de compensacao
Cc 8 10 10pF
R 10 3 10k
*declaracao do modelo dos transistores CMOS EMR 5um
.MODEL transistor_nmos nmos ( level=2 vto=1 nsub=1e16 tox=8.5e-8 uo=750
+     cgso=4e-10 cgdo=4e-10 cgbo=2e-10 uexp=1.14 ucrit=5e4 utra=0 vmax=5e4
+     rsh=15 cj=4e-4 mj=2 pb=0.7 cjsw=8e-10 mjsw=2 js=1e-6 xj=1u ld=0.7u )
.MODEL transistor_pmos pmos ( level=2 vto=-1 nsub=2e15 tox=8.5e-8 uo=250
+     cgso=4e-10 cgdo=4e-10 cgbo=2e-10 uexp=1.33 ucrit=1e4 utra=0 vmax=3e4
+     rsh=75 cj=1.8e-4 mj=2 pb=0.7 cjsw=6e-10 mjsw=2 js=1e-6 xj=0.9u ld=0.6u )
** Analises Solicitadas **
.DC Vd -4mV +4mV 100uV
* para obter uma varredura CC do nivel de tensao de entrada em modo comum
* .DC Vcm -5V +5V 0.1V
* para informacoes do ponto de polarizacao CC e ganho CC para pequenos sinais
* .OP
* .TF V(3) Vd
```

Figura D.15 Listagem PSPICE de entrada para o circuito da Figura 10.40.


```
** Saidas Solicitadas **
.PLOT DC V(3)
.probe
.end
```

Figura D.15 *(continuação)*

```
** Circuito para Filtro Chebyshev de Quinta Ordem **

** Descricao do Circuito **

* subcircuito do amp-op
.subckt ampop_ideal 1 2 3
* conexoes:      |
*               saida |
*          entrada +ve
*            entrada -ve
Eampop 1 0 1 2 1e6
Iaberto1 2 0 1A  ; conexao redundante feita no terminal -ve de entrada
Iaberto2 3 0 1A  ; conexao redundante feita no terminal -ve de entrada
.ends ampop_ideal

** Circuito Principal **
* sinal de entrada
Vi 1 0 DC 0V AC 1V
* primeiro estagio biquad (wo=41.17k rad/s Q=1.4)
X_A1_1 5 2 4 ampop_ideal
X_A2_1 3 6 4 ampop_ideal
R1_1 5 6 10k
R2_1 4 5 10k
R3_1 3 4 10k
C4_1 2 3 2.4nF
R5_1 1 2 10k
C6_1 6 0 2.4nF
R6_1 6 0 14k
X_A3_1 7 6 7 ampop_ideal
* segundo estagio biquad  Wo=62.46k rad/s Q=5.56)
X_A1_2 11 8 10 ampop_ideal
X_A2_2 9 12 10 ampop_ideal
R1_2 11 12 10k
R2_2 10 11 10k
R3_2 9 10 10k
C4_2 8 9 1.6nF
R5_2 7 8 10k
C6_2 12 0 1.6nF
R6_2 12 0 55.6k
X_A3_2 13 12 10 ampop_ideal
* estagio de primeira ordem
X_A1_3 15 0 14 ampop_ideal
R1_3 13 14 10k
R2_3 14 15 10k
C1_3 14 15 5.6nF
** Analises Solicitadas
.AC LIN 100 1Hz 20kHz
** Saidas Solicitadas **
.PLOT AC VdB(15) Vp(15)
.probe
.end
```

Figura D.16 Listagem PSPICE de entrada para o circuito da Figura 11.49(a).

```
** Circuito para Filtro Passa-Faixa de Segunda Ordem  Amp-op nao-ideal) **

** Descricao do Circuito **

* subcircuito do amp-op
.subckt ampop_naoideal 1 2 3
* conexoes:                 | | |
*                      saida | |
*                 entrada -ve |
*                       entrada -ve
Ricm- 2 0 500Meg
Ricm- 3 0 500Meg
Rid 2 3 1Meg
Gm 0 4 2 3 0.19m
R1 4 0 1.923G
C1 4 0 30pF
Esaida 5 0 4 0 1
Ro 5 1 75
.ends ampop_naoideal

** Circuito Principal **
* sinal de entrada
Vi 1 0 DC 0V AC 1V
* Biquad Tow-Thomas
X_A1 3 0 2 ampop_naoideal
X_A2 5 0 4 ampop_naoideal
X_A3 7 0 6 ampop_naoideal
Rg 1 2 200k
R1 2 7 10k
R2 3 4 10k
R3 5 6 10k
R4 6 7 10k
Rd 2 3 200k
C1 2 3 1.59nF
C2 4 5 1.59nF
** Analises Solicitadas **
.AC LIN 100 8kHz 12kHz
** Saidas Solicitadas **
.PLOT AC VdB(3) Vp(3)
.probe
.end
```

Figura D.17 Listagem PSPICE de entrada para o circuito da Figura 11.52.

```
** Um Oscilador em Ponte de Wien com Estabilizacao de Amplitude **

** Descricao do Circuito **

* subcircuito do amp-op
.subckt uA741                1   2   3   4   5
* conexoes:                  |   |   |   |   |
*       entrada nao-inversora |   |   |   |   |
*                  entrada inversora  |   |   |
*     fonte de alimentacao positiva   |   |   |
*        fonte de alimentacao negativa    |   |
*                                    saida    |
*
 c1    11 12 8.661E- 12
 c2     6  7 30.00E-12
 dc     5 53  dx
 de    54  5  dx
```

Figura D.18 Listagem PSPICE de entrada para o circuito da Figura 12.42.


```
 dlp   90 91  dx
 dln   92 90  dx
 dp     4  3  dx
 egnd 99  0   poly(2) (3,0) (4,0) 0 .5 .5
 fb     7  99  poly(5) vb vc ve vlp vln 0 10.61E6 -10E6 10E6 10E6 -10E6
 ga     6  0 11 12 188.5E-6
 gcm    0  6 10 99 5.961E-9
 iee   10  4 dc 10.16E-6
 hlim 90  0 vlim 1K
 q1   11  2  13 qx
 q2   12  1  14 qx
 r2    6  9  100.0E3
 rc1   3 11 5.305E3
 rc2   3 12 5.305E3
 re1 13 10 1.806E3
 re2 14 10 1.806E3
 ree 10 99 13.19E6
 ro1   8  5 50
 ro2   7 99 100
 rp    3  4 18.16E3
 vb    9  0 dc 0
 vc    3 53 dc 1
 ve   54  4 dc 1
 vlim 7  8 dc 0
 vlp 91  0 dc 40
 vln  0 92 dc 40
.model  dx D(Is=800.0E-18 Rs=1)
.model  qx NPN(Is=800.0E-18 Bf=93.75)
.ends uA741

** Circuito Principal **
* fontes de alimentacao
Vcc 7 0 DC +15V
Vee 8 0 DC -15V
* Oscilador Ponte de Wien
XAmp 2 6 7 8 4 uA741
* ganho de malha e 1.1 (R1a=15k R1b=35k)
* altere R1a e R1b para alterar o ganho de malha (mantenha  R1a+R1b=50k)
R1a 6 0 15k
R1b 6 5 35k
R2 5 4 10k
R3 2 0 10k
C3 2 0 16nF IC=0V
R4 3 4 10k
C4 2 3 16nF IC=0V
* circuito limitador com diodos
D1 4 5 D1N4148
D2 5 4 D1N4148
* declaracoes dos modelos
.model D1N4148 D (Is=0.1p Rs=16 CJO=2p Tt=12n Bv=100 Ibv=0.1p)
** Analises Solicitadas **
.OPTIONS ITL5=0
.OP
.TRAN 200us 20ms 0ms 200us UIC
* para analise Fourier (e THD)
* .FOUR 979.43Hz V(5)
** Saidas Solicitadas **
.PLOT TRAN V(4) V(5)
.probe v(4) v(5)
.end
```

Figura D.18 *(continuação)*

```
** Modelo para Amp. Op. 741 **
** Conexoes:      **
*  Subcircuito do amp-op
.SUBCKT uA741          1   2   3   4   5
*  Conexoes:                |   |   |   |
*                           |   |   |   |
*                           |   |   |   |
*                           |   |   |   |
*                           |   |   |   |
*                           |   |   |   |
*
 C1   11  12 8.661E-12
 C2    6   7 30.00E-12
 DC    5  53  dx
 DE   54   5  dx
 DLP  90  91  dx
 DLN  92  90  dx
 DP    4   3  dx
 EGND 99   0  poly(2) (3,0  (4,0) 0 .5 .5
 FB    7  99  poly(5) vb vc ve vlp vln 0 10.61E6 -10E6 10E6 10E6 -10E6
 GA    6   0 11  12 188.5E-6
 GCM   0   6 10 99 5.961E-9
 ISS   10  4 DC 15.16E-6
 HLIM 90   0 VLIM 1K
 Q1   11   2   13 QX
 Q2   12   1   14 QX
 R2    6   9   100.0E3
 RC1   3   11  5.305E3
 RC2   3   12  5.305E3
 RE1  13   10  1.836E3
 RE2  14   10  1.836E3
 REE  10   99  13.19E6
 RO1   8   5   50
 RO2   7  99  100
 RP    3   4  18.16E3
 VB    9   0 dc 0
 VC    3  53 dc 1
 VE   54   4 dc 1
 VLIM 7   8 dc 0
 VLP  91   0 dc 40
 VLN   0  92 dc 40
.model  dx D(Is=800.0E-18 Rs=1)
.model  qx NPN(Is=800.0E-18 Bf=93.75)
.ends uA741

** Circuito Principal **
* fontes de alimentacao
Vcc 9 0 DC +15V
Vee 5 0 DC -15V
* circuito de filtro com Q elevado
Xopamp1 3 5 6 9 1 uA741
Xopamp2 7 5 8 9 4 uA741
R1 2 3 50k
C1 3 0 16nF IC=0V
R2 3 4 10k
C2 4 5 16nF IC=0V
R3 5 1 10k
R4 1 7 10k
R5 7 0 10k
```

Figura D.19 Listagem PSPICE de entrada para o circuito da Figura 12.44.


```
* Exemplo Especial, com Diodo
* 1 0 Fonte1
* 2 1 R=1k
* 3 2 Diodo1
* 3 0 C=1u
* Declaracao dos modelos
.model D1N4148 D (Is=2.682n N=1.836 Rs=.5664 Ikf=34.37m Xti=3 Eg=1.11
** Analises Solicitadas **
.print dc v(1) v(2)
.dc V1 0 5 0.1
.TRAN 0.1m 50ms 40ms 20us UIC
.PROBE I(R1) V(3)
** Saidas Solicitadas **
.plot TRAN V(1) V(2)
.probe V - V(3)
.end
```

Figura D.19 *(continuação)*

```
** Uma Cascata de Inversores CMOS (efeitos dinamicos incluidos) **

* armazena os resultados da simulacao em um arquivo grafico
.options post

** Descricao do Circuito **
* fontes DC
Vdd 1 0 DC +5V
* sinal digital de entrada
Vi 3 0 DC 1.2V PWL (0,0V 10ns,0V 10.1ns,5V 30ns,5V 30.1ns,0V 50ns,0V)
* primeiro inversor CMOS
* tambem tente PMOS (M2) com largura W=9um
M1  2 3 1 0 MN L=3um W=3um
M2  2 3 1 1 MP L=3um W=10um
C11 2 0 0.1pF
* primeiro inversor CMOS
* tambem tente PMOS (M4) com largura W=9um
M3  4 2 1 0 MN L=3um W=3um
M4  4 2 1 1 MP L=3um W=10um
C12 4 0 0.1pF
* BNR 3um
.MODEL MN nmos level=3 vto=.7 kp=4.e-05 gamma=1.1 phi=.6
+  lambda=.01 rd=40 rs=40 pb=.7 cgso=3.e-10 cgdo=3.e-10
+  cgbo=5.e-10 rsh=25 cj=.00044 mj=.5 cjsw=4.e-10 mjsw=.3
+  js=1.e-05 tox=5.e-08 nsub=1.7e+16 nss=0 nfs=0 tpg=1 xj=6.e-07
+  ld=3.5e-07 uo=775 vmax=100000 theta=.11 eta=.05 kappa=1
.MODEL MP pmos level=3 vto=-.8 kp=1.2e-05 gamma=.6 phi=.6
+  lambda=.03 rd=100 rs=100 pb=.6 cgso=2.5e-10 cgdo=2.5e-10
+  cgbo=5.e-10 rsh=80 cj=.00015 mj=.6 cjsw=4.e-10 mjsw=.6
+  js=1.e-05 tox=5.e-08 nsub=5.e-15 nss=0 nfs=0 tpg=1 xj=5.e-07
+  ld=2.5e-07 uo=250 vmax=70000 theta=.13 eta=.3 kappa=1
** Analises Solicitadas **
* .TRAN 0.1ns 50ns 0ns 0.1ns
* mede o tempo da subida de Vi ate a queda de Vo1
.meas tphl1 trig v(3) rise=1 val=2.5 targ v(2) fall=1 val=2.5
* mede o tempo da queda de Vi ate a subida de Vo1
.meas tplh1 trig v(3) fall=1 val=2.5 targ v(2) rise=1 val=2.
** Saidas Solicitadas **
.op
* para CTV
* .dc Vi 0 +5V 10mV
.plot TRAN V(2) V(3) V(4)
.end
```

Figura D.20 Listagem HSPICE de entrada para o circuito da Figura 13.69.

```
** Porta OU de Duas Entradas do Tipo ECL com Saida NOU Complementar **

** Descricao do Circuito **
* fontes cc
Vee1 5 0 DC -5.2V
Vee2 13 0 DC -2.0V
* sinais digitais de entrada
Va 12 1 DC 0V
Vb 11 1 DC -1.77V
* Porta ECL
Qa 2 12 10 transistor_npn
Qb 2 11 10 transistor_npn
Qr 3 8 10 transistor_npn
Q2 0 3 9 transistor_npn
Q3 0 2 8 transistor_npn
Ra 12 1 50k TC=1200u
Rb 11 1 50k TC=1200u
Re 10 5 779 TC=1200u
Rc1 0 2 220 TC=1200u
Rc2 0 3 245 TC=1200u
Rt2 9 13 50 TC=1200u
Rt3 8 13 50 TC=1200u
* circuito de tensao de referencia compensada termicamente
Q1 0 4 5 transistor_npn
QD1 4 4 6 transistor_npn
QD2 6 6 7 transistor_npn
R1 0 4 907 TC=1200u
R2 7 1 4.98k TC=1200u
R3 5 1 6.1k TC=1200u
* declaracao do modelo do TBJ
.model transistor_npn npn (Is=0.26fA Bf=100 Br=1
+ Tf=0.1ns Cje=1pF Cjc=1.5pF Va=100
** Analises Solicitadas **
* tente tambem nas temperaturas de 0C e 70C
.TEMP 27C
.DC Va -3V 0V 10mV
** Saidas Solicitadas **
.plot DC V(8) V(9) V(5)
.probe
.end
```

Figura D.21 Listagem PSPICE de entrada para o circuito da Figura 14.55.

```
** Cascata de Duas Portas ECL Conectadas por Linha de Transmissao Sem Perdas

* Porta OU/NOU ECL de duas entradas
.subckt OU/NOU_ECL  12 11 8 9 1
* conexoes:          |  |  |  |
*                entradaA |  |  |
*                  entradaB |  |
*                    saida NOU |
*                       saida OU |
*                              Veel
* Porta ECL
Qa 2 12 10 transistor_npn
Qb 2 11 10 transistor_npn
Qr 3 8 10 transistor_npn
Q2 0 3 9 transistor_npn
Q3 0 2 8 transistor_npn
Ra 12 1 50k TC=1200u
Rb 11 1 50k TC=1200u
```

Figura D.22 Listagem PSPICE de entrada para o circuito da Figura 14.58.


```
Re 10 1 779 TC=1200u
Rc1 0 2 220 TC=1200u
Rc2 0 3 245 TC=1200u
* circuito de tensao de referencia compensada termicamente
Q1 0 4 5 transistor_npn
QD1 4 4 6 transistor_npn
QD2 6 6 7 transistor_npn
R1 0 4 907 TC=1200u
R2 7 1 4.98k TC=1200u
R3 5 1 6.1k TC=1200u
* declaracao do modelo do TBJ
.model transistor_npn npn (Is=0.26fA Bf=100 Br=1
+ Tf=0.1ns Cje=1pF Cjc=1.5pF Va=100)
.ends OU NOU_ECL
** Circuito Principal **
* fontes cc
Vee1 5 0 DC -5.2V
Vee2 6 0 DC -2.0V
* sinais digitais de entrada
Va 1 0 PWL (0,-1.77V 2ns,-1.77V 3ns,-0.884V 30ns,-0.884V
Vb 2 0 DC -1.77V
* primeira porta OU/NOU: entrada B mantida em nivel baixo
Xnor_gate1 1 2 3 4 5 OU NOU_ECL
* segunda porta OU NOU: entrada B mantida em nivel alto
Xnor_gate2 7 2 8 9 5 OU NOU_ECL
* terminacoes de interconexao da linha de transmissao
* tambem tente com Z0=100 (mantendo o resistor de terminacao em 50
Tinterconnect 3 0 7 0 Z0=50 Td=10ns
Rt1 7 6 50
Rt2 4 6 50
Rt3 8 6 50
Rt4 9 6 50
** Analises Solicitadas **
* aumente de 30ns para 400ns nos casos de terminacao inadequada
.TRAN 0.05ns 30ns 0s 0.05ns
** Saidas Solicitadas **
.plot TRAN V(1) V(3) V(7) V(8)
.probe
.end
```

Figura D.22 *(continuação)*

APÊNDICE E

MAKRON Books

Os Teoremas de Redes Mais Usados

INTRODUÇÃO

Neste apêndice vamos rever três teoremas que são usados para simplificar a análise de circuitos eletrônicos: o teorema de Thévenin, o teorema de Norton e o teorema de absorção da fonte.

O TEOREMA DE THÉVENIN

O teorema de Thévenin é usado para representar uma parte de uma rede por uma fonte de tensão V_t em série com uma impedância Z_t, conforme mostrado na Figura E.1. A Figura E.1(a) mostra uma rede dividida em duas partes, A e B. Na Figura E.1(b), a parte A da rede foi substituída por seu equivalente Thévenin: uma fonte de tensão V_t em série com uma impedância Z_t. A Figura E.1(c) ilustra como V_t é determinada: simplesmente abra o circuito pelos terminais da rede A e meça (ou calcule) a tensão que aparece entre esses dois terminais. Para determinar Z_t, reduzimos todas as fontes externas (isto é, que são independentes) da rede A a zero, curto-circuitando as fontes de tensão independentes e abrindo as fontes de corrente independentes. A impedância Z_t será igual à impedância de entrada da rede A após ter executado as reduções mencionadas, conforme ilustrado na Figura E.1(d).

O TEOREMA DE NORTON

O teorema de Norton é o *dual* do teorema de Thévenin. Ele é usado para representar uma parte de uma rede por uma fonte de corrente I_n e uma impedância em paralelo Z_n, conforme mostrado na Figura E.2. A Figura E.2(a) mostra uma rede dividida em duas partes, A e B. Na Figura E.2(b), a parte A foi substituída por seu equivalente de Norton: uma fonte de corrente I_n e uma impedância em paralelo Z_n. A fonte de corrente de Norton I_n pode ser medida (ou calculada) conforme mostrado na Figura E.2(c). Os terminais da rede a ser reduzida (rede A) foram curto-circuitados e a corrente I_n será simplesmente igual à corrente de curto-circuito. Para determinar a impedância Z_n, primeiro reduzimos a excitação externa da rede A a zero, curto-circuitando-se as fontes independentes de tensão e abrindo-se as fontes de corrente independentes. A impedância Z_n será igual à impedância de entrada da rede após ter sido executado o processo de eliminacão das fontes. Portanto, a impedância de Norton Z_n é igual à impedância de Thévenin Z_t. Finalmente, observe que $I_n = V_t/Z$, em que $Z = Z_n = Z_t$.

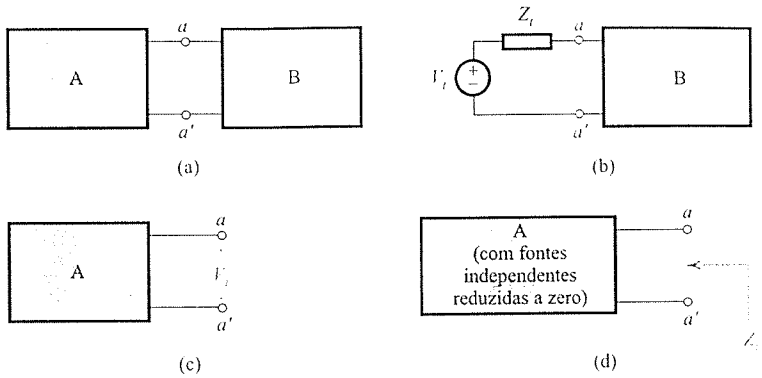


Figura E.1 O teorema de Thévenin.

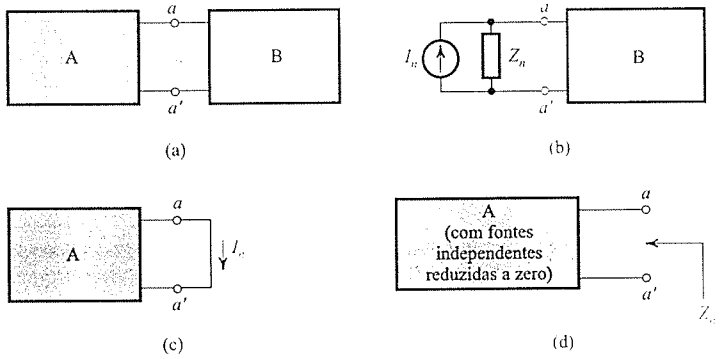


Figura E.2 O teorema de Norton.

EXEMPLO E.1

A Figura E.3(a) mostra um circuito com um transistor bipolar de junção. O transistor é um dispositivo de três terminais com os terminais denominados como E (emissor), B (base) e C (coletor). Conforme mostrado, a base está conectada à fonte de alimentação *cc* V^+ via o divisor de tensão composto por R_1 e R_2. O coletor está conectado à fonte de alimentação *cc* V^+ por meio de R_3 e ao terra por meio de R_4. Para simplificar a análise, desejamos reduzir o circuito pela aplicação do teorema de Thévenin.

SOLUÇÃO

O teorema de Thévenin pode ser usado do lado da base para reduzir a rede composta por V^+, R_1 e R_2 a uma fonte de tensão *cc*, V_{BB}.

$$V_{BB} = V^+ \frac{R_2}{R_1 + R_2}$$

e a uma resistência R_B,

$$R_B = R_1 // R_2$$

em que // indica "em paralelo com". No lado do coletor, o teorema de Thévenin pode ser aplicado para reduzir a rede composta por V^+, R_3 e R_4 a uma fonte de tensão cc, V_{CC},

$$V_{CC} = V^+ \frac{R_4}{R_3 + R_4}$$

e a uma resistência R_C,

$$R_C = R_3 // R_4$$

O circuito reduzido está mostrado na Figura E.3(b).

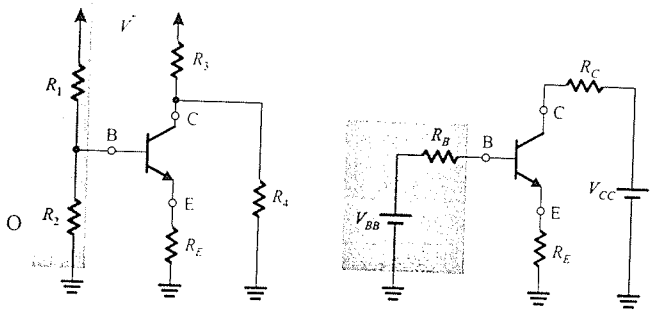


Figura E.3 O teorema de Thévenin aplicado para simplificar o circuito de (a) para aquele em (b). (Veja o Exemplo E.1.)

TEOREMA DE ABSORÇÃO DA FONTE

Considere a situação mostrada na Figura E.4. No decorrer de uma análise de rede, encontramos uma fonte de corrente I_x aparecendo entre dois nós cuja diferença de potencial é a fonte de controle V_x. Isto é, $I_x = g_m V_x$, em que g_m é a condutância. Podemos substituir essa fonte controlada por uma impedância $Z_x = V_x/I_x = 1/g_m$, conforme mostrado na Figura E.4, porque a corrente drenada por essa impedância será igual à corrente da fonte controlada que substituímos.

Figura E.4 O teorema de absorção da fonte.

EXEMPLO E.2

A Figura E.5(a) mostra o modelo de circuito equivalente para pequenos sinais de um transistor. Queremos determinar a resistência R_{in} "vista" do terminal de emissor E – isto é, entre o emissor e o terra – com a base B e o coletor C aterrados.

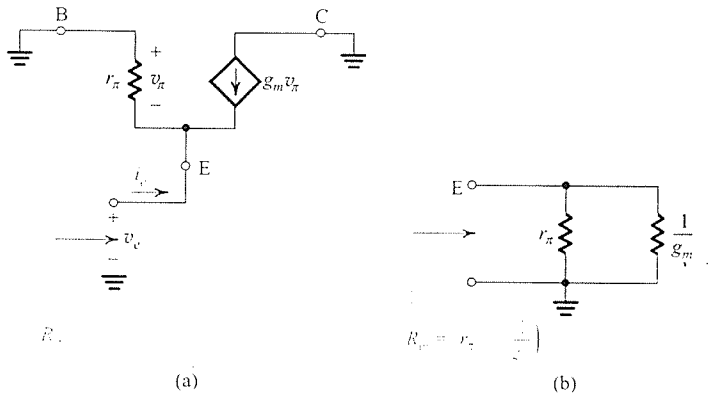


Figura E.5 Circuito para o Exemplo E.2.

SOLUÇÃO

Pela Figura E.5(a) vemos que a tensão v_π será igual a $-v_x$. Portanto, olhando entre E e o terra vemos a resistência r_π em paralelo com uma fonte de corrente drenando uma corrente $g_m v_x$ do terminal E. A última fonte pode ser substituída por uma resistência $(1/g_m)$, resultando na resistência de entrada R_{in} dada por

$$R_{in} = r_\pi // (1/g_m)$$

conforme ilustrado na Figura E.5(b).

Exercícios

E.1 Uma fonte foi medida e foi encontrado o valor de 10 V como tensão em circuito aberto e uma corrente de 1 mA em curto-circuito. Calcule seus parâmetros de fontes equivalentes de Thévenin e de Norton.

Resposta $V_t = 10$ V; $Z_t = Z_n = 10$ kΩ; $I_n = 1$ mA

E.2 No circuito mostrado na Figura EE.2, o diodo tem uma queda de tensão $V_D = 0{,}7$ V. Use o teorema de Thévenin para simplificar o circuito e depois calcular a corrente no diodo I_D.

Resposta 1 mA

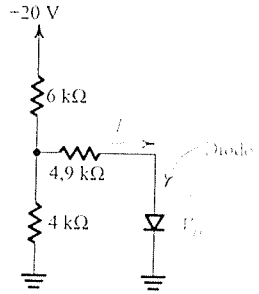


Figura EE.2

E.3 O dispositivo M de dois terminais do circuito da Figura EE.3 tem uma corrente $I_M = 1$ mA independente da tensão V_M sobre ele. Use o teorema de Norton para simplificar o circuito e depois calcule a tensão V_M.

Resposta 5 V

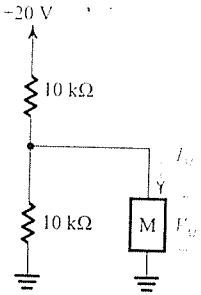


Figura EE.3

PROBLEMAS

E.1 Considere o circuito equivalente de Thévenin caracterizado por V_t e Z_t. Encontre a tensão em circuito aberto V_{oc} e a corrente de curto-circuito (isto é, a corrente que circula quando os terminais são ligados juntos) I_{sc}. Expresse Z_t em termos de V_{oc} e I_{sc}.

E.2 Repita o Problema E.1 para um equivalente Norton caracterizado por I_n e Z_n.

E.3 Um divisor de tensão consiste em um resistor de 9 kΩ conectado a um potencial de +10 V e um resistor de 1 kΩ conectado ao terra. Qual o equivalente de Thévenin desse divisor de tensão? Que tensão resulta na saída se houver uma carga de 1 kΩ? Faça esses cálculos de duas formas: diretamente e usando o equivalente de Thévenin.

E.4 Encontre a tensão de saída e a resistência de saída do circuito mostrado na Figura PE.4 considerando uma sucessão de circuitos equivalentes de Thévenin.

E.5 Repita o Exemplo E.2 com uma resistência R_B conectada entre B e o terra na Figura E.5 (isto é, em vez de aterrar a base B como indicado na Figura E.5).

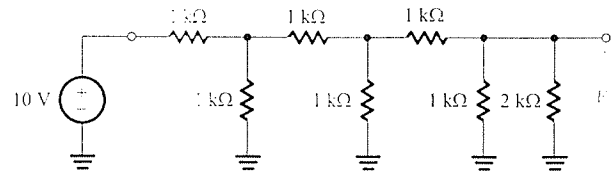


Figura PE.4

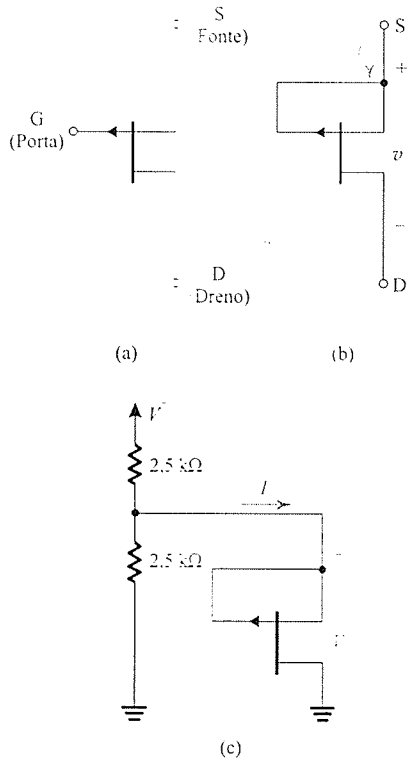


Figura PE.6

E.6 A Figura PE.6(a) mostra o símbolo de circuito do transistor de efeito de campo de junção canal p (JFET), que é estudado no Capítulo 5. Como indicado, o JFET tem três terminais. Quando o terminal porta G é conectado ao terminal de fonte S, obtém-se o dispositivo de dois terminais mostrado na Figura PE.6(b). Suas características i–v são dadas por

$$i = I_{DSS}\left[2\frac{v}{V_P} - \left(\frac{v}{V_P}\right)^2\right] \quad \text{para } v \le V_P$$

$$i = I_{DSS} \quad \text{para } v \ge V_P$$

em que I_{DSS} e V_P são constantes para um JFET particular. Agora, considere o circuito mostrado na Figura PE.6(c) e faça $V_P = 2$ V e $I_{DSS} = 2$ mA. Para $V^+ = 10$ V, mostre que o JFET está operando no modo de corrente constante e encontre a tensão sobre ele. Qual o valor mínimo de V^+ para o qual esse modo de operação é mantido? Para $V^+ = 2$ V, calcule o valor de I e de V.

APÊNDICE F

MAKRON Books

Circuitos com Constante de Tempo Simples

INTRODUÇÃO

Circuitos com constante de tempo simples (CTS) são aqueles compostos de, ou que podem ser reduzidos a, um dos componentes reativos (indutância ou capacitância) e uma resistência. Um circuito CTS formado por uma indutância L e uma resistência R tem uma constante de tempo $\tau = L/R$. A constante de tempo τ de um circuito composto por uma capacitância C e uma resistência R é dada por $\tau = CR$.

Embora os circuitos CTS sejam muito simples, eles executam uma função muito importante no projeto e análise de circuitos lineares e digitais. Por exemplo, a análise de um circuito amplificador pode ser usualmente reduzida a um ou mais circuitos CTS. Por essa razão, faremos neste apêndice uma revisão do processo de avaliação da resposta de circuitos CTS a entradas senoidais e outras como as formas de onda em degrau e pulso. Essas últimas formas de onda são encontradas em algumas aplicações e são especialmente importantes em circuitos de chaveamento, inclusive circuitos digitais.

O CÁLCULO DA CONSTANTE DE TEMPO

O primeiro passo para a análise de um circuito CTS é o cálculo da constante de tempo τ.

EXEMPLO F.1

Reduza o circuito da Figura F.1(a) a um circuito CTS e calcule sua constante de tempo.

SOLUÇÃO

O processo de redução está ilustrado na Figura F.1 e consiste em aplicações repetidas do teorema de Thévenin. O circuito final está mostrado na Figura F.1(c), do qual obtemos a constante de tempo como

$$\tau = C\{R_4 // [R_3 + (R_1 // R_2)]\}$$

Um Cálculo Rápido de τ

Em várias ocasiões será importante calcular rapidamente a constante de tempo τ de um dado circuito CTS.

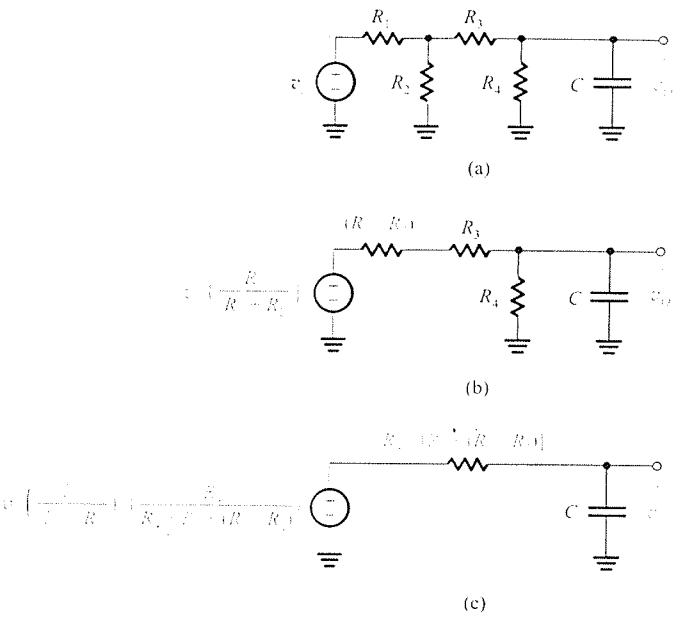


Figura F.1 A redução do circuito em (a) para o circuito CTS em (c) por meio da aplicação repetida do teorema de Thévenin.

Um método simples para alcançar esse objetivo consiste em primeiro reduzir a excitação a zero; isto é, se a excitação for feita por meio de uma fonte de tensão, curto-circuite-a e, se for por uma fonte de corrente, abra o circuito. Então, se o circuito tiver uma componente reativa e um número de resistências, "pegue" os dois terminais da componente reativa (capacitância ou indutância) e calcule a resistência equivalente R_{eq} vista pela componente. A constante de tempo é então L/R_{eq} ou CR_{eq}. Como exemplo, no circuito da Figura F.1(a) percebemos que o capacitor C "vê" uma resistência R_4 em paralelo com a combinação em série de R_3 e (R_2 em paralelo com R_1). Portanto,

$$R_{eq} = R_4 // [R_3 + (R_2 // R_1)]$$

e a constante de tempo é CR_{eq}. Em alguns casos pode ocorrer de o circuito ter uma resistência e um certo número de capacitâncias e indutâncias. Nesse caso, o procedimento deve ser invertido; isto é, "pegam-se" os terminais da resistência e encontra-se a capacitância equivalente C_{eq} ou a indutância equivalente L_{eq} vista por essa resistência. A constante de tempo é então encontrada como $C_{eq}R$ ou L_{eq}/R. Isso está ilustrado no Exemplo F.2.

EXEMPLO F.2

Calcule a constante de tempo do circuito na Figura F.2.

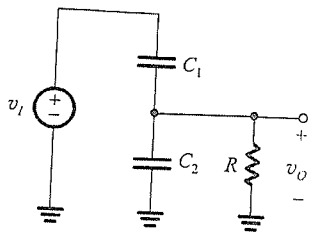


Figura F2 Circuito para o Exemplo F.2.

SOLUÇÃO

Após a redução da excitação a zero curto-circuitando a fonte de tensão, vemos que a resistência R "vê" uma capacitância equivalente $C_1 + C_2$. Portanto, a constante de tempo τ é dada por

$$\tau = (C_1 + C_2)R$$

Finalmente, há casos em que um circuito CTS tem mais de uma resistência e mais de uma capacitância (ou mais de uma indutância). Nesse caso, algum trabalho inicial deve ser executado para simplificar o circuito, conforme ilustrado no Exemplo F.3.

EXEMPLO F.3

Neste exemplo mostraremos que a resposta ao circuito da Figura F.3(a) pode ser obtida usando o método de análise por circuitos CTS.

SOLUÇÃO

Os passos da análise estão ilustrados na Figura F.3. Na Figura F.3(b) mostramos o circuito excitado por duas fontes de tensão separadas, mas iguais. O leitor deve se certificar da equivalência dos circuitos na Figura F.3(a) e na Figura F.3(b). O "truque" empregado para obter o arranjo da Figura F.3(b) é muito usado.

A aplicação do teorema de Thévenin no circuito à esquerda da linha XX' e depois no circuito à direita dessa linha resulta no circuito da Figura F.3(c). Como este é um circuito linear, a resposta pode ser obtida usando o princípio da superposição. Especificamente, a tensão de saída v_O será a soma de duas componentes, v_{O1} e v_{O2}. A primeira componente, v_{O1}, é a saída devida à fonte de tensão do lado esquerdo com a outra fonte de tensão reduzida a zero. O circuito para o cálculo de v_{O1} está mostrado na Figura F.3(d). É um circuito CTS com uma constante de tempo dada por

$$\tau = (C_1 + C_2)(R_1 // R_2)$$

De modo similar, a segunda componente v_{O2} é a saída obtida com a fonte de tensão do lado esquerdo reduzida a zero. Ela pode ser calculada a partir do circuito na Figura F.3(e), que é um circuito CTS com uma constante de tempo igual àquela dada anteriormente.

Finalmente, deve ser observado que o fato de o circuito ser do tipo CTS pode ser verificado também fazendo a fonte independente v_I na Figura F.3(a) igual a zero. Nesse caso, a constante de tempo torna-se óbvia imediatamente.

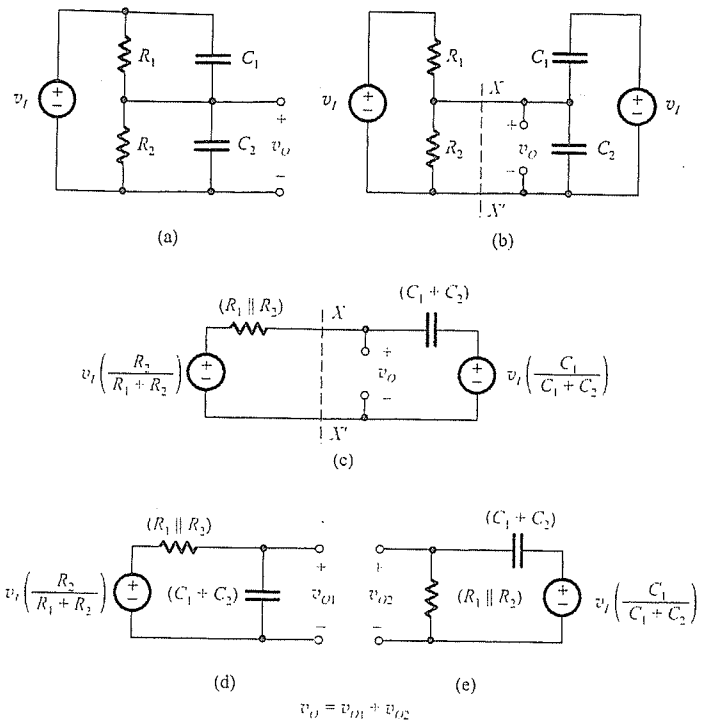


Figura F3 A resposta do circuito em (a) pode ser encontrada por superposição, que é a soma das respostas dos circuitos em (d) e (e).

A CLASSIFICAÇÃO DOS CIRCUITOS CTS

Os circuitos CTS podem ser classificados em duas categorias, tipo *passa-baixas* (PB) e tipo *passa-altas* (PA), com cada uma dessas duas categorias mostrando diferentes respostas a sinais. A tarefa de descobrir se o circuito é do tipo PB ou PA pode ser encaminhada de várias formas: a mais simples delas é a que usa a resposta no domínio da freqüência. Especificamente, os circuitos passa-baixas deixam passar *cc* (isto é, sinais com freqüência zero) e atenuam os sinais de altas freqüências, com a transmissão sendo zero em $\omega = \infty$. Logo, podemos testar para cada tipo de circuito em $\omega = 0$ e em $\omega = \infty$. Em $\omega = 0$, os capacitores podem ser substituídos por circuitos abertos ($1/j\omega C = \infty$) e os indutores podem ser substituídos por curto-circuitos ($j\omega L = 0$). Portanto, se a saída for zero, o circuito será do tipo passa-altas, enquanto, se a saída for infinita, o circuito será do tipo passa-baixas. Alternativamente, podemos testar em $\omega = \infty$ a substituição de capacitores por curto-circuitos ($1/j\omega C = 0$) e indutores por circuitos abertos ($j\omega L = \infty$). Logo, se a saída for finita, o circuito é do tipo PA, enquanto, se a saída for zero, o circuito é do tipo PB. A Tabela F.1 apresenta um resumo desses resultados (c.c., curto-circuito; c.a., circuito aberto).

Tabela F.1 Regras para descobrir o tipo de circuito CTS.

Teste em	Substitua	O circuito é PB se	O circuito é PA se
$\omega = 0$	C por c.a. L por c.c. C por c.c.	Saída é finita	Saída é zero
$\omega = \infty$	L por c.a.	Saída é zero	Saída é finita

A Figura F.4 mostra exemplos de circuitos CTS passa-baixas e a Figura F.5 mostra exemplos de circuitos CTS passa-altas. Para cada circuito indicamos as variáveis de entrada e de saída de interesse.

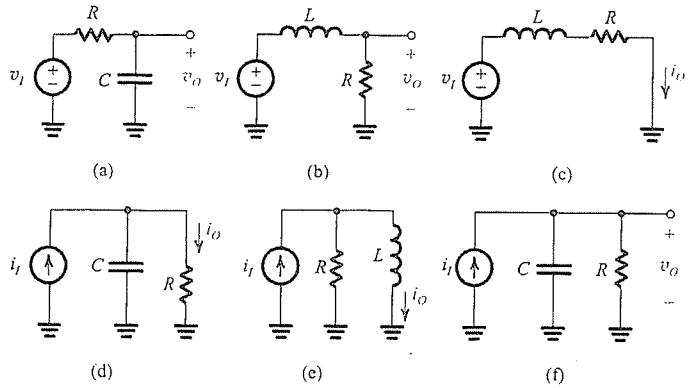


Figura F.4 Circuitos STC do tipo passa-baixas.

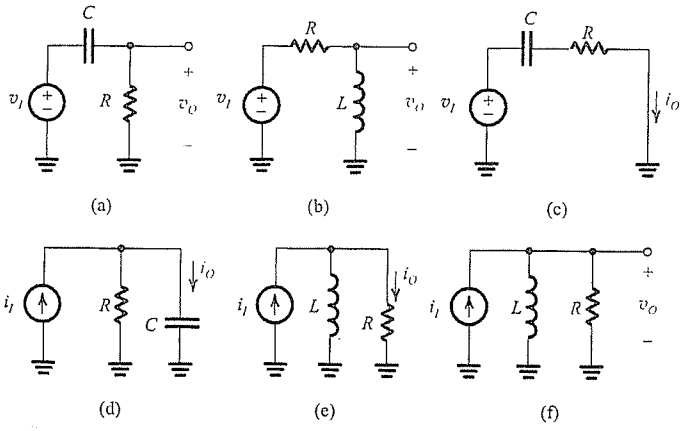


Figura F.5 Circuitos CTS do tipo passa-altas.

Observe que um dado circuito pode ser de ambas as categorias, dependendo das variáveis de entrada e de saída. O leitor pode verificar imediatamente, usando as regras da Tabela F.1, que os circuitos das Figuras F.4 e F.5 estão classificados corretamente.

Exercícios

F.1 Calcule as constantes de tempo para os circuitos mostrados na Figura EF.1.

Resposta (a) $\dfrac{(L_1 // L_2)}{R}$; (b) $\dfrac{(L_1 // L_2)}{(R_1 // R_2)}$

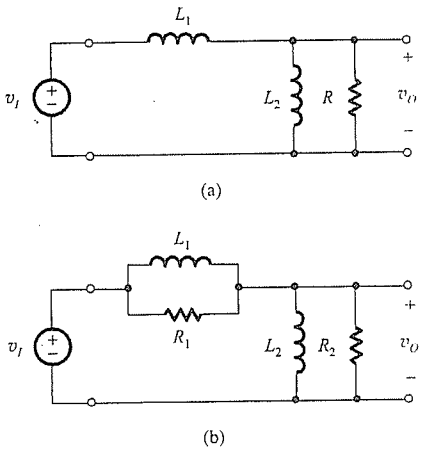


Figura EF.1

F.2 Classifique os circuitos CTS a seguir como passa-altas ou passa-baixas: a Figura F.4(a) com a saída i_O de C para o terra; a Figura F.4(b) com a saída i_O de R para o terra; a Figura F.4(d) com a saída i_O de C para o terra; a Figura F.4(e) com a saída i_O de R para a o terra; a Figura F.5(b) com a saída i_O de L para o terra; e a Figura F.5(d) com a saída v_O sobre C.

Resposta PA; PB; PA; PA; PB; PB

A RESPOSTA EM FREQÜÊNCIA DOS CIRCUITOS CTS

Os Circuitos Passa-baixas

A função de transferência $T(s)$ de um circuito CTS passa-baixas pode ser sempre escrita na forma

$$T(s) = \frac{K}{1 + (s/\omega_0)} \tag{F.1}$$

a qual, em regime permanente senoidal, em que $s = j\omega$, torna-se

$$T(j\omega) = \frac{K}{1 + j(\omega/\omega_0)} \tag{F.2}$$

em que K é o valor da função de transferência em $\omega = 0$ (cc) e ω_0 é definido por

$$\omega_0 = 1/\tau$$

em que τ é a constante de tempo. Portanto, o módulo da resposta é dado por

$$|T(j\omega)| = \frac{K}{\sqrt{1+(\omega/\omega_0)^2}} \tag{F.3}$$

e a fase da resposta é dada por

$$\phi(\omega) = -\text{tg}^{-1}(\omega/\omega_0) \tag{F.4}$$

A Figura F.6 mostra o esboço do módulo e da fase das respostas para um circuito CTS passa-baixas. O módulo da resposta mostrado na Figura F.6(a) é simplesmente um gráfico da função apresentada na Equação F.3. O módulo da resposta é normalizado em relação ao ganho cc K e é expresso em dB, isto é, os pontos plotados são para 20 log $|T(j\omega)/K|$, com uma escala logarítmica usada para o eixo da freqüência. Além disso, a variável freqüência foi normalizada em relação a ω_0. Conforme mostrado, o módulo da curva é aproximado por duas assíntotas (linhas retas). A assíntota para baixas freqüências é uma linha reta horizontal em 0 dB. Para encontrar a inclinação da assíntota para altas freqüências, considere a Equação F.3 e faça $\omega/\omega_0 >> 1$, resultando em

$$|T(j\omega)| \cong K\frac{\omega_0}{\omega}$$

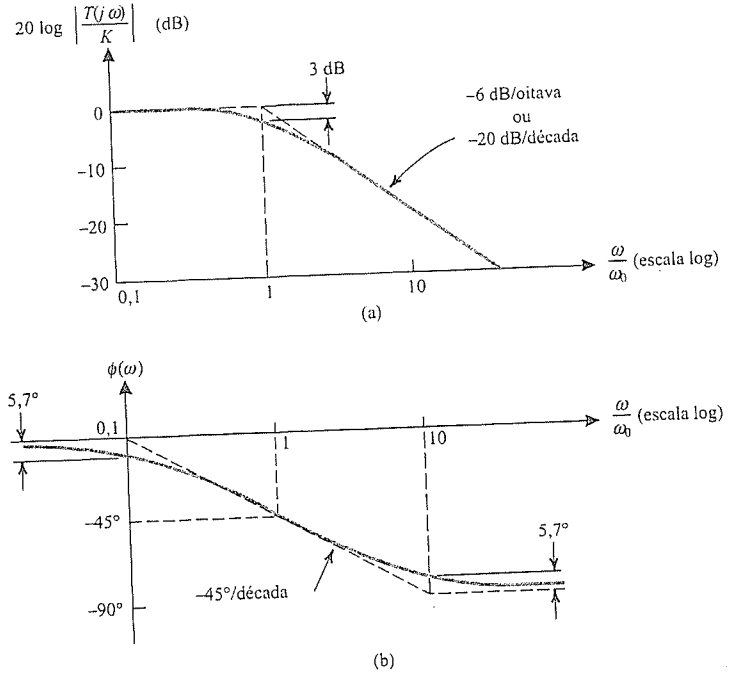


Figura F.6 **(a)** Módulo e **(b)** fase da resposta de circuitos CTS do tipo passa-baixas.

Isso significa que, se o valor de ω dobra, o valor do módulo da resposta é dividido por dois. Sobre um eixo logarítmico para a freqüência, dobrar o valor de ω significa representar pontos igualmente espaçados, com cada intervalo chamado de uma *oitava.* Dividir pela metade o módulo da função corresponde a 6 dB de redução na transmissão (20 log 0,5 = –6 dB). Portanto, a inclinação da assíntota para altas freqüências é de –6 dB/oitava. Isso pode ser expresso equivalentemente como –20 dB/década, em que uma década se refere a um aumento na freqüência por um fator de 10.

As duas retas assíntotas para o módulo da curva de resposta se encontram na "freqüência de corte" ω_0. A maior diferença entre o valor real da curva de resposta e a assíntota da resposta ocorre na freqüência de corte e é de 3 dB. Para verificar que esse valor está correto, simplesmente substitua $\omega = \omega_0$ na Equação F.3 para obter

$$|T(j\omega_0)| = K/\sqrt{2}$$

Portanto, em $\omega = \omega_0$, o ganho cai por um fator de $\sqrt{2}$ em relação ao ganho cc, o qual corresponde a uma redução no ganho de 3 dB. A freqüência de corte ω_0 é também chamada de freqüência de 3 dB.

De forma similar ao módulo da resposta, a fase da curva de resposta, mostrada na Figura F.6(b), pode ser aproximada adequadamente por retas assíntotas. Observe que, na freqüência de corte, a fase é –45° e, para $\omega >> \omega_0$, a fase se aproxima de –90°. Observe também que a linha reta com –45°/década é muito próxima da função de fase, com um erro máximo de 5,7°, na faixa de freqüências de 0,1 ω_0 a 10 ω_0.

EXEMPLO F.4

Considere o circuito mostrado na Figura F.7(a), um amplificador ideal de tensão com ganho $\mu = -100$ que tem uma pequena capacitância de 10 pF conectada em seu elo de realimentação. O amplificador é estimulado por uma fonte de tensão com uma resistência de 100 kΩ. Mostre que a resposta em freqüência V_o/V_s desse amplificador é equivalente a de um circuito CTS e esboce o módulo da curva de resposta.

SOLUÇÃO

Uma análise direta do circuito na Figura F.7(a) resulta na função de transferência

$$\frac{V_o}{V_s} = \frac{\mu}{1+sRC_f(-\mu+1)}$$

que é um circuito CTS passa-baixas com um ganho cc de $\mu = -100$ (ou, equivalentemente, 40 dB) e uma constante de tempo $\tau = RC_f(-\mu + 1) = 100 \times 10^3 \times 10 \times 10^{-12} \times 101 \cong 10^{-4}$ s, que corresponde a uma freqüência $\omega_0 = 1/\tau = 10^4$ rad/s. O módulo da resposta está esboçado na Figura F.7(b).

Os Circuitos Passa-altas

A função de transferência $T(s)$ de um circuito CTS passa-altas pode ser sempre escrita na forma

$$T(s) = \frac{Ks}{s+\omega_0} \tag{F.5}$$

a qual, em regime permanente senoidal, em que $s = j\omega$, torna-se

$$T(j\omega) = \frac{K}{1-j\omega_0/\omega} \tag{F.6}$$

em que K representa o ganho quando s (ou ω) se aproxima do infinito e ω_0 é o inverso da constante de tempo τ.

$$\omega_0 = 1/\tau$$

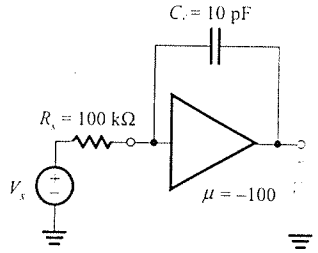
O módulo da resposta

$$|T(j\omega)| = \frac{K}{\sqrt{1+(\omega_0/\omega)^2}} \tag{F.7}$$

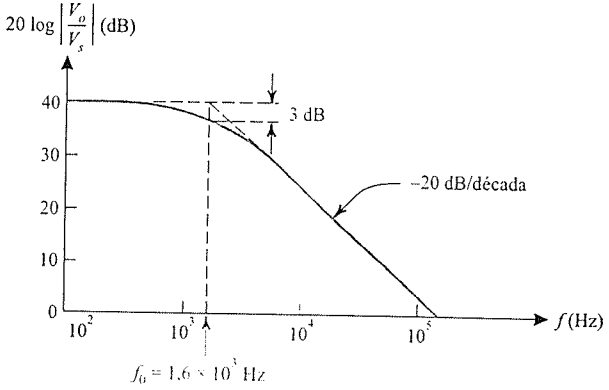
e a fase da resposta

$$\phi(\omega) = \text{tg}^{-1}(\omega_0/\omega) \tag{F.8}$$

estão esboçados na Figura F.8. Como no caso passa-baixas, as curvas do módulo e da fase das curvas são aproximadas convenientemente por retas assíntotas. Devido à similaridade (ou, mais apropriadamente, à dualidade) com o caso passa-baixas, não serão dadas mais explicações.

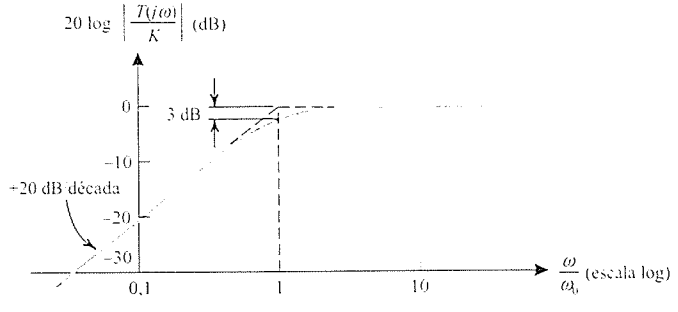


(a)

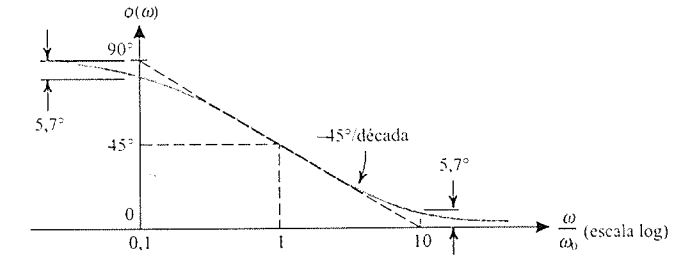


(b)

Figura F.7 (a) Um circuito amplificador e (b) um esboço do módulo de sua função de transferência.



(a)



(b)

Figura E8 (a) Módulo e (b) fase da resposta de circuitos CTS do tipo passa-altas.

Exercícios

F.3 Encontre a transmissão *cc*, a freqüência de corte f_0 e a transmissão para f = 2 MHz para o circuito CTS passa-baixas mostrado na Figura EF.3.

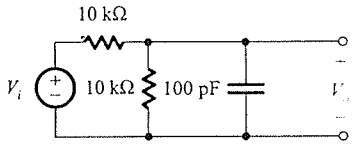


Figura EF.3

Resposta –6 dB; 318 kHz; –22 dB

F.4 Encontre a função de transferência $T(s)$ do circuito na Figura F.2. Que tipo de rede CTS ela é?

Resposta $T(s) = \frac{C_1}{C_1+C_2}\frac{s}{s+[1/(C_1+C_2)R]}$; PA

F.5 Para o circuito do Exercício F.4, se $R = 10\ k\Omega$, encontre os valores dos capacitores que resultam no circuito tendo uma transmissão para altas freqüências de 0.5 V/V e uma freqüência de corte de $\omega_0 = 10$ rad/s.

Resposta $C_1 = C_2 = 5\ \mu F$

F.6 Encontre o ganho em altas freqüências, a freqüência f_0 de 3 dB e o ganho para $f = 1$ Hz do amplificador capacitivamente acoplado mostrado na Figura EF.6. Suponha que o amplificador de tensão seja ideal.

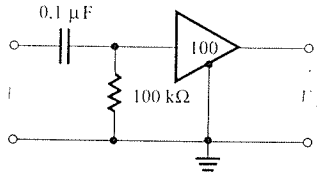


Figura EE6

Resposta 40 dB; 15,9 Hz; 16 dB

A RESPOSTA DE CIRCUITOS CTS AO DEGRAU

Nesta seção, consideraremos a resposta dos circuitos CTS a um sinal do tipo função degrau, como mostrado na Figura F.9. O conhecimento da resposta ao degrau permite uma rápida avaliação da resposta para outras formas de onda de chaveamento, como pulsos e ondas quadradas.

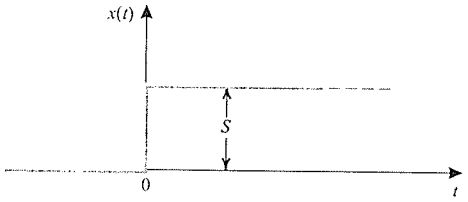


Figura F.9 Um sinal do tipo função degrau de altura S.

Os Circuitos Passa-baixas

Em resposta a um sinal degrau de altura S, um circuito CTS passa-baixas (com um ganho em *cc* de $K = 1$) produz a forma de onda mostrada na Figura F.10. Observe que, enquanto a entrada aumenta de 0 a S instantaneamente em $t = 0$, a saída não responde imediatamente a esse transiente e simplesmente começa a aumentar exponencialmente em direção ao *valor final cc* da entrada, S. Para um tempo muito grande – isto é, para $t >> \tau$ – a saída se aproxima do valor *cc* S, uma manifestação do fato de que os circuitos passa-baixas deixam passar fielmente sinais *cc*.

A equação da forma de onda de saída pode ser obtida a partir da expressão

$$y(t) = Y_\infty - (Y_\infty - Y_{0+})e^{-t/\tau} \qquad \text{(F.9)}$$

em que Y_∞ representa o *valor final* ou valor para o qual a saída está tendendo e Y_{0+} representa o valor da saída imediatamente após $t = 0$.

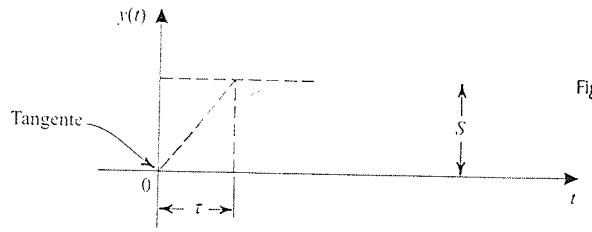


Figura F.10 A saída $y(t)$ de um circuito CTS passa-baixas excitado por um degrau de altura S.

Essa equação declara que a saída em qualquer instante t é igual à diferença entre o valor final Y_∞ e um intervalo cujo valor inicial é $Y_\infty - Y_{0+}$ e está "reduzindo-se" exponencialmente. Em nosso caso, $Y_\infty = S$ e $Y_{0+} = 0$, portanto,

$$y(t) = S(1 - e^{-t/\tau}) \qquad \text{(F.10)}$$

Chamamos a atenção do leitor para a inclinação da tangente de $y(t)$ em $t = 0$, que está indicada na Figura F.10.

Os Circuitos Passa-altas

A resposta de um circuito CTS passa-altas (com um ganho em altas freqüências de $K = 1$) a uma entrada em degrau de altura S está mostrada na Figura F.11. O circuito passa-altas transmite fielmente o transiente do sinal de entrada (a variação em degrau), mas bloqueia *cc*. Portanto, a saída em $t = 0$ segue a entrada,

$$Y_{0+} = S$$

e então cai em direção a zero,

$$Y_\infty = 0$$

Substituir para Y_{0+} e Y_∞ na Equação F.9 resulta na saída $y(t)$,

$$y(t) = Se^{-t/\tau} \qquad \text{(F.11)}$$

Chamamos a atenção do leitor para a inclinação da tangente de $y(t)$ em $t = 0$, que está indicada na Figura F.11.

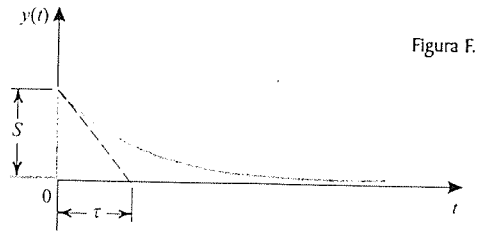


Figura F.11 A saída $y(t)$ de um circuito CTS passa-altas excitado por um degrau de altura S.

EXEMPLO F.5

Este exemplo é uma continuação do problema considerado no Exemplo F.3. Para uma entrada v_I que é um degrau de 10 V, encontre a condição para a qual a saída v_O é um degrau perfeito.

SOLUÇÃO

Seguindo a análise no Exemplo F.3, que está ilustrado na Figura F.3, temos

$$v_{O1} = k_r[10(1-e^{-t/\tau})]$$

em que

$$k_r \equiv \frac{R_2}{R_1+R_2}$$

e

$$v_{O2} = k_c(10e^{-t/\tau})$$

em que

$$k_c \equiv \frac{C_1}{C_1+C_2}$$

e

$$\tau = (C_1+C_2)(R_1//R_2)$$

Portanto,

$$\begin{aligned} v_O &= v_{O1}+v_{O2} \\ &= 10k_r + 10e^{-t/\tau}(k_c-k_r) \end{aligned}$$

Isso implica que a saída pode ser um degrau perfeito de altura $10k_r$ volts se fizermos

$$k_c = k_r$$

isto é, se fizermos a razão do divisor de tensão resistivo igual à razão do divisor de tensão capacitivo.

Este exemplo ilustra uma técnica importante denominada "atenuador compensado". Uma aplicação dessa técnica é encontrada no projeto das pontas de prova do osciloscópio. O problema das pontas de prova do osciloscópio é estudado no Problema F.3.

Exercícios

F.7 Para o circuito da Figura F.4(f), determine v_O se i_I for um degrau de 3 mA, R = 1 kΩ e C = 100 pF.

Resposta $3(1-e^{-10^7 t})$

F.8 No circuito da Figura F.5(f), calcule $v_O(t)$ se i_I for um degrau de 2 mA, R = 2 kΩ e L = 10 μH.

Resposta $4e^{-2\times10^8 t}$

F.9 O circuito amplificador da Figura EF.6 é acionado por uma fonte de sinal que fornece um degrau de 20 mV. Se a resistência da fonte for de 100 kΩ, calcule a constante de tempo τ e $v_O(t)$.

Resposta $\tau = 2\times10^{-2}$ s; $v_O(t) = 1\times e^{-50t}$

F.10 Para o circuito na Figura F.2 com $C = C_2$ = 0,5 μF e R = 1 MΩ, calcule $v_O(t)$ se $v_I(t)$ for um degrau de 10 V.

Resposta $5e^{-t}$

F.11 Mostre que a área sobre a exponencial da Figura F.11 é igual à do retângulo de altura S e largura τ.

A RESPOSTA DE CIRCUITOS CTS A PULSOS

A Figura F.12 mostra um sinal de pulso cuja altura é P e cuja largura é T. Queremos determinar a resposta dos circuitos CTS a sinais de entrada desse tipo. Observe de início que um pulso pode ser considerado como a soma de dois degraus: um positivo de altura P ocorrendo no instante t = 0 e um negativo de altura P ocorrendo no instante $t = T$. Portanto, a resposta de um circuito linear a um sinal de pulso pode ser obtida pela soma das respostas de dois sinais do tipo degrau.

Os Circuitos Passa-baixas

A Figura F.13(a) mostra a resposta de um circuito CTS passa-baixas (tendo um ganho *cc* unitário) a um pulso de entrada com a forma mostrada na Figura F.12. Nesse caso, fizemos a suposição de que a constante de tempo τ é da mesma ordem de grandeza que a largura T do pulso. Conforme mostrado, o circuito PB não responde a uma variação em degrau na borda inicial do pulso; na realidade, a saída começa a aumentar exponencialmente em direção ao valor final P. Esse aumento exponencial, contudo, cessará no instante $t = T$, isto é, na borda final do pulso quando a entrada sofre uma variação negativa no degrau. Novamente, a saída responderá iniciando uma queda exponencial em direção ao valor final da entrada, que é zero. Finalmente, observe que a área sob a forma de onda de saída será igual à área sob a forma de onda do pulso de entrada, visto que o circuito PB deixa passar fielmente as componentes *cc*.

Na conexão de um sinal em forma de pulso de uma parte de um sistema eletrônico para outro, usualmente ocorre um efeito passa-baixas. O circuito passa-baixas, nesse caso, é formado pela resistência de saída (resistência equivalente de Thévenin) da parte do sistema da qual o sinal se origina e a capacitância de entrada da parte do sistema para a qual o sinal é enviado. Esse filtro passa-baixas é inevitável e provocará a distorção – do tipo mostrado na Figura F.13(a) – do sinal de pulso. Em um sistema bem projetado, tal distorção é mantida a baixos valores fazendo-se com que a constante de tempo τ seja muito menor do que a largura do pulso T. Nesse caso, o resultado será um ligeiro arredondamento das bordas do pulso, conforme mostrado na Figura F.13(b). Observe, contudo, que as bordas ainda são exponenciais.

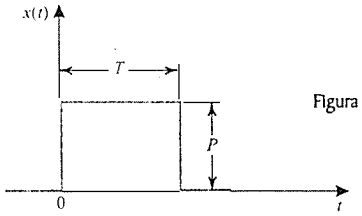


Figura F.12 Um sinal de pulso com altura P e largura T.

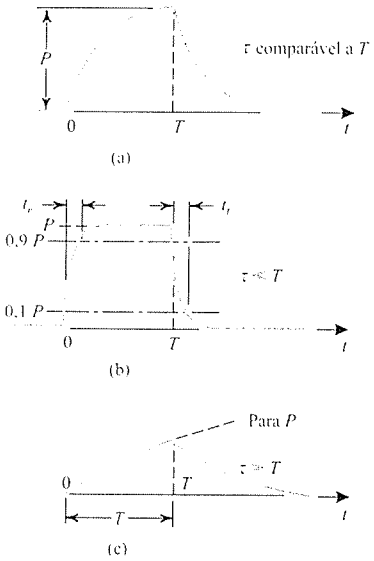


Figura F.13 Resposta a pulsos de circuitos CTS passa-baixas.

A distorção de um sinal de pulso por um circuito passa-baixas parasitário (isto é, indesejável) é medida por meio do *tempo de subida* e do *tempo de descida*. O tempo de subida é convencionalmente definido como o tempo que a amplitude leva para aumentar de 10% a 90% de seu valor final. De forma similar, o tempo de descida é definido como o tempo que a amplitude leva para cair de 90% a 10% de seu valor máximo. Essas definições estão ilustradas na Figura F.13(b). Usando as equações exponenciais das bordas de subida e descida da forma de onda de saída podemos facilmente mostrar que

$$t_r = t_f \simeq 2{,}2\tau \tag{F.12}$$

que pode também ser expressa em termos de $f_0 = \omega_0/2\pi = 1/2\pi\tau$ como

$$t_r = t_f \simeq \frac{0{,}35}{f_0} \tag{F.13}$$

Finalmente, observamos que o efeito dos circuitos passa-baixas parasitários que estão sempre presentes em um sistema é "retardar" a operação do sistema: a fim de manter a distorção do sinal dentro de limites aceitáveis, devemos usar um pulso com largura relativamente longa (para uma dada constante de tempo do passa-baixas).

O outro caso extremo – a saber, quando τ é muito maior do que T – está ilustrado na Figura F.13(c). Conforme mostrado, a forma de onda de saída aumenta exponencialmente em direção ao nível P. Porém, visto que $\tau >> T$, o valor atingido em $t = T$ será muito menor do que P. Em $t = T$, a forma de onda de saída começa a cair exponencialmente em direção a zero. Observe que, nesse caso, a forma de onda de saída tem pouca semelhança com o pulso de entrada. Observe também que, pelo fato de $\tau >> T$, a porção exponencial da curva de $t = 0$ até $t = T$ é praticamente linear. Como a inclinação dessa curva linear é proporcional à altura do pulso de entrada, vemos que a forma de onda de saída se aproxima da integral no tempo do pulso de entrada. Isto é, uma rede passa-baixas com uma constante de tempo de alto valor se aproxima da operação de um *integrador*.

Os Circuitos Passa-altas

A Figura F.14(a) mostra a saída de um circuito CTS PA (com ganho unitário em altas freqüências) excitado pelo pulso de entrada da Figura F.12, supondo que τ e T sejam da mesma ordem de grandeza. Conforme mostrado, a transição do degrau na borda inicial do pulso de entrada é reproduzida fielmente na saída do circuito PA. Contudo, visto que o circuito PA bloqueia a componente *cc*, a forma de onda de saída começa imediatamente a decair exponencialmente em direção a zero. Esse processo de queda cessa em $t = T$ quando ocorre a transição negativa no degrau de entrada que é fielmente reproduzida pelo circuito PA. Portanto, em $t = T$, a forma de onda de saída apresenta um valor mais baixo que o estímulo de entrada, ou uma queda (*undershoot*). Então, começa a "cair" exponencialmente em direção a zero. Finalmente, observe que a área da forma de onda de saída acima do zero do eixo será igual àquela abaixo do eixo, correspondendo a uma área média total zero, consistente com o fato de que os circuitos PA bloqueiam a componente *cc*.

Em muitas aplicações, o circuito CTS passa-altas é usado para acoplar um pulso de uma parte do sistema para outra parte. Em tal aplicação é necessário manter a distorção na forma do pulso a menor possível. Isso pode ser conseguido selecionando uma constante de tempo τ muito maior do que a largura do pulso T.

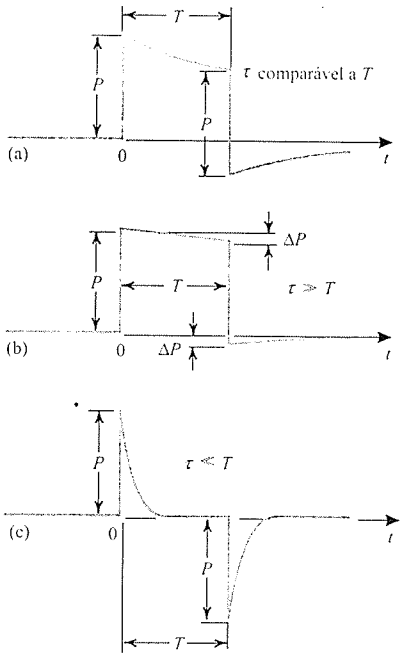


Figura F.14 Resposta a pulsos de circuitos CTS passa-altas.

Se esse for realmente o caso, a perda na amplitude durante o período do pulso T será muito pequena, conforme mostrado na Figura F.14(b). Todavia, a forma de onda de saída ainda excursiona negativamente e a área sob essa porção será igual àquela sob a porção positiva.

Considere a forma de onda na Figura F.14(b). Como τ é muito maior do que T, isso significa que a porção da curva exponencial de $t = 0$ até $t = T$ será praticamente linear e que sua inclinação será igual à inclinação da curva exponencial em t = 0, que é P/τ. Podemos usar o valor dessa inclinação para determinar a perda em amplitude ΔP como

$$\Delta P \simeq \frac{P}{\tau} T \tag{F.14}$$

O efeito de distorção provocado pelo circuito passa-altas sobre o pulso de entrada é usualmente especificado em termos da perda em amplitude do pulso de entrada por unidade ou porcentagem. Essa quantidade é tomada como uma indicação do arqueamento ou "queda" (*sag*) no pulso de saída,

$$\text{Queda percentual} \equiv \frac{\Delta P}{P} \times 100 \tag{F.15}$$

Portanto,

$$\text{Queda percentual} = \frac{T}{\tau} \times 100 \tag{F.16}$$

Finalmente, observe que a amplitude da queda (*undershoot*) em $t = T$ é igual a ΔP.

O outro caso extremo – a saber, $\tau << T$ – está ilustrado na Figura F.14(c). Nesse caso, a queda exponencial é muito rápida, resultando no retorno rápido da saída a zero, logo depois da borda inicial do pulso. Na parte final do pulso, a saída excursiona negativamente por uma quantidade quase igual à altura P do pulso de entrada. Depois, a forma de onda cai rapidamente a zero. Como visto pela Figura F.14(c), a forma de onda de saída não tem semelhança com a forma do pulso de entrada. Ela consiste em dois picos (*spikes*): o positivo, na borda dianteira, e o negativo, na borda traseira. Observe que a forma de onda de saída é aproximadamente igual à derivada no tempo do pulso de entrada. Isto é, para $\tau << T$, um circuito CTS passa-altas aproxima-se de um *diferenciador*. Contudo, o diferenciador resultante não é ideal; um diferenciador ideal produziria dois impulsos. Todavia, os circuitos CTS passa-altas com constante de tempo de valor pequeno são empregados em algumas aplicações para produzir pulsos pontiagudos ou picos nas transições de uma forma de onda de entrada.

Exercícios

F.12 Calcule os tempos de subida e de descida de um pulso com 1 μs de largura após ter passado por circuito RC passa-baixas com uma freqüência de corte de 10 MHz.

Resposta 35 ns

F.13 Considere a resposta a um pulso de um circuito CTS passa-baixas, conforme mostrado na Figura F.13(c). Se $\tau = 100T$, calcule a tensão de saída em $t = T$. Calcule também a diferença na inclinação da parte de subida da forma de onda de saída em $t = 0$ e em $t = T$ (expressas como uma porcentagem da inclinação em $t = 0$).

Resposta $0{,}01P$; 1%

F.14 A saída de um estágio amplificador é conectada à entrada de outro estágio via uma capacitância C. Se o primeiro estágio tem uma resistência de saída de 10 kΩ e o segundo estágio tem uma resistência de entrada de 40 kΩ, calcule o valor mínimo de C de modo que um pulso de 10 μs exiba uma queda menor do que 1%.

Resposta 0,02 μF

F.15 Um circuito CTS passa-altas com uma constante de tempo de 100 μs é excitado por um pulso de 1 V de altura e uma largura de 100 μs. Calcule o valor do *undershoot* na forma de onda de saída.

Resposta 0,632 V

BIBLIOGRAFIA

R. Littauer. *Pulse Electronics*. New York, McGraw-Hill, 1965.

J. Millman e H. Taub. *Pulse, Digital, and Switching Waveforms*. New York, McGraw-Hill, 1965.

PROBLEMAS

F.1 Considere o circuito da Figura F.3(a) e o equivalente mostrado em (d) e (e). Nessa figura, a saída $v_o = v_{o1} + v_{o2}$ é a soma das saídas de um passa-baixas e de um passa-altas, cada um com uma constante de tempo $\tau = (C_1 + C_2)(R_1 // R_2)$. Qual a condição que faz a contribuição do circuito passa-baixas na freqüência zero ser igual à contribuição do circuito passa-altas na freqüência infinita? Mostre que essa condição pode ser expressa como $C_1R_1 = C_2R_2$. Se essa condição for válida, esboce $|V_o/V_i|$ *versus* freqüência para o caso $R_1 = R_2$.

F.2 Use a regra do divisor de tensão para encontrar a função de transferência $V_o(s)/V_i(s)$ do circuito na Figura F.3(a). Mostre que a função de transferência pode ser feita independente da freqüência se a condição $C_1R_1 = C_2R_2$ for aplicada. Sob tal condição, o circuito é chamado de *atenuador compensado*. Encontre a transmissão do atenuador compensado em termos de R_1 e R_2.

PF.3** O circuito da Figura F.3(a) é usado como um atenuador compensado (veja os problemas F.1 e F.2) para uma ponta de prova de osciloscópio. O objetivo é reduzir a tensão do sinal aplicada ao amplificador de entrada do osciloscópio, com a atenuação do sinal independente da freqüência. A ponta em si inclui R_1 e C_1, enquanto R_2 e C_2 modelam o circuito de entrada do osciloscópio. Para um osciloscópio tendo uma resistência de entrada de 1 MΩ e uma capacitância de entrada de 30 pF, projete uma ponta de prova compensada "10 para 1" – isto é, uma ponta que atenua o sinal de entrada por um fator de 10. Calcule a impedância de entrada da ponta quando conectada em um osciloscópio, que é a impedância vista por v_I na Figura F.3(a). Mostre que essa impedância é 10 vezes maior do que a do próprio osciloscópio. Essa é a grande vantagem da ponta de prova 10:1.

F.4 Nos circuitos da Figura F.4 e F.5, faça L = 10 mH, C = 0,01 μF e R = 1 kΩ. Em que freqüência o ângulo de fase será de 45°?

***F.5** Considere um amplificador de tensão com um ganho de tensão em circuito aberto de $A_{vo} = -100$ V/V, $R_s = 0$, $R_i = 10$ kΩ e uma capacitância de entrada C_i (em paralelo com R_i) de 10 pF. O amplificador tem uma capacitância de realimentação (uma capacitância conectada entre a saída e a entrada) $C_f = 1$ pF. O amplificador é excitado por uma fonte de tensão V_s tendo uma resistência $R_s = 10$ kΩ. Encontre a função de transferência $V_o(s)/V_s(s)$ e esboce o módulo da resposta *versus* freqüência (dB *versus* freqüência em um eixo log).

E6 Para o circuito na Figura PE.6, suponha que o amplificador de tensão seja ideal. Deduza a função de transferência $V_o(s)/V_i(s)$. Que tipo de resposta CTS ela representa? Para $C = 0{,}01\ \mu F$ e $R = 100\ k\Omega$, encontre a freqüência de corte.

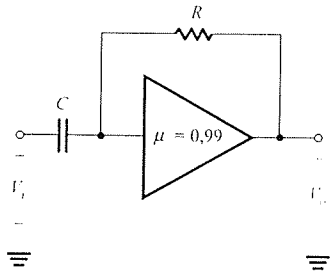


Figura PE6

E7 Para os circuitos nas Figuras F.4(b) e F.5(b), encontre $v_O(t)$ se v_I for um degrau de 10 V, $R = 1\ k\Omega$ e $L = 1$ mH.

E8 Considere a resposta exponencial de um circuito CTS passa-baixas para um degrau de 10 V de entrada. Em termos da constante de tempo τ, calcule o tempo que a saída leva para atingir 5 V, 9 V, 9,9 V e 9,99 V.

E9 A resposta a altas freqüências de um osciloscópio é especificada como a do circuito CTS PB com uma freqüência de corte de 100 MHz. Se esse osciloscópio for usado para apresentar uma forma de onda de um degrau ideal, que tempo de subida (10% a 90%) você espera observar?

E10 Um osciloscópio, cuja resposta a degrau é semelhante a de um circuito CTS passa-baixas, tem um tempo de subida de t_s segundos. Se um sinal de entrada tendo um tempo de subida de t_w segundos for medido, a forma de onda vista na tela terá um tempo de subida de t_d segundos, que pode ser encontrado usando a fórmula empírica $t_d = \sqrt{t_s^2 + t_w^2}$. Se $t_s = 35$ ns, qual a freqüência de 3 dB do osciloscópio? Qual o tempo de subida observado para uma forma de onda com tempo de subida de 100 ns, 35 ns e 10 ns? Qual o tempo de subida real de uma forma de onda cujo tempo de subida mostrado é de 49,5 ns?

E11 Um pulso de 10 ms de largura e 10 V de amplitude é transmitido por meio de um sistema caracterizado como tendo uma resposta de um CTS passa-altas com uma freqüência de corte de 10 Hz. Que valor de *undershoot* você espera?

E12 Um diferenciador *RC* com uma constante de tempo τ é usado para implementar um detector de pulsos curtos. Quando um pulso longo com $T >> \tau$ aciona o circuito, os picos positivos e negativos na saída serão iguais em amplitude. Com que largura de pulso o pico de saída negativo difere do positivo em 10%?

E13 Um circuito CTS passa-altas com uma constante de tempo de 1 ms é excitado por um pulso de 10 V e 1 ms de largura. Calcule o valor do *undershoot* na forma de onda de saída. Se for especificado um *undershoot* de 1 V ou menos, qual será a constante de tempo necessária?

PE14 Um capacitor *C* é usado para acoplar a saída de um estágio amplificador na entrada do próximo estágio. Se o primeiro estágio tem uma resistência de saída de 2 kΩ e o segundo estágio tem uma resistência de entrada de 3 kΩ, calcule o valor de *C* de modo que um pulso de 1 ms tenha uma queda menor do que 1%. Qual a freqüência de 3 dB associada?

PE15 Um diferenciador RC é usado para converter uma variação *V* (degrau de tensão) em um pulso único para uma aplicação de lógica digital. O circuito lógico que o diferenciador aciona distingue sinais acima de *V*/2 como "altos" e abaixo de *V*/2 como "baixos". Qual deve ser a constante de tempo do circuito para converter um degrau de entrada em um pulso que será interpretado como "alto" para 1·0 μs?

PE16 Considere o circuito na Figura F.7(a) com $\mu = -100$, $C_f = 100$ pF e o amplificador ideal. Encontre o valor de *R* de modo que o ganho $|V_o/V_s|$ tenha uma freqüência de 3 dB de 1 kHz.

APÊNDICE G

MAKRON Books

Determinando os Valores dos Parâmetros do Modelo π-Híbrido para o TBJ

Neste apêndice, apresentaremos um método para determinar os valores dos parâmetros do modelo π-híbrido do TBJ para baixas freqüências (Figura G.1) a partir de medidas experimentais. O transistor é um dispositivo de três terminais que pode ser convertido em uma rede de dois acessos aterrando-se um de seus terminais. Ele pode, portanto, ser caracterizado por um dos vários tipos de modelos (veja o Apêndice B). Para o TBJ em baixas freqüências, os parâmetros *h* são considerados os mais convenientes. A seguir, descreveremos brevemente métodos para medir os parâmetros *h* de um transistor polarizado para atuar na região ativa. Também deduziremos expressões que nos permitem determinar os parâmetros do modelo π-híbrido a partir dos parâmetros *h* medidos. Como o modelo π-híbrido está intimamente ligado à operação física do transistor, seu uso permite ao projetista correlacionar o desempenho do circuito com as características físicas dos dispositivos semicondutores. Deve ficar claro que utilizaremos os parâmetros *h* apenas como forma de determinar os parâmetros do modelo π-híbrido.

Se o emissor de um transistor polarizado na região ativa for aterrado e definirmos o acesso 1 como sendo entre a base e o emissor e o acesso 2 como sendo entre o coletor e o emissor, então, para pequenos sinais em torno do ponto de polarização, podemos escrever:

$$v_b = h_{ie} i_b + h_{re} v_c \tag{G.1}$$

$$i_c = h_{fe} i_b + h_{oe} v_c \tag{G.2}$$

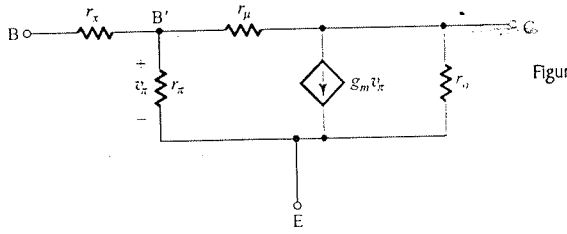


Figura G.1 Modelo π-híbrido completo para operação em baixas freqüências.

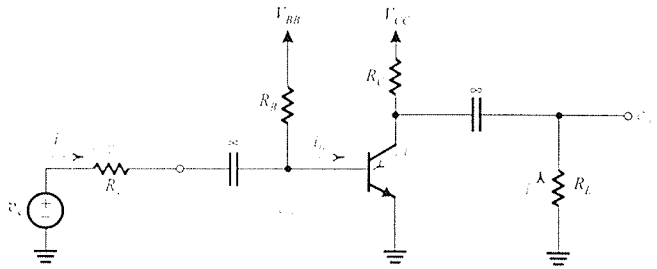


Figura G.2 Circuito para medir h_{ie} e h_{fe}.

Essas são as equações que definem os parâmetros h de emissor comum e, em vez de usarmos a notação h_{11}, h_{12} etc., atribuímos índices mais sugestivos aos parâmetros h: i significa entrada (input), r significa reverso, f significa direto (forward), o significa saída (output) e o e significa emissor comum.

Para medir o h_{ie} e o h_{fe} pode-se usar o circuito apresentado na Figura G.2. Nesse circuito, R_B é uma resistência de valor elevado que juntamente com V_{BB} determina I_B. A resistência R_C é usada para estabelecer a tensão cc desejada no coletor e uma resistência R_L bem pequena é usada para medir a corrente de sinal no coletor. Já que R_L é pequena, o coletor está, na prática, curto-circuitado ao terra e

$$i_c \cong i_o = -\frac{v_o}{R_L}$$

A corrente de sinal na entrada, i_i, é determinada medindo-se a tensão v sobre uma resistência conhecida R_s. Se R_B for de valor elevado, então

$$i_b \cong i_i = \frac{v}{R_s}$$

A tensão de sinal de entrada, v_b, pode ser medida diretamente na base. Usando esses valores medidos pode-se determinar h_{ie} e h_{fe}:

$$h_{ie} = \frac{v_b}{i_b} \quad \text{e} \quad h_{fe} = \frac{i_c}{i_b}$$

Para medir h_{re} usaremos o circuito da Figura G.3. Novamente, R_B deve ser elevada (muito maior que r_π) e o voltímetro usado para medir v_b deve ter uma alta impedância de entrada para garantir que a base esteja efetivamente em aberto. O valor de h_{re} pode, então, ser determinado como segue:

$$h_{re} = \frac{v_b}{v_c}$$

Finalmente, da Equação G.2 vemos que h_{oe} é a condutância de saída com a base em aberto, que por definição é a inclinação das curvas características $i_C - v_{CE}$. Portanto, h_{oe} pode ser determinado convenientemente a partir das características de emissor comum estáticas.

Expressões para h_{ie} e h_{fe} em termos dos parâmetros do modelo π-híbrido podem ser deduzidas analisando-se o circuito equivalente da Figura G.4. Dessa análise conclui-se que:

$$h_{ie} = r_x + (r_\pi // r_\mu) \tag{G.3}$$

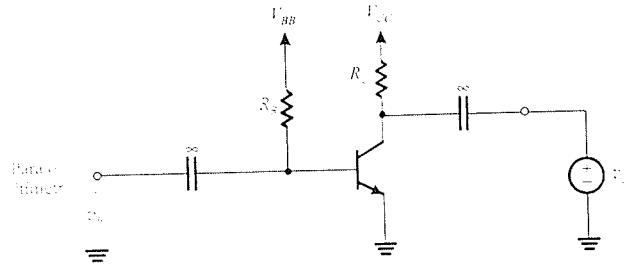


Figura G.3 Circuito para medir h_{re}.

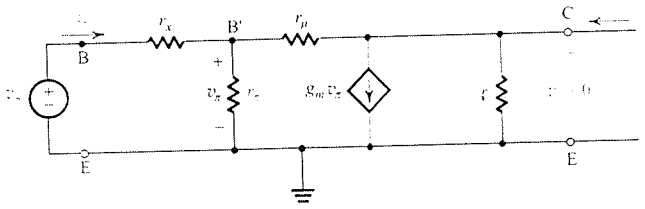


Figura G.4 Circuito para deduzir as expressões para h_{ie} e h_{fe}.

que pode ser aproximado por:

$$h_{ie} \cong r_x + r_\pi \tag{G.4}$$

e

$$h_{fe} = g_m r_\pi \tag{G.5}$$

Aqui, devemos observar que, por definição, h_{fe} é idêntico ao β *ca*, β_{ca}, e que o valor fornecido pela Equação G.5 corresponde, na verdade, à formula que utilizamos anteriormente para o β em baixas freqüências, β_0.

Para deduzir as expressões para h_{re} e h_{oe}, usamos o modelo de circuito equivalente da Figura G.5 e obtemos:

$$h_{re} = \frac{r_\pi}{r_\pi + r_\mu}$$

que pode ser aproximada por

$$h_{re} \cong \frac{r_\pi}{r_\mu} \tag{G.6}$$

$$h_{oe} \cong \frac{1}{r_o} + \frac{\beta_0}{r_\mu} \tag{G.7}$$

Essa última expressão é idêntica àquela para a inclinação da característica i_C–v_{CE} com a base em aberto.

Todas essas expressões podem ser usadas para determinar os valores dos parâmetros do modelo π-híbrido a partir dos parâmetros h medidos:

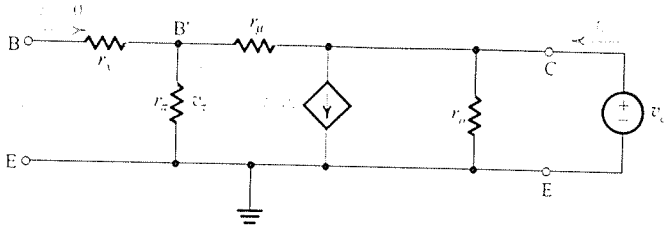


Figura G.5 Circuito para deduzir as expressões para h_{ie} e h_{oc}.

$$g_m = I_C/V_T \tag{G.8}$$

$$r_\pi = h_{fe}/g_m \tag{G.9}$$

$$r_x = h_{ie} - r_\pi \tag{G.10}$$

$$r_\mu = r_\pi/h_{re} \tag{G.11}$$

$$r_o = \left(h_{oe} - \frac{h_{fe}}{r_\mu}\right)^{-1} \tag{G.12}$$

$$= V_A/I_C \tag{G.13}$$

Deve ser observado, no entanto, que normalmente $r_x << r_\pi$ e, portanto, a Equação G.10 não fornece um valor preciso para r_x. Na verdade, não há nenhum método preciso para a determinação de r_x em baixas freqüências, o que não deve ser uma surpresa, visto que r_x tem pouca importância em baixas freqüências.

Exercício

G.1 Os seguintes parâmetros foram medidos para um transistor polarizado com $I_C = 1$ mA: $h_{ie} = 2.6$ kW, $h_{fe} = 100$, $h_{re} = 0.5 \times 10^{-4}$, $h_{oe} = 1.2 \times 10^{-5}$ A/V. Determine os valores de g_m, r_π, r_x, r_μ, r_o e V_A.

Resposta 40 mA/V; 2,5 kΩ; 100 Ω; 50 MΩ; 100 kΩ; 100 V

PROBLEMAS

G.1 Um TBJ polarizado por uma fonte de corrente de emissor de 10 mA, com seu emissor curto-circuitado ao terra por um capacitor de valor elevado, é estimulado por uma corrente de pequenos sinais através de uma resistência externa de 1 kΩ em série com a base. Seu coletor está conectado a uma fonte adequada por meio de um resistor de 100 Ω. Medidas *ca* cuidadosas tomadas em relação ao terra indicaram as seguintes tensões: no emissor, 0 mV (aproximadamente); na base, 3,3 mV; no coletor, 120 mV; no resistor de entrada e no terminal não conectado à base, 13,3 mV. Determine r_e, r_π, h_{fe}, g_m e r_x.

**G.2 No circuito da Figura G.2, $R_s = 10$ kΩ, $R_B = 100$ kΩ, $R_C = 10$ kΩ e $R_L = 100$ Ω. Medidas *ca* indicaram: $v_s = 15$ mV, $v_b = 5$ mV e $v_c = 20$ mV.

(a) Determine h_{ie} e h_{fe} tanto aproximadamente quanto exatamente (isto é, considerando-se as correntes através de R_B e R_C).

(b) Se r_x é determinada separadamente por medidas em altas freqüências como sendo 50 Ω, calcule r_π, r_e, g_m e I_C.

(c) O circuito então é alterado para aquele da Figura G.3 e um sinal $v_c = 5$ V é aplicado. As medidas indicaram que $v_b = 1$ mV. Qual o valor de h_{re}? Se o objetivo dessa medida é determinar r_μ, então ela deve ser feita em baixas freqüências. Por quê?

(d) Usando os resultados em (b) e (c), calcule r_μ. Em que freqüência a magnitude da impedância de um capacitor de 1 pF se iguala ao valor de r_μ?

(e) Considere o circuito da Figura G.3 ampliado por um resistor de 100 Ω em série com o coletor. Com $v_c = 5$ V, medem-se 8 mV sobre o resistor de 100 Ω. Para essa situação, estime h_{oe} e a seguir r_o e V_A.

G.3 Os seguintes parâmetros foram medidos para um transistor polarizado com $I_C = 2$ mA: $h_{ie} = 1.350$ kΩ, $h_{fe} = 100$, $h_{re} = 5 \times 10^{-5}$, $h_{oe} = 2.4 \times 10^{-5}$ A/V. Determine os valores de g_m, r_π, r_e, r_x, r_μ, r_o e V_A.

APÊNDICE H

MAKRON Books

Valores-padrão de Resistores e Prefixos de Unidades

Resistores discretos estão disponíveis apenas em valores-padrão. A tabela abaixo fornece os multiplicadores para os valores-padrão de 5% e 1% de tolerância. Assim, para resistores de 5% na faixa de kΩ tem-se os valores de 1,0; 1,1; 1,2; 1,3; 1,5;...; kΩ. Na mesma faixa, para resistores de 1%, tem-se os valores de 1,00; 1,02; 1,05; 1,07; 1,10;...; kΩ.

Resistores de 5%	Resistores de 1%			
10	100	178	316	562
11	102	182	324	576
12	105	187	332	590
13	107	191	340	604
15	110	196	348	619
16	113	200	357	634
18	115	205	365	649
20	118	210	374	665
22	121	215	383	681
24	124	221	392	698
27	127	226	402	715
30	130	232	412	732
33	133	237	422	750
36	137	243	432	768
39	140	249	442	787
43	143	255	453	806
47	147	261	464	825
51	150	267	475	845
56	154	274	487	866
62	158	280	499	887
68	162	287	511	909
75	165	294	523	931
82	169	301	536	953
91	174	309	549	976

Nome	Símbolo	Fator
fento	f	$\times 10^{-15}$
pico	p	$\times 10^{-12}$
nano	n	$\times 10^{-9}$
micro	μ	$\times 10^{-6}$
mili	m	$\times 10^{-3}$
quilo	k	$\times 10^{3}$
mega	M	$\times 10^{6}$
giga	G	$\times 10^{9}$
tera	T	$\times 10^{12}$

MAKRON Books

Respostas aos Problemas

Capítulo 1

1.1 $v_s(t)$, $v_s(t)/R_s$; $i_s(t)/R_s$, $i_s(t)$; $v_s(t) = i_s(t).R_s$

1.2 1 kΩ

1.3 (a) $v = 10\ \text{sen}(6{,}28 \times 10^4 t)$; (b) $v = 170\ \text{sen}(377t)$

1.4 81%

1.5 0; 111; 1100; 111001 (b) b_N; b_1; (c) 0,94 mA

1.6 (c) 10, 9,8 mV, 4,9 mV

1.7 −9,12 dB, 74,5 dB, 32,7 dB

1.8 40 dB

1.9 91,9 mV

1.10 (b) 3 V; (c) −10 V/V; (d) 40 mV

1.11 (a) 18,3 dB; (b) 8 dB; (c) −22 dB

1.12 39 dB; 79 dB; 0,08 V; 10 W

1.13 206,6 V/V; 2,07 V

1.14 7,575V, 0,57 W; 44,2 V, 19,5 W

1.15 19,05 V/V

1.16 $R_i/(1 + g_m R_i)$

1.17 $-\alpha R_C/[(R_B/(1-\alpha)) + r_e + R_E]$

1.18 $s\Big/\left(s+\dfrac{1}{CR}\right)$

1.19 $\dfrac{R_i}{R_i+R_s}\,\dfrac{1}{1+sC_i(R_i//R_s)}$

1.20 $0{,}434/CR$

1.21 15,6 pF; 0,32 pF

1.22 50 Hz; 500 kHz; 50 Hz to 500 kHz; 2,5 Hz to 10 MHz; 25 Hz; 250 kHz

1.23 $\dfrac{1}{sC_1R_1+1}$; 16 kHz; $\dfrac{-G_m s(R_2//R_3)}{s+1/(C_2(R_2+R_3))}$; 53 Hz; 16 kHz

1.24 $R_2/(R_1 + R_2)$
1.25 1 V; 0,9 V
1.26 (a) 1,5 V; 1 V; (b) 2,06 V; (c) –3,5 V/V
1.27 0,2 V_{DD}, 0,3 V_{DD}, 0,2 V_{DD}, 1 V
1.28 (a) 0,545 V; 5 V; 3 V; 0,455 V; (b) 6; (c) 10,9 mW; 2,88 mW
1.29 5 V; 3 V
1.30 25 mW; 5 mA

Capítulo 2

2.1 dois, dois, 2 terminais de entrada e um terminal de saída para cada amp op e dois pinos de alimentação
2.2 1001 V/V
2.3 todos são consistentes; #3 = 0,99 V, #7 = 5,05 V
2.4 –8,1 V; 2 V
2.5 –1 V/V
2.6 –10 V/V, –10 V/V, –10 V/V, –10 V/V, 0 V/V, $-\infty$ V/V; 10 kΩ, 10 kΩ, 10 kΩ, 10 kΩ, 10 kΩ, 0 Ω
2.7 R_2 = 10 MΩ, R_1 = 200 kΩ; 200 kΩ
2.8 76,8 V/V
2.9 $-R_f$, 0
2.10 909 V/V
2.11 –3 V/V; –8 V/V
2.12 (b) –83,4 V/V, (c) –90,2 V/V, (d) –90,8 V/V
2.13 (a) 15,9 Hz; (b) –90° (90° atrasado); (c) aumenta de 10 vezes; (d) –90°
2.14 100 kΩ, 10 μF; 10 s, 20 s
2.16 (a) ganho cc = 100, 1 rad/s; (b) $v_o(t) = -10t$ (t < 1 ms), $v_o(t) = -10$ mV (sem R_2, t > 1 ms), $v_o(t) = -10$ mV e^{-t} (com R_2, t > 1 ms)
2.17 $v_o(t) = -2$ V (0 < t < 0,5 ms); $v_o(t) = 0$ V para o resto
2.18 $V_o(s)/V_i(s) = -R_2Cs/(1 + R_1Cs)$; R_1 = 1 kΩ; R_2 = 100 kΩ; C = 0,159 μF; 10 Hz
2.20 resistores de entrada 1 kΩ, 2 kΩ, 4 kΩ, resistor de realimentação 8 kΩ
2.21 12,8 kΩ;
2.22 dois resistores de entrada de 10 kΩ em série e um resistor de realimentação de 10 kΩ; um resistor de entrada de 10 kΩ e dois resistores de realimentação de 10 kΩ em paralelo; a primeira montagem.
2.23 $v_o = 10(v_2 - v_1)$; $v_o = 2$ sen$(2\pi \times 1000t)$
2.24 $v_o/v_i = 1/x$; +1 para +Ω; adicione 1 kΩ em série com o terminal aterrado do potenciômetro
2.25 $v_o/v_i = 1/(1 + 1/A)$; 0,999, –0,1%; 0,990, –1%; 0,909, –9, 1%
2.26 –10,71 V a +10,71 V; 1,07 V
2.27 2,5 kΩ; 1,275 V
2.28 x/50; 0,002, 0,02, 0,2
2.29 1, –2 arctg(ωCR)
2.31 21 V/V, 0, ∞; 21 V/V, 0,02 V/V, 60 dB; 201 V/V, 0,02 V/V, 80 dB; CMRRs elevados podem ser obtidos através de ganhos elevados no primeiro estágio
2.32 10^2, 10^7; 1; 10^6, 2×10^6

2.33 47,6 kHz; 19,9 V/V; 1,99 V/V
2.34 300 kHz, 31,5 kHz, 28,5 MHz
2.35 (a) $(\sqrt{2} - 1)^{1/2} f_1$; (b) 10 kHz; (c) 64,4 kHz, cerca de seis vezes maior
2.36 Para cada, $f_{3dB} = f_t/3$
2.37 atrasada, –0,57°
2.38 9,19 mV
2.39 250 kHz, 6,37 V
2.40 159 kHz
2.41 (a) 31,8 kHz; (b) 0,795 V; (c) 0 a 200 kHz; (d) 1 V pico
2.42 4,95 mV
2.43 1 sen$(\omega t) \pm 0,2$ V
2.44 1,4 mV
2.45 42,5 mV a 57,5 mV; 5 kΩ na entrada positiva, ± 10 mV; 5 kΩ na entrada negativa
2.46 350 mV
2.47 10 V; 5 V; 15 mV
2.48 ± 250 mV, ± 500 mV

Capítulo 3

3.1 O diodo pode ser reversamente polarizado e assim não fluirá corrente; ou diretamente polarizado onde fluirá corrente: (a) 0 A; 1,5 V; (b) 1,5 A; 0 V
3.2 (a) –5 V; 1 mA; (b) +5 V; 0 mA; (c) +5 V; 1 mA; (d) –5 V; 0 mA
3.3 3 V, 8 mA; 1 V, 4 mA
3.4 (a) 0 V; 1 mA; (b) –3,33 V; 0 A
3.5 (a) 7,5 V; 0,375 mA; (b) –2,5 V; 0 A
3.6 luzes vermelhas; nenhuma luz; luzes verdes
3.7 345 mV; $1,2 \times 10^6 I_S$
3.8 $2,07 \times 10^{-15}$ A; 4,5 mA; 163,5 mA; 2 mA; 54,8 μA; +0,057 V
3.9 3,8 mA; 22,9 mV
3.10 0,11 V; 2,69 mA
3.11 0,305 V, 0,36 V, ± 40 mV
3.12 $3,84 \times 10^{-12}$ A/cm^2
3.13 19,2 μA
3.14 34 cm^2/s; 12 cm^2/s; 28 cm^2/s; 10 cm^2/s; 18 cm^2/s; 6 cm^2/s; 9 cm^2/s; 4 cm^2/s
3.15 16×10^{-15} C
3.16 0,38pF e 0,21pF
3.17 7,2 μA; 67,5 mV; $6,75 \times 10^{-13}$ C; 27 pF
3.18 (d) 70,7 μm
3.19 p. ex. (700 mV, 1,45 mA) e (600 mV, 0,026 mA); 663 mV e 0,337 mA
3.20 1,5 mA, 0,717 V, 1,415 mA
3.21 90 mA/V, 11,1 Ω, 0,69 V
3.22 0,73 V, 1,7 mA; 0,7 V, 2 mA
3.23 1,244 V
3.24 (a) 0,93 mA; –4,3 V; (b) 0 A; –5 V; (c) 0,93 mA; 4,3 V; (d) 0 A; –5 V
3.25 32% do ciclo, 113,3 mA, 36 V
3.26 (a) +49% a –33%; (b) +22% a –18%

3.27 (c) 5,35 mV/V, 18,6 mV/V
3.28 0,5 V, 3,3 V, 9,8 V; 0,05 mA
3.29 (a) 19,2 Ω, 8,62 V; (b) 9,6 Ω, 8,86 V
3.30 −30 Ω; −120 Ω
3.31 (c) −2,84 V; (d) 9,3 mA; (e) 10 V
3.32 16,27 V, 3,06 rad, 48,7% do ciclo, 5,06 V, 5,06 mA
3.33 33,24 V; 99,3%; 20,9 V; 20,9 mA
3.34 15,57 V; 97,2%; 9,4 V; 9,4 mA
3.35 (a) 166,7 μF; 15,4 V; 7,1%; 231 mA; 448 mA; (b) 1667 μF; 16,19 V; 2,2%; 735 mA; 1455 mA
3.36 (i) 83,3 μF, (a) 15,5 V, (b) 14,2%, (c) 124,4 mA, (d) 233 mA; (ii) 833 μF, (a) 16,2 V, (b) 4,5%, (c) 376 mA, (d) 735 mA
3.37 (a) 83,3 μF; 14,79 V; 14,2%; 119 mA; 222 mA; (b) 833 μF; 15,49 V; 4,5%; 360 mA; 704 mA
3.38 diodo ideal +0,65 V + 20 Ω; 8,0 V + 20 Ω
3.39 para $v_I > 0$, (v_B, v_C) = (0,80;0,0001), (1,00:0,001), (1,21:0,01), (1,50;0,1), (1,66;0,2), (1,80:0,3), (1,92;0,4), (2,04;0,5), (2,16;0,6); para $v_I < 0$, $v_C = 0$ e v_B = −0,80, −1,0, −1,2, −1,4, −1,46, −1,50, −1,52, −1,54, −1,56

Capítulo 4

4.1 #1 (ativo), #1 (saturado), #1 (ativo), #1 (saturado), #1 (ativo inverso), #1 (ativo), #1 (cortado), #1 (cortado)
4.2 (a) $7,7 \times 10^{-17}$ A; 750; (b) $3,8 \times 10^{-17}$ A; 374; (c) $1,5 \times 10^{-17}$ A; 149; 2,7 μA; 1,0027 mA; 0,77 V; $5,2 \times 10^{-14}$ C
4.3 10%
4.4 $I = 6,91 \times 10^{-15}\, e^{\,vBE/VT}$, $I_S = 6,98 \times 10^{-15}$ A; $I = 100\, i_B$, $I_S = 6,91 \times 10^{-17}$ A
4.5 480 nA
4.6 D_E com I_S/α, $I = \alpha i_E$; D_B com I_S/β, $I = \beta i_B$
4.7 0,685 V, 0,840 V
4.8 (a) 100, (b) 99, (c) 19,55
4.9 28 kΩ, 28,3 kΩ
4.10 (a) 0,632 V; (b) 0,689 mA; (c) 7,59 mA
4.11 100 V; 10 kΩ
4.12 (a) 2,3 V; 2,3 mA; 2,3 mA; 6,7 V; (b) 0,3 V; 0,3 mA; 0,3 mA; 8,7 V; (c) 0 V; 0 mA; 0 mA; 9 V
4.13 15 kΩ, 30 kΩ; para $\beta = 100$, 2,07 mA e 6,93 V
4.14 164 kΩ; 13 kΩ; 10 kΩ; 0,864 mA; 6,36 V; 1,008 mA; 4,92 V
4.15 (a) 0 V; 0,7 V; −0,72 V; −1,42 V; −0,2 V; (b) 1 V; 1,7 V; −1,96 V; −2,66 V; 1,36 V; (c) 5 V; 5,7 V; −6,68 V; −7,38 V; 7,17 V
4.16 exponencial: 0,041 −0,039 0,083 −0,077 0,221 −0,181 0,377 −0,274 0,492 −0,330 0,616 −0,381; pequenos sinais: 0,040 −0,040 0,080 −0,080 0,200 −0,200 0,320 −0,320 0,400 −0,400 0,480 −0,480
4.17 80 mA/V; 1,875 kΩ; 12,4 Ω; 8 mA/V; 18,75 kΩ; 124 Ω
4.18 49,2%, 20,3 mA, 0,81 A/V
4.19 $g_m = 20$ mA/V; $r_\pi = 6$ kΩ; $r_e = 49,6$ Ω
4.20 3 V; 40 mA/V; 80 V/V

4.21 3,26 kΩ; 0,032 A/V; 31 Ω; 0,99
4.22 39 V/V, 118 mV
4.23 9,3 kΩ; 28,6 kΩ; 143 V/V
4.24 −4000 V/V
4.25 5,24 mA, 4,76 V; 2,91 mA, −3,08 mA (5,99 mApp); 3,08 mA, −2,91 mA, (5,99 mApp)
4.26 $R_E = 6$ kΩ; $R_C = 6$ kΩ; $R_1 = 53$ kΩ; $R_2 = 37$ kΩ; 0,48 mA
4.27 $R_B = 0$ Ω; $R_C = 27$ kΩ; $R_E = 43$ kΩ; 0,0986 mA; 3,038 V
4.28 $R_C = 6,6$ kΩ; $R_B = 200$ kΩ; 0,41 mA; ± 1,6 V; 0,54 mA; ± 0,72 V
4.29 25 kΩ; −37,6 V/V; 47 kΩ; −6,6 V/V 4,8 −10,1 V/V
4.30 50,3 kΩ; 31,3 V/V; −5,5 V/V; 25 mV; 30 mV
4.31 0,5 mA; 8,3 kΩ; −166 V/V; −55 V/V
4.32 12,75 kΩ; −11 V/V; 17,86 mV; 196,5 mV
4.33 0,5 mA; −50 V/V
4.34 50 Ω; 9,9 V/V
4.35 (a) 1,44 mA; 1,44 V; 2,14 V; 5,54 mA; 5,54 V; 6,24 V; (b) 9,8 kΩ; 50,3 kΩ; (c) 0,478 V/V; 0,827 V/V
4.36 0,7 V/V
4.37 (a) 1,73 mA; 68,5 mA/V; 14,5 Ω; 1,46 kΩ; (b) 148,2 kΩ; 0,93 V/V; (c) 18,21 kΩ; 0,64 V/V
4.38 0,652 kΩ
4.39 2,16 V, 2,86 V, 2,86 V; 2,49 V, 3,19 V, 2,69 V; 3,0 V, 3,7 V, 3,2 V
4.40 1,3 V; 2; 4,29 V; 3,08 V; 3,08 V; 1,25; 3
4.41 −1 mA; 0
4.42 $i \approx I_S/\beta_R\, e^{\,v/VT}$; $i_E = I_S/\beta_F\, e^{\,v/VT}$
4.43 1,9 Ω; 109 mV
4.44 19
4.45 $V_{CC} - (V_{CC} - V_{CEsat})e^{-t/CRC}$; 6,9 ns
4.46 5360%
4.48 3 Ω; 110 mV; 68,2; 0.111
4.49 150; 125; 1,474 mA
4.50 1,25 GHz; 5,8 GHz; 0.95 pF; 2,47 ps
4.51 3,636 Grad/s; 24,24 Mrad/s
4.52 10 ω_β

Capítulo 5

5.1 232 cm²/Vs; 0,02 a 0,1 μm; $3,5 \times 10^{-13}$ F/cm; 1,75 fF/μm²; 0,35 fF/μm²; 40 μmA/V²; 8 μA/V²
5.2 (a) 3,7 mA; (b) 0,72 mA; (c) 0,82 mA; (d) 8,82 mA
5.3 0,075 mA; 0,1 mA
5.4 250 Ω a 25 kΩ; 500 Ω a 50 kΩ; 125 Ω a 12,5 kΩ; 250 Ω a 25 kΩ
5.5 50 kΩ; 5 kΩ; 0,2 V_{DS}% em ambos os casos
5.6 $2,3 \times 10^{16}$/cm³; 2,5 V$^{1/2}$
5.7 (a) 0,24 mA; (b) 0,524 mA; (c) 0,539 mA; (d) 0,588 mA
5.8 (a) triodo; 0,59 mA; (b) triodo; 5 mA; (c) saturação; 9 mA; (d) saturação; 9 mA
5.9 $R_D = 5$ kΩ; $R_S = 1,42$ kΩ

5.10 200 μm; 50 μm; 15 kΩ
5.11 3 kΩ; 10 kΩ
5.12 (a) 7,27 V; (b) 16,36 V; (c) 8,57 V
5.13 $V_{gs} < 0,12$ V
5.14 (a) 2 mA; 2,8 V; (b) 2 mA/V; (c) –7,2 V/V; (d) 50 kΩ; –6,7 V/V
5.15 138,9 μA/V²; 166,7 μA/V; 4 V; –2,5 V; –8,3 V/V; 0,3 V; 0,3 V, sim; 0,024 V; 0,2 V; 6,4 V
5.16 –8,27 V/V; 2,45 V; –10,75 V/V
5.17 424,3 μA/V; 160 kΩ; 81,8 μA/V; 0,47 V; 244,9 μA/V; 240 kΩ; 47,2 μA/V; 0,82 V
5.18 3,38 V; 0,106 mA e 0,822 mA; 8,2 kΩ; 0,146 mA e 0,043 mA
5.19 R_S = 11 kΩ; R_G = 10 MΩ; R_S = 7 kΩ
5.20 3,5 V; 6 kΩ; 262,5 μA; 2,5 V; 22 kΩ; –11 V/V; 44 kΩ; 14,5 V; 6,4 MΩ; 3,2 MΩ
5.21 35 kΩ; 36 kΩ; 0,19 mA; 1,98 V
5.22 1,51 V; 1 μA
5.23 25 μA; 4
5.24 1,01 a 3,59 V
5.25 –3000 V; –115,4 V/V (–120 V/V com a fórmula); 85,9 kΩ; –9,1 V/V; +2 V
5.26 0,1 mA; 28
5.27 (a) $r = 1/\sqrt{2\mu_n C_{ox}(W/L)I_D}$; aumente L por um fator de 9
5.28 –10 V/V
5.29 –10 V/V
5.30 (a) 6 V; 5,87 V; 3 V; (b) 6 V; 4,45 V; 0,205 V; (c) 6 V; 0,083 V; 0,02 V
5.31 1,8 V; 2,54 V; MR_H = 2,46 V; MR_L = 1,8 V
5.32 6 V; 4 V; 4 V; 9,125 V; 5,875 V; 5,875 V
5.33 200 μm
5.34 2,5 kΩ; 0,71 kΩ; 250 kΩ
5.35 127,3 Hz
5.36 C_{gs} = 0,076 pF; C_{gd} = 0,01 pF; C_{sb} = 0,048 pF; C_{db} = 0,041 pF; C_{gb} = 0,05 pF; g_m = 112 μA/V; g_{mb} = 17,4 μA/V; r_o = 500 kΩ
5.37 193,7 MHz
5.38 infinito; $r_o = V_A/I_{DSS}$
5.39 400 kΩ
5.40 (a) 6 V; 3 mA; –2 V; 12 V; (b) 3 mA/V; 100 kΩ; (d) 420 kΩ; 0,808 V/V; (e) –4 V/V; –3,2 V/V
5.41 10 mA/V2; 2,75 mA; 11 mA/V; 4 kΩ
5.42 15 mA; –21 V/V

Capítulo 6

6.1 –2,68 V; 3,52 V; 3,52 V
6.2 (a) $V_{CC} - R_C I/2$; (b) $R_C I/2$; (c) 4,0 V; (d) 0,404 mA, 9,9 kΩ
6.3 0 V; –5 V
6.4 2,4 mA; 3,6 mA; 10,1 mV
6.5 4 mA/V; 100,5 kΩ
6.6 (a) 0,4 mA, 10 mV; (b) 1,40 mA, 0,60 mA; (c) –2,0 V, +2,0 V; (d) 40 V/V
6.7 (a) 20 V/V; (b) 0,231 V/V; (c) 86,6 ≡ 38,7 dB; (d) v_o = 0,2 sen(2π × 1000t) – 0,023 sen(2π × 60t)

6.8 R_E = 25 Ω; R_C = 10 kΩ; $R_O \geq$ 50 kΩ; R_{cm} = 5 MΩ; +12 V é suficiente, ± 15 V seria melhor.
6.9 descasamento de 2%, por exemplo resistores de ± 1%
6.10 0,125 mV
6.11 $I/3$; $2I/3$; $R_C I/3$; 16,7 mV; 17,3 mV; 0,495 μA; 0,5 μA; 0,33 μA
6.12 $I_O = \alpha(R_2 V_{CC} + (R_1 - R_2)V_{BE})/(R_E(R_1 - R_2))$; $R_1 = R_2 = R_E(1 - 2V_{BE}/V_{CC})$; R_E = 7,5 kΩ; $R_1 = R_2$ = 6,8 kΩ; +8,2 V
6.13 (a) i_{C2} = 2 mA, i_{C3} = 3 mA; (b) i_{C1} = 0,5 mA, i_{C3} = 3/2 mA; (c) i_{C1} = 0,33 mA, i_{C2} = 0,67 mA
6.14 $I_O/I_{REF} = n/(1 + (n + 1)/\beta)$; n = 4
6.15 R = 21,7 kΩ; 21,7 kΩ
6.16 V_{B1} = 9,3 V; V_{B2} = –9,3 V; I_{R1} = 1,86 mA = $i_{C3} = i_{C4}$; V_{C3} = 3,72 V; $V_{C4} = V_{C5} = V_{B5}$ = 0,7 V; i_{C6} = 1,86 mA; V_{C6} = 3,14 V; $i_{C2} = i_{C7} = i_{C8} = i_{C9} = i_{C10} = i_{C11}$ = 1,86 mA; I_{R4} = 3,72 mA; $V_{C8} = V_{C7}$ = –3,72 V; $V_{C9} = V_{C10} = V_{B10} = V_{B11}$ = 4,3 V; V_{C11} = 1,86 V
6.17 Replicar Q_2; $I_O/I_{REF} = 1/(1 + (n + 1)/(\beta_1\beta + 1))$; 9
6.18 (a) $Io/I_{REF} = 0,5(1/(1 + 2/(\beta^2 + 2\beta)))$ (b) Substitua Q_3, Q_4 por sete transistores idênticos: um, separadamente, fornece 1 mA; dois juntos, 2 mA; quatro juntos, 4 mA; 999,2 μA, 1998,4 μA, 3996,8 μA
6.19 6,61 MΩ
6.20 58,5 kΩ; 200 MΩ
6.21 v_O fica o mesmo; v_O diminui de 0,43 V
6.22 Use um espelho com dois transistores, em que R = 37,2 kΩ; R_i = 60,4 kΩ; R_O = 400 kΩ; Av = 2000 V/V; I_B = 0,83 μA; –3,6 V a +4,3 V (para sinais com pequena amplitude de saída); 30 MΩ
6.23 292 Ω; 48 MΩ
6.24 –1 V/V
6.25 (a) 1,2 V, 1,2 V, –1,2 V, 0 V; (b) 1,245 V, 1,141 V, –1,141 V, +0,104 V; (c) 1,283 V, 1,0 V, –1,0 V, +0,283 V; 0,283 V
6.26 W/L = 55,6; 200 μA
6.27 136,5 μA
6.28 101 μA
6.29 90 μA; 100 μA
6.30 58,5 kΩ
6.31 4000; bastante elevado
6.32 (b) I = 10 μA; 32 μm; 1,25 V; 0,95 V
6.33 100 μm; 1 kΩ
6.34 1 mA; 0,553 V; 4,55 V; 447 kΩ
6.35 10 mA; 2 mA; –100 V/V
6.36 12,47 V/V, $1,4 \times 10^4$ Ω
6.37 R_5; reduza para 7,37 kΩ; 4104 V/V; reduza R_4 para 1,12 kΩ
6.38 $173,1 \times 10^3$ V/V
6.39 Aumente para 3 kΩ; 5581 V/V; 3378 V/V; a remoção da carga interna é importante

Capítulo 7

7.1 $V_o(s)/V_i(s) = RC_1 s/(1 + sR(C_1 + C_2))$; CTS com $C_{eq} = C_1 // C_2$; passa-altas; zero em 0 Hz; pólo em 1,59 Hz

7.2 $V_o(s)/V_i(s) = (R_L/(R_S + R_L))/(1 + 1/C(R_S + R_L))$; 30 kΩ; 0,06 μF
7.3 PB, PB; PA, PA; PB, PA; ambas $1/(1 + s/100)$, 0,99, 0,5, 0,01; ambas $s^2/(s + 100)^2$, 0,01, 0,5, 0,99; $1/(1 + s/100)$, $s/(s + 100)$, 0,1, 0,5, 0,1
7.4 $s/((1 + s/100)(1 + s/10^6))$
7.5 0 dB, −90°; +0,04 dB, −95°
7.6 20 dB
7.7 1 Hz e 10^6Hz
7.8 (a) $V_o(s)/V_i(s) = G_m R_L R_i[(R_i + R_s)(1 + 1/((R_i + R_s)C_C s))(1 + C_L R_L s)]$; (b) $A_M = G_m R_L R_i/(R_i + R_s)$, $F_L(s) = (1 + 1/((R_1 + R_2)C_C s))$, $F_H(s) = 1/(1 + C_L R_L s)$; (c) 1,1 mA/V; (d) 0,144 μF; (e) 15,9 pF
7.9 140 dB; $s/(s + 10)$; $1/(1 + s/10^6)$; 10 rad/s, 10^6 rad/s
7.10 2,07; 7,02
7.11 1,553, 1,961, 2,299
7.12 7,96 nF, 9,95 Hz, 1,81 Hz
7.13 −10 V/V; 18,6 μF; 1,43 Hz; $V_o(s)/V_i(s) = -10(s + 2\pi \times 1{,}43)/(s + 2\pi \times 10)$; −10/7
7.14 2,33 MΩ
7.15 2 MΩ
7.16 73,6 Ω; −16,7 V/V; 1,71 GHz; 125 MHz
7.17 −15 V/V; 20,3 MHz, 707 MHz, 124 MHz; 20 MHz
7.18 31,8 MHz; 1,27 GHz; 31,7 MHz; 11,3 MHz; 22,5 MHz; 10,6 MHz
7.19 0,952 V/V; 1,45 MHz
7.20 $R_E/(r_e + R_E)$
7.21 (a) 2,51 MΩ, −4008 V/V; (b) 107,8 kHz, C_L, a seguir $C_{\mu 2}$ diretamente e multiplicado; (c) o efeito dominante é a redução de r_o e da constante de tempo de saída por um fator de 10 vezes, logo f_H aumenta de 10 vezes
7.22 10,3 MΩ; 14,8 Ω; 0,985 V/V
7.23 92,5 V/V; 0,327 MHz; 30,3 MHz
7.24 74,6 V/V; 0,397 MHz; 29,6 MHz

Capítulo 8

8.1 $9{,}99 \times 10^{-3}$; 91; −9%
8.2 (b) 10,11; (c) 10 dB; (d) 0,9 V, 0,1 V; (e) −2,44%
8.3 (b) 1110; (c) 20 dB; (d) 10 V, 9 mV, 1 mV; (e) 2,44%
8.4 $\beta = 9/A$; 1,0
8.5 100 kHz; 10 Hz
8.6 0,997 V/V; 300 V/V; 49,5 dB
8.7 1000 (1 V/mV)
8.8 $\beta = \dfrac{1}{\alpha}\dfrac{R_{E1}R_{E2}}{R_{E1} + R_{E2} + R_F}$
8.9 $\beta = (1/\alpha)(R_{E1}R_{E2})/(R_{E1} + R_{E2} + R_f)$
8.10 1 V/μA; 9 μA/V
8.11 menor; 99; 10 kΩ
8.12 (a) $h_{11} = R_1R_2/(R_1 + R_2)$ V/A, $h_{12} = R_2/(R_1 + R_2)$ V/V, $h_{22} = 1/(R_1 + R_2)$ A/V, $h_{21} = -R_2/(R_1 + R_2)$ A/A; (b) 10 Ω, 0,01 V/V, $0{,}99 \times 10^{-3}$ S, −0,01 A/A

8.13 0,0 V; 0,7 V; 31,3 V/V; 0,1 V/V; 7,6 V/V; ∞; 163 Ω
8.14 $R_E = 1$ kΩ; 0,988 mA/V; 258 MΩ; 9,67 MΩ
8.15 $\beta = -\dfrac{R_F}{R_S}$; −4,7 V/V; 75 kΩ
8.16 (a) paralelo–série; (b) série–série; (c) paralelo–paralelo
8.17 −9,83 kΩ; 29,7 Ω; −7,6 A/A
8.18 3,72 V/V; 141 Ω
8.20 23,4 V/V; 175 Ω
8.21 10^4 rad/s; 0,002 V/V; 500 V/V
8.22 8×10^{-3} V/V
8.23 99 V/V; $1{,}01 \times 10^6$ Hz; 10^7 Hz; 101
8.24 9×10^{-3}; 17,94 kHz
8.25 1 MHz, 90°
8.26 7,86 kHz; 51,8°; 0,01414
8.27 $2{,}48 \times 10^4$ V/V; $6{,}54 \times 10^3$ V/V
8.28 200 Hz
8.29 $\omega_{P1} = 1/10\,RC$, $\omega_{P2} = 1/RC$; $\omega_{P1}' = 1/100\,RC_f$, ω_{P2}' 9,1/RC
8.30 (b) 31,6 krad/s; (c) $A_f(s) = \dfrac{10^6 s + 10^9}{s^2 + 10^3 + 10^9}$

Capítulo 9

9.1 Limite superior (o mesmo em todos os casos): 4,7 V, 5,4 V; limites inferiores: −4,3 V, −3,6 V; −2,15 V, −1,45 V; −4,7 V, −4,0 V
9.2 0; 0,5 $V_{CC}I$
9.3 IV_{CC}; IV_{CC}; IV_{CC}; IV_{CC}
9.4 10%; 13,3%; 16%; 20%
9.5 4 V; 12,8%; 11,1 kΩ
9.6 V_o^2/R_L; $V_{SS}\hat{V}_o/R_L$; $\hat{V}_o/V_{SS}$; 100%; V_{SS}; V_{SS}^2/R_L; $V_{SS}/2$; 50%
9.7 2,5 V
9.8 12,5
9.9 1,34 kΩ; 1,04 kΩ
9.10 140°C; 0,570 V
9.11 0 mA, 0 mA; 20 μA, 22,5 μA; −20 μA; −22,5 μA
9.12 1,96 mA; 38,4 μA; para fora da base 1 entrando na base 2; 3,4 μA; 277 kΩ; 0,94 V/V
9.13 0,064 v_i; 64,1 mA/V; −64,1 V/V; 14 kΩ
9.14 $R_1 = 300$ kΩ; $R_2 = 632$ kΩ; 9,48 V; −10,65 V
9.15 $I_{E1} = I_{E2} = 17$ μA; $I_{E3} = I_{E4} = 358$ μA; $I_{E5} = I_{E6} = 341$ μA; 10,3 V
9.16 40 kΩ; 50 kΩ
9.17 $L = \mu_n(v_{GS} - V_t)/U_{sat}$; 3 μm; 3 A; 1 A/V

Capítulo 10

10.1 36,3 μA
10.2 $(I_3/I_1)^{1/2} = [(1/K_1)^{1/2} + (1/K_2)^{1/2}]/[(1/K_3)^{1/2} + (1/K_4)^{1/2}]$; 100 μA
10.3 (a) 0,73 mA; (b) 0,586 mA, 0,786 mA; (c) 3,4 V

10.4 4,75 μA; 625 mV; 551 mV; 1,94 kΩ
10.5 6,37 kΩ; 270 μA; 270 μA
10.6 Aumente R_1, R_2 para 4,63 kΩ
10.7 0,96 mV
10.8 $R_{OV} = [1 + 50R/(65,8 + R)]2,63$ MΩ; 18,2 kΩ; 15,6 MΩ
10.9 3,10 MΩ; 9,38 mA/V
10.10 21 mA
10.11 $2,5 \times 10^5$ V/V; 62 Ω; $1,91 \times 10^5$ V/V; +4 V
10.12 159 kHz; 15,9 MHz
10.13 (a) à metade do valor anterior; aumentado por um fator de 2 para 125 μA/V, 31,25 μA/V; (b) aumenta para −125 V/V e 6250 V/V; (c) parcela devido a V_t não se altera; outras parcelas diminuem à metade; (d) C_C duplicado; slew rate reduzido à metade
10.14 $V_{OS} = g_{m3}\Delta V_t/G_{m1}$; 1,6 mV
10.15 7,85 μA; 25,1
10.16 $27,6 \times 10^6$ Hz; 15,4 pF
10.17 seis bits; 0,159 V; sete bits; sete bits; 0,118 V; 0,059 V
10.18 $I/16$; $I/8$; $I/4$; $I/2$
10.19 Use amp op com entrada $R/2$ e 50 R realimentado para fornecer V_{ref}; senóides com amplitude de 15 V, de 0,625 V pico a 9,375 V pico; uma saída de 10 V (pico a pico) corresponde a uma entrada digital de (1000).
10.20 8,19 ms; 4,095 ms; 9,90 V; não, permanece a mesma!

Capítulo 11

11.1

1 V/V,	0°,	0 dB,	0 dB
0,894 V/V,	−26,6°,	−0,97 dB,	0,97 dB
0,707 V/V,	−45°,	−3,01 dB,	3,01 dB
0,447 V/V,	−63,4°,	−6,99 dB,	6,99 dB
0,196 V/V,	−78,7°,	−14,1 dB,	14,1 dB
0,10 V/V,	−84,3°,	−20,0 dB,	20,0 dB
0,010 V/V,	−89,4°,	−40,0 dB,	40,0 dB

11.2 0,509 rad/s; 3 rad/s; 5,90
11.3 $T(s) = 0,2225(s^2 + 4)/[(s + 1)(s^2 + s + 0,89)]$
11.4 28,6 dB
11.5 N = 5; f_0 = 10,55 kHz, em −108°, −144°, −180°, −216° −252°; $p_1 = -20,484 \times 10^3 + j63,043 \times 10^3$ (rad/s), $p_2 = -53,628 \times 10^3 + j38,963 \times 10^3$ (rad/s), $p_3 = -\omega_0 = -66,288 \times 10^3$ rad/s, $p_4 = -53,628 \times 10^3 - j38,963 \times 10^3$ (rad/s), $p_5 = -20,484 \times 10^3 - j63,043 \times 10^3$ (rad/s); $T(s) = \omega_0/[(s + \omega_0)(s^2 + 1,618\ \omega_0 s + \omega_0)(s^2 + 0,618\ \omega_0 s + \omega^2)]$; 27,8 dB
11.6 R_1 = 1 kΩ; R_2 = 1 kΩ; C_1 = 0,159 μF; C_2 = 1,59 nF; Ganho para altas-freqüências = −100 V/V
11.7 $T(s) = (1 - R_C s)/(1 + R_C s)$; 2,68 kΩ, 5,77 kΩ, 10 kΩ, 17,3 kΩ, 37,3 kΩ
11.8 $T(s) = (s^2 + 1,42 \times 10^5)/(s^2 + 375s + 1,42 \times 10^5)$
11.9 L = 0,5 H; C = 20 nF
11.10 $L_1/L_2 = 0,235$; $|T| = L_2/(L_1 + L_2)$; $|T| = 1$

11.11 C4 = C_6 = 1 nF; $R_1 = R_2 = R_3 = R_5 = R_6 = r_1 = r_2$ = 159 kΩ
11.12 (a) $T(s) = 0,451 \times 10^4(s^2 + 1,70 \times 10^8)/[(s + 0,729 \times 10^4)(s^2 + 0,279 \times 10^4 s + 1,05 \times 10^8)]$; (b) Para a seção PB: C = 10 nF, $R_1 = R_2 = R_3 = R_5$ = 9,76 kΩ, R_6 = 35,9 kΩ, C_{61} = 6,18 nF, C_{62} = 3,82 nF
11.13 C = 10 nF; R = 15,9 kΩ; $R_1 = R_f$ = 10 kΩ; R_2 = 10 kΩ; R_3 = 390 kΩ; 39 V/V
11.14 (a) Para apenas ω_z, altere C_1 e r ou R_3, ou altere R_2 e r ou R_3; R_2 e R_3 preferencialmente; (b) Para apenas ω_z, altere somente r, ou somente R_3
11.15 R_3 = 141,4 kΩ; R_4 = 70,7 kΩ
11.16 $T(s) = -(16\ s/RC)/[s^2 + 2s/RC + 16/(RC)^2]$; Passa-faixas; $\omega_0 = 4/RC$; Q = 2; Ganho na freqüência central = 8 V/V
11.17 Sensibilidades de ω_0 com respeito a R, L e C são 0, −2 e −2 respectivamente, e de Q são 1, −2 e 2, respectivamente.
11.18 1 pC, 0,1 μA, 0,1 V, 100 ciclos, 10^4 V/s
11.19 r_e = 25 Ω; r_π 5,025 kΩ; $\omega_0 = 49,4 \times 10^6$ rad/s; ganho = −66,6 V/V; $BW = 729 \times 103$ rad/s, Q = 67,7
11.21 $|T(j\omega)| = |T(j\omega_0)|/(1 + 4Q^2\partial\omega/\omega_0)^{1/2}$; $BW = (\omega_t/Q)(2^{1/N} - 1)^{1/2}$
11.22 (c) 6,70, 8,49, 9,28, 9,79, 10,13; 31,6, 8,6, 5,7, 5,0, 4,5.
11.23 $(\omega_0, B, Q) = (\omega_0, B, \omega_0/B)$; $(\sqrt{3}B/4 + \omega_0, B/2, \approx 2\omega_0/B)$, $(\sqrt{3}B/4 - \omega_0, B/2, \approx 2\omega_0/B)$

Capítulo 12

12.1 (a) $\omega = \omega_0$, AK = 1; (b) $d\phi/d\omega$ em $\omega = \omega_0$ é $-2Q/\omega_0$; (c) $\Delta\omega_0/\omega_0 = -\Delta\phi/2Q$
12.2 Para entrada não-inversora, conecte LC ao terra e R à saída; $A = 1 + R_2/R_1 \geq 1,0$; Use R_1 = 10 kΩ, R_2 = 100 Ω (exemplo); $\omega_0 = 1/\sqrt{LC}$ (a) −2%; (b) −2%; (c) 0%
12.3 (a) $v_O = V_{Z2} + 0,7$ para $v_I < V_R$; $v_O = -(V_{Z1} + 0,7)$ para $v_I > V_R$; (b) $v_O = -R_2/R_1$ enquanto $v_O < V_{Z2} + 0,7$ e enquanto $v_O > -(V_{Z1} + 0,7)$
12.4 $V_o(s)/V_o(s) = (s/RC)/[s^2 + 3s/RC + 1/R^2C^2]$; com módulo zero em $s = 0$, $s = \infty$; $\omega_0 = 1/RC$; $Q = 1/3$; Gain at $\omega_0 = 1/3$
12.5 $L(s) = (1 + R_2/R_1)(s/RC)/[s^2 + s3/RC + 1/R^2C^2]$; $L(j\omega) = (1 + R_2/R_1)/[3 - j(1/\omega RC - \omega RC)]$; $\omega = 1/RC$; para oscilação, $R_2/R_1 = 2$
12.6 0,503 nF, $R_f \geq 34$ kΩ
12.7 $s_P = \dfrac{\left(\frac{\Delta}{2}\right) \pm \left(2 - \left(\frac{\Delta}{2}\right)^2\right)}{2RC}$; pólos em RHP; $s_P = \dfrac{\left(\left(\frac{\Delta}{4}\right) \pm j\right)}{RC}$
12.8 Para os circuitos (a), (b), (d), a equação característica é: $C_1C_2Ls^3 + (C_2L/R_L)s^2 + (C_1 + C_2)s + 1/R_L + g_m = 0$; $\omega_0 = [(C_1 + C_2)/C_1C_2L]^{1/2}$; $g_mR_L = C_2/C_1$; Para o circuito (c): $LC_1C_2s^3 + (C_1L_1R_L)s^2 + (C_1 + C_2)s + 1/R_L + g_m = 0$; $\omega_0 = [(C_1 + C_2)/C_1C_2L]$; $g_mR_L = C_1/C_2$
12.9 De 2,01612 MHz até 2,01724 MHz
12.10 ± 0,7 V; 0,1 V; 1,12mA
12.11 histerese centrada em zero com limites em ± 0,7 V em x e y
12.12 994,5 Hz

12.13 V_Z = 6 8 V; $R_1 = R_2 = R_3 = R_4 = R_5 = R_6$ = 100 kΩ; R_7 = 5,0 kΩ: A saída é um triângulo simétrico com meio período de 50 µs e +7,5 V de pico
12.14 96 µs
12.16 (a) 9,1 kΩ; (b) 13,3 V
12.17 V = 1,0996 V; R = 400 Ω; as linhas da Tabela, para v_O, θ, 0,7 sen θ, error % são:

0,70 V,	90°,	0.700 V,	0%;
0,65 V,	63,6°,	0.627 V,	3,7%;
0,60 V,	52,4°,	0.554 V,	8,2%;
0,55 V,	46,1°,	0.504 V,	9,1%;
0,50 V,	41,3°,	0.462 V,	8,3%;
0,40 V,	32,8°,	0.379 V,	5,6%;
0,30 V,	24,6°,	–0.291 V,	3,1%;
0,20 V,	16,4°,	0,197 V,	1,5%;
0,10 V,	8,2°,	0,100 V,	0%;
0,00V,	0°,	0,0V,	0%

12.18 ± 2,5 V
12.19 v_O é também uma senóide de 10 Vpp
12.20 100 kΩ, 200 kΩ
12.21 para $v_I > -5$, $v_O = -5$ V, para $v_I < -5$, $v_O = -10 - v_I$
12.22 para $v_I < 0$, $v_{O1}/v_I = -1$ V, $v_{O2}/v_I = 0$; para $v_I > 0$, $v_{O1}/v_I = 0$, $v_{O2}/v_I = -1$ V
12.23 10 mV, 20 mV, 100 mV; 50 pulsos, 100 pulsos, 200 pulsos

Capítulo 13

13.1 1,5 V; 1,5 V; 1,5 V; 0 V; 3 V; 1,5 V; 1,5 V; $-\infty$
13.2 (a) t_{PLH} = 1,6 ns; t_{PHL} = 0,8 ns; (b) C = 1,43 pF; (c) C_o = 0,86 pF, C_i = 0,57 pF
13.3 A freqüência máxima de operação é reduzida por um fator de (a) 0,66, (b) 0,44, PD reduz-se por um fator de 0,44 em ambos os casos
13.4 r_{DSN} = 3,55 kΩ; r_{DSP} = 10,7 kΩ; W_p/W_n = 3; L_n = 22,5 µm
13.5 2,76, 2,50, 2,35, 2,25, 2,10 volts
13.6 106 ps; 106 ps; 106 ps; 14,5 fF 13,26 24
13.7 18 + 6 = 24
13.8 $p_A = p$; $p_B = p_C = p_D = 2p$; $n_A = n_B = 2n$, $n_C = n_D = 2(2n) = 4n$
13.9 Com o dimensionamento adequado, t_{PHL} é um quarto do valor obtido com os dispositovos menores; t_{PLH} é o mesmo em ambos os casos
13.10 (a) $0{,}69CR_D$; (b) $0.5CR_D$, para uma redução de 27,5%
13.11 0,417; 0,97 V; 0,46 mW
13.12 (a) 1,65 V; 1,16 V; 13,5 µA; 351,6 µA; 182,5 µA; 0,27 ns; (b) 1,86 V; 328,5 µA; 2,57; 0,11 ns
13.13 0,67 V; 1,25 V
13.14 1,1 MHz
13.15 2,16 V; 0,93; 1,86
13.16 6
13.17 Porta NOU CMOS complementar

13.18 (a) 5 V, 0 V; 5 V, 0 V; 0,05 V, 4,95 V; 0,27 V, 4,73 V; 0,525 V, 4,475 V; 2,5 V, 0 V; (b) 45 µA, 60 µA/V, 133 V/V 17700 V/V, 0,28 mV
13.19 2,236 V, 100 V/V; 2,264 V, 2,214 V
13.20 50 kΩ, 30 nF
13.21 6,87 µs; 9,8 V; 5,7 V; ≅ 0,1 V; 0,98 mA; A fonte de corrente pode ser de até 21 mA (para R_{on} = 200 Ω), mas é obviamente limitada por kp of G_1 a um valor muito menor
13.22 57% 13,84 4; 12; 8 13,89 8K linhas × 4K colunas = 32 Mbits
13.23 1,6 mA; 12 µm e 36 µm; 1,6 ns
13.24 (b) 2; (c) 1,46
13.25 2,42 ns; 22 ns, 3,16 V; 1,9 ns

Capítulo 14

14.1 (a) 90 ns; (b) 15 ns; (c) 8,2 ns
14.2 17,8 ns
14.3 NE
14.4 V_{OH} = 4 V; V_{OL} = 90 mV; V_{IL} = 1,2 V; V_{IH} = 1,6 V; MR_H = 2,4 V; MR_H = 1,1 V
14.5 (a) 82,8 mV; (b) 41
14.6 0,5 V
14.7 A –55°C, MR_H = 1,66 V, MR_L = 0,56 V; A 125°C, MR_H = 3,1 V, MR_L = 0,2 V
14.8 Característica com quatro segmentos com pontos de quebra em (v_I, v_O) = (1,1 V, 3,0 V), (1,9 V, 2,0 V), (2,1 V, 0,1 V); V_{OH} = 3,0 V; V_{OL} = 0,1 V; V_{IH} = 2,1 V; V_{IL} = 1,1 V; MR_H = 0,9 V; MR_L = 1,0 V
14.9 I_B = 0,10 mA; I_C = 5,02 mA; I_D = 0,32 mA
14.10 (a) Y = A + B · C; (b) 0,3 V, 1,3 V; (c) 0,7 V, 0,8 V; (d) MR_L = 0,4 V, MR_H = 0,5 V (e) 1,092 mA
14.11 33,3 MHz; alto por 13 ns; baixo por 17 ns
14.12 7 cm
14.13 Para 50% de perda, R_1 = 92,2 kΩ e R_2 = 6,77 kΩ, para uma razão R_1/R_2 = 13,63; para 10% de perda, R_1 = 461 kΩ e R_2 = 33,8 kΩ, com a mesma razão
14.14 t_{PLH} = 0,09 ns; t_{PHL} = 0,05 ns; t_P = 0,07 ns
14.15 Para V_{tE} = 0,2 V, 0,1 V; V_{OH} = 0,7 V, 0,7 V; V_{OL} = 0,17 V, 0,129 V; V_{IL} = 0,54 V, 0,441 V; V_{IH} = 0,63 V, 0,529 V; MR_H = 0,07 V, 0,17 V; MR_L = 0,37 V, 0,312 V; NM se torna mais balanceada com a redução de V_{tE}
14.16 Para um fanout ≥ 1 (e v_o = 0,7 V), P_D = 5,91 mW ou 7,05 mW para v_I baixo e alto respectivamente, ou P_D = 6,48 mW em média

Apêndice B

B.1 (b) –246 V/V
B.2 h_{11} = 2,6 kΩ; $h_{12} = 2{,}5 \times 10^{-4}$; h_{21} = 100; $h_{22} = 2 \times 10^{-5}$ S
B.3 $y_{11} = 1/r_\pi + s(C_\pi + C_\mu)$; $y_{12} = -sC_\mu$; $y_{21} = -sC_\mu + g_m$; $y_{22} = 1/r_o + sC_\mu$

Apêndice E

E.1 $Z_t = V_{oc}/I_{sc}$
E.2 V_{oc}/I_{sc}

E.3 1 V, 0,90 kΩ; 0,526 V
E.4 0,588 V, 471 W
E.5 $R_{in} = (r_\pi + R_B)/(1 + g_m r_\pi)$
E.6 2,5 V, 9 V; 0,302 V, 0,558 mA

Apêndice F

F.1 $C_1R_1 = C_2R_2$
F.2 $V_o(s)/V_i(s) = R_2/(R_1 + R_2)$
F.3 9 MΩ, 3,33 pF
F.4 10^5 rad/s
F.5 10^5 rad/s
F.6 PA; 10 rad/s
F.7 $v_o(t) = 10(1 - e^{-t/10^{-6}})$; $v_o(t) = 10e^{-10^6 t}$
F.8 0,69τ, 2,3τ, 4,6τ, 6,9τ
F.9 3,5 ns
F.10 10 MHz, 106 ns, 49,5 ns, 36,4 ns, 35 ns
F.11 −4,67 V
F.12 2,3τ
F.13 −6,32 V; 9,5 ms
F.14 −100T, 20μF
F.15 14,4 μs
F.16 15,8 kΩ

Apêndice G

G.1 302,5 Ω; 27,5 Ω
G.2 (a) 5 kΩ, 5,26 kΩ 200 A/A, 212,6 A/A; (b) 5,21 kΩ, 24,4 Ω, 40,8 mA/V, 1,025 mA, 2×10^{-4} V/V, evite o efeito de C_μ; (d) 20,6 MΩ, 6,12 kHz; (e) 16×10^{-6} A/V, 128 kΩ, 131 V
G.3 80 mA/V, 12,5 Ω, 100 Ω, 25 MΩ, 50 kΩ, 100 V

ÍNDICE ANALÍTICO

MAKRON Books

Números em negrito significam a presença de uma definição ou de um conceito importante.

A
Abaixador (*pull-down*) ativo
  circuito em TTL avançado, 1028, 1105, 1107
  de TTL/RTL/DTL, 1088
  e estruturas levantadoras (*pull-up*), 403
Abaixamento (*pull-down*) (PD)
  dispositivo, 403, 404
  rede NMOS (PDN), 974, 980, 981, 982, 1012
  resistências, 1122, 1130
  transistor, 1137
Abrir se série e curto-circuitar se paralelo, 631
Acesso tridimensional, linhas, colunas, blocos, 1038
Acompanhamento das variações ambientais, 482
Acompanhamento do outro em termos de potencial, 61, 84
Acompanhamento dos dois terminais de entrada, 611
Acoplamento
  amplificador, 878
  e capacitores de passagem, 36, 37, 38, 100, 268, 274, 276, 370, 378, 427, 544, 559, 562
  picos na fonte de alimentação, 1116
  sinal de saída, 253
Ajuste do nível *cc* de saída, 99
Alta(o)
  capacidade de fornecimento de corrente, 734, 1137
  desempenho,
    circuitos analógicos, 1128
    famílias de lógica SSI e MSI, 1127
    inversor/seguidor, 48, 588
  freqüência , 311, 341, 419, 416, 426, 427, 439, 539, 544, 547, 550, 551, 565, 568, 573, 577, 580, 581, 592, 597, 786, 829
  ganho, região de operação, 435, 522, 1139
  impedância, nó, 907, 1002, 1014
  ordem, filtros, 851
  passa (PA), 31, 539, 814, 830, 833, 845
    dente (*notch*) (DPA), 834, 836, 850
    função de transferência, 853
    rede/resposta CTS, 557
  potência,
    aplicações, 712, 731
    estágio de saída, 688, 743
    transistores, 711
  resolução, conversores A/D, 797
  tensões, 733, 743, 1061
  velocidade,
    circuitos digitais, 331, 1078
    operação, 148, 795, 969, 1019, 1136
    sistemas de comunicação, 1127
    tecnologias, 417
  velocidade de operação de ECL, 299, 1136
Alto-falante, 10, 23
$A_{máx}$, desvio de faixa de passagem, 814, 815, 822
$A_{mín}$, atenuação mínima na faixa de bloqueio, 815
Amortecido
  integrador, 855, 909
  ondulação, 1106, 1122
Amostra e retenção (S/H), 788, 790, 791
Amostragem de corrente com comparação paralela, 616, 617
Amostragem de corrente com comparação serie, 617, 625
Amostragem de tensão e acoplamento série/paralelo, 616, 617, 625, 637
Amostragem
  instantes/intervalos, 6, 788
  sinais analógicos, 789
  tensão de saída, 616, 624
Amp op CMOS com dois estágios, 773, 782, 802, 803, 806
Amp op não compensado, 769
Amp op quádruplo, 58
Amp op(s), 56-58, 81, 90, 97, 428, 609, 670
  acoplado capacitivamente, 100, 103-105
  circuito, 60, 515, 522, 744, 932, 955
  circuito equivalente, 56
  diferenciador, 74-75, 67
  encapsulamento, 57
  especificação, 94, 97
  ganho, 63, 90, 652
  integrador, 105, 899
  modelamento, 889, 890
  não inversor, 627
  projetos, 11
  realimentação, 627, 628
  resistência de saída, 766
  subcircuito, 891
  terminais, 57, 104
Amplificação μ, 270
Amplificação em faixa ampla, 570, 603
Amplificador
  acoplamento direto, 654
  avanço de fase, 543
  característica de transferência, 15, 387, 615
  carga ativa, **359**
  cascata, 21, 520
  CC, 278
  CC-BC, 594, 595, 597, 603, 607, 881, 884
  CC-EC, 596
  classificação, 24, 36, 37, 689
  com múltiplos circuitos sintonizados, 853
  com resposta de dois pólos, 659
  com três ou mais pólos, 664, 670
  compensado, 673
  conceitos, 9, 19, 28, 245
  corrente, 23, 24
  DC-PC, 595
  EC, 246, 270, 273, 278
  eficiência, 13, 14, 19
  emissor-comum, 537, 561
  entrada diferencial, 58
  estabilidade, 538, 664, 718
  estágios EC e FC, 502
  faixa de passagem, 29, 30, 544, 602

f_l e f_H, freqüências a 3 dB, 553
fonte comum, 537, 555, 556
função de transferência, 30, 35, 543, 548
ganho, 10, 29
instável, 664
invertido, 100
linear, 11
para grandes sinais, 396
modelos, 20
pólos e zeros, 602
projeto, 208, 449
resposta em freqüência, 28, 536, 881
saída simples, 58
saturação, 14, 15, 71, 615
símbolo, 10
símbolo de circuito, 10
sintonia escalonada, 887
sintonia síncrona, 887
tensão, 23, 24
terminologia, 56
tipos, 23, 47
transcondutância e transresistência, 23, 24, 488
transmissão, 29
Amplificador BC, 275, 276
Amplificador *buffer* (casador), 391, 439, 596, 762, 789, 847, 851, 907.
Amplificador *buffer* (isolador), 21, 80, 105.
Amplificador *buffer* (reforçador/seguidor), 717
Amplificador cascode com carga ativa, 579
Amplificador cascode virado, 784-788
Amplificador CMOS com carga ativa, 785
Amplificador com dois pólos, 674
Amplificador com pólo simples, 612
Amplificador de áudio, 36, 614
Amplificador de áudio de potência, 688, 695
Amplificador de fonte comum com carga ativa, 383-390, 439, 503
Amplificador de sintonia simples, 875
Amplificador de três estágios, 22
Amplificador diferencial, 451, 466, 468, 481, 505, 512, 515, 527, 564, 588, 589, 591, 592, 595, 598, 728, 1115
base comum, 595, 596, 745, 746, 755
carga ativa, 496, 497
cascode, 498-491, 783
descasamento de carga, 479
meio-circuito, 471-473, 498, 499, 501, 527
MESFET, 512
resistência de emissor, 470
resposta em freqüência , 537
tecnologia CMOS, 500
Amplificador diferencial CMOS com carga ativa, 500
Amplificador diferencial com carga ativa, 497, 506
Amplificador diferencial com carga ativa, TBJ, 497
Amplificador diferencial excitado por entrada simples, 594
Amplificador diferencial MOS carga ativa, 1047
Amplificador fonte comum (FC), 383, 386, 416, 445, 550, 555, 563, 568, 571, 575, 773
Amplificador multiestágio, 270, 391, 449, 515, 516, 520, 528, 537, 672, 673
Amplificador não-inversor de acoplamento *ca*, 103
Amplificador para pequenos sinais, 614
Amplificador porta comum (PC), 383, 439, 573
Amplificador realimentado de três estágios, 634
Amplificador sensor, 1037, 1039, 1052, 1053, 1059, 1067
acionado, 1049
ativado, 1049
com realimentação positiva, 1047
conectado à linha de bits, 1036
para detectar um "1" na célula, 1039
Amplificador sintonizado, 37, 38, 813, 874-879, 894
com múltiplos circuitos sintonizados, 881
Amplificador tipo malha-, 609, 658, 660
configuração, 59
estilo, 944
função de transferência, *Aval*, 615, **654**, 656, 665, 668
ganho, 59, 60, 64, 72, 89, 104, 105, 610, 613, 634
Amplificador unilateral em malha aberta, 620
Amplificadores CMOS, 384-391, 400, 433, 435, 436, 501, 773, 779, 785
amp op, 743, 772, 773, 779-785, 802-807
astável/monoestável, 1028, 1032-1034
capacitâncias, 407, 975, 979, 1063, 1065
célula de memória, 1039
circuitos, 400, 964, 1033, 1068, 1069, 980-992, 1131, 1132
digitais, 400, 413, 1062
equivalente de porta, 1030
parâmetros, 394, 400, 440, 444, 445, 501, 971, 978, 999, 1009, 1014, 1039, 1063, 1065, 1066
diodos, 1029, 1032
flip-flops, 1022, 1024, 1025, 1067
fluxo de corrente, 409
inversor, 42, 43, 400-407, 409, 410, 433, 437-439, 918, 964, 967, 971-980, 988, 1005, 1066, 1067
lógica, 980-992, 995
margens de ruído, 406, 974
portas, 411, 413-416, 439, 984-987, 1002, 1008, 1027, 1067
tecnologia, 340, 375, 384, 411, 439, 501, 799, 966, 1066
tecnologia de CIs, 894
Amplificadores com carga ativa, **359**
Amplificadores de potência sintonizados, 875
Amplificadores de tensão para pequenos sinais, 875
Amplificadores estabilizados, 538, 609
Amplificador simples, biquad (SAB), 858, 869, 894
filtros ativos, 857
Amplitude estável, 909
Amplitude modulada (AM), 184
Análise diretamente sobre o diagrama do circuito, 229, 232, 253, 255, 287, 729
Análise no domínio *s*, 3, 121, 537
Análise para pequenos sinais, 193, 249, 305, 316, 435, 641, 691, 755
do estágio de entrada do 741, 755
do estágio de saída do 741, 763
Análise simbólica do circuito, 580
Análise transiente, 315, 738, 890, 953, 974, 1063
Análise usando ganhos de corrente, 520
Análise/procedimento iterativo, 150, 151, 239
Analógico
chave, 411, 412, 439, 800
exigências, 412, 793
circuitos BiCMOS, 967
circuitos biestáveis com amp cps, 1021
circuitos integrados, 329, 428, 451, 788
computação, 56, 77
filtro, 788
multiplicador, 743
para digital (conversor A/D), 8, 47, 411, **683**, 789, 924
projeto de CIs, 527, 743, 744, 807, 971
sinal, 6, 47, 788
voltímetro, 81, 82

Andando pelo circuito, 521
Ângulo de condução/intervalo, 120, 182, 183, 688, 1023
Anodo, 116, 117, 131, 428, 430
Apagamento, 1062, 1067, 1068
Apagável e programável, ROM (EPROM), 1057, 1059, 1060, 1067, 1068
Aplicação de realimentação negativa/positiva, 515, 615, ...
Aplicações com consumo de potência extremamente reduzido, 735
Aplicações de microondas, 427
Aplicações LSI e VLSI, 1113
Aproximação assintótica da função arco tangente, 542
Aproximação para pequenos sinais, 17, 19, 25, 141, **158**, 159, 242, 243, 250, 597, 874
para MOS, **493**
Aproximação, 227, 242, 243, 293, 347, 417
Aquecimento, 12, 709
Área de operação segura, 715, 736
Área de silício muito grande para resistores, 993
Área do dispositivo canal-*p*, 1065
Áreas dimensionadas com peso binário, 795
Áreas JEB, 795, 1076, 1078
Armadilha, 538
Armazenamento do valor lógico "0", 1019, 1021, 1045, 1047, 1057, 1062
Armazenamento do valor lógico "1", 1019, 1021, 1045, 1057
Armazenamento temporário de dados, 966, 1019
Armazenamento/transmissão/fibra/acoplamento óptico, 1..., 192
Armazenamento
capacidade, 1067
capacitor C_S, 789, 1045, 1052
constante de tempo, τ_S, **1076**
de sinais em capacitâncias parasitas, 1012
matriz, 1047
matriz de células, 1037, 1038, 1050
tempo, t_S, 1078
Armazenando (escrevendo) informação, 1067
Armazenando um "1", 1045
Arseneto de gálio. *Veja* GaAs
Assíntotas, 539, **540**, 541
Assistentes pessoais digitais (PDAs), 968
Astável
circuito, 899, 919, **928**, 930, 955
multivibrador, **927**, 929, 935, 937, 955
Atenuador compensado, 1216, 1221
Aterrado (*Veja* Comum)
Átomo aceitador, 135, 137, 331
Átomos/concentração de impurezas, 135
Atraso de propagação, 42, 45, 46, 407, 410, 439, 968, 974-980, 992, 1001, 1004, 1062, 1066, 1099, 1134, 1136
Autotransformador, 878

B

Baixa
distorção na saída de ondas senoidais, 911
freqüência , 483, 493, 537, 544, 545, 546, 553, 554, 555, 559, 561, 589, 602
passa (PB), 31, 539, 930
circuitos CTS, 69, 89, 95
dente (*notch*) (DPB), 834, 836, 837, 850, 857
filtro, 31, 71, 412, 814, 824, 866, 884, 886, 918
função, 846, 852, 866
rede, 31, 91, 539
potência, 370, 964, 967, 969, 1108-1111
Barreira de potencial V_0, 136, 137, 138-140, 143, 144, 199
Base (B), 25, 209, 318
corrente, I_B, 213, 215, 229, 258, 288
fator de superexcitação $I_B/I_{B(sat)} = I_B/(\beta I_C)$, 1076
largura, W, 211, 212
processo de descarga, 1084
região, 208, 209, 212, 213, 218, 1078
resistência, r_b, 247
Base comum (BC)
amplificador, 266, 274, 275, 573, 574, 575, 595, 596, 749, 750, 755
configuração, 265, 268, 301, 303, 306, 318, 498, 573-575, 602
ganho de corrente, 215, 276
Base fina, 210, 214, 217
Base tipo *p*, 209
corpo, 340
material, 137
semicondutor, 131, 135
silício, 135, 199
substrato (corpo), 329, 330, 332, 333, 335, 340, 341, 1060
Bateria, 57, 156, 209, 364
circuitos alimentados por, 688
flutuante, 510
mais resistência (modelo), 153, 173
Beta, β, 26, 27, 214
BFL, lógica FET NOU com buffer, 1140
BiCMOS
amp op com cascode virado, 787
amplificador cascode, 579, 787
amplificador diferencial, 506
amplificador, 501, 502, 503, 504, 587, 787
cascode duplo, 503
circuito *R*, 1130
circuitos digitais, 506, 1074, 1075, 1127, 1137
combina o melhor do CMOS e do bipolar 1128, 1130
inversor, 1128, 1129, 1130
lógica, 967, 1131
Porta NE tipo *R*, 1131, 1132
tecnologia, 528, 744, 782, 795, 796, 1127, 1132
Bipolar
estágio de saída, 1131
famílias lógicas, 967, 1132
tecnologia, 501, 966
transistores como dispositivos cascode, 807
Biquad KHN, 853-855, 857
Biquad Tow-Thomas, 855, 856, 857, 889, 890, 891, 892, 893, 894
Biquads, 852, 861, 893
baseados no ressonador LCR, 861
Bit mais significativo (MSB), 8, 792, 794
Bit menos significativo (LSB), 8, 791, 792, 802
Bits de endereço, 1036, 1038
Bits, pastilha de memória, 1036
Bloqueador (*choke*) de rádiofreqüência (RFC), 880, 915
Bloqueador (*choke*), 880, 916
Bobina/indutor com derivação, 878, 879
Bobinas, 172, 838-843, 878-882, 913-916
Borda de descida, 932
Borda de passagem/bloqueio, 893
Borda, saturação, 138, 284, 298, 300, 508
Borda, velocidade, 1113
Boro, 135
Bus, terceiro estado, 1103
BV_{CBO}, BV_{CEO}, BV_{EBO}, 306, 318, 716

C

Cabo coaxial, 1123, 1134, 1135
CAD, conversor analógico-digital, 8, 49, 791
Camada fina de dióxido de silício, 329
Canal curto, 350, 733-735
Canal induzido, 332, 333, 348, 349, 352
Canal *n*
  JFET, 419, 426
  MOSFET tipo depleção, 351, 352
  MOSFET tipo enriquecimento, 329, 341, 342
  transistor de efeito de campo, 428, 1061
Canal *p*, 329
Canal
  comprimento, fator de modulação, 339, 345, 346, 347, 356, 364, 368, 375, 378, 380, 383, 429, 434, 502, 806, 971, 1066
  condutividade, 332, 333
  desaparecimento, 418
  efetivo, 418
  estrangulado, 336, 345, 346, 419
  fluxo de corrente, 331, 332
  induzido, 343
  JFET, 423
  largura, *W*, 339
  perfil trapezoidal, **336**, 345, 417, 448, 429
  profundidade, 333, 334, 349, 352
  região, 330, 331, 429
Capacidade de troca, 220, 413, 851, 863
Capacitância, 147, 308, 430
  acoplamento, passagem, interno, 99, 188, 543
  de *fan-out*, porta, 1122
  de ponte C_H, 578
  fio de interconexão, 407
  isolada da resistência de fonte, 583
  linha de palavra e o terra, 1038, 1057
  linhas de palavra para linhas de bit, 1051
  multiplicação, 768
  no modelo MOSFET, 417
  no oscilador Colpitts, 913, 915
Capacitância de difusão para pequenos sinais, C_π, 147
Capacitância de fonte-corpo, 418
Capacitância de sobreposição, **418**, 435, 446
Capacitância dominante, 552
Capacitância eletrostática, 916
  coeficiente de emissão em, 802, 811, 126, 195, 216, 312
Capacitância parasita, 427, 428, 544, 575, 579, 1007, 1002, 1042, 1067, 1130
Capacitância total equivalente na saída da porta, 1134
Capacitância total na saída, 779
Capacitor
  acoplamento, 268, 370, 728
  de grampeamento, 187, 188, 189
  desvio, 268, 1095
  em paralelo com a carga, 178
  integrador, 70
Capacitor chaveado (CC)
  biquad, 872, 873, 874, 894
  circuito, 871
  conversor A/D, 800-802
  filtros, 411, 782, 786, 813, 869, 874
  integradores, complementar, 870, 871
  -resistor, equivalência, 869, 874
  técnicas, 807, 869
Capacitor de desvio, **268**, 378, 557, 564, 595
Capacitor de suavização, 196
Capacitores variáveis por tensão, 191
Característica de transferência, 11, 14, 15, 17, 18, 98, 175, 384, 385, 387, 397, 399
Característica i_C–v_{CE} do BJT, 226
Característica i_D–v_{DS}, 334, 335, 342, 346, 352, 380, 401
Característica i_D–V_{GS} de MOS de potência, 736
Característica i_D–v_{DS}, 344, 353, 366
  do circuito inversor, 297, 298
  do estágio classe AB, 702
  do estágio classe B, 695, 742
  do inversor DCFL, 1134, 1135
  do inversor FL, 1137, 1138
  do inversor TTL padrão, 1096
  do seguidor de emissor, 690, 691
  do TTL Schottky, 1107
Característica de transferência de tensão (CTT), 39, 403, 437, 741, 967, 972
  da OU ou NOU ECL, 1132, 1133
  do inversor CMOS, 405, 437
  do inversor de tamanho mínimo, 1063, 1064
  do TTL padrão, 1096
  do TTL Schottky, 1107
  função de transferência $T(s)$, 537, 540, 862
  na sua forma genérica, 967, 968
  para o inversor pseudo-NMOS, 994, 996
Característica de transferência de tensão de entrada-saída 438
Característica de transferência de tensão para a malha, 1020
Característica/curva i_B–v_{BE}, 258, 259, 261, 262
Características de estabilidade do cristal, 916
Características tensão-corrente do MOSFETs, 329, 338, 352, 353, 355, 440
Característica/curva relação i_C–v_{BE}, 224, 225, 258, 262, 301, 304, 306, 340
Carga
  armazenamento,
    em capacitores, 1066
    em circuitos dinâmicos, 1026
    em TBJs, 966, 1067
    fenômeno/efeito, 147, 191, 307
    na base, 213, 1074, 1076
    na camada de depleção, 141, 149
    na junção, 140
  capacitâncias, 403, 407, 992, 1001, 1007, 1066
  casamento, 478, 479
  condição de equilíbrio, 138
  conservação, 1045
  corrente constante, 73
  curva, 384, 385, 402, 994
  de lacunas/elétrons, 131
  depleção, 137
  dispositivo, 395, 999
  em um capacitor de memória, 1019, 1045
  equilíbrio, 189
  inversor, 1004
  linha, **150**, **259**, 305
  na porta flutuante, 1060, 1061
  neutralização, 137
  problema de compartilhamento, 1015
  redistribuição, 800, 801, 807
  regulação de, 169, 170, 171
  removida por recombinação, 1078
  resistência, 11, 913
  transistor, 401
Carga armazenada, 147, 300
  carga na base, Q_B, 1077
  remoção, 300
Carga ativa, 383, 385, 386, 391, 497, 498, 499, 745, 751, 755, 773
Carga elétrica, q, **125**
Carga presa, 135, 137, 143, 331
Carga resistiva, 391, 993
Cargas aprisionadas, 1061
Cargas fixas descobertas, 137, 139, 144, 331
Casamento, 268, 380, 404, 485, 700, 780, 782, 973, 974
Cascata
  amp op e estágio de potência, 727
  amplificador, 21, 22, 280, 672
  coletor comum,
    e base comum, 595
    e emissor comum, 583
  estágios, 21
  filtros, 828
  inversores, 1020, 1063
  portas,
    Dominó, 1017
    portas lógicas dinâmicas, 1016
Cascode
  amplificador, 391, 491, 501, 537, 575, 578, 579, 583, 587, 598-601, 753
  comparações de desempenho, 584, 807
  espelho, 497, 499, 501
  fonte, 508
  resistência de saída, 499, 498
Catodo, 116, 117, 131, 428
C_{BE}/C_{BE}, 312
cc
  amplificador, 37, 59, 543, 545, 602
  análise 682, 748
  análise da polarização, 17, 159, 240, 365, 258, 259, 364, 437, 522, 596, 744, 748
  característica de transferência, 435, 436
  componente do retificador, 118, 173, 246
  continuidade para o SPICE, 195
  desbalanceamento/*offset*, 97, 594, 595, 603
  estágio de deslocamento de nível, 784
  fontes de alimentação, 12, 57, 172
  notação para sinais, 159
  ponto de operação, 248, 253, 375, 497, 559, 644, 805
  restaurador, 187, **188**
  tensão de *offset*, 99, 100, 105, 495, 594
  varredura para tensão de entrada, 527, 803
Célula com portas empilhadas, 1060, 1062
Célula RAM dinâmica com um transistor, 1044-1047
Célula solar, 192
Célula
  armazenando um "0/1", 1049
  capacitor C_S, 1045
  dinâmica, 1044, 1045
  estática, 1039, 1048
  linha de palavra ativada, 1049
  linha de palavra selecionada, 1042
  matriz, 1036
  programada por alta tensão, 1060
  regenerada periodicamente, 1045
Central
  derivação, 175, 177, 178, 184, 195, 206
  freqüência , 38, 832, 841, 874, 877, 901
Chave bidirecional, 412
Chave de *pull-up* (PU), 42
  dispositivo/direção, 403, 404
  rede PMOS, 974, 980, 981, 982
  transistor/resistor, 1088, 1130
Chave, 44, 208, 307, 328, 342, 418, 789, 792
  ação, 412
  taixa da tensão de controle, 413
  fechamento, 655, 657, 789
  modelo, 294, 401, 402
  resistência ao ligar, 413, 439
Chaveamento
  circuitos, 786
  limite V_{gs}, 409, 973
  mecanismo, 955
  sinais analógicos, 411
  tempos para o TBJ, **1077**
  tempos, 44
Chaves/dispositivos/resistores série e paralelo, 1002, 1067
Chip. *Veja* Pastilha
Chock. *Veja* Bloqueador
CI circuito integrado), 1, 44, 55, 58, 173, 329, 364, 372, 553, 743, 970, 1059
  amp op, 104, 673
  amplificador, 36, 270, 375, 439, 395
  amplificadores de potência, 726, 743
  conversores, 799
  dispositivo MOS, 320, 370, 390
  forma de portas DTL, 1082, 1084
  implementação, 869, 881
  pastilha (*chip*), 44, 89, 482
  projeto, 208, 213, 262, 383, 482, 718, 744
  resistores, 377
  técnicas de polarização, 881
  tecnologia, 394, 460, 482, 501, 934
  transistor NMOS, 351
Ciclo de trabalho, 188, 938
Circuito A, 620, 647
Circuito aberto/fechado bidirecional, 416
Circuito biestável, 609, 899, **919**, 920, 921, 922, 923, 926, 927, 930, 931, 955
  como um comparador, 924
  latches e *flip-flops*, 964, 1019, 1021, 1028, 1067
  não-inversor, 922, 923
Circuito de comparação, **611**
Circuito de disparo para um *latch*, 1021
Circuito de polarização, 744, 781
  que estabiliza g_m, 780
Circuito de temporização, 1031
Circuito de um voltímetro, 946
Circuito de valor absoluto, **948**
Circuito equivalente para pequenos sinais, 160, 246, 248, 368, 371, 386, 389, 398
  do amp op CMOS, 777
  do amplificador, 254
  modelo do MOSFET, 368, 374
Circuito guia de corrente, 382, 482, 483, 486, 967
  chave guia/lógica, 43, 299, 452, 967, 1111
Circuito *R*, BiCMOS, 1130
Circuito regulador, 161, 162, 195
Circuito RLC, 838, 840, 843, 876, 877, 878, 879, 880, 882
Circuito simulador de indutâncias de Antoniou, 843, 844, 845, 846, 887, 912
Circuito sintonizado, 688, 878, 885
  carga, 875
  sintonizado sincronamente, 894
Circuito tanque, 841, 901
Circuito Thévenin equivalente, 204, 262, 263, 269, 558, 564, 573, 576, 616, 761, 762, 1068
Circuitos
  acoplado capacitivamente (ca), 37, 376, 377, 543, 545, 564, 583, 595

combinacional, 980, 992, 1002, 1012
elementos ativos, 55, 383
implementação de chaves, 796
modos naturais, 838
para pré-carga, 1039
para tensão de referência, V_R, 1113
pólos, 901
projeto, **220**, 431, 964, **970**
que originaram a família TTL, 1081
sensibilidade aos parâmetros, 867
símbolo, 10, 57, 220, 240, 341, 348, 352, 415, 430, 916, 983, 1060
simulação, 116, 192
projeto de filtros, 887
SPICE, 193, 598, 1173
terra, 10, 12, 104
Circuitos com pequena escala de integração (SSI), 400
Circuitos DCFL, 1133, 1137
Circuitos de acionamento, 736, 738, 993
Circuitos de controle para motores, 709, 736
Circuitos de interface, 199, 789, 965
Circuitos digitais, 8, 164, 208, 276, 394, 789, 963, 965, 1074, 1132
projeto, 400, 410, 415, 439, 788, 963, 965, 966, 967, 971, 983, 1035
VLSI, 969
Circuitos digitais bipolares, 191, 965-967, 1074, 1075, 1130
Circuitos em escala média de integração (MSI), 400, 966
Circuitos geradores de forma de onda, 919
Circuitos geradores de sinais, 898
Circuitos integrados analógicos bipolares, 806
Circuitos não-lineares
característica de transferência, 15, 17, 465, 614, 941
característica *i*–*v*, 115, 116
circuitos formadores de ondas, 939
distorção, 10, 94, 95, 105, 273, 274, 281, 365, 412, 614, 615, 694, 698
fonte de corrente controlada por tensão, 215
mecanismo para controle de amplitude, 899, 902, 905, 907, 909, 955
osciladores, 899, 919, 955
relação q_J–V_R, 141
resistência, 1106
Circuitos seqüenciais, 964, 1019
Classe A, 688, 689, 697, 694, 743
Clássico
polarização, 375, 376
CMRR (razão de rejeição de modo comum), 464, 467, 527, 603, 759
resposta em freqüência , 592
Código binário, 1055
Coeficiente de graduação da junção de corpo, *m*, 434
Coletor (C), 209, 217, 318, 689, 715
base, 209, 217, 218, 226, 283, 308, 486
corrente, 25, **212**, 215
descasamento de resistências, 476, 480, 482
região, 208, 313
resistência ôhmica, r_c, 313
scale current (I_{SC}), 291
substrato, 313
tensão, 226, 282, 809
Coletor comum (CC)
amplificador, 268, 276, 277, 278
base comum, 594, 603, 881, 882
emissor comum, 583-588, 603
Coletor, porta tipo, 1102
Comando de análise *ca*, 600
Comandos de solicitação de análise, 522
Comparação série, resistência de entrada, 621, 630
Comparador, 798, 800, 904, 921-925, 934, 936-938, 955
Compensação, 671, 806, 891, 893
capacitor/rede, 672, 673, 674, 675
para a tensão de *offset*, 481
para deficiências do amp op, 857
para o desbalanceamento *cc*, 594
Compensação de corrente de base, 489, 490
Compensação de temperatura, 171, 736, 737, 743, 1134, 1137
Compensado termicamente
rede de polarização, 1133, 1134
zener, 171
Complementar
chaves, 42, 43, 400, 871, 872, 972, 980
circuitos, **851**
CMOS, 966, 993, 994, 1002, 1010, 1012, 1066, 1067
implementação XOU, 987
inversor, 971-979, 997, 1004
MOS, 41, 340, 400
portas complexas, 984-987
entrada, 471, 588
função de transferência, 863
lógica de transistor de passagem (PTL), 1010, 1011
MOSFETs de potência, 736
para TBJ, 694
saída, 934, 1112, 1136
seguidor de emissor Darlington, 736, 737
sinais, 1092
transformação da malha de realimentação, 863-866
Componente
ajuste, 716
descasamento/variação, 97, 608
Componente de sinal, 246
Componentes passivos, 55, 63
Comportamento do transiente inicial, 952
Comportamento inicial instável, 782
Composto III-V, **191**
Comprimento, *L*, 331
Compromisso entre ganho–faixa de passagem, 93, 553, 591, 601, 602
Compromisso entre ganho e outra característica desejável, 609
Compromissos no projeto lógico CMOS, 978
Compromissos no projeto lógico digital, 970, 971
Compromissos no projeto, 63, 100, 263, 264, 978
Computador
e sistemas de controle, 898
projeto auxiliado por, 152, 173, 192, 256, 537, 768, 887, 970, 1062
simulação, 192, 271, 275, 309, 419
sistema, 407, 889, 963, 970, 971, 1035
Comum
conexão base, 595, 596
dreno, 383
linha de saída (ou bus), 1103
substrato, 349
terminal, 10, 104, 216, 278, 744
terra, 57, 843
Concentração de íons, 132, 993, 1008
Condição de equilíbrio, 137-139, 145
Condição de ganho unitário para a malha de realimentação, 909
Condição de pequeno sinal, 243, 365, 366
Condições de contorno da junção, 211
Condução em região de sublimiar, 1012
conectividade, 195
Conexão série, 409, 1024
Conexões por fios, 131
Conferência de hipóteses, **121**
Configuração *totem-pole*, 1087, 1092, 1093, 1101, 1106, 1128, 1136
Configurações amplificadoras com dois estágios, 537
Configurações de amplificadores sintonizados sem efeito Miller, 882
Constante de Boltzmann, *k*, **125**, 132
Constante de tempo simples (CTS)
circuito(s), 44, 68, 1204
malhas, 30, 31, 48, 536, 539
resposta passa-baixas, 89
Veja também CTS
Constante de tempo, *t*, 31, 34, 44, 69, 73, 74, 77, 95, 101, 179, 1076
Constante
corrente, 74, 139, 140, 144, 218, 225, 268, 274, 361, 376-381, 391, 451, 482, 496, 492, 592, 601, 755, 993, 1137
modelo de queda de tensão, 154, 155, 176, 904, 1134
n, 126, 157, 216, 312
produto ganho-faixa de passagem, 93
Contador, 797, 798, 799, 925
Contador/controle sobe/desce, 797
Controlada por tensão
chave(s), 42, 48, 1003
fonte de corrente, 245, 246-247, 318, 368, 638
fonte de tensão (FTCT), 20, 616, 887
Controle
condutividade, 352
lógica, 798, 800
sistemas, 963
Controle da impedância de entrada/saída, 609
Controle de amplitude, 902, 903, 906, 915
Convenção para símbolos, **18**, 19
Convenções para diagramas esquemáticos, **13**, 220, 228, 278
Convenções, esquemas, 13, 228, 712
Conversor/conversão
diferencial para saída simples, 515
digital para analógica, 789
dupla inclinação, 798
luz em sinal elétrico, 191
paralelo, 799
rápido, 799
realimentação, 797
Conversor A/D, 8, 600, 789, 796
Conversor D/A, 8, 49, 790, 791-793, 794, 795, 797
Conversor de onda triangular para senoidal, 942
Conversor rápido (*flash*), 799
Conversor simultâneo, 799
Conversor, 797
Corpo (*body*–B), 330, 352, 373
efeito, **349**, **350**, 372, 390, 393, 396, 398
CI MOS, 993, 1004, 1008
modelo, 374
parâmetro, γ, 349, **350**, 434
relação, χ, **374**, 391, 398, 400
tensão de limiar, 349
transcondutância, g_{mb}, 374
Corrente
amplificador, 23, 24, 246, 616
capacidade de fornecimento de, 404, 969, 970, 974, 988, 1130
chave, 795
condução de dreno para fonte, 331
densidade, J_n, J_p, 146, 510
direção, 210, 212
drenagem, 382, 487, 507
fator de escala, I_S, 212, 215
fatores de transmissão, 520
fluxo, 210, 220
fontes controladas, **20**, 22, 24, 26, 28, 33, 208, 215, 269, 290, 295, 368, 372, 391, 394
função de guia, 381
ganho, 10, 12, 14
análise, 520, 521
espelho, 379, 484, 490
guia, 485, 743
intensificador de corrente (*booster*), 731
inversor, 410
multiplicação, 488
picos, 1095
razão de transferência, 379, 489
reforçador (*buffer*), 318, 499, 576
regulador, 781
replicação, 378, 382, 487
saturação, 290
Corrente da fonte em portas ECL, 1116
Corrente de alimentação, 403, 507, 1029
Correntes de alimentação, picos, 1100, 1116, 1123
Corrente de escala, I_S, 125, 218, 290, 291
Corrente de joelho, 130, 165
Corrente de polarização,
compensação, 102, 105, 113
I_D, I_{REF}, 102, 384, 417, 482
Corrente direta/reversa líquida, 199
Corrente drenada, 507, 1029
Corrente/velocidade de deriva, 132, 133, 134, 137, 149, 210, 337
Correntes com peso binário, 793, 795
Correntes de alimentação (I_{CC}, I_{DD}), 1100, 1135
Correntes de polarização típicas, 752
Corrosão seletiva (usando uma máscara), 1059
Corrosão, 1059
Corte
condição, 349
freqüência , 52, 569
modos de saturação, 281, 317
região, 261, 281, 342, 367, 396
CPL, (lógica de transistor de passagem complementar), 1011
Cristais de quartzo, 916, 918, 919
Cristal
faixa de freqüência s, 918
impedância, 917
oscilador, 913, 916, 918, 955
parâmetros, 916
reatância *versus* freqüência , 917, 918
silício, 131
Critério de Barkhausen, **900**, 902, 915
Crosstalk (ligação cruzada), 1095, 1113
CTS. *Veja também* constante de tempo simples
rede passa-altas/baixas, 71, 582, 1198
rede, 101, 537, 539, 557, 1198
redes, classificação, 31
resposta ao pulso, 539
resposta em freqüência , 31, 32, 539, 1198
CTT não-linear (senoidal), 940
Curto-circuito virtual, 61, 78, 79, 82, 84, 85, 104, 845, 920
Curto-circuito, 117, 412
função de transferência, 679, 680

função de transferência, T_v, 651, 652
ganho de corrente, 24, 305, 416, 417
método das constantes de tempo, **553**
nas freqüências do sinal, 258
ou constantes de tempo de circuito aberto, 549, 602
proteção, 693, 698, 720, 726, 743, 746, 765, 767, 806
transcondutância, 488
Curva característica $i_D = z_{vD}$, 384
Curva de Bode da fase, 541, 542
Curva de Bode do módulo, 539
Curva de Bode, **31-33**, 35, 70, 75, **539**-543, 547, 549, 602, 603, 666-670, 768, 1210, 1213
ganho, 769
ganho de malha $A\beta$, 666, 726
módulo da função de transferência, 539, 682
para $|z_{in}|$, 310
termo típico para o módulo, 540
Curva de transferência, 17, 386
C_{gs}/C_{gs}, 307, 308, 309, 310, 311, 318

D

Dados
conversores, 743, 788
flip flop, 1025, 1026, 1027
linha de entrada, 1026, 1027
Darlington
seguidor, 587, 1105
transistor composto, **587**, 718-719, 743
Decibéis, 12
Decodificador de endereço, memória 999, 1037, 1047
Decodificador de entrada/saída, 1036, 1054
Decodificador em árvore (coluna), 1055, 1056
Degrau
entrada, 44, 95, 770
forma de onda, 94
resposta, 44, 95
Demodulação, 184, 188
Densidade de empacotamento, 1036
Dente (*notch*), 834, 836, 840, 841, 848, 854, 855, 857
Dente (*notch*) regular (DR), 846, 847, 850
Dependência com a temperatura, 171, 217, 225, 350, 735, 736
da característica de transferência da ECL, 1132
da característica de transferência da TTL, 1098
da característica do diodo, 126, 128, 129
da corrente reversa, 129
Depleção
camada, transistor de porta flutuante, 1061
canal, 352
capacitância, 140-142, 148, 163, 191, 203, 308, 417, 418, 430, 1078
dispositivo com carga em, 396, 398, 399, 993, 1132
MESFET, 430, 506, 1132
modo, 313, 353
MOSFET, 351, 352, 354, 355, 361, 368, 369, 395, 448, 564, 993
região, 136, 137, 139, 199, 211, 219, 332, 333, 336, 448, 429
tensão de barreira, 144
tensão, 138, 140
Descasamento, 752, 757, 758
em correntes de escala, 15, 480
em resistores de carga, 495, 496, 758
em V_o, 495, 496, 497
em β, 481
nas áreas da junção base-emissor , 480
Descasamento de área, 480, 482
Desempenho (velocidade de operação), 13, 48, 497, 964
análise do inversor CMOS, 971
de circuitos periféricos, 1047
medidas, 169
Desempenho do integrador no domínio do tempo, 72
Desempenho instável, 664
Desligamento
processo, 409
TBJ, 1076
tempo, 295, 300
Deslocamento
na freqüência do pólo, 671, 673
na tensão de limiar, 1060
no nível cc, 515
no nível de tensão, 1107, 1137
Deslocamento de nível, 510, 516, 746, 1008, 1081, 1112, 1137, 1139, 1130, 1137
Deslocamento na programação de limite, 1060
Deslocamento (*skewing*) de resposta, 880
Detector de pico/retificador de precisão com *buffer*, 950
Diagrama de fluxo do sinal, 609, 610
Diagrama de Nyquist, 655, 664, 667
Diagrama de temporização para o circuito monoestável, 1029, 1031
Diagrama do lugar das raízes, 659-665
Diferença
amplificador, 82, 93, 84, 85, 88,
entre a curva I-V e a linha I/β, 669
sinais, 58, 84, 104, 465, 466, 1051
Diferenciador, 75, 76, 77, 670, 1220
Diferencial
circuito, 1048, 1067
circuito ECL, 1112
comparador, 797
componente, 475
entrada, 84, 418, 464
ganho, 58, 87, 89, 471
ganho de tensão, 87, 470
integrador, 88
operação com uma célula DRAM de terminação simples 1051, 1052
par, 452, 453, 464, 465, 482, 495, 527, 588, 594, 601, 727, 793, 941, 942, 1076, 1111
para forma de terminação simples, 746
sinal, 452, 1052
tensão de saída, 471, 475
Difusão, 132, 137, 210, 218, 1059, 1100
capacitância C_d, 147-149, 163, 307, 311, 430, 1076
comprimento, L, **145**, 146
constante, 133, 146
corrente, 132, 137, 139, 143, 145, 149, 199, 211, 300
e deriva, 132, 734
Digital
chaves, 411
equivalente de uma entrada analógica, 788, 789, 797
lógica, 39, 48, 115, 120, 207, 281, 296, 329, 411, 955
palavra, 8, 799
para-analógico (conversor) (D/A ou CDA), 8, 411, 789
primeiros microprocessadores/circuitos, 400, 1079, 1083
representação, 791
revolução, 963
sinais, 6, 47
sistemas, 8, 40, 44, 192, 296, 400, 922, 963, 967, 970, 971, 980, 1055, 1075, 1083

sistemas/circuitos de comunicação, 788, 1075
tecnologias de CIs e circuitos de famílias lógicas, 407, 965, 1066
voltímetro, 192, 788
Dinâmica
circuito, 1053
CMOS, 966, 1012, 1014, 1016, 1017, 1019, 1066
desempenho, família de circuitos lógicos, 968
dissipação de potência, 44, 47, 48, 403, 410, 439, 968, 969, 978, 1012, 1100
memória, 1019, 1038, 1044, 1045, 1066
operação,
célula SRAM CMOS, 1040
chave digital com TBJ, 1074, 1075
circuitos lógicos, 1062
inversor BiCMOS, 1130
inversor CMOS, 974, 1130
inversor pseudo-NMOS, 997
porta ECL, 1134
técnicas para lógica, 964, 1012
Diodo, 115, 192, 483
análise do, 127, 148
arranjos de polarização, 704
capacitância de difusão, 193
capacitância de junção, 193
característica exponencial, 173
condução, 182
conectado como,
MOSFET, 395, 396, 993
TBJ, 483,
transistor, 126, 292, 378, 483, 484, 487, 493, 495, 497, 498, 499, 744, 748, 755, 762, 1083, 1084
corrente reversa, 199
corrente, 127, 182
em malhas de realimentação de amp ops, 948, 955
em série, 162, 193
equação, 125, 126, 146, 151, 199, 216
formador, 941
limites, 197
modelo para altas freqüências, 163
modelos, 116, 127, 157, 158, 163, 193, 199
na forma de CI, 126, 1083
ponte, 177, 949
porta E, 1082
portas, 120, 1082, 1139
regulador, 161, 162
resistência incremental, 193
resistência para pequenos sinais, 158, 199
retificador, 172
ruptura, 130, 199
velocidade, 148
Diodo emissor de luz (LED), 116, 192
Diodo para pequenos sinais, 126, 127, 129, 156
Diodo pegador, 947
Diodo Schottky, baixa queda de tensão, 1104
Diodos em cadeia, 162, 187
Diodos guia, 1082, 1083
Direta
amplificador com acoplamento direto, 37, 59, 97, 543, 555, 564, 573, 575, 588
seguidor de emissor, 580, 1132, 1137
análise, 255, 256, 678
Direto
coeficiente de emissão de corrente, *n*, 192, 313
parâmetros, 638, 642
polarização, 116, 125, 148, 199, 210, 215, 1098
região, 125
tempo de trânsito da base, τ_f, 307
tensão, 190
tensão Early, V_A, 313
transmissão, 610, 622, 624, 638, **642**, 643, 678
ω_β, 290, 291
Discos de computador do tipo CD-ROM, 191
Discreto
amplificador com componentes discretos, 370, 375, 376, 427
circuito, 1, 208, 262, 270, 375, 418, 439, 555, 704, 705, 707, 718
transistor, 599, 730
valor, 799
Disparador de Schmitt, 921, 923
Disparo do circuito biestável, 922
Disparo do multivibrador monoestável, 935
Disparo, 922, 934, 935
Dispositivo assimétrico, 220
Dispositivo canal *p*, 348, 354, 1053
JFET, 420
MESFET, 429
MOSFET, 339, 348, 384
Dispositivo típico, 316
Dispositivo(s) com dois terminais, 116, 207, 378, 395, 483
Dispositivos compostos, 191, 427, 511, 512, 717-720, 728, 743, 1128, 1129
Dispositivos de canal curto, 430, 433
Dispositivos detetores de zero, 1008, 1012
Dissipação estática de potência, 1015
Dissipador de calor, **712**, 713, 714, 731, 76
Distorção (DHT), 9, 15, 17, 96, 254, 609, 740
Distorção auto-induzida, 96
Distorção de cruzamento por zero, **695**, 696, 741, 743
Distorção harmônica total (DHT), 687, 730, 731, 742, 941, 953
Distorção/componente de segunda harmônica, 374
Divisor de tensão, 264, 265
malha, 262
razão, relação, 31
regra, 20, 21, 34, 160, 556
Divisor resistivo de tensão, 919
(DMOS), 733, 734
DMOS canal curto, 733, 734
DMOS, 733, 734, 743
Dois acessos
malha de realimentação, 622, 631
malha RC, 663, 858
malha, 10, 25, 215, 216, 757, 939, 1166
parâmetros, 678, 1166
dopagem relativa, 214
Dopagem, 134, 138, 190, 212, 329, 350, 734
DRAM (memória dinâmica de acesso aleatório), 1047, 1067
capacitância de célula, 1044, 1045, 1048
operação, 1045
Dreno (D), 331, 395, 428, 1005
corrente, 336, 340
difusão, 417
para fonte, 339, 343, 347, 373, 396
para substrato, 350
região, 330
resistência, R_D, 434
terminal, 330, 331, 333, 428
Dreno comum (DC)
amplificador, 391, 392-394
cascade, 587

configuração, 602, 603
DTL, lógica diodo-transistor, 1083-1087
Dual
conversor A/D, 797, 798, 799
da rede PDN e da rede PUN, 987
em-linha, encapsulamento (DIP), 731
propriedade, 985, 988
rede, 986
Duas entradas
porta NE CMOS, 984, 985
porta NE DTL, 1081
porta NE Schottky de baixa potência, 1108, 1109
porta NE TTL Schottky, 1105
porta NOU BFL, 1130
porta NOU CMOS, 983, 984
porta NOU DCFL, 1132, 1133
porta NOU RTL, 1079, 1080
porta NOU/OR ECL, 1131
Duas fases de relógio sem sobreposição, 1027
Duplo
anodo, zener, 187
cascode, espelho, 504, 505
coletor, transistor, 744
limitador, 184, 187

E

E por fio em um TTL de coletor aberto, conexão, 1102
Early
efeito, 225, 226, 256, 262, 305, 314, 316, 430, 485, 486, 511
tensão, 226, 256, 314, 346, 380, 384, 395, 420
ECL (lógica acoplada pelo emissor), 965, 966, 1078, 1111-1127, 1130-1136
acoplamento de linha, 1123
cabo com terminação, 1135
efeitos térmicos, 1124
especificações de fabricante, 1121
tensão, 1116
EEPROM (ROM programável e apagável eletricamente), 1062
Efeito de amarração, **508**, 509, 528, 533
Efeitos de fuga, 129, 142, 217, 403, 420, 1012, 1015, 1016, 1038, 1045
Eficiência, 13, 687, 734
Elemento pentavalente, 135
Elétrico, campo, 133, 134, 137, 143, 328, 337, 427, 1061
interferência, 192
isolação/isolante, 172, 192, 329
neutralidade, 135
Elétron(s)
carga, **125**, 131, 212
coletados, 210
componente, 210
concentração, 133, 211, 299
corrente, 210
difusão, 133, 212
fluxo, 212
injeção, 213
lacuna (par), 132, 143, 191
mobilidade, μ_n, 134, 337, 339, 427
tempo de vida, 147
Elétrons de valência, 131, **135**
Elétrons gerados termicamente, 138
Elétrons quentes, 715, 1061
Elétrons/lacunas livres, 131-135, 331, 333
Emissor (E), 25, 209
base,
capacitância C_π, 308
junção, 209, 210, 290, 695
corrente, 214, 215
corrente de escala (I_{SE}), 291
região, 208, 213
resistência ôhmica, r_E, SPICE, 313
resistência, r_E, 245-247, 271, 499, 589-591, 601, 602
resistor de degeneração, **274**, 317
resistor, R_e, R_E, 271, 590, 601, 609, 717, 720, 772
ruptura, 306, 746
seguidor, 276-281, 318, 391, 515, 582-585, 602, 609, 689-694, 743, 746, 747, 1122, 1130, 1136
Emissor comum (EC)
amplificador, 266, 268-274, 316, 318, 498, 562-566, 570, 572, 578, 585, 589, 599-602, 673
características, 303, 304, 306
ganho de corrente, 214-215
meio circuito equivalente, 471
múltiplos estágios, 270
Encapsulamento TO3, 711
Encapsulamento do temporizador, 935
Endereço de bloco, 1038
Endereço de coluna, 1036, 1037, 1038, 1045, 1047, 1048, 1049, 1050, 1055, 1056
Energia (armazenada/dissipada), 410, 914
Energia adicional absorvida pelas terminações, 1122
Energia da faixa proibida, 132
Energia do fóton, 1062
Engenheiros eletrônicos, 608, 963
Enriquecimento, 681
amplificador com carga tipo, 398, 400, 993,
MESFET, 513, 1132, 1137
modo de operação, 333, 352, 353
MOSFET, 329, 333, 335, 341, 364, 375, 395, 439, 563
transistor NMOS, 335, 351
transistor PMOS, 349, 351, 360
Enrolamento de secundário, 172, 178
Enrolamentos, 172
Entrada
admitância, 574
característica *i–v*, 1098
circuito da porta TTL, 1085
corrente de *offset* de, I_{OS}, 101, 481, 527, 752
corrente de polarização, 101, 102, 105, 481, 496, 751
corrente para entrada alta I_{IH}, 1092
diodos, 1106
estágio de, 515, 746
da TTL, 1085, 1086, 1136
de cada amp op, 451, 597, 757
polarização, 749
impedância, 58, 79
linha de dados de um *latch*, 1028
modo comum, 87, 475, 476, 477, 482, 496, 525, 527, **751**, 774, 785, 806
pulso/proteção, 72, 73, 350
resistência diferencial, 84, 97, 469, 473, 475, 476, 517, 755, 806
resistência, 20, 65, 88, 101, 103, 248, 269, 270, 390, 391, 760, 862
com realimentação, 616, 626, 634, 638, 641, 642
do amplificador diferencial, 84
do inversor, 403
na base/emissor, 244
tensão de *offset*, V_{OS}, 97, 100, 105, 478-480, 496, 497, 523, 527, 752, 757, 758, 775, 805, 807
terminal, 185, 1036, 1047, 1100, 1115
Entrada ativa em nível baixo, 983

Entrada/Saída (E/S)
linha de dados, 1036, 1037
Entradas *set/reset*, 1023
entradas do *flip-flop*, 1021-1023
EPROM (programável e apagável ROM), 1060, 1068
EPROMs no estado da arte, 1059
Equação de malha de Kirchhoff, 148, 263
Equação, característica, 652, **658**, 661, 681, 859, 863, 864, **900**
rede de segunda ordem, **660**
Equivalente
circuito, 58, 79, 116, 153, 215, 219, 246, 369, 391, 402, 551, 587, 588, 590, 652, 653, 710, 890
razão *W/L* des MOS em série, 988, 1024
resistência entre porta e fonte, $1/g_m$, 557
valores de C_{db1} e C_{db2} para grandes sinais, 101
Erro percentual no ganho, **64**
Erro relativo, 600
Escada RC de três seções (terceira ordem), 909
Escalonando a sintonia dos estágios individuais, 882, 883
Especificações de fabricante, 1098, 1121, 1131, 1134
Espectro
de sinais, 3, 5, 30
de uma onda quadrada, 4, 5, 957
distorção/analisador, 30
pureza, 953
Espelho
faixa de operação, 379
ganho de corrente, 489
razão de transferência, 484
simetria, 829
Espelho de corrente, 268, 363, 379-384, 439, 483, 485, 497-499, 505, 743, 773, 780
carga ativa, 498, 515, 527, 746
circuito, 379, 395, 483, **476**, **487**, 488
Espelho de corrente com saída dupla, 382
Espelho de corrente de Wilson, 490, 491, 498, 783, 785
Espelho de corrente de Wilson com carga ativa, 499, 491
Espessura típica de óxido, 329
Estabilidade
amplificadores com realimentação negativa, 609, 681
análise, 653, 669
da corrente de polarização de coletor, 246
e localização dos pólos, 656
estudo usando curvas de Bode, 666
ou instabilidade de um amplificador realimentado, 654
Estabilidade do ponto quiescente, 267, 314
Estabilidade em amplitude, 910
Estabilização com a temperatura, 738
Estado estável, 139, 147, 782, 923, 927, 932, 933, 935, 1030, 1067
Estado quase-estável, 932, 933, 935, 955, 1028, 1030, 1067
Estado *set*, 1022
Estágio de saída classe AB, **688**, 700-706, 716, 717, 736, 743, 742, 745, 747, 782
amplificador, 689, 737
com *buffer* de entrada, 717, 737
com MOSFETs, 736, 743
com proteção, 720
polarização, 704, 719, 748
Estágio de saída classe B, **688**, 689, 694, 695, 698, 699, 700, 738, 739, 743
Estágio de saída classe C, 688, 689
Estágio simples
amp op CMOS, 784, 785, 807
amplificadores CI MOS, 383
amplificadores transistorizados, 208
configurações do amplificador TBJ, 268
Estágios amplificadores com carga ativa, TBJ, 503
Estática(o)
acumulação de carga, 350
características do inversor pseudo-NMOS, 994
célula de memória, 1039
circuito lógico, 1003, 1012
circuitos sequenciais, 1019
comportamento, 193
dissipação de potência, 44, 403, 968, 995, 999, 1006, 1012, 1134, 1136
e dinâmica, RAM, 1038
latch, 1026, 1038
operação de um circuito lógico, 967, 972
potência, com saída no estado baixo, 999
RAMs (SRAMs), 1025, 1038, 1067, 1132
Estilos de projeto para circuitos digitais, 965, 970
Estrutura
de circuitos dinâmicos lógicos MOS, 1013
de transistores reais, 217
do amp op de potência, 732
do amplificador multiestágio, 451
do amplificador realimentado, 610
do JFET canal *n*, 448
do MOSFET de potência, 733
do oscilador senoidal, 899, 900
do transistor multiemissor, 1100, 1101
Estrutura cristalina, 131
Excesso
atraso deslocamento de fase, 891
portadores minoritários, 144-148, 1076
tensão de porta, 333, 369
Excitação diferencial, 594
Excitação, 838
Exemplo(s) de simulação, 192, 435
Exponencial
aumento na densidade das pastilhas com o tempo, 1037
características *i–v* da junção, 148, 152, 164, 193, 212-215, 221, 224, 240, 243, 290-292, 295, 296, 300, 430, 464-467, 716, 735, 941, 1116, 1117
série, 158, 242, 467
Extremamente elevada
densidade, pastilhas (*chips*), 978
densidade, pastilhas de memória, 1075
fatores *Q*, 918
impedância de entrada, 350
níveis de integração, 966
velocidade de operação, 1113, 1127, 1132
velocidade em circuitos de famílias lógicas, 451
velocidade em circuitos digitais, 428, 439
velocidade em processadores, 1127
velocidades, 1113, 1136

F

Fabricação, 128, 131, 166
Facilidade PROBE do PSPICE, 196, 435, 437, 738, 740, 806, 953, 1131, 1181, 1183
Faixa de áudio, 4
Faixa de bloqueio, 814, 893
atenuação, 827, 828
borda, Θ_p, 815, 826
frequências, 817
sinais/ondulação/transmissão, 815-817
Faixa de frequências, 29
Faixa de passagem (*bandwidth*), 30, 59, 93, 836, 879
amplificador diferencial, 589, 603
do amp op 682, 891

extensão, 609, 612, 681
fator de redução, 881
Faixa de passagem ampla, 583
Faixa de passagem estreita, 192, 875, 881, 883, 885
Faixa de transição, 815
Faixa morta, 695, 696
Faixas de passagem muito amplas, 191, 506
Família de circuitos Sallen-Key, 864, 865
Fan-in/fan-out, 970, 971, 988, 1080, 1083
Fase, 4, 28, 29, 48, 542, 829, 891, 901
ajuste, 829
deslocamento, 88, 829
do ganho de malha, 900
inversão, 250
margem, **666**, 669, 681
resposta, **29**, 30, 32, 538, 816, 836
separação, **1092**, 1096, 1102, 1106, 1136
Fase de ajuste, 1012
Fator de dessensibilidade, 608, 609, 611, **612**
Fator de superexcitação ($I_{B2} - I_{C(sat)}/\beta$), 284, 286, 289, 300, **1076**, 1078
Fator Q, 660, 663, 837, 868, 876
Fator Q da bobina, 878
Fenômeno de máxima variação do sinal, 95, 770
FET (transistor de efeito de campo), 101, 116, 131, 208, 303, 328, 329, 336, 537
capacitância de saída, 875
capacitâncias internas, 417, 550
circuito amplificador, 368, 443, 875
estágio de entrada, 752
lógica, 1137
porta não-metálica, 330
seguidor de fonte, 579
FI (freqüência intermediária)
amplificador, 880, 881, 887
seção de recepção, 874, 894
Fibra óptica, 191
Fileira de capacitores com peso binário, 800
Filtro ativo universal, 853
Filtro ativo, oscilador sintonizado 911, 912, 953, 954, 955
Filtro ativo, pólos, 866
Filtro ativo, projetos, 664
Filtro Butterworth, 821, 825, 827, 828, 893
Filtro Chebyshev, 825-828, 851, 887, 893
Filtro Chebyshev de N-ésima ordem, 825
Filtro eletrônico, 812
Filtro passa-todas, 829, 836, 857, 893
Filtro somente com pólos, 819, **820**-828
Filtro, 31, 32, 74, 172, 788, **813**, 847, 892, 893
aproximação, 816
bloco, 172, 173
capacitor, **178**
características, 847
especificações, 814, 815, 816
faixa de passagem/bloqueio, 31, **814**
função de atenuação/ganho, **813**
função de fase, $\theta(\omega)$ 813
função de transferência, $T(s)$, **813**, 817, 893
malha de realimentação, 858
ordem, **817**, 822
pólos, 828
projeto, 812, 814, 816, 820, 824, 827, 850
quinta ordem, 819, 820, 887
seletividade e ordem, 820
transformação de freqüência, 821
transmissão, 813, 814, 817
Filtro/projeto de sintonia escalonada (*stagger-tuned*), 885, 887
Filtros ativos RC, 813, 837, 869
Fios como elemento de circuito, 1122, 1123
Flip-flop, 934-938, 964, 1021, 1023, 1026, 1038, 1039, 1067, 1075, 1095
como células de armazenamento, 1067
estado final do, 1022
Flip-flop disparado por borda, 1026
Flip-flop SR, 934, 1021, 1022, 1080, 1081
Fluxo de corrente bidirecional
em portas de transmissão, 1008
entre o *flip-flop* e a linha de bits, 1039
Fluxo líquido de cargas, 132
Fluxo vertical de corrente, 734
Folga para excursão, 261
Fonte de alimentação da parede, 4
Fonte de alimentação única, 375, 556, 561
polarização, 262
Fonte de corrente, 215, 216, 246, 247, 267, 380-384, 433, 439, 487, 506, 507, 513, 747, 993
Fonte de corrente auto-amarrada, 512
Fonte de corrente com carga ativa, TBJ 565
Fonte de corrente de Widlar, 491, 492, 493, 744, 748
resistência de saída, 494
Fonte de corrente de Wilson, 490
Fonte, F, 330-333, 341, 352, 372, 373, 428, 487
conectada ao corpo (substrato), 419, 416
difusão, 417, 418
e dreno, 333
e dreno podem ser intercambiadas, 331, 413
emissor, no terra para sinais, 564
região, 330
resistência, corpo, R_S, 434
resistência, incremental, $r_s = 1/g_m$, 372, 556
seguidor, 383, 391-394, 439, 505, 513, 515, 609
teorema da absorção, 372, 391, 394
Forma de onda
distorção, 93
do estágio de saída classe A, 692
do multivibrador astável, 1033
do relógio, 1013
formador, 899, 939
geração, 899
Forma de onda em escada, 791
Forma de onda senoidal, 95, 898
Forma de onda triangular, 74, 77, 156, 243, 250, 252, 259, 367, 898, 899, 927, 930, 931, 939, 955
com linearidade superior, 929
Formador de senóide, 939, 955
Fotocorrente, 116, 191, 192
Fotomáscara, 1059
Fotônica/Fótons, 191
Freqüência , 3,
acurácia e estabilidade, 955
compensação, 58, 89, 665, 670-672, 681, 728, 747, 773, 779, 807
de oscilação, 901, 908, 929
de pólos não-dominantes, 787
distorção, 30
espectro, 3, 4, 47, 814
estabilidade, 901, 912
faixa, 836
função de transferência no domínio da, diferenciador, 74
rede seletiva, 814, 836, 874, 899, 900, 955
transformações, 821
Frequência de corte superior, 574
Frequência de corte, 31, 71, 76, 91, 101, 539, 540, 945
Frequência fundamental, 4
Frequência intermediária (FI), *Veja* FI
Freqüência superior de 3-dB, ω_H, f_H, 548, 550, 583
Frequência angular, 3, 4
Frequência complexa/função, 30, 68, 417, 537, 885, 965
Freqüência de corte, 31
Freqüência dependente da temperatura, 650
Freqüência s de pólos e zeros, 60, 537, 538, 539, 562, 575, 583, 589, 660, 661, 663, 819, 832, 835, 845, 868
fator de qualidade, Q, 660, 832, 845, 868
localização, 656, 657
polinomial, 859
separação, 668, 674, 676, 681, 747, 768
f_t, MESET, 435
f_t, MOSFET, 417
f_t, TBJ, 310, 718
f_t, freqüência de ganho unitário, 310, 417, 433, 716, 718
Função com fase abrupta, 901
Função da temperatura, 126, 212
Função de transferência, 29, 68, 69, 71, 88, 538, 557
análise, 524
de uma rede passa-baixas de primeira ordem, 548
do filtro Chebyshev, 827
equações, 669
na forma fatorada, 543
parâmetros, 829, 859
pólo, 538, 576, 817
singularidades, 832
zero, 538, 778, 779, **817**
Função de transferência bilinear, 829
Função de transferência biquadrática, 829
Função de transferência de malha, $L(s)$, 665
Função de transferência de um Butterworth, 824
Função de transferência passa-todas, 842
Função NE, 1082, 1100, 1136
Função/expressão booleana, 121, 985, 992, 1010, 1053
e seu complemento, 1010
para uma NOU/NE, 1080, 1082
Função/porta (OU Exclusivo), 986, 987, 1011
Funções E e NE em DTL, 1011
Funções OU e NOU, 1115-1117, 1137

G

g, parâmetros, 644, 678
GaAs (arseneto de gálio)
amplificadores, 190, 191, 418, 439, 506, 1074
circuitos digitais, 1074, 1111, 1132, 1130
diodo de barreira Schottky (SBD), 190, 191, 428-431, 1104
tecnologias, 427-433, 510, 528, 1132
Ganho, 23, 25, 59, 396, 488, 544, 767, 900
amplificador, 227, 435, 504, 514, 544, 767, 783
como razão das resistências de coletor e emissor, 273
configuração não-inversora, 79
constante, $g_m r_o$, 270, 488
dessensibilidade, 608, 611, 681
e margens de fase, 666
em decibéis, 12
faixa de passagem (produto) GB, 90, 93, 105, 544, 555, 591, 601, 612
fator de redução de, 609
filtro, 824
inversor lógico, 297
maior possível, V_A/V_T, 270, 488
margem, **666**, 669, 7
mecanismo de controle, 902, 907
realimentação, 273, 610, 626, 642
seguidor de emissor 1124
sensibilidade a variações de componentes, 681
separador de fase, abaixador ativo, 1096, 1106
variável, 85
Ganho de malha (L), **610**, 630, 651-653, 662, 666, 668, 679, 680, 681, 759, 859, 900, 907, 911, 914, 951, 953, 1021
$A(\omega)$, $\beta(\omega)$, 654
determinação, 649, 679
freqüência, 654
número positivo adimensional, 681
positivo para realimentação negativa, 616, 641, 654
Ganho de tensão para pequenos sinais, 387, 388
Ganho em freqüências médias, A_M, 543-547, 550, 559, 560, 602
Ganho para pequenos sinais, 767
Ganho unitário
amplificador inversor/não-inversor, 92
amplificador, **80**
faixa de passagem, f_t, 105, 768, 771
faixa de passagem, f_t, ω_T, 310, 716, 718
freqüência , 35, 77, 90, 93, 777
freqüência , f_t, 416, 417
freqüência , $f\omega_T$, 90, 95, 100, 786
isolador (*buffer*), 80, 779
seguidor, 94, 95, 96, 105, 770, 863
Ganho variável, 86
Gerador de funções, 899, 919, 955
Gerador de temporização (relógio – *clock*), 1019
Geradores de forma de onda triangular, 899
Glitch (pico), 1095
g_m, transcondutância, 26, 257, 270, **366**, 374, 375, 386, 390, 426, 431, 772, 780-782
Gráfica
análise, 150, 258, 305
construção, 150, 259, 384, 385, 396, 397, 398, 399, 401, 402, 823, 824, 994
interpretação, 242, 365
representação/técnicas, 158, 224, 258
Grampeado
capacitor, 187, 188, 189
diodos, 350, 1029
tensões, 1104
Grandes sinais, 274, 687
amps ops, **93**-96
característica de transferência, 522, 804
característica de transferência de modo comum, 52,
característica de transferência diferencial, 525, 804
circuito equivalente, 344, 345, 347
efeito Miller, 975
ganho de tensão, 388
modelos, 193, 216, 219, 289-296, 312, 108,
par TBJ, 216, 464
seguidor de emissor, 689
Grandezas instantâneas totais, 18, 25

H

Harmônica, 4, 687, 902, 918, 941, 945
Hertz, 3
h_{FE}, 304, 305, 310, 1225
Híbrido
CI, 727

modelo π-, **245**, 246, 247, 249, 256, 257, 258, 262, 269, 302, 308, 309, 311, 318, 417, 474, 566, 881, 1223, 1227
tecnologia de filmes finos/espessos, 716, 731, 813
Histerese, 921, 922, 923, 924, 925, 926

I

I_{CBO}, 217, 716
I_{DSS}, 396, 430, 507
IGFET, 331
Impedância (Z_{TS}), 31, 537
característica (Z_0), 1123, 1134
divisor, 412, 878
nível de, do circuito, 838, 860
transformador/transformação, 80, 391, 576, 878
Impedância de terminação, Z_L, 652
Impedância refletida, 880
Impurezas doadoras, 135
Inclinação
da característica de transferência, 437, 904
da característica i_C–v_{BE}, 242, 243
da característica logarítmica do diodo, 127
de 6 dB/oitava, 539
do perfil de cargas em excesso, 1078
do perfil de concentração, 133, 211, 212, 300, 1076
Incondicionalmente estável, 658, 660
Indutância simulada, 845, 846
obtida usando o circuito de Antoniou, 893
Indutância/indutor, 30, 537, 679, 812, 813, 843, 845, 880, 887
circuitos equivalentes, 877
divisor, circuito Hartley, 913
substituição, 843
Instrumentação
amplificador, 84-87
aplicações, 943, 949
sistemas, 56, 788, 943, 963
Instrumentação médica, 192
Integração em escala muito ampla (VLSI). *Veja* VLSI
Integrador, 70-72, 104, 770, 772, 797, 798, 852, 870, 872, 930, 931, 1219
Integrador ativo RC, 869, 870
Integral no tempo da entrada, 71
Interferência e/ou ruído, 538, 613, 788, 925, 1021, 1100, 1112
Intervalo variável, 798
Intervalos/fases de retenção, 789, 800, 801, 950
Inversor, 42, 45, 61, 65, 90, 297, 401, 403, 439, 966, 968, 971, 973, 994, 1035, 1049, 1050
I_{REF}, 385
I_S, corrente de escala do TBJ, 129, 747
Isolantes, 132, 340, 712

J

Janela de quartzo, 1062
JBC
coeficiente de graduação, m_{JBC}, 313
tensão interna (*built-in*), V_{0C}, 313
JBE
coeficiente de graduação m_{JBE}, 313
tensão interna, V_{0E}, 313
JCB
região de depleção, 1078
tensão interna, 308
JFET (transistor de efeito de campo de junção), 418-427, 429, 430, 439, 902
Joules, 410, 969
Junção
área da seção transversal, 146, 164, 212
capacitância, 141, 148, 418, 419
constante de escala I_S, 128
destruição, 306, 318, 715, 746, 1101
diodo, 124, 156
temperatura, 693, 709, 710
tensão interna, V_0, 138-140, 149, 194, 199, 419
Junção base–emissor, 218, 233, 468, 700, 754
capacitância, 308
como diodo, 1083
polarizada diretamente, 1086
Junção corpo-dreno, 733
Junção *pn*, 131, 136, 140, 141, 144, 149, 190, 199, 209, 307, 331, 341, 349, 430

K

k, constante de Boltzmann, **125**
Kerwin–Huelsman–Newcomb (KHN), 853
$k'_n = \mu_n C_{ox}$, parâmetro de transcondutância do processo NMOS, **338**, 343, 344, 979
$k_n = k'_n (W/L)_n$, 994
$k'_p = \mu_p C_{ox}$, parâmetro de transcondutância do processo PMOS, **348**
$k_p = k'_p (W/L)p$, 994

L

Lacunas, 131, 132, 133, 134, 147, 199, 208, 210
Largura, W, 331
da histerese, 922
da região de amplificação, 388
da região de base, W, 214
da região de depleção, 138, 139, 149
do pulso, 935
do transistor NMOS/PMOS, 1066
Latch escravo, 1027
Latches, 934, 1019, 1020, 1021, 1047, 1067
Lei da junção, 145
Lei de DeMorgan, 985, 986
Lei de Ohm, 61, 76, 134, 229
Lei quadrática
característica, 735
relação i–v, 344, 433
Ligações, 131, 135
Ligações covalentes, 131, 132, 143, 191
Limitação de *slew-rate* dos amp ops, 770, 912
Limitação por *slew-rate*, 94, 95, 96, 767
Limitação suave, 184, 902, 903, 907
Limitador, 184-186, 902, 910, 926
Limite
modo saturado e ativo, 293
operação segura em potência, 715
região ativa, 221, 227
região de saturação e triodo, 343
Limites da área de operação segura (SOA), 715
Limites da CCT, 439
Linear
amplificador, 10, 11, 17
capacitor, 141
circuito, 18, 29, 600
osciladores senoidais, 899, 939, 955
rampa, 72, 73, 95
rede, 82, 863
resistência r_{DS}, 343
Linha de alimentação, 1095
Linha de alimentação, desvios, 1123
Linha reta
assíntota(s), 297, 539
inclinação de 6 dB/oitava, 539
modelo, 152
perfil, 210
Linha(s) de bits, 1035, 1037, 1044, 1045, 1050, 1056, 1057
capacitância, 1057
metades idênticas, 1052
pré-carregada, 1040, 1045
Linha
decodificação, 1036, 1037, 1053, 1058, 1067
endereçamento, 1038
regulação de, 169, 170, 171
tensão de, 175
Linhas de dígitos, 1035, 1059
Linhas de palavra, 1037, 1044, 1052, 1053
seleção/ativação, 1036, 1039, 1049
livro, 522
Logarítmica
conversão, 127
escala, 715
medida/forma, 12, 126
Lógica CMOS Domino, 1017, 1018
Lógica com transistor de passagem (PTL), 964, 966, 1002, 1010, 1012, 1025, 1045, 1055, 1056, 1067
Lógica de modo corrente (CML), 43, 967, 1113
Lógica diodo-transistor (DTL), 1083-1086
Lógica FET com *buffer* (BFL), 1130
Lógica por emissor acoplado (ECL), 43, 269, 451, 967, 1075, 1110, 1111, 1136
Lógica resistor-transistor (RTL), 1079
Lógica transistor-transistor (TTL ou T²L). *Veja* TTL
Lógica, 39, 47, 120, 297, 1021
circuitos, 9, 452, 964, 966, 967, 1012, 1019, 1075, 1137
descrição do *flip-flop* SR, 1080
família, 465
flexibilidade, 965
função E, 121
função OU/NOU, 121
função, circuito TTL Schottky, 1101, 1149
inversor, 1, 39, 42, 43, 55, 208, 296, 400, 439, 1088, 1128, 1136
NE, CMOS complementar, 990
porta(s), 44, 400, 963, 1137
L_op, comprimento de sobreposição, **418**, 435
LSB, bit menos significativo, 794, 802
Luz ultravioleta, 1062, 1068

M

Malha (rede) resistiva, 793
Malha com dois integradores, 909
biquad com amp ops inversores, 856
biquad RC ativo, 873
biquad, 851, 852, 853, 855, 869, 891
filtro passa-faixa, 889
topologia, 851, 893
Malha CTS passa-todas, 31
Malha de realimentação do biestável, 923
Malha fechada, 59, 69
amplificador, 62, 98, 102, 103, 612, 660, 670, 675, 731, 768, 769, 859
função de transferência, 67, 90, 91, 654, 658
ganho, 634
$A(s)$, 612
A_f, 59, 61, 62, 63, 64, 65, 78, 79, 80, 91, 93, 105, 610, 615, 628, 670
Margens de ruído amplas 403
do CMOS, 1127, 1137
Margens MR_H e MR_L 968
Matriz de portas programáveis por campo (FPGA), 970
Maximamente plano
filtro, 882, 885
resposta, **661**, 822
MECL 10.000, 1121
Medidor, movimento/resistência, 123, 949
Melhoria de Q, 891
Memória, 9, 115, 207, 329, 922, 965, 966, 999, 1019, 1021, 1026, 1035-1038, 1047, 1060, 1063, 1066, 1067, 1068
Memória com gigabits, 963
Memória de acesso seqüencial, 1035
Memória de superfície móvel, 1035
Memória seqüencial ou serial, 1035
MESFET (transistor de efeito de campo metal-semicondutor, 427-430, 506, 507, 1132-1130
amplificador, 431, 432
fonte de corrente/corrente de porta, 512, 1133, 1130
lógica, 1132, 1137, 1139, 1130
valor dos parâmetros em altas freqüências, **433**
Metaestabilidade, 920
Metal
contatos, 131, 329
eletrodo de porta, 330
encapsulamento de um transistor de potência, 705, 712
Método de dimensionamento por tamanho, 972, 991
Método de constantes de tempo de circuito aberto, 550, 571, 572, 582
função de transferência, T_{ca}, 651, 652
ganho de tensão, 21, 24, 679, 680, 761-764
Métodos de polarização, 262, 375
Métodos de transformação, 899
Microcomputador, 1, 1035
Microlinhas de transmissão, 1123
Micrômetro/mícron/μm/μ, 329
Microprocessador, 1, 329, 963, 970, 978, 1035, 1055, 1132
Miller
capacitor de realimentação, 773
efeito, 568, 569, 572, 574, 583, 594, 602, 880, 881, 974, 975
integrador, 70, 71, 72, 100, 101, 104, 853, 869
multiplicação da capacitância, 568, 573, 583, 777
técnica de compensação, 673, 676, 747, 768, 806, 807
teorema, 566, 567, 568, 578, 585, 590, 768
Minoritários
elétrons, 137, 148, 211, 299
portadores, 144-149, 192, 210-213, 296, 299, 300
Mobilidade de superfície, μ, 434
Mobilidade, 134, 149
de elétrons, μ_n, 337
razão μ_p/μ_n, 348, 404
Mobilidades diferentes, 1065
Modelo de transporte, 295, 296, 300, 312, 318
no SPICE, 296
Modelo Ebers-Moll (EM), 289, 290, 304, 318
análise transiente, 1136
arquivo de entrada, 196, 197, 314, 316, **435**, **437**, **522**, 599, 602, 678, **733**, 887, 891, 951, 1062, 1131, 1136, 1180
declaração de elementos "linha de transmissão", 1134
descrição de transformadores, 196
formas de onda, 196, 197, 198
fornecedores, 194, 599
macromodelo, 951
modelo, 193, 313, 434

modelo do MOSFET, 433, 434
nome, 194
saída, 317
simulação de um amplificador multiestágio, 522
simulação, 196, 435, 437, 598, 652, 676, 738, 802, 887, 889, 951, 965, 1062, 1063, 1137, 1130
subcircuito, 889
modelo para o TBJ, 312
Modelo para pequenos sinais, 156, 163, 164, 249, 368, 369, 763
do MESFET, 431
parâmetros, 248, 257, 369
Modelo π–híbrido expandido, 302, 303
Modo ativo, 209, 210, 211, 218, 219, 220, 225, 229, 231, 233, 238, 252, 254, 282, 283, 299, 308
de operação, 209, **221**, 225, 236, 240, 287, 292, 1076, 1104, 1149
Modo comum
análise, 473
entrada, 452, 453, 466, 475
faixa, 482, 752
ganho, 87, 471, 473, 474, 475, 758
malha de realimentação negativa, 759
meio circuito, 474, 475, 527
operação, 466
realimentação, 750, 806, 758, 759
Modos de saturação/ativo, 293, 1086, 1136
Modos naturais, 538, 558, **652**, **817**, 820, 828, 829, 832, 838, 893
do circuito ressonante paralelo, 837, 838
do filtro Butterworth, 824
Modulação por largura de pulsos, 188, 1029
Módulo, resposta (em decibéis), 29, 30, 32, 91, 538, 539, 661, 889
Monoestável, 899, 919, 955
multivibrador, 932, 933, 935, 936, 939, 955, 1028, 1067
MOS
amplificadores, 383, 395, 400, 491, 495
cascode, 579
chaves, 743, 869
circuitos digitais, 964, 965, 1008, 1074
circuitos integrados, 350, 377
conectados em série, 988
espelho, 488
espelhos de corrente, 492, 498
estágio de saída classe AB, 736
fonte de corrente constante, 378
memória, 1038, 1057, 1067
modelo,
nível-1/2/3, 433-437, 803, 1062
operação, 331
par diferencial, 491, 502, 495, 497
tecnologia, 329
transistores de potência, 733
MOSFET com trincheira em V, 734
MOSFET de porta flutuante, 1059-1062, 1068
MOSFET, 331, 333, 364, 370, 416, 419
amplificador, 502, 875
características, 342
chave, 416
circuitos, 355
como alternativa ao amplificador CC-CB, 595
como uma chave analógica, 411
estrutura, 688, 733
fonte de corrente, 378
freqüência de ganho unitário (f_T), 416
fuga de porta, 420
g_m, **369**
inversores, 1134
modelos, 416, 417, 433, 1062
par diferencial, 492
parâmetros, V_t, 346
porta de transmissão, 789
transcondutância, g_m, **365**, **369**
Multiplexador, 1055
Multiplexador dois-para-um, PTL, 1010
Multiplicador, 279, 538, 539, 540, 971
Multivibrador, 899, 919, 955, 1028, 1032, 1067, 1075
Multivibrador biestável, 899, **919**-927, 955
Multivibrador de disparo único, 932, 955, 1028

N

n = 0.01, para um modelo ideal do SPICE, 194
n cavidade, 340
n como um parâmetro de ajuste da tensão de junção, 146
n e p definidos, 988
N estágios sintonizados sincronamente, 881
n para correntes altas/baixas, 217
n, silício tipo, 132
n = 1 ou 2, 126
n = 2 para correntes elevadas, 716
Nanômetro, nm, 329
Natureza unidirecional do amplificador, 566
N-bits
endereço de coluna, 1036, 1056
número binário, 789
palavra digital, 790
resistores de peso binário em um CDA, 792
saída digital, 797
Negativa
coeficiente de temperatura, 726, 735, 736
entrada, 104, 582, 910
freqüência, 655
ganho de malha, 900
ganho, 12, 18
nível limitador, L_-, 904
picos ceifados, 254
realimentação, **60**, 63, 104, 105, 264, 274, 376, 387, 524, 608, 613, 614, 630, 633, 658, 664, 681, 716
Níveis quantizados, 6, 799
Nível de integração, 1036
NMOS, 340, 966, 973, 988, 990, 992
amplificador, 397, 398, 399
chave analógica, 412
chaves com limite baixo ou zero, 1010
dispositivo, 551, 440
dispositivo de carga, 395
lógica, 993
rede de abaixamento (PDN), 1066
tecnologia, 400
transistor, 332-337, 988, 1002-1005, 1129
transistores de passagem, 1004
Norton
equivalente/fonte, 616, 641
forma, 2, 47, 570
Notação simplificada, 564, 1027
Notch. *Veja* Dente
NOU
característica de transferência, 1119, 1120, 1121
decodificador, 1054, 1055, 1056
decodificador de linha com endereço de M-bits 1054

expressão booleana, 1080
função, 1080, 1115, 1139
Núcleo de ferro, 172

O

Offset
corrente, 481, 482
deslocamento, 99
modelo, 97
tensão, 42, 97, 294, 303, 416, 495, 501, 505, 758, 793
zeramento, 58, 99, 481
Onda quadrada, 187, 188, 898, 899, 902, 911, 927, 928, 931, 938, 957
componente fundamental, 912
espectro, 4, 5, 957
entrada, 74, 188
gerador, 928, 929, 1067
sinal, 4, 5
Onda triangular para senóide, 940, 951
Ondulação, 169, 173, 197
componente, 169
faixa de passagem, ω_p, 816
freqüência , 183
Operação "escreve 1", 1045
Operação com pequenos sinais, 17, 246, **365**, 366, 391, 1050
do amplificador diferencial com TBJ, 466
do MOSFET, 368
Operação com pequenos sinais e em altas freqüências do TBJ, 318
Operação com uma fonte de tensão, 16, 700
Operação de escrita, 1037, 1045
Operação de restauração, 41, 1019, 1045, 1048
Operação na região de sublimiar, **340**, 502, 503, 735
Operação/acionamento *push-pull*, 592, 695
Operação/excursão com pequenos sinais, 366, 391, 1112, 1132
Operações aritméticas e lógicas, 788
Operações de escrita e leitura, 1035-1039, 1045-1050, 1072
Oscilação, 609, 655, 657, 899-902, 909, 914-918, 939, 951, 953, 1028, 1034, 1149
Oscilação inicial, 655, 909
Oscilação sustentada, 655, 832, 901, 902
Oscilador Colpitts, 913, 915, 916, 918, 955
Oscilador em anel, 1028, 1034, 1035, 1067
Oscilador em quadratura, 909, 911, 955
Oscilador Hartley, 913-916
Oscilador senoidal, geradores, 655
Osciladores auto limitados, 915
OU por fio em ECL, 1127, 1137
Óxido
(SiO_2), 330, 332
camada, 331, 332, 337
em transistor de porta flutuante, 1060, 1061
espessura, t_{ox}, 329, 339, 348, 434
permissividade, ε_{ox}, 339
Óxido espesso (SiO_2), região de isolação, 340

P

p, (W/L) razão do inversor mínimo PMOS, 973, 988, 990, 992
$p/n = \mu_n/\mu_p$, 988
PA, passa-altas, 849, 857
Padrões
análises de circuito, 30
células, 971
encapsulamentos, 970
formas de onda, 2-898, 899
formato de pólo simples, 588
Porta NE TTL, 1100, 1101
processos de fabricação de CIs, 126, 1151
pulsos, 1032
TTL, 1083, 1096, 1098, 1099, 1103, 1105, 1106, 1108, 1111,
valores de capacitores, 561
valores para resistores, 267, 358, 363, 1228
Parafusando o transistor ao dissipador de calor, 712
Paralelo
capacitor, 841
circuito LC, 688, 841
e série, MOSFETs, 983, 985
estágio TTL desdobrador de fase, 1102
indutor, 839, 841
placas do cristal, 916
reduzindo a resistência de entrada por comparação, 642
reduzindo resistência de saída por amostragem, 622
regulador, 169, 170, 171
ressonador LCR, 837, 876
ressonância, 837, 880, 917
simultâneo, CAD de alta velocidade, 806, 807
Parâmetro, 350, 599, 716, 832, 907, 916, 1017, 1051
Parâmetro de transcondutância do processo, k', **338**, 339, 343, 369, 409, 434
Parâmetro(s) y, 639, 1166
modelo do TBJ, 881, 915
modelo, 757, 760
Parâmetros de modelos, 20, 163, 244, 196, 247, 254, 257, 315, 437, 678
configuração *totem-pole*, 1033
efeito de corpo, 372, 374
efeito de v_{CE} em i_B, 302
segundo estágio como integrador, 769, 770
Parâmetros do dispositivo para pequenos sinais, 601
Parâmetros h, 622, 626
Parâmetros para análise com pequenos sinais, 499, 522, 805
Parâmetros z, 631, 632, 1166
Paredes laterais da difusão, 419
Passa-faixa (PF), 814, 833, 850
amplificador, 37, 38
borda, 815, 825
filtro, 38, 688, 813, 816, 836, 875, 884, 886, 851, 862, 902, 911,
função, 839, 842, 845, 853, 857, 861, 862, 874
parâmetro de desvio, **822**, 825, 826
região, 889
Passa-todas (PT), 835, 849, 850, 854
Pastilha (*chip*)
área, 1012, 1047
densidade de empacotamento, 395, 966
dissipação, 411
memória, *Veja* RAM; ROM
pinos de E/S, 1048
P_D, dissipação de potência, 1111
PDN e PUN, 982-991, 1012
Pedaço de silício tipo n, 418
Perfil de concentração, 132, 135, 145, 210, 211
Perfil de concentração gradual, 211
Perfil gradual, 334, 335, 336, 419
Perfuração MOS, 350
Periódica
função, 4
pulsos, 1028
sinais, 4, 1012
tabela, 191

Período, T, 3, 181
Permissividade, 139, 337, 350
Pico, 76
Pico
  ceifamento, 185
  corrente do diodo, 183
  detector, 179, 184
  retificador, 178, 179, 180, 182-184, 189
  tensão inversa (PIV), 173, 178
  valor da corrente do diodo, 120, 182
Pior caso
  margens de ruído, 1121
  situação, 989
  valores de correntes, 1067
  valores dos parâmetros, 1108, 1121
PIV (tensão inversa de pico), 173, 175, 178, 184, 195
Placa de circuito impresso (PCB), 731, 1123
Placa inferior, 332, 800, 802
Plano s
  conceitos, 30
  localização, 832
  singularidades, 830
Plena(o)
  excursão (0 a V_{DD}) do sinal, 1036, 1047
  fundo de escala, leitura, 81, 123, 124, 949
  gráfico de chaveamento, correntes normalizadas, 494
  onda completa, 175, 176, 183, 184, 947, 948
  potência, faixa de passagem, f_M, 95, 96, 105, 771
PMOS
  ajuste de tamanho de transistores em CMOS, 339, 340
  compensação de fugas, 1015
  dispositivos, 369, 440
  fonte de corrente, 383
  para, e espelho de corrente, 506
  rede levantadora (PUN), 1066
  restaurador de nível, 1007
  transistor de carga, 1057
Polaridade, 220, 341
Polarização
  diodos, 705
  em amplificadores MOS, 375, **376**, 377, 378
  filosofia em CIs, **377**, **472**
  fonte de corrente, **267**, 603
  no projeto de circuitos discretos, 262, 375
  no projeto de circuitos integrados, 267, 377, 482
  o TBJ, 262, 266, 267, 482
    circuitos integrados, 267, 268, 482
    usando duas fontes de tensão, 265, 266
    usando uma única fonte de tensão, 263, 266
  problema, 239, 262
  sensibilidade, 597
  técnicas, 16, 17, 240
  topologias, 263, 266, **376**, 377
  transistor conectado como diodo, 267, 693
  usando o multiplicador de V_{BE}, 706
Polarização com duas fontes, 266
Polarização zero
  capacitância coletor-substrato, C_{cs0}, 313
  capacitância da junção BC, $C\mu_0$, 313
  capacitância da junção BE, C_{je0}, 313
  capacitância da junção de corpo, C_{j0}, 434
  resistência ôhmica de base, r_b, 313
  tensão de limiar, V_{t0}, 434
Polarização, previsível e insensível, 240
Polarizado com uma fonte de corrente, 257, **267**, 269, 376, 690, 1111
Pólo dominante, 90, 545, 550, 553, 554, 559, 571, 580, 594, 602, 674, 747, 768, 786
  altas freqüências, 548, 568, 572, 578, 582, 594, 602
  amp op com cascode virado, 807
  baixas freqüências, 546, 560, 563, 612, 768
  efeito Miller, 589
Ponte
  carga flutuante, 112, 731-733, 743
  retificador, 177, 178, 184, **204**, 949
Ponte de Wheatstone, 177
Ponte de Wien, 865
  oscilador com controle de amplitude contra variações, 907
  oscilador com limitador para controle de amplitude, 906, 952
Ponto com coeficiente de temperatura zero para I_D, 735
Ponto de equilíbrio/operação instável, 920, 1020, 1021, 1049
Ponto de operação, 17, **150**, 249, 261, 357, 372, 364, 370, 402, 599, 602, 1020, 1021
Ponto de polarização, 147, 364, 375, 748
Pontos de equilíbrio estável, 1020, 1021, 1049
Pontos limites para partilhamento da corrente 1116, 1119
Pontos notáveis, 117
  da característica de transferência, 48, 939
  formador de onda senoidal, 941
Porta, 332, 395, 400, 1059-1060
  área/matriz, 970, 998, 1132
  capacitâncias, 350, 416-418, 426, 975, 1063
  circuitos em pseudo-NMOS, 999
  com transistores de passagem, 1055
  corrente em JFET, 333, 420, 1112
  diretamente polarizada, 419
  dispositivos de proteção, 350
  dissipação de potência, 968, 1105, 1108
  eletrodo, 329, 331, 332, 417
  elevado *fan-in*, 998, 1001, 1127
  fonte, sobreposição, C_{gs}, 434, 975, 978
  fonte, tensão, 342, 343
  imunidade a ruídos, 1004
  óxido, 340, 417
  terminal, P, 330, 331, 428
  transição no centro da excursão lógica, 974
Porta de seleção, 1060, 1061
Porta E-OU-INVERSORA, 1102
Porta lógica com FET, 1137, 1139
Porta NOU de três entradas, 1053
Porta RTL, 1080, 1082
Portas lógicas não conectadas, 970, 1100
Portadores
  concentração (perfil), 134, 149, 300
  deriva (velocidade), 133
  mobilidade, 134
  região depletada de, 137, 199
  transporte, 296
Portadores minoritários gerados termicamente, 138, 199, 210, 217, 299
Positiva
  circuito integrador, 871
  coeficiente de temperatura, 726, 735, 736
  malha, 899, **900**, 911, 919, 922, 923
  nível limitador, $L+$, 904
  realimentação, **60**, 510, 514, 608, 609, 654, 655, 661, 662, 663, 664, 704, 782, 1008, 1019-1026, 1047-1050, 1067
Potência
  amp op, 717, 731
  amplificador, 10, 11, 13, 80, 306, 687, 688
  diodo, 127, 172
  dispositivos, 411, 735
  dissipação, 13, 14, 44, 144, 130, 402, 411, 496, 687, 692, 693, 698, 710, **715**, 730, 965, 968, 969, 1100, 1123, 1137
  eficiência, 13
  eficiência de conversão, 688, **693**-696, 740
  equação de balanceamento, 13
  fonte de alimentação, 12, 15, 59, 160, 161, 172, 411, 614, 698, 736, 841, 902, 943, 1029, 1124
  ganho/perda em decibéis, 11, 12, 14, 21
  MOSFET, 709, 733, 735, 743
  perda no indutor, 877
  relações no estágio classe AB, 702
  tensão de linha, 968, 1132
  transformador, 172
  transistor, **688**, 709, 715, 716, 733
Potência total, 6
  dissipação, 702
  necessidades, 968
Potencial de inversão da superfície, $2\phi_F$, 434
Potencial interno da junção de corpo, V_{j0}, 434
Potenciômetro (Pot), 85, 99, 707, 907, 908, 951
Precisão
  circuitos, 175, 951
  forma de onda, 941
  retificador, 899, 943-950, 955
Primeira ordem
  análise, 255, 555
  circuito amp op-RC circuito, **829**-831, 887
  função de transferência, 69
  função do filtro, 538, 539, 568, **829**, 830, 884, 885, 893, 828, 925
  modelo, 208, 215, 239, 433
  para o MESFET, 430
  para o MOSFET, 803,
  para o TBJ, 215
Problemas de rendimento e confiabilidade, 428
Processo de condução térmica, 709
Processo de leitura, 1040, 1045, 1049
Processo regenerativo, 608, 919, 920, 922, 923, 1021-1024, 1042, 1049-1052
Processos de ligamento e desligamento, 408
Produção na forma de CI, 869
Projetista, 192, 527, 547, 553, 605, 606, 966
Projeto, 3, 130, 166, 195, 223, 271, 355, 400, 537, 1002, 1131
  abstração e auxílio do computador, 970, 971
  amplificadores, 375, 379, 383, 482, 501, 506, 555, 642, 875, 894
  biquads com malha de dois integradores, 893
  características, 974, 1062
  filtro Chebyshev, 887
  filtros ressonadores amp op-RC, 850
  filtros, 871
  inversor CMOS, 964, 971
  pastilhas de memória, 966
  portas, 400, 993-1001, 1124, 1127, 1137
  pseudo-NMOS, 998
  retificadores, 116
  sistemas digitais, 970, 971
Projeto de CIs semidedicados, 970
Projeto de polarização, 227, 262, 264, 318, 375
Projeto de sistemas, ponto de vista, 969
PROM eletricamente apagável (EEPROM), 1062
Propriedade de fluxo de corrente unidirecional, 199
PSRR, razão de rejeição da fonte de alimentação, 786
PTL (lógica por transistor de passagem), 1002, 1010
Pulso, 72, 74, 898, 899, 925
  área, 1218
  duração, 173, 932, 955, 964, 1028
  padronizador (altura e largura), 1028, 1067
  tiem de, 7
Pulso curto de disparo, 1028
Pulso de disparo, 1022, 1028-1030, 1067
Pulsos padronizados, 932
PUN, rede levantadora (*pull-up*), 974, 980-1001, 1057
Pureza da senóide de saída, 902, 910, 941

Q

Quantização, 8, 791
Queda de tensão ôhmica (R_s), 283
Queima do CI, 767
Quiescente
  condições, 693
  corrente, 704
  dissipação de potência, 702, 697
  estado, 496
  ponto de operação, Q, 17, 25, 159, 248, 259

R

Rádio e transmissores/receptores de TV, 38, 689, 813, 880
Rádiofreqüência (RF) (potência), 688, 874
RAM dinâmica, *Veja* DRAM
RAM, memória de acesso aleatório, 965, 1035, 1038, 1067, 1072
Razão de aspecto para o MOSFET, W/L, **339**
Razão de rejeição de modo comum (CMRR), 58, 112, 474, 515, 591, 746, 1051, 1112
R_c, resistência da região de coletor, 313, 1130
RC
  filtro passa-baixas, 188
  malha, 860, 905
R_{CEsat}, resistência de saturação de coletor-emissor, 1093
R_E como parâmetro de projeto, 602
R_e, 27, 247, 248, 257
Realimentação
  amplificador, 609, 610, 650, 656, 663, 681
  capacitância (C_{gd}, C_μ), 569, 573, 602, 681
  circuito, 59, 597
  equações, 626, 644, 678
  fator, β, **609**, 634, 636, 656, 665, 914
  fórmulas, 625, 636, 639, 678
  função de transferência, **654**
  limitador, 909
  malha, 79, 649, 652, 655, 679, 743, 861, 911, 919, 955
  método de análise, 643, 676, 678
  polaridade, 618
  polarização, 266, 377
  quantidade da, **609**, 610, 612, 615, 621, 622, 681
  rede, 609, 610, 616, 618, 626, 638, 647
  seguidor, 514, 1084
  sinal, x_f, 611
  teoria, 93
  tipos, 650
  topologia, 616, **617**, 618, 650
Realimentação paralelo-paralelo, 617, 619, 627
Realimentação paralelo-série, 617, 618, 642, 650, 677-679
Realimentação resistiva, 375
Realimentação série-paralelo, 616, 617, 620, 622, 625, 629, 630, 650
Realimentação série-série, 617-619, 629, 631-634, 650
Reatância(s), 563, 876, 915
  capacitiva, 30, 268, 305
Receptor de rádio FM, 881
Receptor de TV, 880

Recombinação, 132, 137, 145, 146, 210-213, 218, 299
Rede com parâmetros distribuídos, 311
Rede
  função de transferência, 30
  pólos, 558
  teoria, 859
Rede-T em ponte, 859, 860, 865, 894
Redisparo, 933
Referência
  corrente de polarização, 378, 744, 748, 807
  direção, 117, 220, 641
  ponto de aterramento, 56, 57
  tensão, 792, 924, 930, 1111, 1113, 1124, 1126
  transistor, 795, 1115
Referência independente da temperatura, 1132
Reflexão, 1122
Regeneração de nível, 1007, 1047-1050
Região ativa de operação, 226, 259, 282, 297, 482
Região de carga espacial, 137
Região de dreno $n+$ /região de fonte $n+$, 329, 336
Região de inversão forte, 565
Região de transição, 39, 41
  de inversores, 1020
Região ôhmica, 191, 194, 294, 312, 313, 434
Região $p+$, 339
Região triodo, 335, 336, 338, 339, 342, 345, 346, 348, 349, 351, 352, 353, 358, 359, 362, 385, 405, 430, 994
  equação, 343, 417
  MESFET, 1134, 1135, 1239
Regiões de isolação, 428
Regiões p e n, 131
Regra da reflexão de resistências, **273**, 278, 469
Rejeita-faixa (RF), 814
Relação de áreas, 704, 705
Relação de Einstein, 134
Relação entre o número de soltas, 172, 178
Relação sinal-ruído, **613**, 614
Relação, 379
  da resistência total de coletor para a resistência total de coletor, **471**
  das áreas do dispositivo, 487
  das resistências de coletor e emissor, **273**
  das resistências, 62
  de dois polinômios, 817, 858, 893
  do divisor de corrente, 521
  do divisor de tensão, 20
  do sinal para o ruído, 613
  dos parâmetros de transcondutância, $r = k_n/k_p$, 404, 972, **994**-1001
Relação
  entre difusividade e mobilidade, 134
  entre f_t e SR, 771
  entre SR e ω_t para um amp op TBJ/CMOS, 772, 780
Relações relativas (W/L), 489
Relaxação, 773
Relógio, 870, 898, 1023, 1025, 1026, 1027, 1028, 1045
  capacitor chaveado, 869-873
  portas de transmissão, 1054
  ruído, 786
Relógio com duas fases (sem sobreposição), 870, 1026, 1027
Rendimento, **887**
Representação binária de sinais contínuos, 789, 1036
Representação em série de Fourier, 3-6, 688, 742, 945, 953, 957
Representação no domínio do tempo, 5
Resetando o *flip-flop*, 938
Resfriamento, 688, 712, 709
Resistência, 636, 648, 761
  da chave, 413
  de cada linha de palavra, 1038
  do silício, 309
  entre os terminais de emissor, 471
  inversamente proporcional a W/L, 988
  no emissor, 271, 469, 591
  vista por uma capacitância, 69, 550, 551, 553, 557, 562, 583
Resistência coletor-base $r\mu$, 302, 1227
Resistência de corpo da região de base, 283
Resistência de degeneração de emissor, R_e, R_E, 589-591, 601-602, 609
Resistência de fechamento, 303, 304
Resistência de ligamento, 42, 793, 1008
Resistência incremental, 158, 159, 162, 166, 170, 171, 347, 384, 468, 483
Resistência olhando para o terminal de fonte, 556
Resistência para pequenos sinais, 164, 245
Resistência refletida, 728
Resistência série de emissor, 272, 476, 590, 609, 727, 749, 772
Resistência total
  das linhas da memória, 1037
  no emissor, 271, 518
Resistividade, 134, 136
Resistor de autopolarização, 376
Resistor de determinação de Q, 857
Resistor variável, 85, 86, 361
Resistores com peso binário, 792-796, 807
Resistores de sangramento, 1129
Resistores, 495, 603, 737, 793, 993
Resposta aritmeticamente simétrica, **887**
Resposta do amplificador sintonizado, 875
Resposta em freqüência , 30, 44, 47, 656, 768, 776
  amplificador, 28, 29, 90, 92, 95, 416, 543, 588, 591, 598, 601, 603, 874, 875, 883
  cascata CC-BC, 597
  circuitos amp op, 88-93, 536
  diferenciador, 75, 76
  integrador, 70
  redes CTS, **32**
Resposta maximamente plana em um filtro Butterworth, 822, 832
Resposta transiente, 196, 657, 1063
  de um ECL conectado a um cabo, 1135, 1136
Respostas/transmissões tipo barreira, 814, 822
Ressonador, 837, 838, 850, 893
Ressonador ativo, 846
Ressonância (*ringing*), 1106, 1116, 1122, 1136
Ressonância eletromecânica, 916
Ressonância em série, 917
Ressonância, 52, 847, 955
  freqüência , 913, 915
  pico da resposta do filtro, 891
  propriedades, 899
Retificador, 118, **119**
  circuito, 116, 118, 172, 181, 199, 943
  filtro, 173, 178
Retificador ativo, 943
Reverso
  alfa, α_R, 220, 290
  beta, β_R, 291, 1086
  corrente de base, 1078, 1130, 1136
  corrente(s), 129, 130, 194, 210, 217, 313
  modo, 294
  modo ativo, 292, 294, 295, 299, 307
  modo de saturação, 293, 295
  polarização, 116, 117, 120, 125, 129, 130, 139, 349, 418, 439, 418
  região/tensão de ruptura, 165, 173
  transmissão, 25, 610, 642, 679
R_{ce}, resistência incremental coletor-emissor, 227, 257, 270
ROM (memória de leitura apenas), 965, 999, 1035, 1036, 1055, 1057, 1067, 1068
  programada, 1059
  transistores, 1057
ROM com fusível, 1059
ROM programável (PROM e EPROM), 1057, 1059
Ruído
  amplificação, 76
  imunidade margens, **40**, 41, 404, 406, 965, 967, 974, 994, 997, 998, 1000, 1001, 1014, 1063, 1065, 1067, 1110, 1137
  redução rejeição, 609, 615, 967
Ruptura
  diodos, 165, 173
  junção base-emissor, 1107
  mecanismo de 142, 143, 165
  MOS, 350
  óxido de porta, 350
  região, 125, 130, 142, 145, 165, 194, 196
  TBJ, 303
  tensão, 130, 143, 194, 315, 350, 733, 734
Ruptura por avalanche, **143**, 144, 165, 301, 315, 350, 715
Ruptura secundária, 715, 730, 930
r_x, resistência de espalhamento de base, 311, 575, 1223, 1226
r_x, resistência de base, 26-28, 257, 1226

S

s, freqüência complexa, 417
Saída com transistores empilhados (*totem-pole*), 1087
Saída unipolar (terminação simples), 175
Saída
  ceifamento, 93, 99
  circuito equivalente do CMOS, 1030
  corrente, 1094, 1130
  curto-circuito, 693, 745, 767
  distorção, 909
  estágio, 22, 515, 519, 687-689, 717, 738, 743, 747, 753
  estágio de acionamento, 770
  impedância, 58
  nível alto (V_{OH}), 1096, 1112
  nó de soma/amplificador, 794, 807, 895
  porta TTL, 1086
  resistência, 302, 303, 345, 347, 484, 493, 497, 499, 508, 621, 622, 628, 630, 634, 638, 702, 756, 765, 784
  saturação, 93, 115
  seguidores de emissor, 1116, 1124
  tensão, 524, 762, 774, 972, 1093, 1134
  tensão de *offset*, 716, 748
  tensão de *offset* cc, 98, 478
  transistores, 708
Saturação, 221, 234, 283, 346, 351, 352, 376, 385, 387, 752
  amplificadores, 72 BJT, 299, 696
  corrente, I_S, 125, 213, 296
  modo operacional, 209, 221, 226, 230, 243, 299, 361, 486, 976, 994, 1086
  MOSFET, 336, 344
  níveis, 15, 950
  região, 335, 336, 338, 342, 343, 344, 345, 349, 353, 355, 356, 357, 359, 365, 396, 405, 417, 418, 440, 492, 1133
Saturação Q_s, excesso de cargas (base), 1076
Saturada
  carga, 1076
  lógica, 1075
Schottky avançado TTL, 1110, 1136
Schottky TTL avançado de baixa potência, 1110
Schottky
  barreira, diodo (SBD), 190, 191, 428, 430, 510, 967, 1076, 1104, 1109, 1139
  ceifamento, 1105
  lógica diodo-FET, SPFL, 1139
  transistor, **1004**, 1105, 1107, 1108
  TTL, 967, 1076, 1078, 1104-1111
SDFL, inversor/NOL, 1139
Secundário do transformador, 175, 184
Secundário do transformador com derivação central, 176
Seguidor
  amplificador/configuração, 80
  com limitação de corrente, 1084
  transmissão zero, 580
Seguidor de emissor com carga ativa, 393
Seguidor de fonte
  configuração, 394
  MESFET, 1130
Segunda ordem
  circuitos ressonantes com LCR simulado, 888
  efeitos, 247
  equação característica, 663
  filtro dente de serra, 836
  filtro passa-altas baixas, 836
  filtro passa-faixa, 836, 851, 857, 875, 882, 884, 885, 890, 901
  filtro passa-todas, 843
  filtros ativos, 820, 843, 847, 851
  forma padrão, 837
  função passa-faixa, 875
  funções filtro, 820, 828, 829, 833, 835, 837, 840, 845, 847, 851, 858
  respostas, 661
  ressonador LCR, 837, 838, 845, 893
Segundo estágio, 22, 518, 746, 761
Selecionada
  coluna, 1045
  linha de palavra, 1045, 1057
  para leitura ou escrita, 1036, 1067
Seletividade (ou fator Q), 902, 911
  filtros passa-faixa de segunda ordem, 832
  obtido com circuitos sintonizados simples, 880
  razão/fator, ω_c/ω_B, 815
Seletividade nas margens, 875
Semicondutor, **132**
  diodos de junção, 124
  fabricantes, 434
  física, 116, 135, 145
  material, 427
  memória, 1035
Senóide obtida por formador de onda de três segmentos, 941
Senóide, 118
  de alta pureza, 915
  e circuitos lineares, 29
  limitada, 902
  sinal, 3, 4, 63, 95, 955

tensão, 124
Sensibilidade, 866
a componentes passivos, 867
à variação de β, 234
ao ganho do amplificador, 868, 869
ao ruído, 1012
de ganho em malha fechada para ganho em malha aberta, **612**
de ω_0 e Q, 867
definição/expressão, **867**
propriedade de redução, 612
Sensor de temperatura, 726
Série 74, TTL padrão, 1100, 1110, 1111
Série 745/LS/ALS/AL TTL Schottky, 1103-1111
Série truncada, 4
Seta
no emissor, 220
para o sentido da tensão de alimentação, 13
para o sentido de fluxo da corrente, 341, 448
Siemens (ohm 1), 158
Silício, 55, 124, 131, 191, 427
a temperatura ambiente, 138
área, 496, 744, 773, 969, 1067
átomo, 131
CIs digitais, 1132
diodo, 115, 124, 128, 129, 199
diodos de junção *pn*, 116
estrutura cristalina, 131, 132, 134
pastilha (*chip*), 1, 56, 743
tecnologia de dispositivos e circuitos, 131, 427
valor, 377
Silício dopado com fósforo, 135
Silício policristalino, 331, 340
linhas de palavra, 1057
porta, 331, 1059
Símbolo do tipo seta para diodos, 117
Símbolos usuais e alternativos para o MOS, 983
Símbolos, transistor, 220, 341
Simetria
de V_{OL} e V_{OH} em torno de V_R, 1132
do circuito, 478, 1023
Simetria geométrica, 369, 660, **887**
Simétrico
alimentação de entrada, 471, 596
atrasos na propagação, 1066
característica de transferência, 404, 973
forma de onda de saída, 907
limitador de realimentação, 906
onda quadrada, 77, 931
onda senoidal, 939
onda triangular, 939
par diferencial, 481
Sinais de telefonia e de televisão, 191
Sinais elétricos indesejados, 609
Sinal, 2
acoplamento entre linhas, 1113
amplificação, 1, 9, 207
análise, **159**, **160**, 368
atenuação, 21
componente de corrente, 365, 468
correntes em um amplificador diferencial, 469
degradado por interferências, 925
excursão, 15, 259, 266, 365, 377, 398
fluxo, 10
fontes, dependentes, **20**, 22, 24, 26, 28, 33
fontes, independentes, **2**, 12, 22, 31
formas de onda, 251, 252
grandezas, 17, 159-160
injetado parcialmente através do resistor de aterramento, 861
inversão, 62
parâmetros para modelos, 249
ponto de vista, 368
processamento, 2, 8, 191, 788
quantização, 789
reflexão, 1122
terra, 268, 318, 476, 493, 564, 575, 579, 607
transmissão, 256, 1122
transportado por um cabo longo, 1136
Sinal de corrente de teste, 166
Sinal de disparo, 922, 934, 935
Sinal de erro, 641
Sinal sensor de controle, 1049
Sinal superposto, 156
Sinal variável no tempo, 156
Singularidade, 542
Síntese
da malha de realimentação, 858, 861
de circuitos SAB, 858
de filtros ativos, 653
procedimento, 858
Sintonia automática de receptores de rádio, 191
Sintonia síncrona, 881
amplificador, 887
estágios, 881
Sintonizador, 38
Sistema binário, 7, 47
Sistema operacional, programa, 1055
Sistemas de comunicação segura, 1055
Sistemas de comunicação, 38, 192, 874, 898, 963
Sistemas de telecomunicação, 8, 608, 789
Sistemas de teste e medição, 898
Sistemas montados com SSI e MSI, 1110
Slew-rate, SR, 94-96, 105, 770, 771, 779, 807
do amp op básico, 94
do amp op CMOS, 779, 780
do amp op com cascode virado, 786
Somador com ponderação +/–, 853
Somador inversor ponderado, 948
Somador ponderado, 76, 77, 853
SPICE, 116, 152, 173, **192**, 193, 197, 309, 419, **598**, **674**, **733**, 802, 951, 953, **971**, **1062**, 1173
SRAM, 1047, 1067
célula, 1040, 1047
circuito durante a operação de escrita, 1043
utilizando o bit e a linha de bit, 1045
SSI e MSI
atrasos de porta, 1075
circuitos, 409
encapsulamentos, 967
STTL porta NE TTL Schottky, 1105
Subcircuito
amp op não-ideal, 890
SPICE, 889
Substrato GaAs não-dopado, 428
Substrato GaAs semi-isolante, 428
Substrato, B, 329, 330, 341, 348, 349, 372, 391
conectado ao terminal de fonte, 341, 348, 349
dopagem, N_D, 434
junção *pn*, 331
não conectado ao terminal de fonte, 372
ou terminal de corpo, B, 330
para canal, junção, 349
para dreno/fonte, junção *pn*, 412
pnp, 747
Supercomputadores, 1127
Superdiodo, 943-951
Superposição, 81, 82, 83, 246, 290, 614, 920, 903, 923
princípio, 80, 83
Supressão de oscilação parasita, 737
Susceptância, 30
Susceptível ao efeito de corpo, 1043

T

$T(j\omega)$ como uma grandeza complexa, 30, 538
$T(\omega)$, $T(s)$, 29, 30
T, modelo equivalente, 247, 248, 254, 256, 271-280, 373, 510, 556, 557
T, temperatura absoluta, **125**
Tabela de paridade, 1035
Tabela dos tipos de filtro, 830
Tamanho de geometria, 966
Taxa de geração térmica, 132
TBJ (transistor bipolar de junção), 25, 26, 116, 126, 131, 208, 966, 1074
amplificador diferencial, 451-478, 482, 528, 530, 588, 601, 609
amplificador, 268, 273
base-comum, 274
entrada/saída sintonizadas, 875, 879-882
amplificadores de potência, 689,
amplificadores em circuitos integrados, 497
área de operação segura, 715
assimétrico fisicamente, 291
características, 1075
características estáticas, 301
circuito de realimentação, 628, 635, 645, 677, 680
circuitos digitais, 289, 1075
coeficientes de temperatura, 217, 225, 704
corrente,
circuito guia, 485, 487, 745
direção do fluxo, 221
espelho, 487, 488
fonte constante de, 267, 485
espelho, 488
gráficos
análise com, 258
características dos, 224-227
inversor lógico, 296
operação dinâmica, 1079
limitações para transistores de potência, 715
modelos, 216, 246
π-híbrido, 246, 1223
grandes sinais, 289
para ECL, 1131
para o SPICE, 313
modelos de circuito, 248
modos cortado, ativo e saturado, 297
operação como uma chave, 307, 416, 1075
par diferencial, 451, 464, 479, 1111
PROMs, 1059
que não é permitido saturar, 967
relações de corrente-tensão na região ativa, **221**
relações de parâmetros, 257
saturação, 293-300, 304, 1076-1078
técnicas de polarização, 482
transcondutância, 242
t_{d}, atraso de ligamento do TBJ, 1077
Técnica da transformada z, 874
Técnica de célula fictícia, 1047, 1048, 1052
Tecnologia de porta de silício, 331, 1059
Tecnologia de processos, 338, 339, 348, 782, 977, 978, 992, 997, 1017, 1024, 1040, 1044, 1151
Tecnologia especial, ECL, 967
Tecnologias CMOS submicrométricas, 331, 418
Tecnologias, diagrama, 965
T_{C}, coeficiente de temperatura, 171
Temperatura ambiente, 97, **125**, 132, 211, 315, 1113, 1124
Temperatura ambiente, particular, T_{AB}, 709, 710, 712, 714
Temperatura, coeficiente, 97, 99, 125-129, 138, 146, 240, 262, 350, 918
da tensão de referência, V_R, 1124, 1125
da tensão na junção, 1099, 1124
de i_C, 706
de I_{CBO}, 217
de i_D, 735, 736, 743
de I_S, 126, 212, 217
de K', 350
de V_{BE}, 225, 317, 1099
de V_{OH}/V_{OL}, 1124, 1125, 1126
de V_{OS}, 97
de V_T, 350
de V_Z, 171
de β, 716
do ponto médio da excursão, 1126
Tempo de atraso, 44
associado com um filtro, 791
de um sistema de transmissão, 829
necessário para retirar o transistor da saturação, 944, 945, 1075
Tempo de atraso, 46, 408
de ligamento, 1076
na operação de uma ROM, 1057
potência (produto) (DP), **410**, 969, 1080, 1100, 1108, 1110, 1113
Tempo de fabricação, 970
Tempo de ligamento, t_{on}, TBJ, 1076
Tempo de trânsito, 148, 194
Tempo entre os ciclos de restauração, 1045
Tempo entre os pontos de 1,5 V para TTL, 1099
Tempo(s) de subida e descida, 46, 709, 1057, 1076, 1122, 1136, 1218
Tempo/período de recombinação, 933, 1032
Tempo
necessário para mudar de estado, 1042
para armazenar (escrever) a informação, 1035
para recuperar (ler) a informação, 1035
resposta de circuitos MOS digitais, 416
Temporização, 898
Tempos de desligamento muito pequenos, 1105
Tensão
acompanhamento, 105
amplificadores, 10, 20, 23, 24, 38, 616
comparador, 800
diferença, 1049
divisor, 79, 81, 83, 163, 262-264, 278, 358, 375, 839, 919, 920, 939, 940
divisor e um ressonador LCR, 843
duplicador, 189, 190, 197, 198
em um terminal, **58**
ganho, 10, 11, 14, 20, 245, 246, 248, 250, 252, 366
ganho de porta a dreno, 568
ganho de uma cascata, 519
ganho na ressonância, 887
isoladores, reforçadores, 318
multiplicador, 189
no emissor comum, 471
offset, 43